

课程报告

姓名	黄江晔	学号	22050201
实验时间	2024. 1. 5	实验地点	1 教研楼 223
实验序号	14	实验名称	数码管扫描显示
课程名称	数字电路课程设计	指导教师	戴玮辰

成绩表

考核项目	考查分项	得分
1. 方案设计（30 分）	实验目的（5 分）	
	模块设计说明（20 分）	
	输入输出 I/O（5 分）	
2. 逻辑程序设计（30 分）	逻辑程序源代码（15 分）	
	功能完备、交互性、创新性（10 分）	
	管脚约束程序源代码（5 分）	
3. 验证方案设计（10 分）	板级验证方案的合理性（10 分）	
4. 实验结果分析（10 分）	结果记录与分析（5 分）	
	实验出现的问题与解决方案（5 分）	
5. 思考与探索（10 分）	拓展提升（10 分）	
6. 格式（10 分）	书写规范、图表清晰、表达清楚	
合计		

1 方案设计

1.1 实验目的

(5 分)

- 1.学习数码管的显示原理。掌握数码管的动态扫描方法。
- 2.掌握灵活运用 Verilog HDL 语言进行各种描述与建模的技巧和方法。

1.2 模块设计说明

(基于个人的程序代码，只有一个模块时，说明模块 module 的输入输出功能；存在多个模块时，还要提供模块架构图/说明，即模块与模块之间的关系，20 分)

(一) 模块 1: Display (8 位七段数码管扫描显示模块)

```
module Display(  
    input clk, //时钟信号  
    input [31:0] data, //32位被显示数据  
    output reg [7:0] seg, //段选信号  
    output reg [2:0] which=0 //片选信号  
);  
  
//分频扫描  
reg [15:0] count=0; //扫描循环计数器  
  
//周期性更新每个数码管的显示  
always@(posedge clk) //时钟信号上边沿触发  
    count<=count+1'b1; //计数器+1  
always@(negedge clk)  
    if(&count)  
        which<=which+1'b1; //切换到下一片数码管  
  
reg [3:0] digit; //当前数码管显示数据  
//根据数码管的片选，对当前电亮的数码管赋予4位的当前显示数据  
always @*  
begin  
    case(which)  
        0: digit<=data[31:28]; //片选信号AN7有效  
        1: digit<=data[27:24]; //片选信号AN6有效  
        2: digit<=data[23:20]; //片选信号AN5有效  
        3: digit<=data[19:16]; //片选信号AN4有效  
        4: digit<=data[15:12]; //片选信号AN3有效  
        5: digit<=data[11:8]; //片选信号AN2有效  
        6: digit<=data[7:4]; //片选信号AN1有效  
        7: digit<=data[3:0]; //片选信号AN0有效  
    endcase  
end
```

```
//设置7段LED对应数字（十六进制数码转换为段选信号）
```

```
always @*  
begin  
case(digit)  
4'h0:seg<=8'b00000011;  
4'h1:seg<=8'b10011111;  
4'h2:seg<=8'b00100101;  
4'h3:seg<=8'b00001101;  
4'h4:seg<=8'b10011001;  
4'h5:seg<=8'b01001001;  
4'h6:seg<=8'b01000001;  
4'h7:seg<=8'b00011111;  
4'h8:seg<=8'b00000001;  
4'h9:seg<=8'b00001001;  
4'hA:seg<=8'b00010001;  
4'hB:seg<=8'b11000001;  
4'hC:seg<=8'b01100011;  
4'hD:seg<=8'b10000101;  
4'hE:seg<=8'b01100001;  
4'hF:seg<=8'b01110001;  
endcase  
end  
endmodule
```

（1）输入：

clk: 时钟信号

data (32 位被显示数据): 32 位宽的输入，其值将被分成 8 组 4 位数据，每组数据用于控制一个数码管显示 0-F 之间的一个十六进制数。

（2）输出：

seg (段选信号): 8 位宽的输出信号，用于控制单个数码管上的 7 个段(LED)以及小数点(如果有)。根据 digit 的值，seg 决定了数码管上哪些段应该被点亮以显示相应的数字或字符。

which (片选信号): 3 位宽的输出信号，用于多路复用控制，决定当前哪一个数码管被激活。在任一时刻，只有一个数码管被激活并显示数据。

（3）功能：

分频扫描: 通过一个 16 位的计数器 count，模块对输入的时钟信号进行分频以控制数码管的刷新率。当计数器达到最大值时（所有位都是 1），which 变量增加 1，表示切换到下一个数码管。

多路复用显示: 根据 which 的值，模块从 32 位输入 data 中选择一个 4 位分段，并将其值存储在 digit 中，使得在不同时间点，不同的数码管显示 data 的不同部分。

段选信号控制: 将 digit 映射到特定的 seg 配置, 根据 digit 的值 (0-F) 决定哪些段应该被点亮以表示相应的十六进制数字。

(二) 模块 2: 顶层模块 (开关控制数码管显示)

```
module w4(  
    input clk, //时钟信号  
    input [1:0] SW, //开关  
    output wire [7:0] seg, //数码管段选信号  
    output wire [2:0] which, //数码管片选信号  
    output reg EN=1 //通过控制译码器使能信号来控制数码管使能, 默认开启数码管  
);  
  
reg [31:0] curdata;  
reg [31:0] data0=32'h12345678;  
reg [31:0] data1=32'h87654321;  
reg [31:0] data2=32'hABCDEF01;  
  
always@(*)  
begin  
    case(SW)  
        2'b00: EN<=0;  
        2'b01: begin EN<=1; curdata<=data0; end  
        2'b10: begin EN<=1; curdata<=data1; end  
        2'b11: begin EN<=1; curdata<=data2; end  
    endcase  
end  
  
Display display(clk, curdata, seg, which); //调用数码管显示模块  
endmodule
```

(1) 输入:

clk: 时钟信号

SW: 选择开关, 2 位宽的输入, 用于选择要显示的数据。

(2) 输出:

seg (数码管段选信号): 8 位宽的输出信号, 由内部调用的 Display 模块生成, 用于控制单个数码管上的 7 个段(LED)和可能的小数点。

which (数码管片选信号): 3 位宽的输出信号, 由 Display 模块生成, 用于多路复用控制, 决定当前哪一个数码管被激活。

EN (数码管使能信号): 输出寄存器, 默认为 1 (表示数码管被激活)。通过控制译码器使能信号来开启或关闭数码管的显示。

(3) 功能:

数据选择: 根据输入开关 SW 的状态, 选择不同的预定义数据 (data0, data1, 或

data2) 赋值给 curdata，决定了显示在数码管上的内容。

显示控制: 如果 SW 为 00，则通过设置 EN 为 0 来关闭显示。对于其他 SW 状态，设置 EN 为 1 以开启显示，并将对应的预定义数据赋值给 curdata。

数码管显示: 调用内部的 Display 模块来控制数码管的显示。curdata 是传递给 Display 模块的数据，而 seg 和 which 是从 Display 模块接收的控制信号，用于实际控制数码管。

(三) 模块架构说明

Display 模块是一个通用的 8 位七段数码管扫描显示模块，W4 模块是顶层模块，预设了 3 个不同的 32 位显示数据 data，由两个开关 SW[1:0]控制显示,W4 模块调用 Display 模块，实现数码管扫描显示实验。

1.3 输入输出 I/O

(输入输出变量的 I/O 管脚需求分析，及对应的板级硬件资源配置理由，即如何选择和利用实板上的硬件资源，如变量对应按键、LED、数码管等，5 分)

I/O Ports													
Name	Direction	Neg Diff Pair	Site	Fixed	Bank	I/O Std	Vcco	Vref	Drive S...	Slew Type	Pull Type	Off-Chi...	IN_TERM
All ports (15)													
which (3)	Output					15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
which[2]	Output		M22	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
which[1]	Output		M21	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
which[0]	Output		M22	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
SW (2)	Input					34 LVCMOS18	1.800				PULLDOWN*	NONE	
SW[1]	Input		T3	<input checked="" type="checkbox"/>		34 LVCMOS18	1.800				PULLDOWN*	NONE	
SW[0]	Input		U3	<input checked="" type="checkbox"/>		34 LVCMOS18	1.800				PULLDOWN*	NONE	
seg (8)	Output					15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
seg[7]	Output		H19	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
seg[6]	Output		G20	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
seg[5]	Output		J22	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
seg[4]	Output		K22	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
seg[3]	Output		K21	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
seg[2]	Output		H20	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
seg[1]	Output		H22	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
seg[0]	Output		J21	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
Scalar ports (2)													
EN	Output		L21	<input checked="" type="checkbox"/>		15 LVCMOS18	1.800			12 SLOW	NONE	FP_VTTI_50	
clk	Input		H4	<input checked="" type="checkbox"/>		35 LVCMOS18	1.800				NONE	NONE	

(1) I/O 管脚需求分析及硬件资源配置理由:

which (数码管片选信号)被映射到 M22, M21, 和 N22 管脚上。

SW (开关信号) 分配给 T3 和 U3，信号作为输入连接到板上的物理开关。

seg (数码管段选信号)控制数码管上的各个段，用于显示字符。由于有 8 位宽，因此需要 8 个引脚来驱动。这些信号被分配到了 H19 至 J21，对应板上数码管的段控制引脚。

EN (使能信号)用于开启或关闭数码管显示，被分配到 L21 管脚，便于接入控制数码管显示的驱动电路。

clk (时钟信号)被分配到 H4 管脚，提供稳定的时钟信号源。

(2) 板级硬件资源的利用:

IO 标准: 所有端口均采用 LVCMOS18 标准 (1.8V CMOS)，是基于 FPGA 板上供

电系统的设计选择，使用一致的 IO 标准有助于简化 PCB 设计和电源管理。

Pull Type: 对于 SW 开关，设置了内部下拉（PULLDOWN），这是为了确保在开关未被按下时，输入端口有一个确定的逻辑状态（逻辑低）。

Slew Rate: 大多数管脚的 Slew Rate（信号上升/下降速度）被设置为 SLOW，这有助于减少高速信号可能产生的噪声和电磁干扰。

Drive Strength: Drive Strength（驱动强度）没有特别指定，将使用 FPGA 标准的默认值，不需要额外的驱动强度。

Vcco: 供电电压被统一设置为 1.8V，与 LVC MOS18 标准一致。

2 逻辑程序设计

2.1 逻辑程序源代码

（正确性：15 分；功能完备、交互性、创新性：10 分）

```
module Display(  
    input clk, //时钟信号  
    input [31:0] data, //32位被显示数据  
    output reg [7:0] seg, //段选信号  
    output reg [2:0] which=0 //片选信号  
);  
  
//分频扫描  
reg [15:0] count=0; //扫描循环计数器  
  
//周期性更新每个数码管的显示  
always@(posedge clk) //时钟信号上边沿触发  
    count<=count+1'b1; //计数器+1  
always@(negedge clk)  
    if(&count)  
        which<=which+1'b1; //切换到下一片数码管
```



```

reg [3:0] digit;//当前数码管显示数据
//根据数码管的片选，对当前电亮的数码管赋予4位的当前显示数据
always @*
begin
case(which)
0:digit<=data[31:28];//片选信号AN7有效
1:digit<=data[27:24];//片选信号AN6有效
2:digit<=data[23:20];//片选信号AN5有效
3:digit<=data[19:16];//片选信号AN4有效
4:digit<=data[15:12];//片选信号AN3有效
5:digit<=data[11:8];//片选信号AN2有效
6:digit<=data[7:4];//片选信号AN1有效
7:digit<=data[3:0];//片选信号AN0有效
endcase
end

```

//设置7段LED对应数字（十六进制数码转换为段选信号）

```

always @*
begin
case(digit)
4'h0:seg<=8'b00000011;
4'h1:seg<=8'b10011111;
4'h2:seg<=8'b00100101;
4'h3:seg<=8'b00001101;
4'h4:seg<=8'b10011001;
4'h5:seg<=8'b01001001;
4'h6:seg<=8'b01000001;
4'h7:seg<=8'b00011111;
4'h8:seg<=8'b00000001;
4'h9:seg<=8'b00001001;
4'hA:seg<=8'b00010001;
4'hB:seg<=8'b11000001;
4'hC:seg<=8'b01100011;
4'hD:seg<=8'b10000101;
4'hE:seg<=8'b01100001;
4'hF:seg<=8'b01110001;
endcase
end
endmodule

```

```

module w4(
input clk,//时钟信号
input [1:0] SW,//开关
output wire [7:0] seg,//数码管段选信号
output wire [2:0] which,//数码管片选信号
output reg EN=1//通过控制译码器使能信号来控制数码管使能，默认开启数码管
);

reg [31:0] curdata;
reg [31:0] data0=32'h12345678;
reg [31:0] data1=32'h87654321;
reg [31:0] data2=32'hABCDEF01;

always@(*)
begin
case(SW)
2'b00:EN<=0;
2'b01:begin EN<=1;curdata<=data0;end
2'b10:begin EN<=1;curdata<=data1;end
2'b11:begin EN<=1;curdata<=data2;end
endcase
end

Display display(clk,curdata,seg,which);//调用数码管显示模块
endmodule

```

2.2 管脚约束程序源代码

(5 分)

```

# PlanAhead Generated physical constraints

NET "SW[1]" LOC = T3;
NET "SW[0]" LOC = U3;
NET "seg[7]" LOC = H19;
NET "seg[6]" LOC = G20;
NET "seg[5]" LOC = J22;
NET "seg[4]" LOC = K22;
NET "seg[3]" LOC = K21;
NET "seg[2]" LOC = H20;
NET "seg[1]" LOC = H22;
NET "seg[0]" LOC = J21;
NET "clk" LOC = H4;
NET "EN" LOC = L21;
NET "which[2]" LOC = M22;
NET "which[1]" LOC = M21;
NET "which[0]" LOC = N22;

```



```
# PlanAhead Generated IO constraints

NET "Sw[1]" IOSTANDARD = LVCMOS18;
NET "Sw[0]" IOSTANDARD = LVCMOS18;
NET "which[2]" IOSTANDARD = LVCMOS18;
NET "which[1]" IOSTANDARD = LVCMOS18;
NET "which[0]" IOSTANDARD = LVCMOS18;
NET "seg[7]" IOSTANDARD = LVCMOS18;
NET "seg[6]" IOSTANDARD = LVCMOS18;
NET "seg[5]" IOSTANDARD = LVCMOS18;
NET "seg[4]" IOSTANDARD = LVCMOS18;
NET "seg[3]" IOSTANDARD = LVCMOS18;
NET "seg[2]" IOSTANDARD = LVCMOS18;
NET "seg[1]" IOSTANDARD = LVCMOS18;
NET "seg[0]" IOSTANDARD = LVCMOS18;
NET "clk" IOSTANDARD = LVCMOS18;
NET "EN" IOSTANDARD = LVCMOS18;
NET "Sw[1]" PULLDOWN;
NET "Sw[0]" PULLDOWN;
```

3 验证方案设计

(进行板级验证的方案设计，10 分)

```
module test;

    // Inputs
    reg clk;
    reg [1:0] SW;

    // Outputs
    wire [7:0] seg;
    wire [2:0] which;
    wire EN;

    // Instantiate the Unit Under Test (UUT)
    w4 uut (
        .clk(clk),
        .SW(SW),
        .seg(seg),
        .which(which),
        .EN(EN)
    );
endmodule
```

```

initial begin
// Initialize Inputs
clk = 0;
SW = 0;
end
always #5 clk=~clk;
always @(posedge clk) begin
SW = 2'b00;
#5;
SW = 2'b01;
#20;
SW = 2'b10;
#20;
SW = 2'b11;
#20;
$finish;
end
endmodule

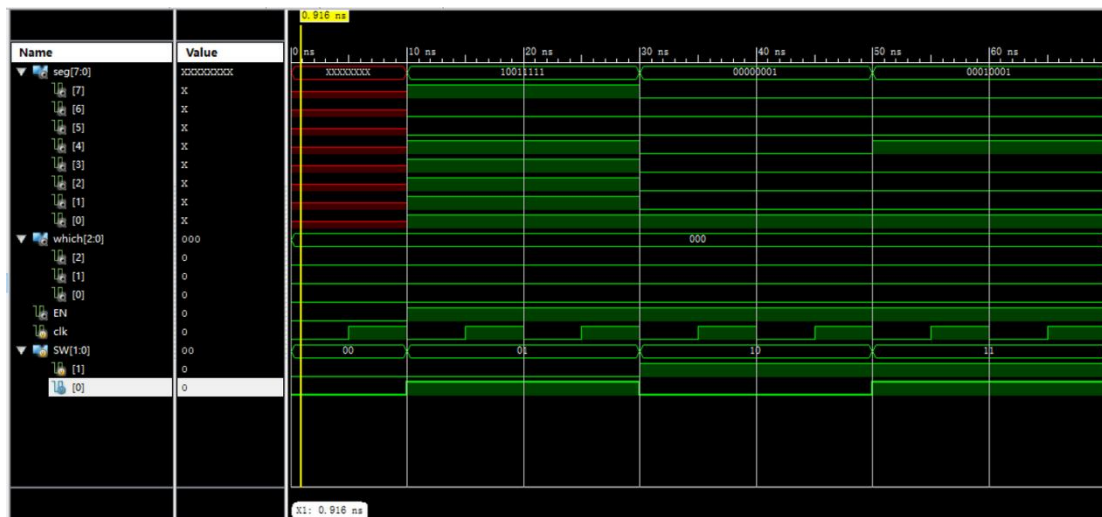
```

4 实验结果分析

4.1 结果记录与分析

（针对设计的板级验证方案，记录实验结果，并分析后给出结论：5分）

仿真波形：



板级验证结果：



数码管.mp4

SW[1:0]=2'b00 时，不点亮数码管；

SW[1:0]=2'b01 时，显示第一个数据 data0；

SW[1:0]=2'b10 时，显示第二个数据 data1；

SW[1:0]=2'b11 时，显示第三个数据 data2；

由实验结果可见，按要求拨动指定的 2 个拨动开关后能正确显示数码管输出，数码管显示稳定无闪烁。

4.2 实验出现的问题与解决方案

（描述实验中碰到的问题，以及解决的方法，5 分）

（1）Display 内置的分频频率不能设置过低，扫描速度太慢会导致观察到数码显像管出现闪烁；

（2）仿真测试代码中需先将 SW 初始化，否则 SW=00 时，seg 显示异常。

5 思考与探索

（参考实验指导书，至少选做 1 个，10 分）

1、实验中，某同学看到数码管显示的数字在闪烁，请分析是什么原因？应该如何解决？

可能是刷新率太低，如果数码管的多路复用刷新率不够高，人眼就能感知到显示的变化，导致闪烁现象。应该增加刷新率。

2、实验中，某同学看到数码管显示的数字半明半暗，请分析是什么原因？应该如何解决？

在多路复用设计中，如果扫描的时间不均匀，可能导致显示亮度不一。应调整代码中的扫描频率，确保每个数码管的激活时间相同。

3、实验中，某同学看到只有一只数码管点亮，另外的 7 片数码管未被点亮，请分析是什么原因？应该如何解决？

所有的数码管需要适当的电源供电才能正常工作。如果电源连接不当或电源不足，可能会导致只有一片数码管点亮。检查并确保所有数码管的电源连接正确且稳定。

6 意见和建议

（如有，请写出对本次实验的具体意见和建议，包括实验指导书、教学 PPT、实验内容、验收环节等）