课程报告

|  |  |  |  |
| --- | --- | --- | --- |
| **姓名** | 黄江晔 | **学号** | 22050201 |
| **实验时间** | 2024.1.5 | **实验地点** | 1教研楼223 |
| **实验序号** | 14 | **实验名称** | 数码管扫描显示 |
| **课程名称** | 数字电路课程设计 | **指导教师** | 戴玮辰 |

成绩表

|  |  |  |
| --- | --- | --- |
| **考核项目** | **考查分项** | **得分** |
| **1. 方案设计（30分）** | **实验目的（5分）** |  |
| **模块设计说明（20分）** |  |
| **输入输出I/O（5分）** |  |
| **2. 逻辑程序设计（30分）** | **逻辑程序源代码（15分）** |  |
| **功能完备、交互性、创新性（10分）** |  |
| **管脚约束程序源代码（5分）** |  |
| **3. 验证方案设计（10分）** | **板级验证方案的合理性（10分）** |  |
| **4. 实验结果分析（10分）** | **结果记录与分析（5分）** |  |
| **实验出现的问题与解决方案（5分）** |  |
| **5. 思考与探索（10分）** | **拓展提升（10分）** |  |
| **6. 格式（10分）** | **书写规范、图表清晰、表达清楚** |  |
| **合计** | |  |

# 方案设计

## 实验目的

（5分）

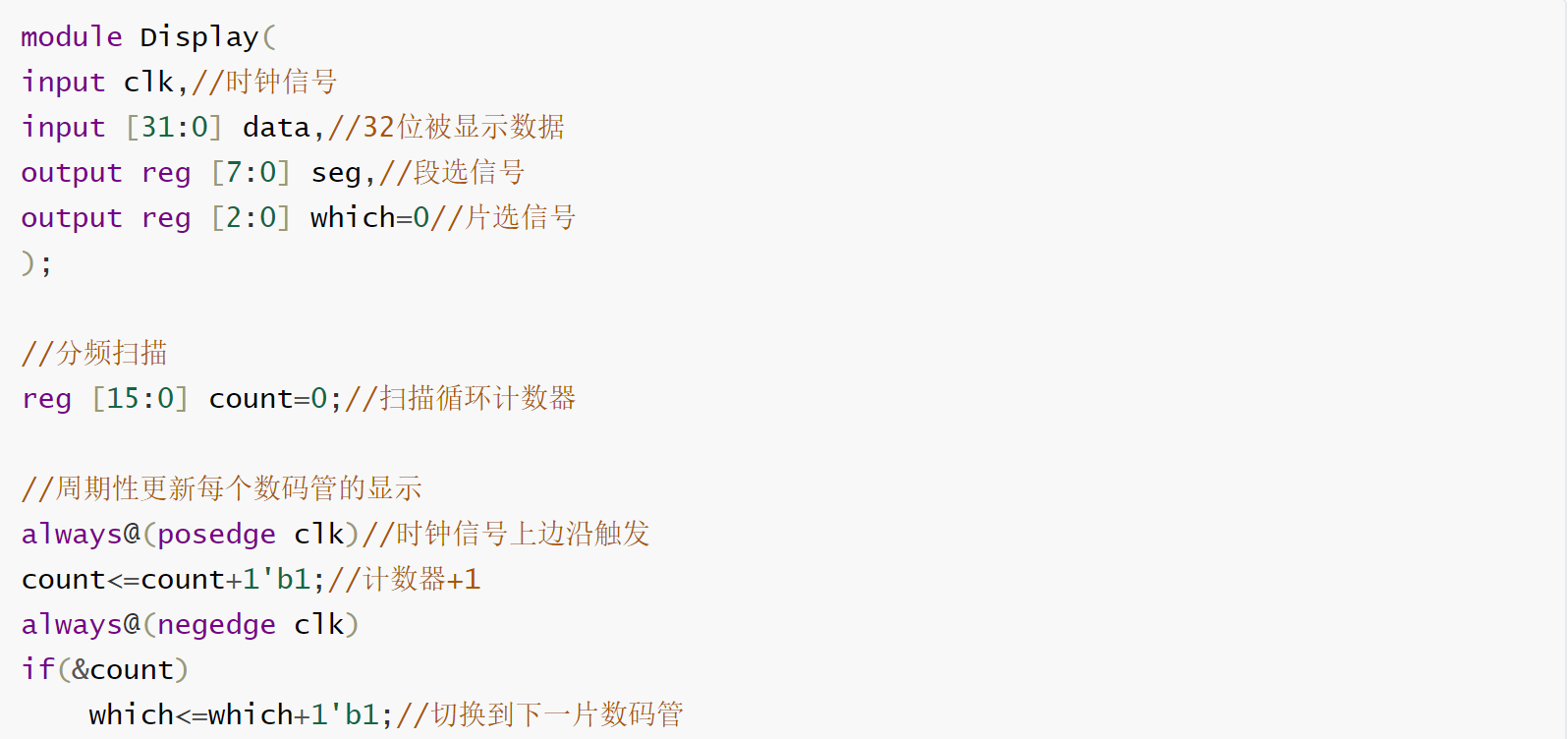
1.学习数码管的显示原理。掌握数码管的动态扫描方法。

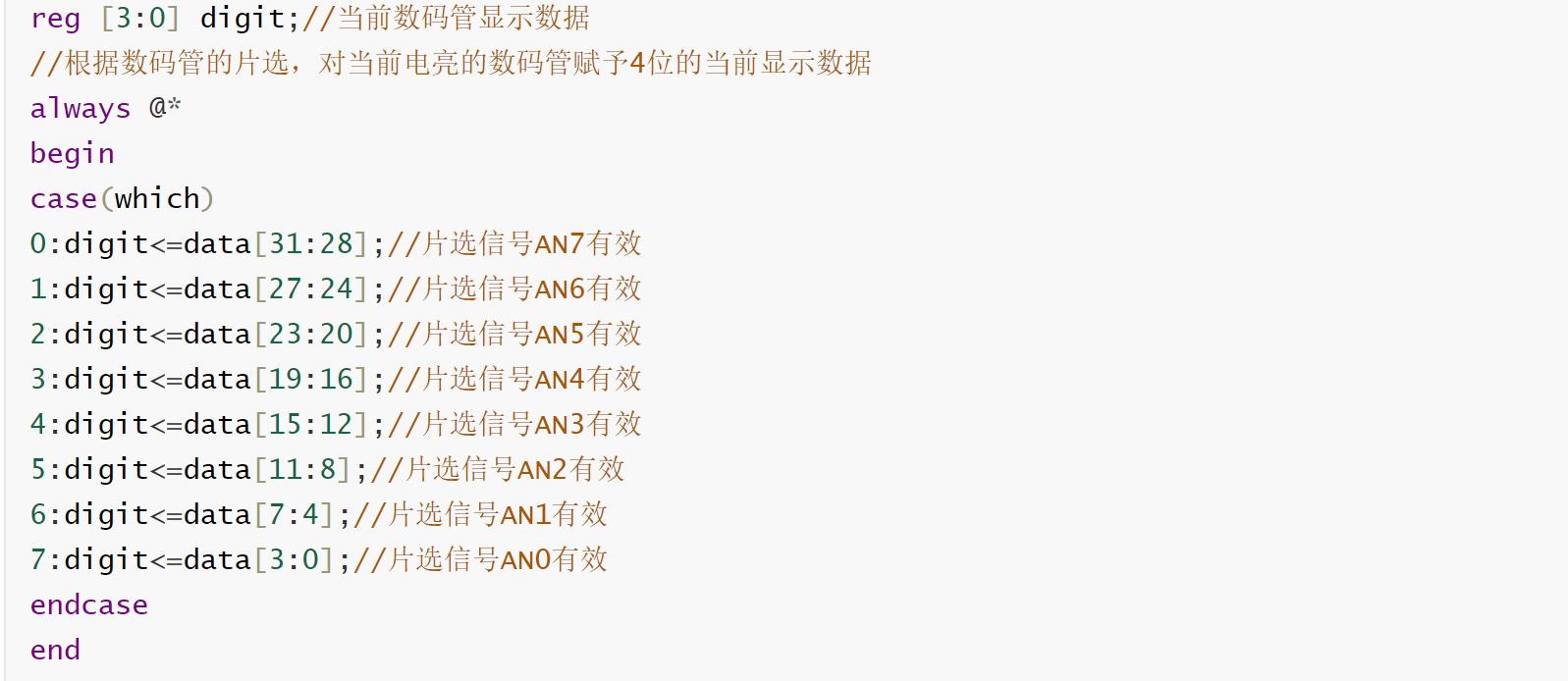
2.掌握灵活运用Verilog HDL语言进行各种描述与建模的技巧和方法。

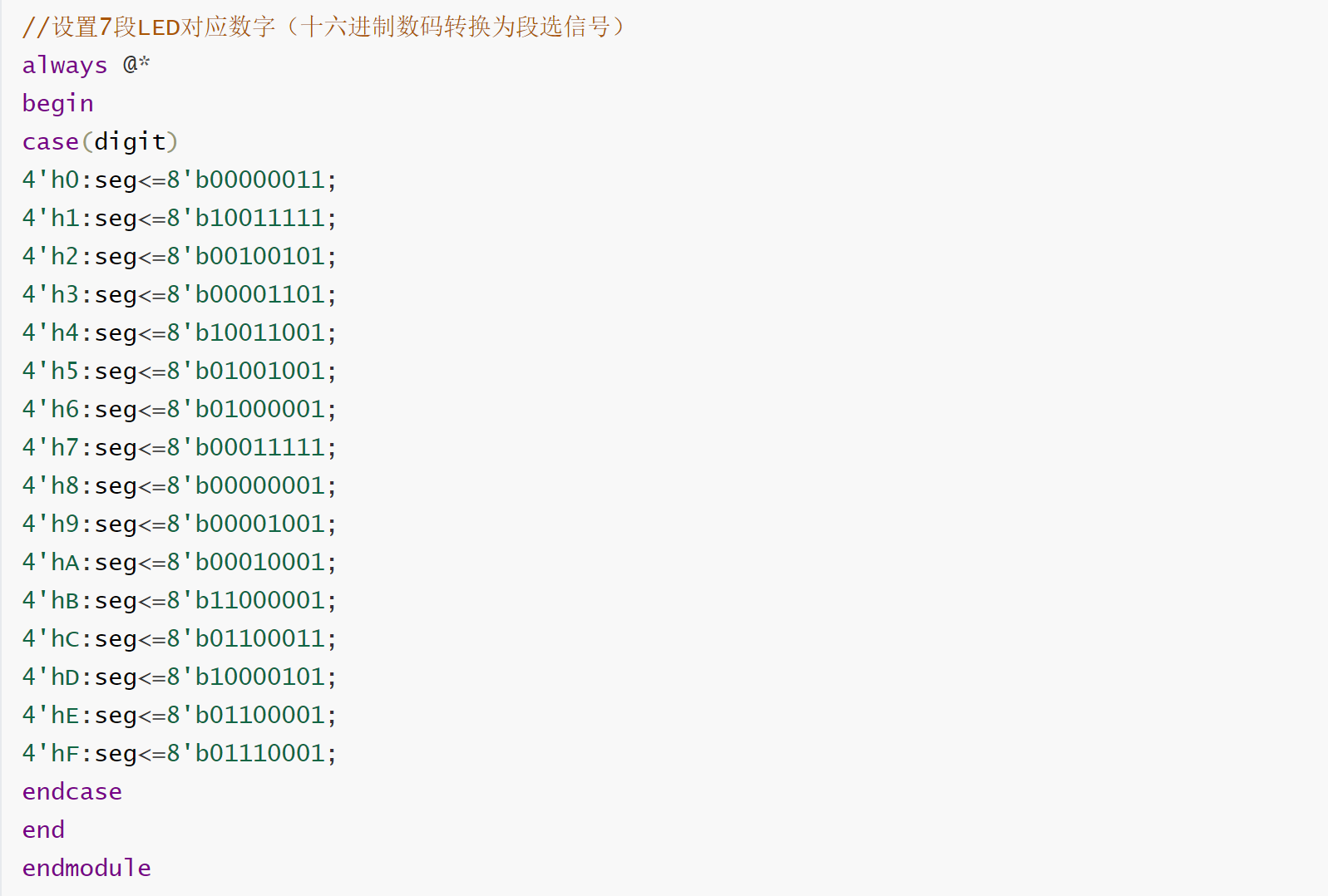
## 模块设计说明

（基于个人的程序代码，只有一个模块时，说明模块module的输入输出功能；存在多个模块时，还要提供模块架构图/说明，即模块与模块之间的关系，20分）

**（一）模块1：Display（8位七段数码管扫描显示模块）**







**（1）输入：**

clk：时钟信号

data (32位被显示数据): 32位宽的输入，其值将被分成8组4位数据，每组数据用于控制一个数码管显示0-F之间的一个十六进制数。

**（2）输出：**

seg (段选信号): 8位宽的输出信号，用于控制单个数码管上的7个段(LED)以及小数点(如果有)。根据digit的值，seg决定了数码管上哪些段应该被点亮以显示相应的数字或字符。

which (片选信号): 3位宽的输出信号，用于多路复用控制，决定当前哪一个数码管被激活。在任一时刻，只有一个数码管被激活并显示数据。

**（3）功能：**

分频扫描: 通过一个16位的计数器count，模块对输入的时钟信号进行分频以控制数码管的刷新率。当计数器达到最大值时（所有位都是1），which变量增加1，表示切换到下一个数码管。

多路复用显示: 根据which的值，模块从32位输入data中选择一个4位分段，并将其值存储在digit中，使得在不同时间点，不同的数码管显示data的不同部分。

段选信号控制: 将digit映射到特定的seg配置，根据digit的值（0-F）决定哪些段应该被点亮以表示相应的十六进制数字。

**（二）模块2：顶层模块（开关控制数码管显示）**



**（1）输入：**

clk：时钟信号

SW: 选择开关，2位宽的输入，用于选择要显示的数据。

**（2）输出：**

seg (数码管段选信号): 8位宽的输出信号，由内部调用的Display模块生成，用于控制单个数码管上的7个段(LED)和可能的小数点。

which (数码管片选信号): 3位宽的输出信号，由Display模块生成，用于多路复用控制，决定当前哪一个数码管被激活。

EN (数码管使能信号): 输出寄存器，默认为1（表示数码管被激活）。通过控制译码器使能信号来开启或关闭数码管的显示。

**（3）功能：**

数据选择: 根据输入开关SW的状态，选择不同的预定义数据（data0，data1，或data2）赋值给curdata，决定了显示在数码管上的内容。

显示控制: 如果SW为00，则通过设置EN为0来关闭显示。对于其他SW状态，设置EN为1以开启显示，并将对应的预定义数据赋值给curdata。

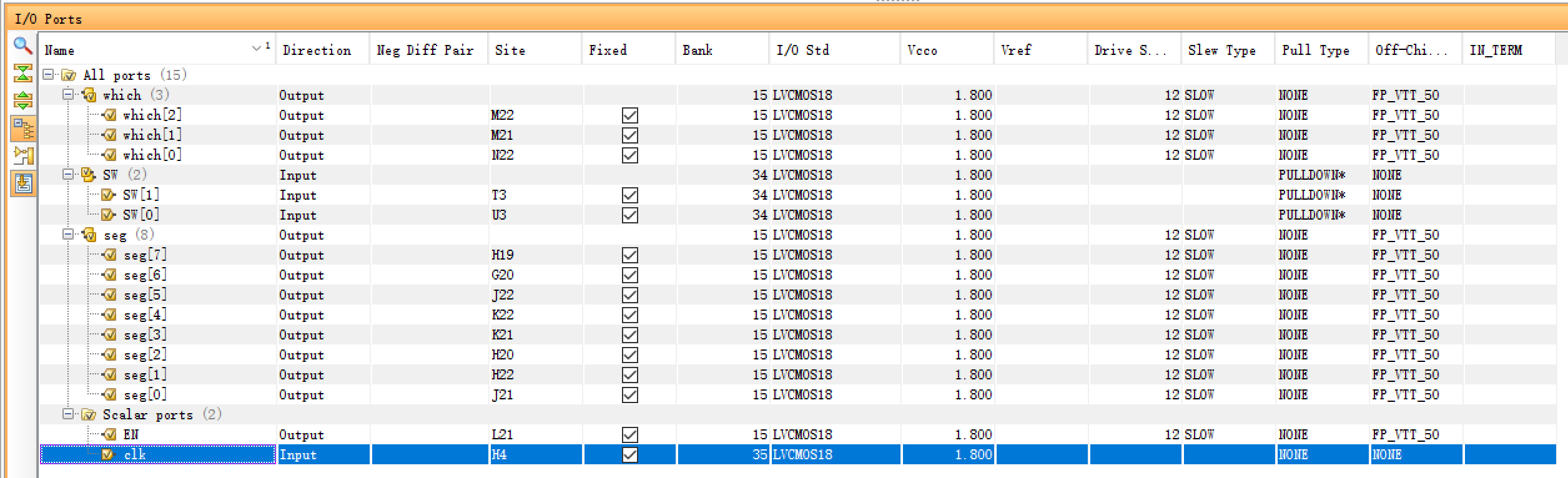
数码管显示: 调用内部的Display模块来控制数码管的显示。curdata是传递给Display模块的数据，而seg和which是从Display模块接收的控制信号，用于实际控制数码管。

**（三）模块架构说明**

Display模块是一个通用的8位七段数码管扫描显示模块，W4模块是顶层模块，预设了3个不同的32位显示数据data，由两个开关SW[1:0]控制显示，W4模块调用Display模块，实现数码管扫描显示实验。

## 输入输出I/O

（输入输出变量的I/O管脚需求分析，及对应的板级硬件资源配置理由，即如何选择和利用实板上的硬件资源，如变量对应按键、LED、数码管等，5分）



**（1）I/O管脚需求分析及硬件资源配置理由：**

which (数码管片选信号)被映射到M22, M21, 和N22管脚上。

SW （开关信号）分配给T3和U3，信号作为输入连接到板上的物理开关。

seg (数码管段选信号)控制数码管上的各个段，用于显示字符。由于有8位宽，因此需要8个引脚来驱动。这些信号被分配到了H19至J21，对应板上数码管的段控制引脚。

EN (使能信号)用于开启或关闭数码管显示，被分配到L21管脚，便于接入控制数码管显示的驱动电路。

clk (时钟信号)被分配到H4管脚，提供稳定的时钟信号源。

**（2）板级硬件资源的利用：**

IO标准：所有端口均采用LVCMOS18标准（1.8V CMOS），是基于FPGA板上供电系统的设计选择，使用一致的IO标准有助于简化PCB设计和电源管理。

Pull Type：对于SW开关，设置了内部下拉（PULLDOWN），这是为了确保在开关未被按下时，输入端口有一个确定的逻辑状态（逻辑低）。

Slew Rate：大多数管脚的Slew Rate（信号上升/下降速度）被设置为SLOW，这有助于减少高速信号可能产生的噪声和电磁干扰。

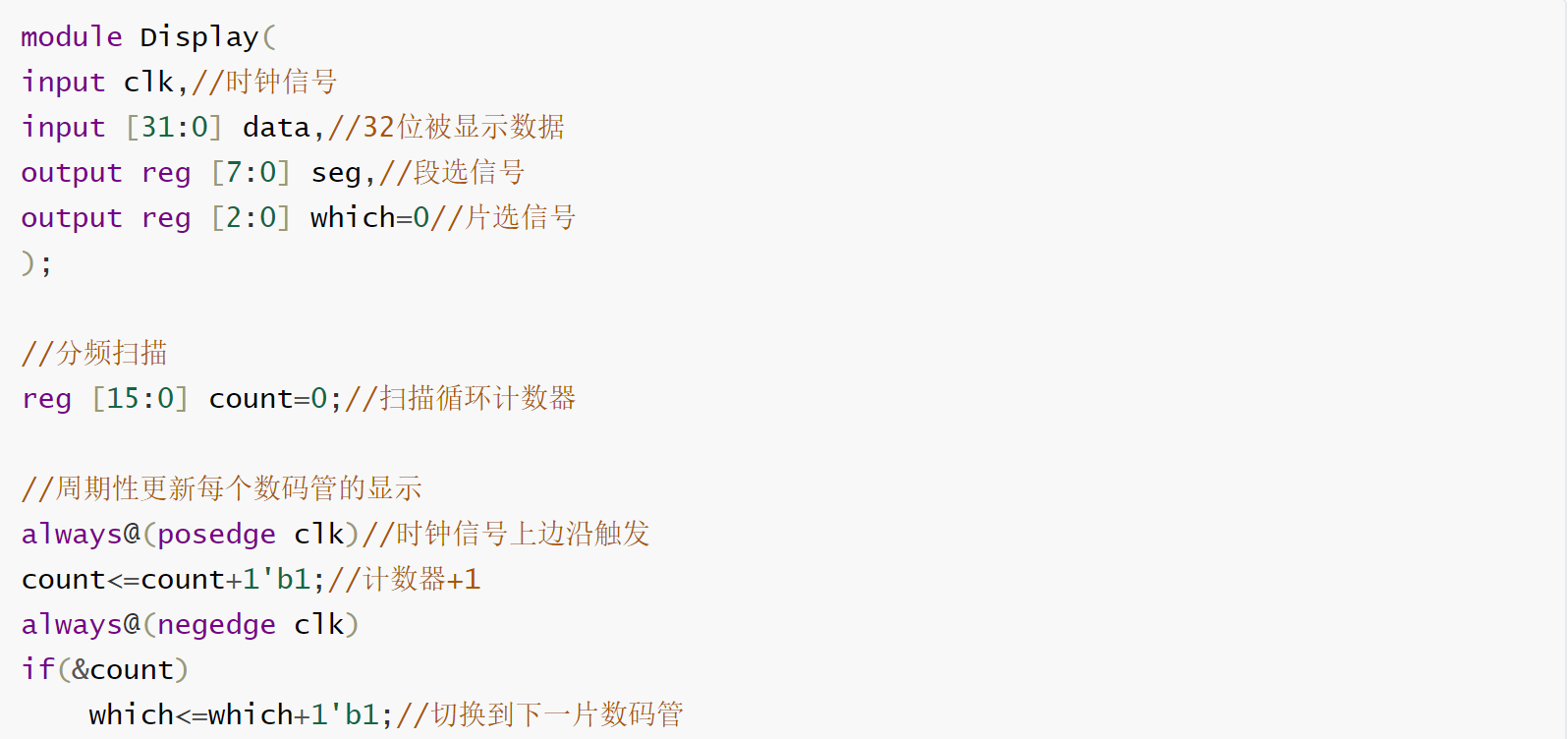
Drive Strength：Drive Strength（驱动强度）没有特别指定，将使用FPGA标准的默认值，不需要额外的驱动强度。

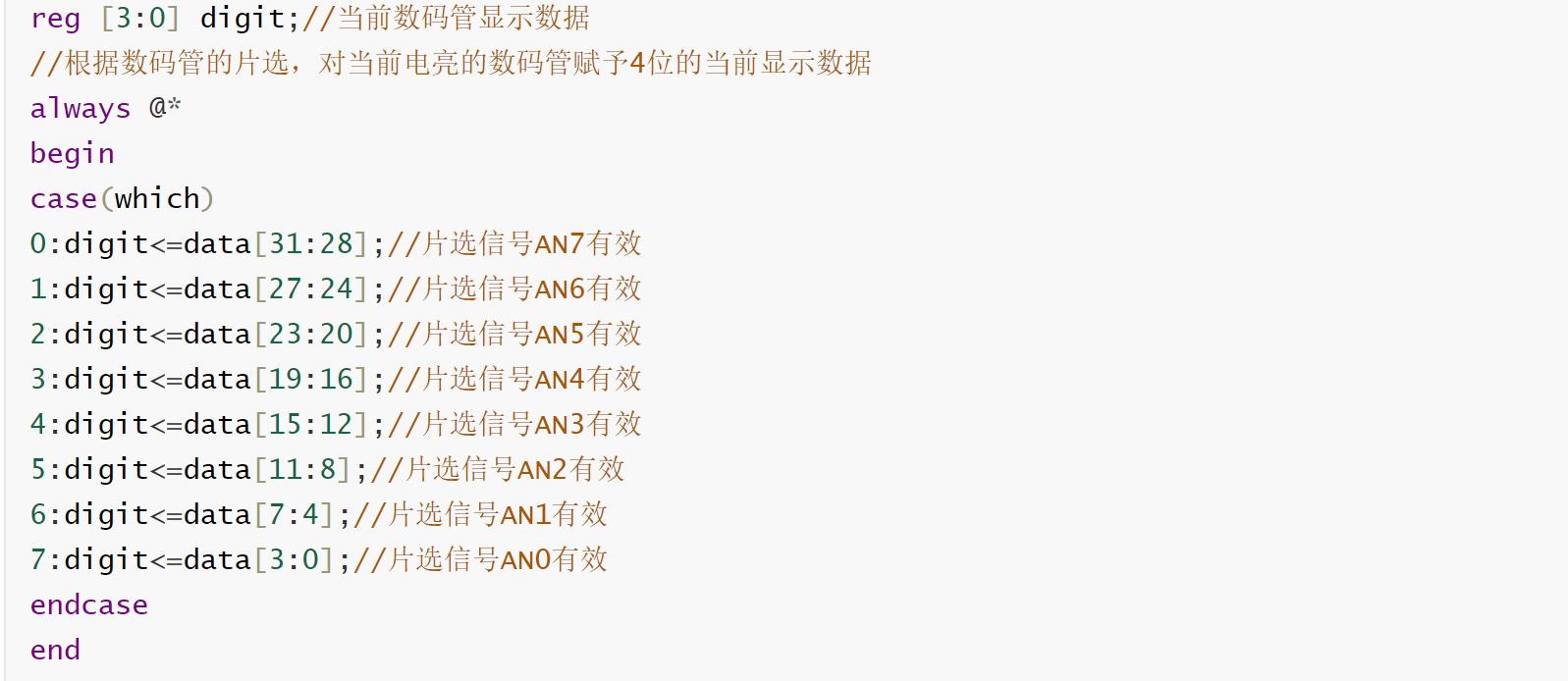
Vcco：供电电压被统一设置为1.8V，与LVCMOS18标准一致。

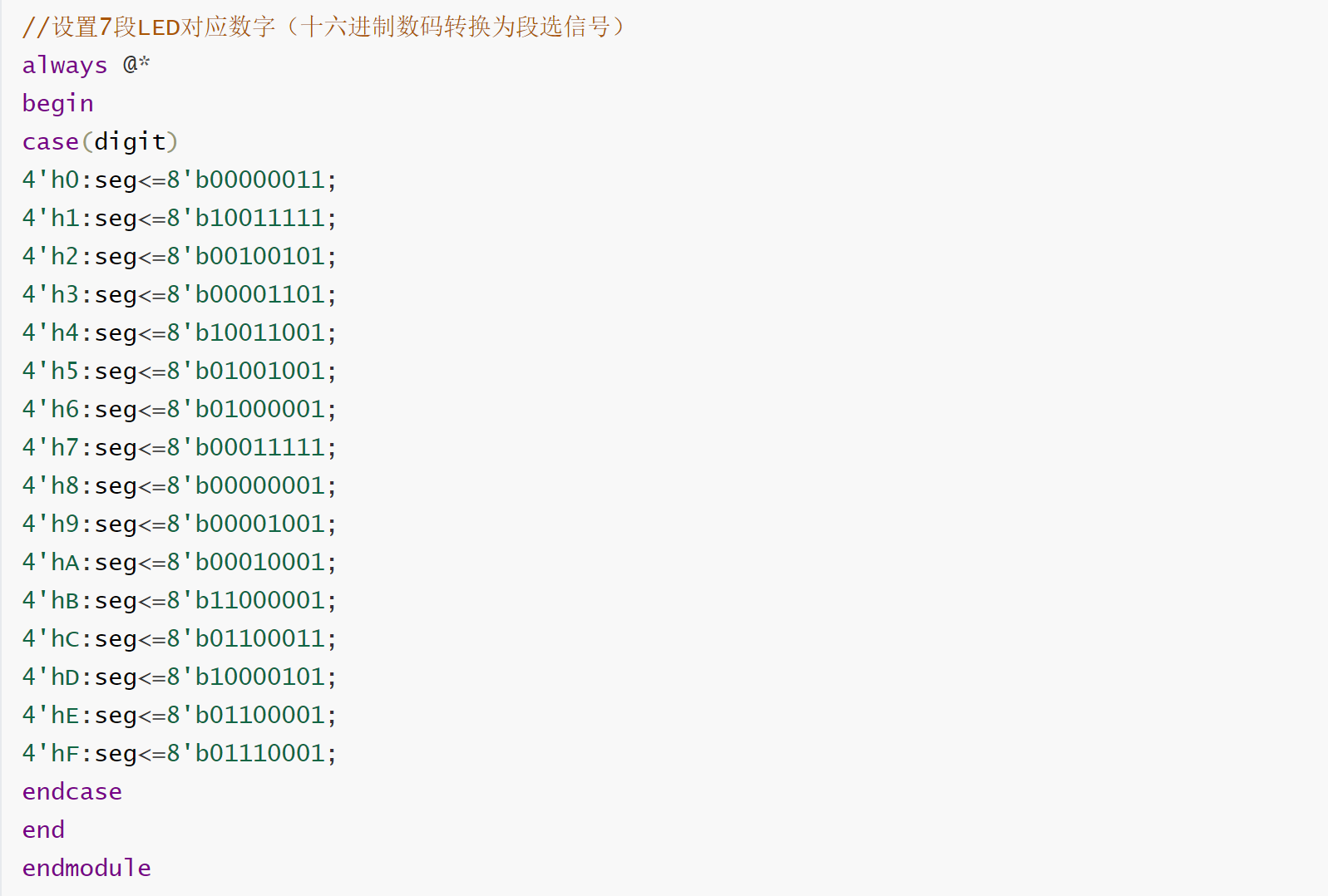
# 逻辑程序设计

## 逻辑程序源代码

（正确性：15分；功能完备、交互性、创新性：10分）



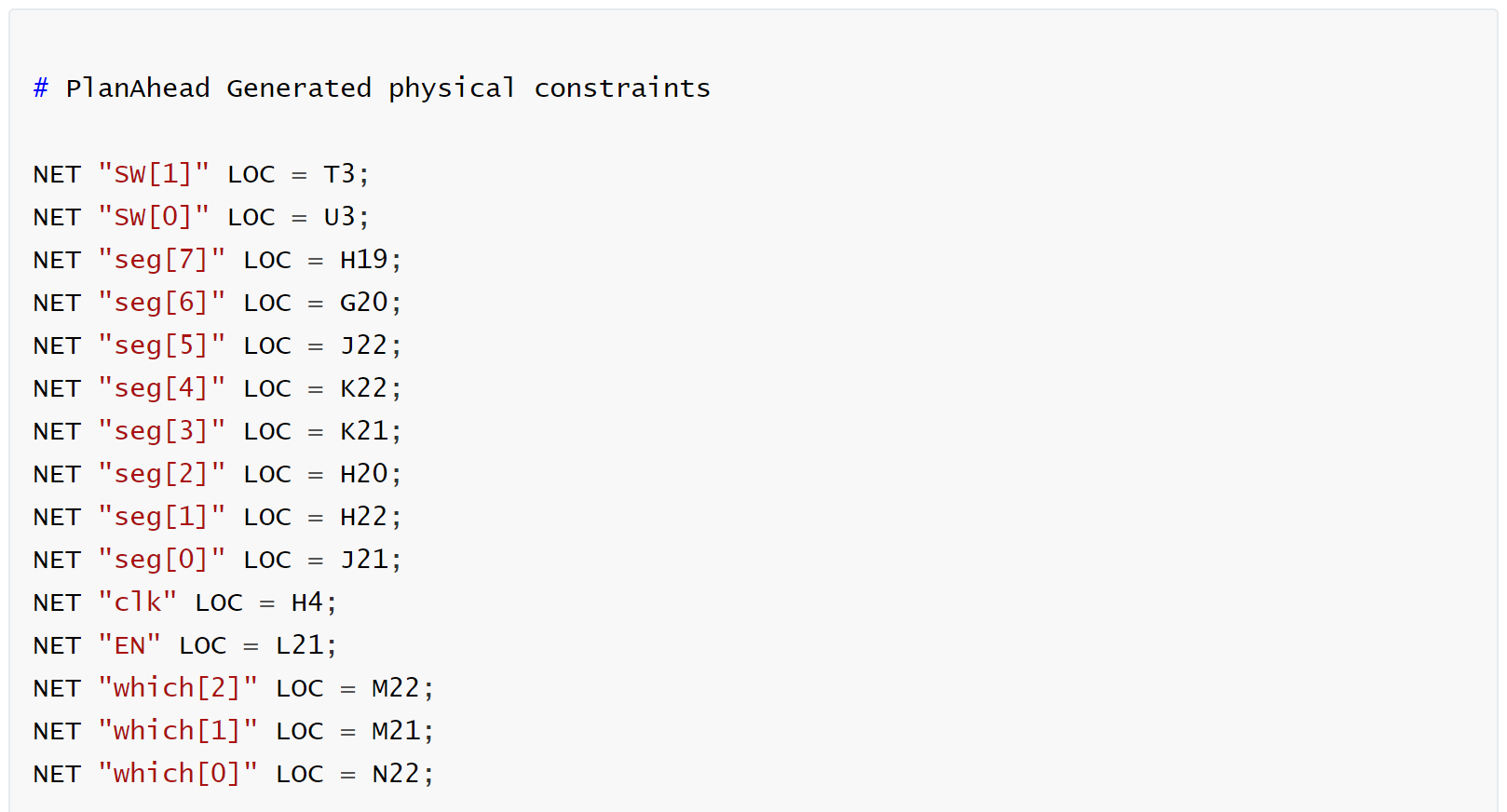


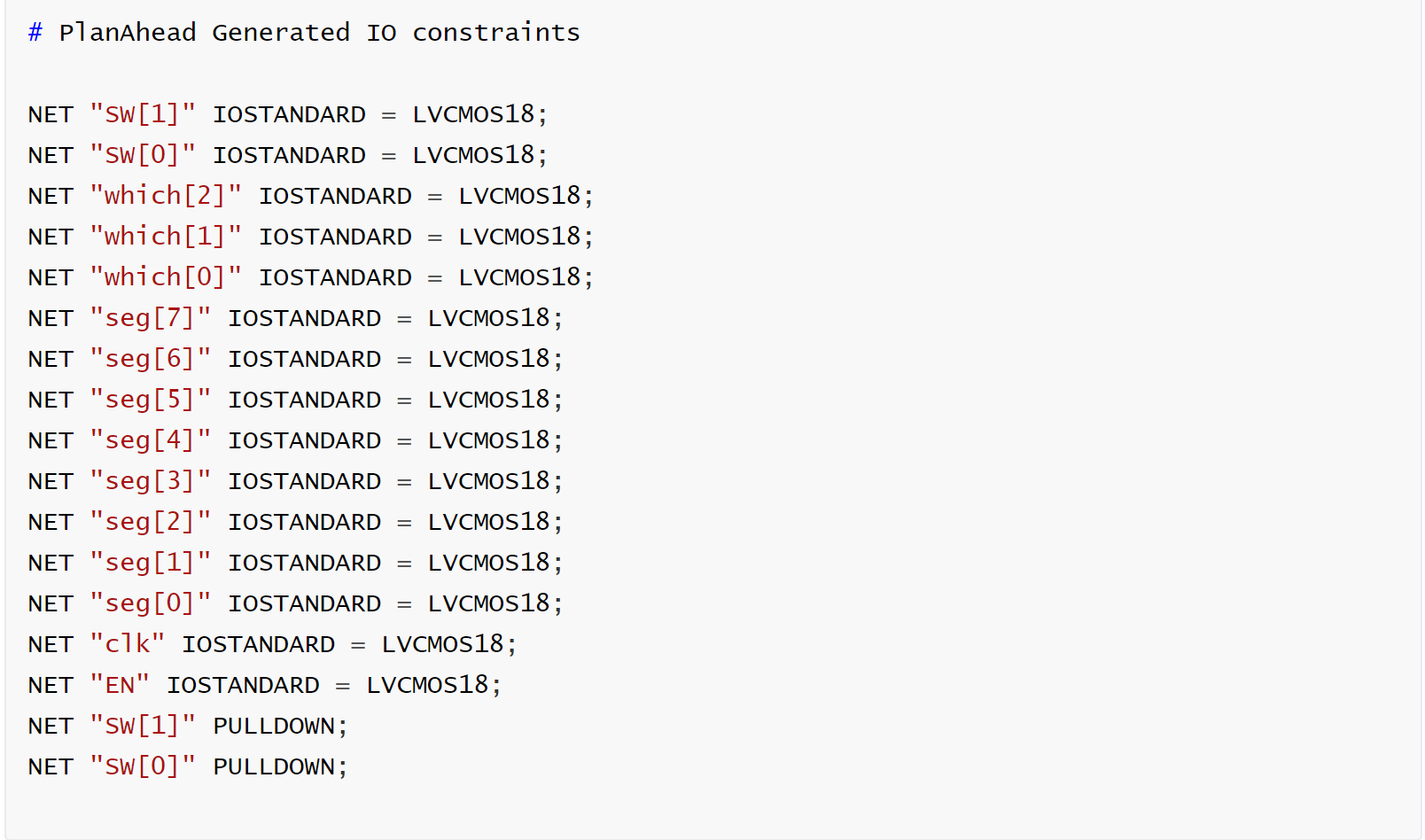




## 管脚约束程序源代码

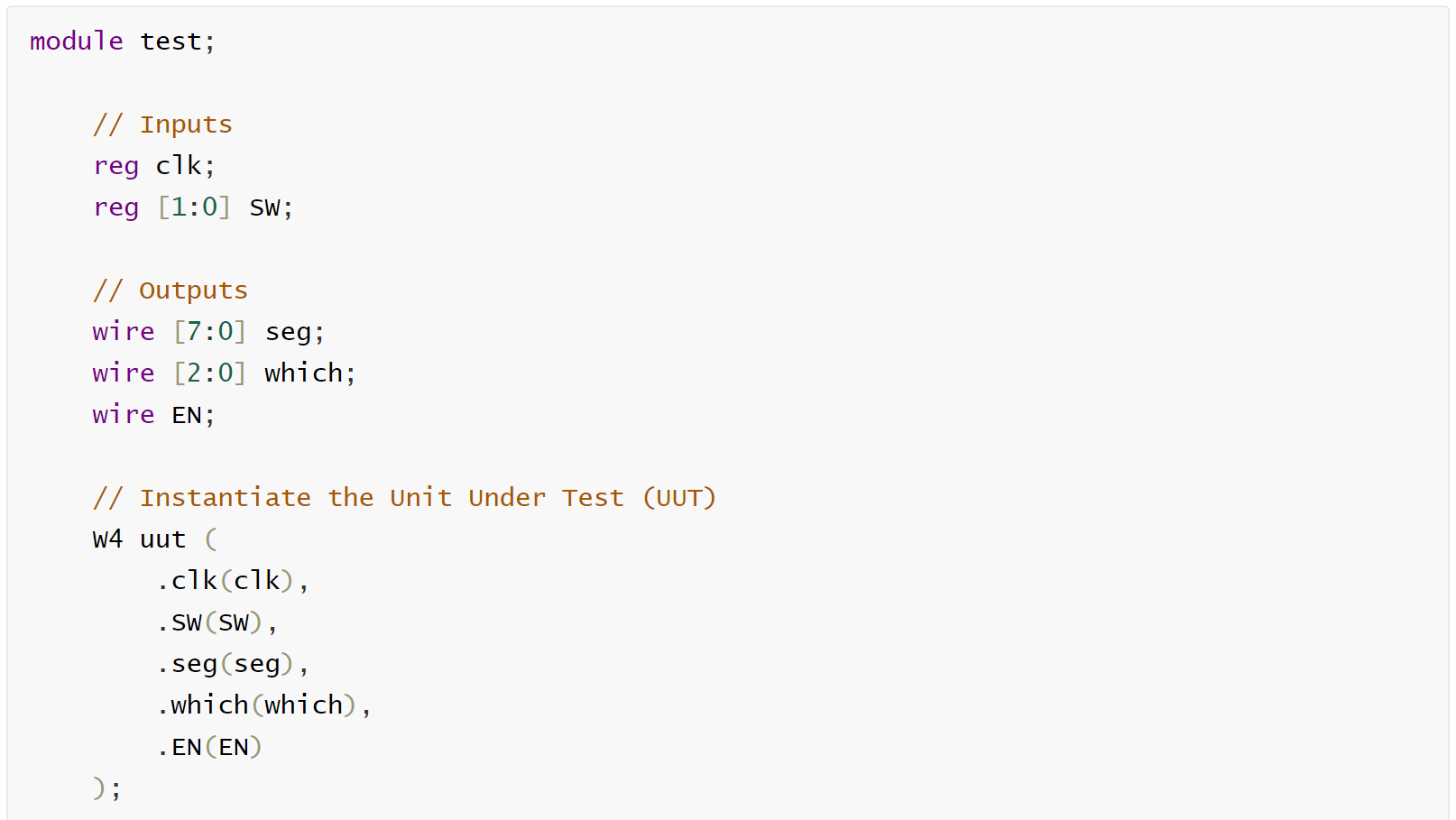
（5分）





# 验证方案设计

（进行板级验证的方案设计，10分）



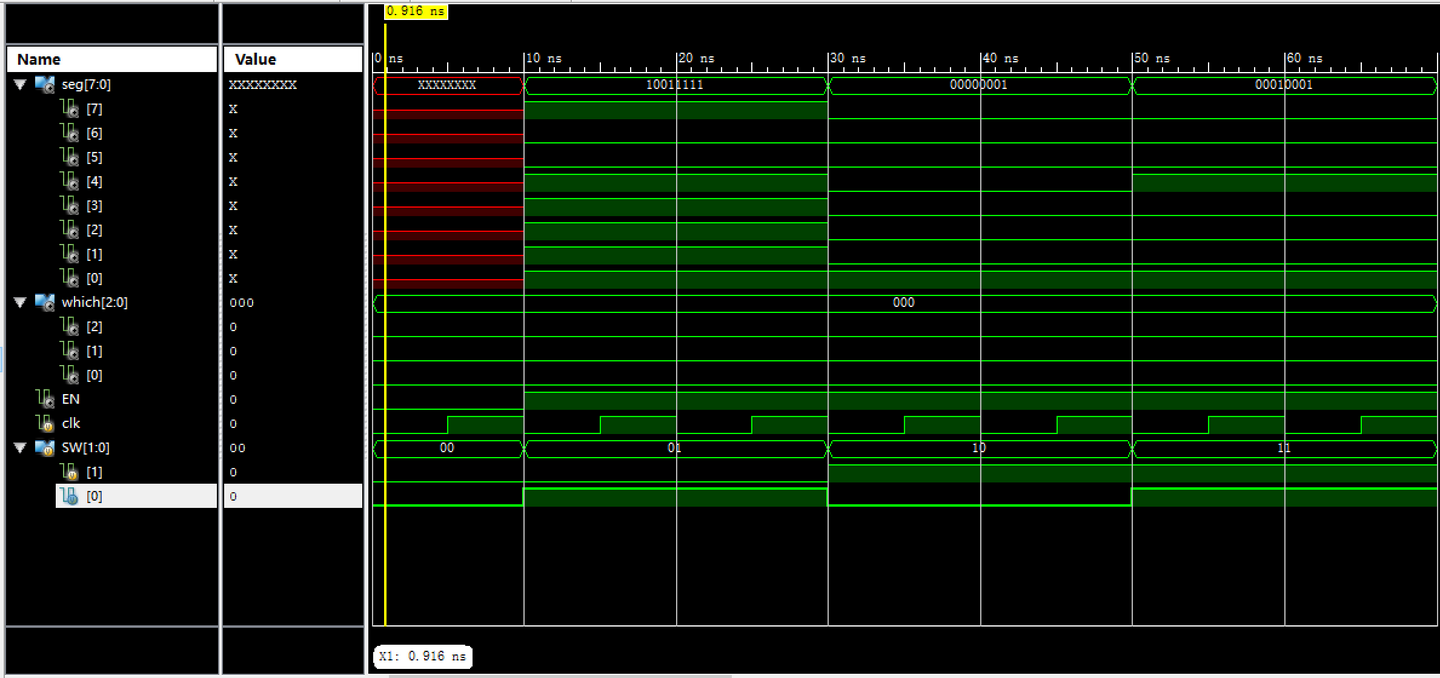


# 实验结果分析

## 结果记录与分析

（针对设计的板级验证方案，记录实验结果，并分析后给出结论：5分）

**仿真波形：**



**板级验证结果：**

SW[1:0]=2’b00时，不点亮数码管；

SW[1:0]=2’b01时，显示第一个数据data0;

SW[1:0]=2’b10时，显示第二个数据data1；

SW[1:0]=2’b11时，显示第三个数据data2；

由实验结果可见，按要求拨动指定的2个拨动开关后能正确显示数码管输出，数码管显示稳定无闪烁。

## 实验出现的问题与解决方案

（描述实验中碰到的问题，以及解决的方法，5分）

（1）Display 内置的分频频率不能设置过低，扫描速度太慢会导致观察到数码显像管出现闪烁；

（2）仿真测试代码中需先将SW初始化，否则SW=00时，seg显示异常。

# 思考与探索

（参考实验指导书，至少选做1个，10分）

**1、实验中，某同学看到数码管显示的数字在闪烁，请分析是什么原因？应该如何解决？**

可能是刷新率太低，如果数码管的多路复用刷新率不够高，人眼就能感知到显示的变化，导致闪烁现象。应该增加刷新率。

**2、实验中，某同学看到数码管显示的数字半明半暗，请分析是什么原因？应该如何解决？**

在多路复用设计中，如果扫描的时间不均匀，可能导致显示亮度不一。应调整代码中的扫描频率，确保每个数码管的激活时间相同。

**3、实验中，某同学看到只有一只数码管点亮，另外的7片数码管未被点亮，请分析时什么原因？应该如何解决？**

所有的数码管需要适当的电源供电才能正常工作。如果电源连接不当或电源不足，可能会导致只有一片数码管点亮。检查并确保所有数码管的电源连接正确且稳定。

# 意见和建议

（如有，请写出对本次实验的具体意见和建议，包括实验指导书、教学PPT、实验内容、验收环节等）