

數位系統設計作業-2



溫進坤

james_wen@hotmail.com

作業題目

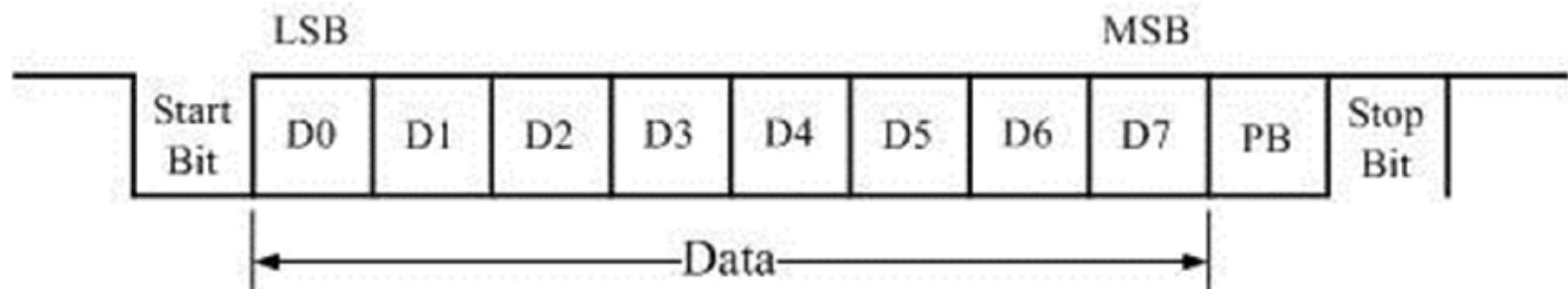
1. 設計一個UART TX，BaudRate：115200，Data：8 Bit，None Parity，1 Stop Bit。
2. 每次（write）輸入信號負緣後，讀取（write_value）當作TX Data，並開始傳送UART TXD。
3. 使用hw2_tb.v當Top level Testbench。
4. 使用同步式設計，只能使用clk_50M或reset當clock，不能使用其他輸入信號當clock使用。

UART Protocol

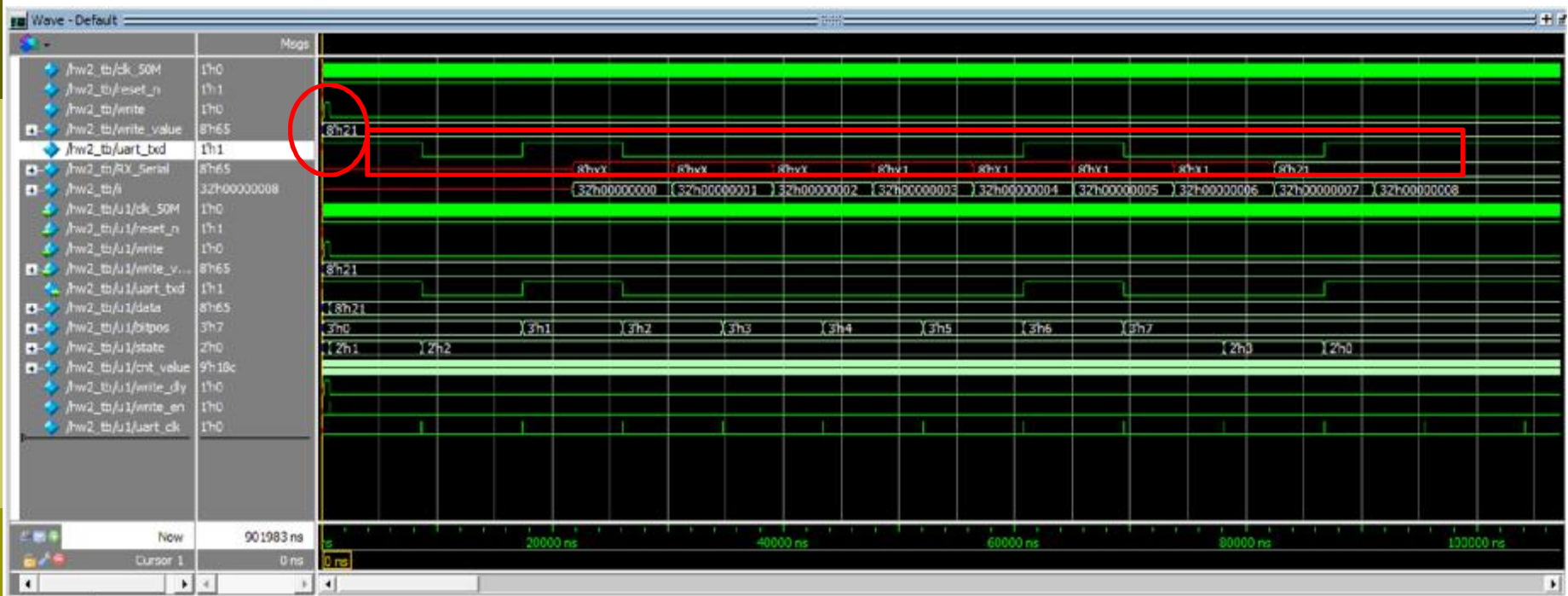
在串列傳輸通訊協定的格式內容裡，每個符號由四種資料共11個位元所組成，共分為：

1. 起始位元(Start Bit)
2. 資料內容(Data)
3. 奇偶同位元檢查碼(Priority Bit)
4. 停止位元(Stop Bit)

由最低有效位元LSB(Least Significant Bit)開始傳輸直至最高有效位元MSB(Most Significant Bit)，如下圖所示。(補充:奇偶同位元(PB)可以選擇忽略不使用)



輸出波形



輸出結果

```
# Loading work.hw2
add wave -r /*
VSIM3> run
# time= 0 reset_n=0 write=0 write_value= 33 uart_txd=x
# time= 11 reset_n=0 write=0 write_value= 33 uart_txd=1
# time= 30 reset_n=1 write=0 write_value= 33 uart_txd=1
# time=235 reset_n=1 write=1 write_value= 33 uart_txd=1
# time=747 reset_n=1 write=0 write_value= 33 uart_txd=1
# time=8691 reset_n=1 write=0 write_value= 33 uart_txd=0
# time=17371 reset_n=1 write=0 write_value= 33 uart_txd=1
# time=26051 reset_n=1 write=0 write_value= 33 uart_txd=0
# time=60771 reset_n=1 write=0 write_value= 33 uart_txd=1
# time=69451 reset_n=1 write=0 write_value= 33 uart_txd=0
# time=86811 reset_n=1 write=0 write_value= 33 uart_txd=1
# uart rx data = 33
# time=300747 reset_n=1 write=0 write_value= 67 uart_txd=1
# time=301092 reset_n=1 write=1 write_value= 67 uart_txd=1
# time=301365 reset_n=1 write=0 write_value= 67 uart_txd=1
# time=303811 reset_n=1 write=0 write_value= 67 uart_txd=0
# time=312491 reset_n=1 write=0 write_value= 67 uart_txd=1
# time=329851 reset_n=1 write=0 write_value= 67 uart_txd=0
# time=364571 reset_n=1 write=0 write_value= 67 uart_txd=1
# time=373251 reset_n=1 write=0 write_value= 67 uart_txd=0
# time=381931 reset_n=1 write=0 write_value= 67 uart_txd=1
# uart rx data = 67
# time=601365 reset_n=1 write=0 write_value=101 uart_txd=1
# time=601810 reset_n=1 write=1 write_value=101 uart_txd=1
# time=601983 reset_n=1 write=0 write_value=101 uart_txd=1
# time=607611 reset_n=1 write=0 write_value=101 uart_txd=0
# time=616291 reset_n=1 write=0 write_value=101 uart_txd=1
# time=624971 reset_n=1 write=0 write_value=101 uart_txd=0
# time=633651 reset_n=1 write=0 write_value=101 uart_txd=1
# time=642331 reset_n=1 write=0 write_value=101 uart_txd=0
# time=659691 reset_n=1 write=0 write_value=101 uart_txd=1
# time=677051 reset_n=1 write=0 write_value=101 uart_txd=0
# time=685731 reset_n=1 write=0 write_value=101 uart_txd=1
# uart rx data = 101
# ** Note: $finish : D:/work/part_time/NTUST/verilog/hw2/hw2_tb.v(49)
# Time: 901983 ns Iteration: 0 Instance: /hw2_tb
# 1
```

計分方式

1. 作業完成後，將verilog程式、輸出波形圖以及文字結果畫面截圖整理成Word檔案後上傳至Moodle[繳交作業]。
2. 上傳檔案名稱：學號_HW2.doc
3. 計分標準依完成順序及程式內容給分，若發現程式或輸出畫面結果有複製狀況，該員此次作業分數為0分。