

# 數位系統設計作業-1



溫進坤

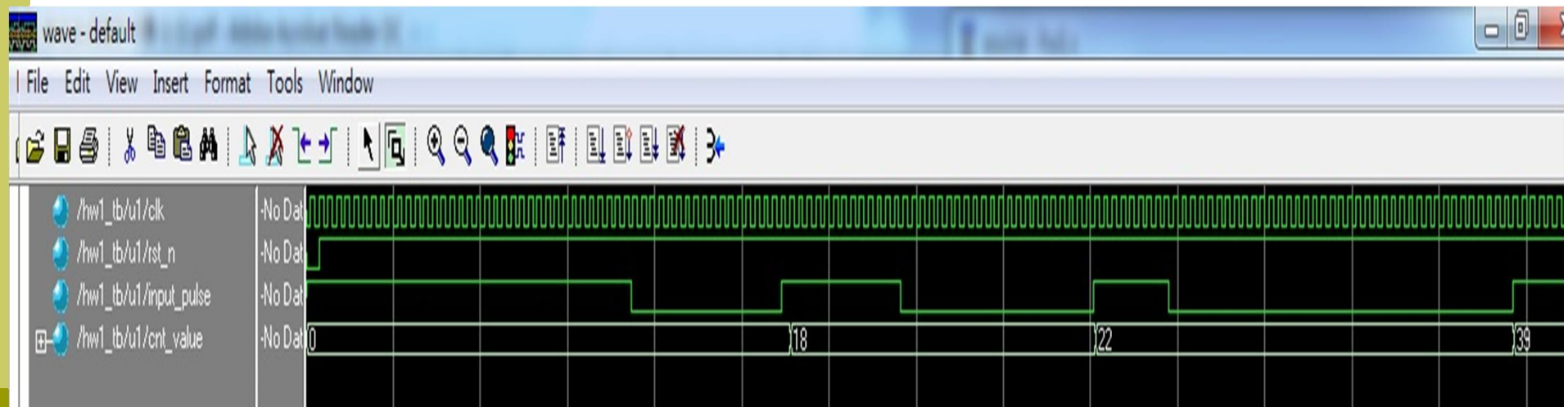
[james\\_wen@hotmail.com](mailto:james_wen@hotmail.com)

# 作業題目

---

1. 設計一個低準位計數器，計算輸入信號（input\_pulse）的低準位有多少個時脈（clk\_50M）正緣，並將計數結果輸出至（cnt\_value）。
2. 使用hw1\_tb.v當Top level Testbench。
3. 注意cnt\_value只能在每次輸入信號（input\_pulse）正緣之後改變一次，在低準位期間不能改變其數值。
4. reset\_n = 0時，cnt\_value需清除為0。

# 作業輸出波形範例



# 作業輸出文字結果範例

---

```
# Reading C:/Modeltech_5.7/tcl/vsim/pref.tcl
# Loading project hw1_2019
# Compile of hw1.v was successful.
# Compile of hw1_tb.v was successful.
# 2 compiles, 0 failed with no errors.
vsim work.hw1_tb
# vsim work.hw1_tb
# Loading work.hw1_tb
# Loading work.hw1
run -all
# time=      0 reset_n=0 input_pulse=1 cnt_value=  x
# time=      1 reset_n=0 input_pulse=1 cnt_value=  0
# time=     30 reset_n=1 input_pulse=1 cnt_value=  0
# time=    747 reset_n=1 input_pulse=0 cnt_value=  0
# time=   1092 reset_n=1 input_pulse=1 cnt_value=  0
# time=   1111 reset_n=1 input_pulse=1 cnt_value= 18
# time=   1365 reset_n=1 input_pulse=0 cnt_value= 18
# time=   1807 reset_n=1 input_pulse=1 cnt_value= 18
# time=   1811 reset_n=1 input_pulse=1 cnt_value= 22
# time=   1980 reset_n=1 input_pulse=0 cnt_value= 22
# time=   2769 reset_n=1 input_pulse=1 cnt_value= 22
# time=   2771 reset_n=1 input_pulse=1 cnt_value= 39
# Break at D:/work/NTUST/Verilog/hw1_2019/hw1_tb.v line 34

VSIM 3>
```

# 計分方式

---

1. 作業完成後，將verilog程式、輸出波形圖以及輸出文字的結果，整理成Word檔案後上傳至Moodle[繳交作業]。(上傳檔名:hw1\_學號.doc)
2. 計分標準依完成順序及程式內容給分，若發現程式或輸出畫面結果有複製狀況，該員此次作業分數為0分。