

基于异构忆阻器的1T2M多值存储交叉阵列设计

孙晶茹^{*①} 李梦圆^① 康可欣^① 郝少鹏^② SunYichuang^③

^①(湖南大学信息科学与工程学院 长沙 410082)

^②(北京邮电大学电子工程学院 北京 100089)

^③(英国赫特福德大学物理工程与计算机科学学院 哈特菲尔德 英国 AL10 9AB)

摘 要: 忆阻器作为一种新型电子元件, 具有尺寸小、读写速度快、非易失性和易于与CMOS电路兼容等特性, 是实现非易失性存储器最具发展前景的技术之一。但是已有的多值存储交叉阵列存在电路结构复杂、漏电流和存储密度低等问题, 影响了多值存储交叉阵列的实用性。该文提出一种基于异构忆阻器的多值存储交叉阵列, 其中存储单元由1个MOS管和两个具有不同阈值电压和 R_{on} 阻值的异构忆阻器构成(1T2M), 可实现单个电压信号完成4值读写的操作, 减少电流通路的同时简化了电路结构。通过PSpice进行仿真验证, 表明所提出的1T2M多值存储器交叉阵列与已有工作相比, 电路结构更简单, 读写速度更快, 并较好地克服了漏电流问题。

关键词: 忆阻器; 存储器; 交叉阵列; 漏电流

中图分类号: TN601; TN710

文献标识码: A

文章编号: 1009-5896(2021)06-1533-08

DOI: 10.11999/JEIT201108

Design of Heterogeneous Memristor Based 1T2M Multi-value Memory Crossbar Array

SUN Jingru^① LI Mengyuan^① KANG Kexin^① ZHU Shaopeng^② SUN Yichuang^③

^①(College of Computer Science and Electronic Engineering, Hunan University, Changsha 410082, China)

^②(School of Electronic Engineering, Beijing University of Posts and Telecommunications, Beijing 100089, China)

^③(School of Physics, Engineering and Computer Science, University of Hertfordshire, Hatfield AL10 9AB, UK)

Abstract: As a new type of electronic component, memristor has the characteristics of small size, fast reading and writing speed, non-volatile and easy to be compatible with CMOS circuits. It is one of the most promising technologies to realize non-volatile memory. However, the existing multi-value storage cross array has problems such as complex circuit structure, sneak path problem and low storage density, which affect the practicability of the multi-value storage cross array. In this paper, a multi-value memory crossbar array based on heterogeneous memristors is proposed, in which the memory cell is composed of one Transistor and two heterogeneous Memristors (1T2M) with different threshold voltages and R_{on} resistance values. A single voltage signal completes the four-value read and write operation, which reduces the current path and simplifies the circuit structure. Simulation verification by PSpice shows that compared with existing work, the proposed 1T2M multi-value memory crossbar array has simpler circuit structure, higher storage density, faster reading and writing speed, and overcomes better the leakage current problem.

Key words: Memristor; Memory; Crossbar array; Sneak paths

1 引言

随着5G、人工智能、大数据、物联网等技术的迅猛发展, 传统的存储技术已无法满足数据指数级增长的存储要求, 人们希望可以获得尺寸更小、读写速度更快、稳定性更好的存储技术来满足海量数据存储要求^[1]。

忆阻器于1971年由蔡少棠教授提出, 直到2008年HP实验室才发现了首个纳米级忆阻器

收稿日期: 2020-12-31; 改回日期: 2021-04-05; 网络出版: 2021-04-19

*通信作者: 孙晶茹 jt_sunjr@hnu.edu.cn

基金项目: 国家自然科学基金重大研究计划(91964108), 国家自然科学基金(61971185), 湖南省高校重点实验室开放基金(20K027)

Foundation Items: The Major Research Project of the National Natural Science Foundation of China (91964108), The National Natural Science Foundation of China (61971185), The Open Fund Project of Key Laboratory in Hunan Universities (20K027)

件,忆阻器具有尺寸小、读写速度快、功耗低和易于与CMOS技术兼容等特性,一经诞生就引起广泛关注,围绕忆阻器的研究从器件实现^[2-4]、忆阻器电路模型^[5]和忆阻器数学模型^[6]等多方面展开,另外忆阻器在逻辑电路^[7-10]、混沌电路^[11-14]、神经形态网络^[15-17]等领域得到广泛应用^[18],特别在存储器设计中,忆阻器的小尺寸和非易失性,使其成为最具前景的非易失性存储器技术。

最初基于忆阻器的存储交叉阵列研究试图利用忆阻器的阻变特性,实现多值存储^[19-21],但是忆阻器阻值变化速度快,准确地设定忆阻器阻值较为困难,并且阻值极易受到读写电流及外界因素影响,产生阻值漂移,影响存储器的稳定性。研究表明,忆阻器具有电压阈值特性,即当外加电压超过忆阻器阈值电压时,忆阻器会发生 R_{on} 和 R_{off} 之间的阻值突变,而当外加电压小于阈值电压时,忆阻器阻值基本保持不变^[22,23]。忆阻器的这一特性,使其更适用于需要稳定状态的逻辑电路及存储器电路设计,如文献[24]提出了一种具有稳定特性的存储单元,但该单元结构由6T1M构成,结构复杂,存储密度较低。忆阻器的双向性,造成阵列结构中存在严重的漏电流问题,如图1(a)所示,其中T表示控制忆阻器开关的MOS管,B为位线,W为字线。文献[20,25]提出了1T1M存储单元结构,用MOS管作为开关使存储单元单向化,1T1M结构由于其稳定性和较高的存储密度得到广泛应用。为增加存储密度,文献[26]提出了1T2M 4值存储阵列,但是该结构需要精确地控制脉冲电压宽带来设定忆阻器的4个阻态,增加了电路复杂度,另外串行的读取方式导致读速度较慢。文献[27]对1T2M结构进行了改进,每个忆阻器具有2个阻态,降低了对电压精度的要求,并行的读取方式提高了读速度,但该结构需要2个WL电压信号分别控制2个忆阻器的读写操作,这不仅增加了交叉阵列结构的复杂度,还会形成新的漏电

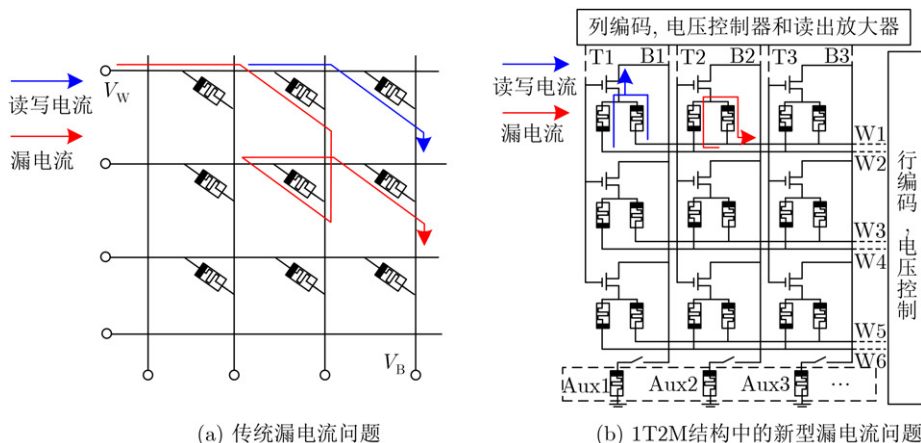
流问题,如图1(b)所示,与选择单元在同一行的非选择单元,会在2个忆阻器之间形成通路,导致新的漏电流产生。

基于以上分析,本文提出一种新型1T2M存储结构,该结构由2个具有不同阈值电压及 R_{on} 阻值的忆阻器和1个MOS管构成,1个WL电压信号即可完成2个忆阻器的读写操作,不仅简化了交叉阵列结构,也避免了新通过的漏电流问题的产生,具有较高的读写速度及存储密度。本文结构安排如下:第2节介绍忆阻器模型。第3节介绍所设计的1T2M存储器单元电路及交叉阵列结构,并进行读写电路原理分析。第4节采用PSpice对所提出的1T2M交叉阵列存储结构进行电路仿真,并与其他忆阻存储器进行比较分析。第5节总结全文。

2 忆阻器模型

在惠普忆阻器模型之后,研究人员采用不同材料实现了多种具有不同特性的忆阻器件,为了更好地拟合不同忆阻器件,也产生了多种不同的忆阻器模型,如线性离子漂移模型^[28]、非线性离子漂移模型^[29]、阈值自适应忆阻模型^[22]和通用电压控制忆阻器模型(Voltage Threshold Adaptive Memristor, VTEAM)^[23]等。其中,文献[23]提出的VTEAM模型利用阈值电压控制忆阻器在高阻态和低阻态之间的转换,较好地体现了忆阻器二值特性。相较于其他模型,VTEAM结构简单、通用性强,能够更好地拟合不同忆阻器件,在忆阻存储和逻辑电路的设计中得到广泛应用。VTEAM模型的电流电压特性可定义为

$$\frac{d\omega(t)}{dt} = \begin{cases} k_{on} \cdot \left(\frac{V(t)}{V_{off}} - 1 \right)^{V_{off}} \cdot f(\omega), & V < v_{off} < 0 \\ k_{on} \cdot \left(\frac{V(t)}{V_{on}} - 1 \right)^{\alpha_{on}} \cdot f(\omega), & V < V_{on} < 0 \end{cases} \quad (1)$$



(a) 传统漏电流问题

(b) 1T2M结构中的新型漏电流问题

图1 交叉阵列中的漏电流问题

$$i(t) = \left[R_{\text{on}} + \frac{R_{\text{off}} - R_{\text{on}}}{\omega_{\text{off}} - \omega_{\text{on}}} \cdot (\omega - \omega_{\text{on}}) \right]^{-1} \cdot v(t) \quad (2)$$

其中, V_{on} 和 V_{off} 表示忆阻器的阈值电压; R_{on} 表示忆阻器低阻态(LRS), R_{off} 表示高阻态(HRS)。 ω 表示内部状态变量, 其取值范围为 $[\omega_{\text{on}}, \omega_{\text{off}}]$; k_{on} 和 k_{off} 分别表示状态变量的变化率, 为常数; α_{on} 和 α_{off} 为常数; $v(t)$ 和 $i(t)$ 分别表示施加在忆阻器上的电压和电流。

式(1)中的 $f(\omega)$ 表示窗函数, 在该文中为 $f(x, i) = (a \cdot |x - \text{stp}(i)|)^p$ 。其中 stp 函数为 $\text{stp}(i) = \begin{cases} 1, i > 0; \\ 0, i \leq 0. \end{cases}$, 因此窗函数可表示为 $f(x, i) = \begin{cases} (a \cdot (1 - x))^p, i > 0; \\ (a \cdot x)^p, i \leq 0, \end{cases}$ 。窗函数可以很好地解决边界问题, 通过控制指数参数 p , 可以调整曲线的形状。通过控制线性参数 a , 对曲线进行向上或向下的缩放。VTEAM模型电压电流特性曲线如图2所示。

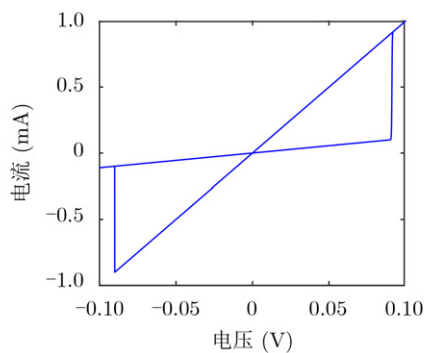
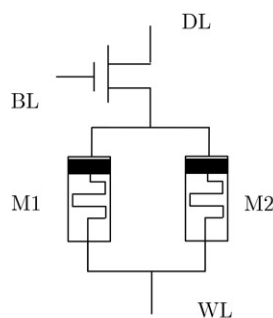


图2 忆阻器模型迟滞回线

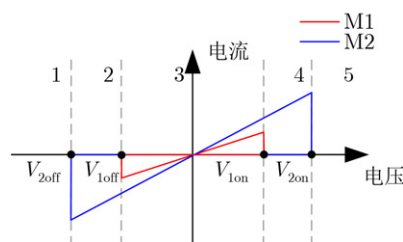
3 1T2M交叉阵列多值存储器

3.1 1T2M单元电路结构

本文提出的1T2M存储单元结构如图3(a)所示, 该存储单元由2个忆阻器及1个MOS管构成, 其中MOS管起到开关作用, 具有不同阈值电压和



(a) 一个1T2M单元



(b) 忆阻器M1, M2的电压-电流曲线

图3 1T2M存储单元

不同阻值的忆阻器相互并联, 实现4值存储功能, 其阻值与逻辑值的对应关系如表1所示, 其中 R_{on} 代表逻辑1, R_{off} 代表逻辑0。该存储单元通过输入单个电压即可操控两个忆阻器的阻值变化, 避免了2个输入电压可能造成的回路漏电流问题。为了便于计算, 可以将2个忆阻器的阻值关系设置为 $R_{\text{on1}} = 2R_{\text{off}}$, $R_{\text{off1}} = R_{\text{off2}} = R_{\text{off}}$, 且 $R_{\text{off}} \gg R_{\text{on1}}$, $R_{\text{off}} \gg R_{\text{on2}}$, 忆阻器M1, M2的电压-电流特性曲线如图3(b)所示。

将忆阻器M1, M2的电压-电流曲线划分为5个电压区间, 当忆阻器M1, M2两端的电压处于这5个区间时它们的阻值变化如表2所示, 其中电压在区间1为 $(-\infty, V_{2\text{off}})$, 区间2为 $(V_{2\text{off}}, V_{1\text{off}})$, 区间3为 $(V_{1\text{off}}, V_{1\text{on}})$, 区间4为 $(V_{1\text{on}}, V_{2\text{on}})$, 区间5为 $(V_{2\text{on}}, +\infty)$ 。

(1)当M1/M2两端电压位于区间1时, M1的阻值为 R_{off} , M2的阻值为 R_{off} 。

(2)当M1/M2两端电压位于区间2时, M1的阻值为 R_{off} , M2的阻值不变, 仍然保持为电压变化前的初始值 R_{ini2} 。

(3)当M1/M2两端电压位于区间3时, M1和M2的阻值不变, 为初始值 R_{ini1} 和 R_{ini2} 。

(4)当M1/M2两端电压位于区间4时, M1的阻值为 $2R_{\text{on}}$, M2的阻值不变, 保持为初始值 R_{ini2} 。

(5)当M1/M2两端电压位于区间5时, M1的阻值为 $2R_{\text{on}}$, M2的阻值为 R_{on} 。

在这5个电压区间下, 可以实现对两个忆阻器阻值状态的同时改变。

将本文所设计的1T2M单元放置在交叉阵列中, 所设计的多值存储交叉阵列如图4所示。

3.2 写操作

1T2M中的每个忆阻器可被编程为 R_{on} 和 R_{off} 2个阻态, 1个存储单元可表示4组不同的逻辑值, 如表1所示。

为将数据正确地写入1T2M单元, 应向相应的

表1 忆阻器M1, M2的电阻值和逻辑值的关系

M2	M1	逻辑值
R_{off}	R_{off}	00
R_{off}	$2R_{\text{on}}$	01
R_{on}	R_{off}	10
R_{on}	$2R_{\text{on}}$	11

表2 忆阻器M1, M2的电阻值与电压区间的关系

区间	电压	R_{M2}	R_{M1}
1	$(-\infty, V_{2\text{off}})$	R_{off}	R_{off}
2	$(V_{2\text{off}}, V_{1\text{off}})$	R_{ini2}	R_{off}
3	$(V_{1\text{off}}, V_{1\text{on}})$	R_{ini2}	R_{ini1}
4	$(V_{1\text{on}}, V_{2\text{on}})$	R_{ini2}	$2R_{\text{on}}$
5	$(V_{2\text{on}}, +\infty)$	R_{on}	$2R_{\text{on}}$

行线和列线施加不同区间的电压, 读取线接地。根据表2, 具体步骤如下:

(1)写入逻辑值“00”: 输入位于区间1的写入电压(-1 V), 此时, 2个忆阻器均呈现 R_{off} 状态, 写入了逻辑值“00”。

(2)写入逻辑值“11”: 输入位于区间5的写入电压(1 V), 此时, 2个忆阻器均呈现 R_{on} 状态, 写入逻辑值“11”。

与“00”和“11”的一步写入不同, “01”与“10”的写入均需两步才能完成。

(3)写入逻辑值“01”: 首先, 输入位于区间1的写入电压(-1 V), 使2个忆阻器均呈现 R_{off} 状态; 然后, 输入位于区间4的写入电压(0.7 V), 此时, M1转换为 R_{on} 状态。同时, 由于输入未达到M2的阈值电压, M2仍维持 R_{off} 状态, 完成逻辑值“01”的写入。

(4)写入逻辑值“10”: 首先, 输入位于区间5的写入电压(1 V), 使2个忆阻器均呈现 R_{on} 状态; 然后, 输入位于区间2的写入电压(-0.7 V), 此时, M1转换为 R_{off} 状态。同时, 由于输入电压未达到M2的阈值电压, M2仍维持 R_{on} 状态, 完成逻辑值“10”的写入。

通过步骤(1)—步骤(4)的操作, 可以实现4个状态的写入。

3.3 读操作

在读数据时, 为保证存储信息不被改变, 应将读取电压设置在区间3, 此时读取电压小于2个忆阻器的阈值电压, 可保证忆阻器的阻值不被改变。

读操作开始时, 通过BL和WL选择指定单元, 施加BL电压打开相应列的MOS管开关, 施加WL读取电压选择行。通过DL获得输出电流。通过测量输出电流, 获得1T2M存储单元的存储数据。

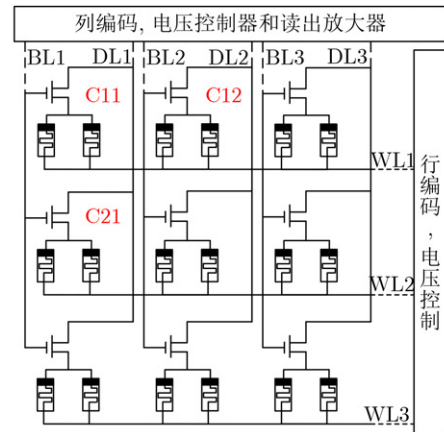


图4 本文所提1T2M多值存储交叉阵列

已知M1/M2并联结构下的总读取电流是 $I_r = \frac{V_r}{R_{\text{总}}} = \frac{V_r(R_{\text{M1}} + R_{\text{M2}})}{R_{\text{M1}}R_{\text{M2}}}$, 则读取电流信息如下:

(1)当存储数据为“00”时, M2为 R_{off} , M1为 R_{off} , 总阻值 $R_{\text{总}} = \frac{R_{\text{off}}}{2}$, 则读取电流 $I_r = \frac{2V_r}{R_{\text{off}}}$ 。

(2)当存储数据为“01”时, M2为 R_{off} , M1为 $2R_{\text{on}}$, 总阻值 $R_{\text{总}} = \frac{2R_{\text{on}}R_{\text{off}}}{2R_{\text{on}} + R_{\text{off}}}$ 值, 由 $R_{\text{off}} \gg R_{\text{on}}$, 则 $R_{\text{总}} \gg 2R_{\text{on}}$, 此时读取电流 $I_r = \frac{V_r}{2R_{\text{on}}}$, 即 $\frac{1}{2} \cdot \frac{V_r}{R_{\text{on}}}$ 。

(3)当存储数据为“10”时, M2为 R_{on} , M1为 R_{off} , 总阻值 $R_{\text{总}} = \frac{R_{\text{off}}R_{\text{on}}}{R_{\text{off}} + R_{\text{on}}}$, 由 $R_{\text{off}} \gg R_{\text{on}}$, 则 $R_{\text{总}} \approx R_{\text{on}}$, 此时读取电流 $I_r = \frac{V_r}{R_{\text{on}}}$, 即 $1 \cdot \frac{V_r}{R_{\text{on}}}$ 。

(4)当存储数据为“11”时, M2为 R_{on} , M1为 $2R_{\text{on}}$, 总阻值 $R_{\text{总}} = \frac{2R_{\text{on}}}{3}$, 此时读取电流 $I_r = \frac{3V_r}{2R_{\text{on}}}$, 即 $\frac{3}{2} \cdot \frac{V_r}{R_{\text{on}}}$ 。

至此, 通过施加读取电压并测量读取电流, 实现2 bit数据的读取。

在本文所提出的交叉阵列中, 同列单元可以同时写入, 同行单元可以进行并行读取。

4 仿真与比较

本节采用PSpice对所提出的存储器进行电路仿真。

4.1 存储单元仿真

本文所使用的忆阻器采用了VTEAM模型, 模型参数如表3所示。

通过对单个忆阻器及存储单元进行仿真, 其电压电流特性曲线如图5所示, 图5(a)为忆阻器电压电流曲线, 图5(b)为存储单元电压电流曲线。

表 3 忆阻器参数设置

参数	α_{off}	α_{on}	V_{off} (V)	V_{on} (V)	R_{off} (Ω)	R_{on} (Ω)	k_{off} (m/s)	k_{on} (m/s)
M2	1	3	-0.8	0.8	2E6	1E4	2E6	-3E7
M1	1	3	-0.6	0.6	2E6	2E4	2E6	-3E7

参数	D (nm)	w_{off} (nm)	w_{on} (nm)	a_{off}	a_{on}	p_{off}	p_{on}
M2	10	10	0	10	10	2.4	3.2
M1	10	10	0	10	12.9	2.4	4.2

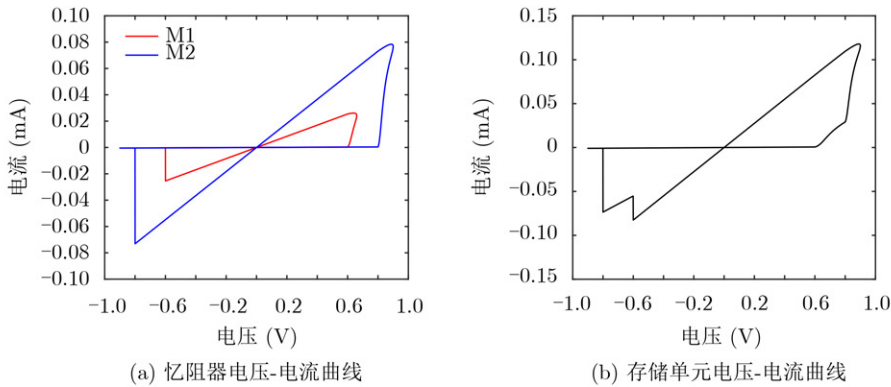


图 5 存储单元仿真

4.2 写仿真

(1)11-00写仿真

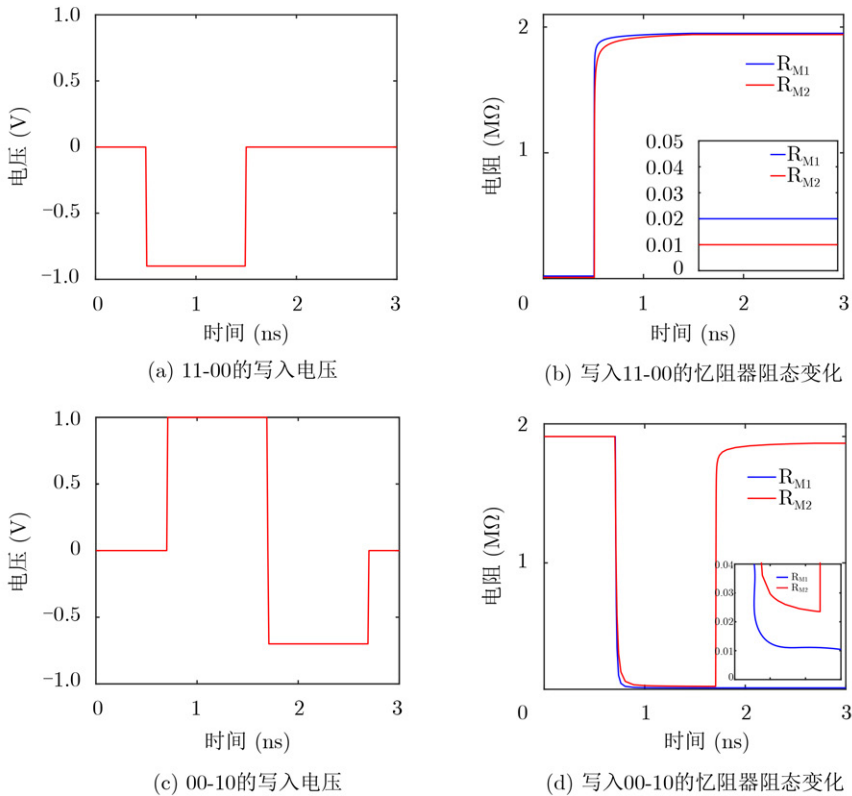
为实现11-00的写入，输入位于区间1的写入电压，则可观察到M1与M2均由 R_{on} 转换到 R_{off} 状态，如图6(a)、图6(b)所示。

(2)00-10写仿真

为实现00-10的写入，先后输入位于区间5(1 V)

和区间2(-0.7 V)的写入电压，如图6(c)，输入第1个写入电压后，M1和M2均由 R_{off} 转换为 R_{on} 状态，在第2个写入电压输入后，M2转换到 R_{off} 状态，如图6(d)，完成10的写入。

(3)与之类似，4个状态的连续写入仿真结果如图6(e)和图6(f)。



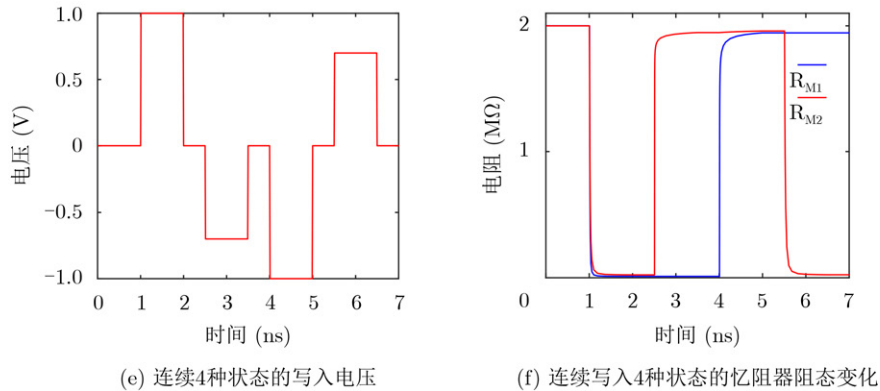


图6 写操作仿真结果

4.3 读仿真

在构建的 4×4 阵列中, 鉴于可以实现同一行存储单元的同时读取, 对单元C11, C22, C33, C44分别写入4种状态值, 进行了并行读取。得出了成比例的输出电流如图7所示, 读操作的时间延迟由图8可知, 当读电压为0.01 V时, 读操作的延迟约为0.01 ns。

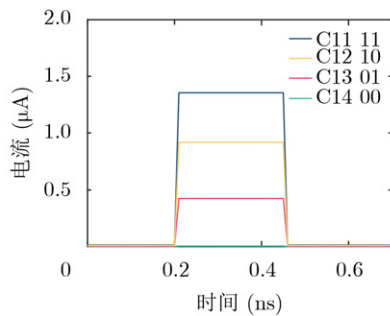


图7 不同单元的读电流

4.4 功耗

通过对4种不同的初始状态分别写入00, 01, 10, 11 4种逻辑, 对共16种写入情况的动态功耗进行仿真, 得到仿真结果如图9所示, 由于不同的初始状态的写入步骤和写入电压不同, 会对功耗造成影响。同理, 写入不同逻辑时, 功耗也会有很大的差异。

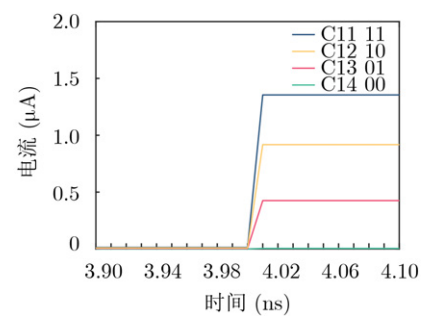


图8 读电流时间延迟

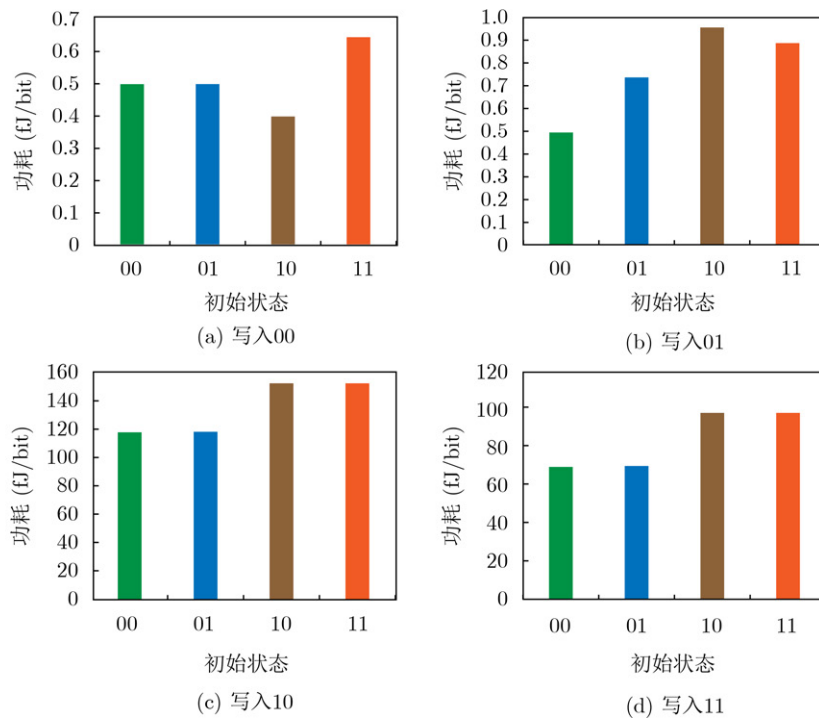


图9 不同初始状态下写操作功耗

4.5 比较

本文与已有工作进行了比较, 如表4所示, 本文所提出的4值存储交叉阵列, 可实现同行的并行读取, 结构更简单, 读写速度更快, 并通过单W/B线阵列, 有效避免了新的漏电流问题。

表4 不同存储模型的比较

模型	存储单元	读/写时间(ns)	W/B线	并行读取
文献[20]	1T1M	10 / 617	1 / 1	不支持
文献[26]	1T2M	6 / <20	2 / 1	不支持
文献[27]	1T2M	0.5 / 3	1 / 2	支持
本文	1T2M	0.24 / 1~2	1 / 1	支持

5 结束语

本文分析了已有多值存储交叉阵列, 特别是1T2M结构存在的问题, 提出了一种基于异构忆阻器的1T2M多值存储阵列结构。该结构采用具有不同阈值电压和 R_{on} 阻值的两个异构忆阻器并联实现4值存储功能, 并通过一条字线WL和一条位线BL完成读写操作。PSPICE仿真验证表明, 与已有忆阻存储交叉阵列结构相比所提出的阵列有效降低了漏电流、结构更简单、读写速度更快。

在未来的研究中, 我们将进一步利用异构忆阻器实现多值存储的特性, 设计实现具有更高存储密度的存储阵列, 并探索基于多值存储的存算一体架构实现方法。

参考文献

- [1] 曾晓洋, 薛晓勇, 温亮. 嵌入式存储器架构、电路与应用[M]. 北京: 科学出版社, 2020: 1-5.
ZENG Xiaoyang, XUE Xiaoyong, and WEN Liang. Embedded Memory Architecture, Circuits and Applications[M]. Beijing: Science Press, 2020: 1-5.
- [2] 王晓媛, 金晨曦, 周鹏飞. 忆阻数字逻辑电路设计[J]. 电子与信息学报, 2020, 42(4): 851-861. doi: 10.11999/JEIT190864.
WANG Xiaoyuan, JIN Chenxi, and ZHOU Pengfei. Memristive digital logic circuit design[J]. *Journal of Electronics & Information Technology*, 2020, 42(4): 851-861. doi: 10.11999/JEIT190864.
- [3] 王将, 钱辉, 包伯成, 等. 一种浮地磁控忆阻模拟器设计与特性分析[J]. 电子元件与材料, 2018, 37(9): 74-78.
WANG Jiang, QIAN Hui, BAO Bocheng, et al. Design and characteristic analysis for a kind of floating flux-controlled memristor emulator[J]. *Electronic Components and Materials*, 2018, 37(9): 74-78.
- [4] 闵富红, 王珠林, 曹弋, 等. 基于双曲函数的双忆阻器混沌电路多稳态特性分析[J]. 电子学报, 2018, 46(2): 486-494. doi:

- 10.3969/j.issn.0372-2112.2018.02.031.
- MIN Fuhong, WANG Zhulin, CAO Yi, et al. Multistability analysis of a dual-memristor circuit based on hyperbolic function[J]. *Acta Electronica Sinica*, 2018, 46(2): 486-494. doi: 10.3969/j.issn.0372-2112.2018.02.031.
- [5] 刘威, 王光义. TiO_2 忆阻器的磁控模型分析及电路实现[J]. 杭州电子科技大学学报: 自然科学版, 2015, 35(2): 5-8.
LIU Wei and WANG Guangyi. Flux-controlled model analysis and circuit implementation of TiO_2 memristor[J]. *Journal of Hangzhou Dianzi University: Natural Sciences*, 2015, 35(2): 5-8.
- [6] 甘朝晖, 张士英, 吴宇鑫. 一种带有非线性漂移函数的分数阶忆阻器模型[J]. 系统仿真学报, 2018, 30(8): 2884-2891.
GAN Zhaohui, ZHANG Shiyong, and WU Yuxin. Fractional-order memristor model with nonlinear drift function[J]. *Journal of System Simulation*, 2018, 30(8): 2884-2891.
- [7] BORGHETTI J, SNIDER G S, KUEKES P J, et al. Memristive switches enable 'stateful' logic operations via material implication[J]. *Nature*, 2010, 464(7290): 873-876. doi: 10.1038/nature08940.
- [8] KVATINSKY S, WALD N, SATAT G, et al. MRL — memristor ratioed logic[C]. The 13th International Workshop on Cellular Nanoscale Networks and their Applications, Turin, Italy, 2012: 1-6. doi: 10.1109/CNNA.2012.6331426.
- [9] KVATINSKY S, BELOUSOV D, LIMAN S, et al. MAGIC—memristor-aided logic[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2014, 61(11): 895-899. doi: 10.1109/TCSII.2014.2357292.
- [10] 王光义, 沈书航, 刘公致, 等. 基于忆阻器的乘法器电路设计[J]. 电子与信息学报, 2020, 42(4): 827-834. doi: 10.11999/JEIT190811.
WANG Guangyi, SHEN Shuhang, LIU Gongzhi, et al. Design of memristor based multiplier circuits[J]. *Journal of Electronics & Information Technology*, 2020, 42(4): 827-834. doi: 10.11999/JEIT190811.
- [11] WANG Chunhua, XIA Hu, and ZHOU Ling. A memristive hyperchaotic multiscroll jerk system with controllable scroll numbers[J]. *International Journal of Bifurcation and Chaos*, 2017, 27(6): 1750091. doi: 10.1142/S0218127417500912.
- [12] ZHU Minghao, WANG Chunhua, DENG Quanli, et al. Locally active memristor with three coexisting pinched hysteresis loops and its emulator circuit[J]. *International Journal of Bifurcation and Chaos*, 2020, 30(13): 2050184. doi: 10.1142/S0218127420501849.
- [13] LIN Hairong, WANG Chunhua, YAO Wei, et al. Chaotic dynamics in a neural network with different types of external stimuli[J]. *Communications in Nonlinear Science and Numerical Simulation*, 2020, 90: 105390. doi:

- 10.1016/j.cnsns.2020.105390.
- [14] LIN Hairong, WANG Chunhua, HONG Qinghui, *et al.* A multi-stable memristor and its application in a neural network[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2020, 67(12): 3472–3476. doi: 10.1109/TCSII.2020.3000492.
- [15] LIN Hairong, WANG Chunhua, SUN Yichuang, *et al.* Firing multistability in a locally active memristive neuron model[J]. *Nonlinear Dynamics*, 2020, 100(4): 3667–3683. doi: 10.1007/s11071-020-05687-3.
- [16] YAO Wei, WANG Chunhua, SUN Yichuang, *et al.* Exponential multistability of memristive Cohen-Grossberg neural networks with stochastic parameter perturbations[J]. *Applied Mathematics and Computation*, 2020, 386: 125483. doi: 10.1016/j.amc.2020.125483.
- [17] HONG Qinghui, SHI Zirui, SUN Jingru, *et al.* Memristive self-learning logic circuit with application to encoder and decoder[J]. *Neural Computing and Applications*, 2021, 33: 4901–4913. doi: 10.1007/s00521-020-05281-z.
- [18] 王春华, 蔺海荣, 孙晶茹, 等. 基于忆阻器的混沌、存储器及神经网络电路研究进展[J]. *电子与信息学报*, 2020, 42(4): 795–810. doi: 10.11999/JEIT190821.
- WANG Chunhua, LIN Hairong, SUN Jingru, *et al.* Research progress on chaos, memory and neural network circuits based on memristor[J]. *Journal of Electronics & Information Technology*, 2020, 42(4): 795–810. doi: 10.11999/JEIT190821.
- [19] KIM H, SAH M P, YANG Changju, *et al.* Memristor-based multilevel memory[C]. The 12th International Workshop on Cellular Nanoscale Networks and their Applications, Berkeley, USA, 2010: 1–6, doi: 10.1109/CNNA.2010.5430320.
- [20] MANEM H and ROSE G S. A read-monitored write circuit for 1T1M multi-level memristor memories[C]. 2011 IEEE International Symposium of Circuits and Systems, Rio de Janeiro, Brazil, 2011: 2938–2941. doi: 10.1109/ISCAS.2011.5938207.
- [21] RABBANI P, DEGHANI R, and SHAHPARI N. A multilevel memristor-CMOS memory cell as a ReRAM[J]. *Microelectronics Journal*, 2015, 46(12): 1283–1290. doi: 10.1016/j.mejo.2015.10.006.
- [22] KVATINSKY S, FRIEDMAN E G, KOLODNY A, *et al.* TEAM: ThrEshold adaptive memristor model[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2013, 60(1): 211–221. doi: 10.1109/TCSI.2012.2215714.
- [23] KVATINSKY S, RAMADAN M, FRIEDMAN E G, *et al.* VTEAM: A general model for voltage-controlled memristors[J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2015, 62(8): 786–790. doi: 10.1109/TCSII.2015.2433536.
- [24] SAKIB M N, HASSAN R, BISWAS S N, *et al.* Memristor-based high-speed memory cell with stable successive read operation[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2018, 37(5): 1037–1049. doi: 10.1109/TCAD.2017.2729464.
- [25] ZANGENEH M and JOSHI A. Design and optimization of nonvolatile multibit 1T1R resistive RAM[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2014, 22(8): 1815–1828. doi: 10.1109/TVLSI.2013.2277715.
- [26] EMARA A, GHONEIMA M, and EL-DESSOUKY M. Differential 1T2M memristor memory cell for single/multi-bit RRAM modules[C]. The 6th Computer Science and Electronic Engineering Conference, Colchester, 2014: 69–72. doi: 10.1109/CEEC.2014.6958557.
- [27] WANG Xiaoping, LI Shuai, LIU Hui, *et al.* A compact scheme of reading and writing for memristor-based multivalued memory[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2018, 37(7): 1505–1509. doi: 10.1109/TCAD.2017.2753199.
- [28] BIOLEK D, DI VENTRA M, and PERSHIN Y V. Reliable SPICE Simulations of Memristors, Memcapacitors and Meminductors[J]. *Radioengineering*, 2013, 22(4): 945–968.
- [29] BIOLEK Z, BIOLEK D, and BIOLKOVÁ V. SPICE model of memristor with nonlinear dopant drift[J]. *Radioengineering*, 2009, 18(2): 210–214.

孙晶茹: 女, 1977年生, 副教授, 研究方向为非线性电路与系统、图像加密。

郝少鹏: 男, 1998年生, 硕士生, 研究方向为忆阻存储电路设计。

SunYichuang: 男, 1960年生, 教授, 研究方向为无线和移动通信、射频和模拟电路、微电子设备和系统、机器学习 and 深度学习。

责任编辑: 马秀强