

A33

A33/A23 DDR3/DDR3L 全
兼容模板使用注意事项

文档履历

版本号	日期	制/修订人	制/修订记录
V1.0	2014/03/26		Release by CPL
V1.1	2014/04/14		Modified by CPL
V1.2	2014/05/26		Update

Confidential

A33_DRAM_REF_8X2_16X1_16X2 是一个兼容 A23/A33 8bit/16bit 单 / 双片选的 DDR3/DDR3L 参考模板，使用时需要注意（[下文中 NC 表示不贴](#)）：

1. 时钟的处理

表 1 时钟的硬件配置

主控 IC	DRAM 时钟频率	硬件配置
A23 或者 A33	大于 600MHz	R2 贴 100 ohm 电阻
A23 或者 A33	小于 600MHz	R2 NC

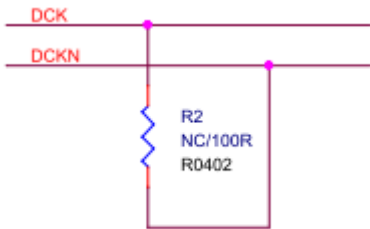


图 1 主控送给 DRAM 的 CLK 差分网络原理图

2. DRAM 颗粒的贴片选择

DRAM 组合序号	DRAM 颗粒类型说明	片数	总容量	适用 IC 平台		备注
				A23	A33	
1	256M x 8bit 单片选	2	512M Byte	Y	Y	
2	512M x 8bit 单片选	2	1G Byte	Y	Y	
3	256M x 8bit 单片选	1	256M Byte	Y	Y	
4	512M x 8bit 单片选	1	512M Byte	Y	Y	
5	256M x 16bit 单片选	1	512M Byte	Y	Y	
6	512M x 16bit 单片选（单 CS/CKE/ODT，双 ZQ）	1	1G Byte	Y	Y	见注 5
7	512M x 16bit 单片选	1	1G Byte	Y	Y	
8	256M x 16bit 双片选	1	512M Byte	N	Y	
9	256M x 16bit 单片选	2	1G Byte	N	Y	
10	512M x 16bit 双片选	1	1G Byte	N	Y	

A23 主控不同 DRAM 组合外围元件选择

主控	DRAM	必贴元件	不可贴元件	可贴可不贴元件
----	------	------	-------	---------

	组合序号			
A23	1	R6/R7/R8/R9/R11/C24/C25/U1/U2	R5/R12/R13	R10
	2	R6/R7/R8/R9/R11/C24/C25/U1/U2	R5/R12/R13	R10
	3	R6/R7/R8/R9/C24/U1	R5/R12/R13/U2	R10/R11/C25
	4	R6/R7/R8/R9/C24/U1	R5/R12/R13/U2	R10/R11/C25
	5	R6/R7/R8/R9/C24/U1	R5/R12/R13/U2	R10/R11/C25
	6	R6/R7/R8/R9/C24/U1/R10	R5/R12/R13/U2	R11/C25
	7	R6/R7/R8/R9/C24/U1	R5/R12/R13/U2	R10/R11/C25
	8	Not Support		
	9			
	10			

A33 主控不同 DRAM 组合外围元件选择

主控	DRAM 组合序号	必贴元件	不可贴元件	可贴可不贴元件
A33	1	R5/R12/R13/R9/R11/C24/C25/U1/U2	R6/R7/R8/	R10
	2	R5/R12/R13/R9/R11/C24/C25/U1/U2	R6/R7/R8/	R10
	3	R5/R12/R13/R9/C24/U1	R6/R7/R8/U2	R10/R11/C25
	4	R5/R12/R13/R9/C24/U1	R6/R7/R8/U2	R10/R11/C25
	5	R5/R12/R13/R9/C24/U1	R6/R7/R8/U2	R10/R11/C25
	6	R5/R12/R13/R9/C24/U1/R10	R6/R7/R8/U2	R11/C25
	7	R5/R12/R13/R9/C24/U1	R6/R7/R8/U2	R10/R11/C25
	8	R5/R12/R13/R9/C24/U1/R10	R6/R7/R8/U2	R11/C25
	9	R5/R12/R13/R9/R11/C24/C25/U1/U2	R6/R7/R8/	R10
	10	R5/R12/R13/R9/C24/U1/R10	R6/R7/R8/U2	R11/C25

表格中所用元件标号以图 2 和图 3 编号为准，其中，**必贴元件**为使用此种 DRAM 组合一定要焊接的元件，不贴会影响功能；**不可贴元件**为一定不能焊接元件，焊接后会影响功能；**可贴可不贴元件**为贴或不贴均不影响功能和性能，可根据是否需要兼容其他 DRAM 组合进行选贴；表格中未涉及的元件请以公版为准，不建议做任何改动。

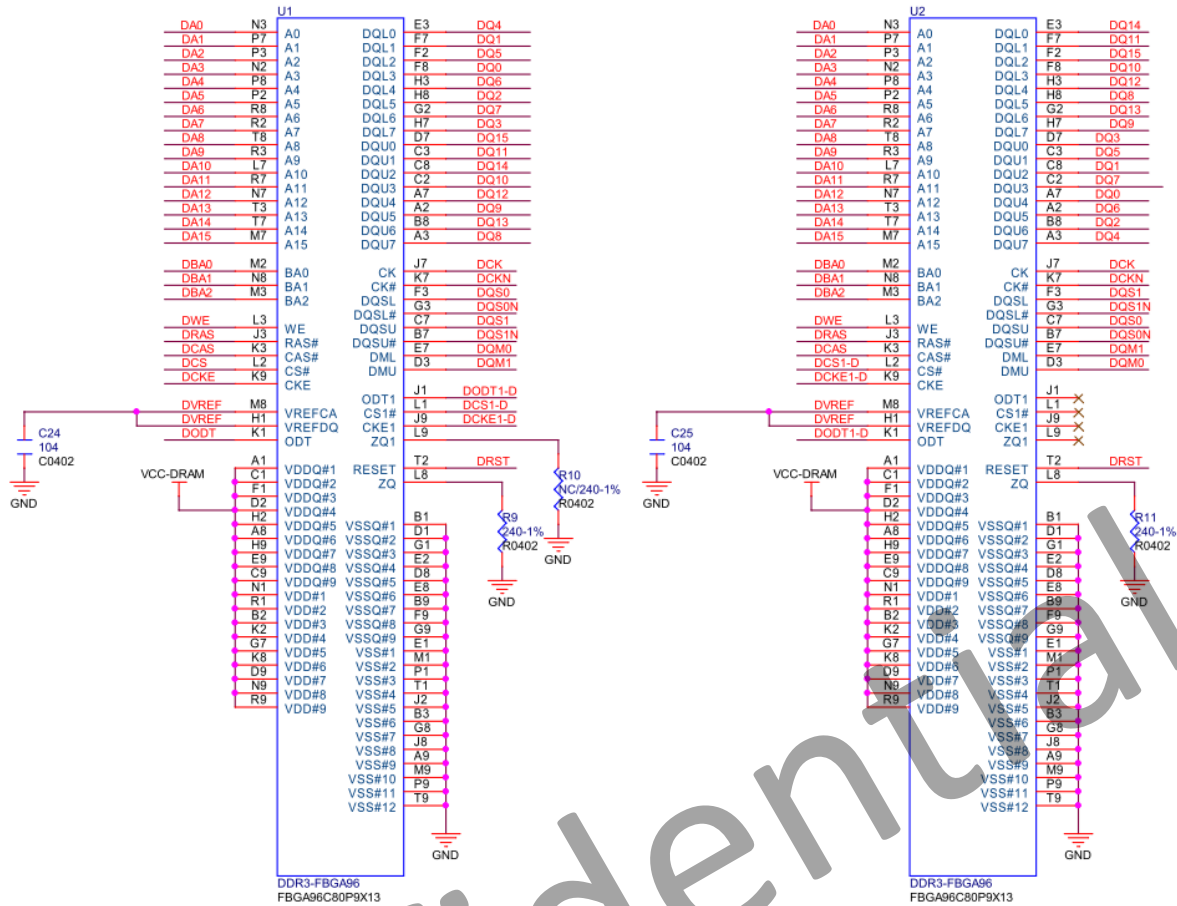


图 2 DRAM 颗粒端原理图

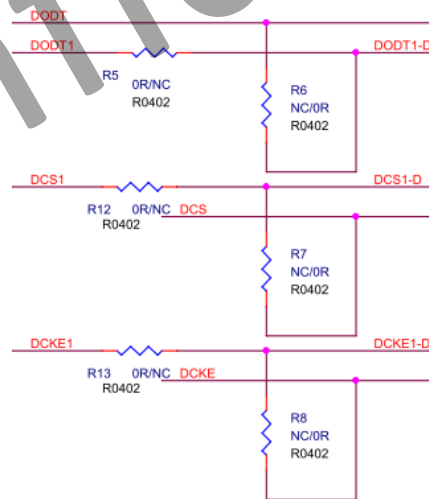


图 3 片选信号硬件切换原理图

注 1: 单/双片选说明, 目前市面上出现过两种双 die 的 DRAM:

一种是由两颗半位宽的单片选晶圆拼成全位宽的单片选片子, 如图 4 所示

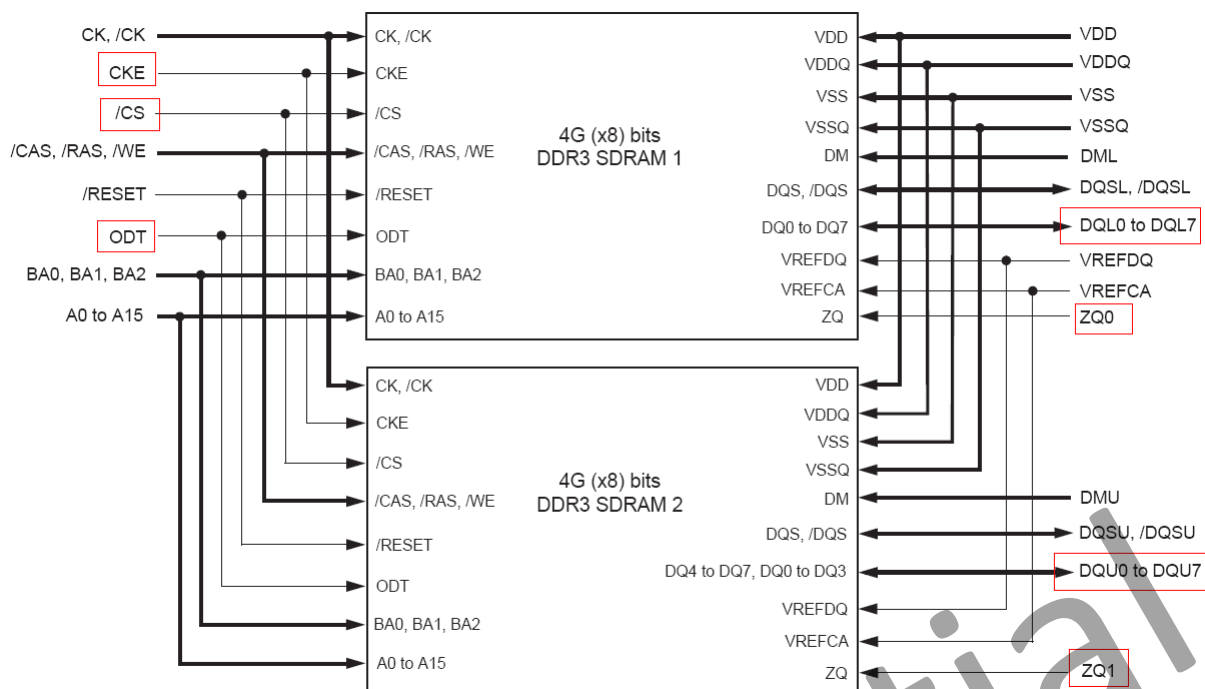


图 4 半位宽的单片选晶圆拼成的双片选片子

另一种是由两颗全位宽的单片选晶圆拼成的双片选片子，如图 5 所示。对于此种片子，每个片选晶圆都需要单独的 ZQ、CKE、CS、ODT pin 脚控制信号。

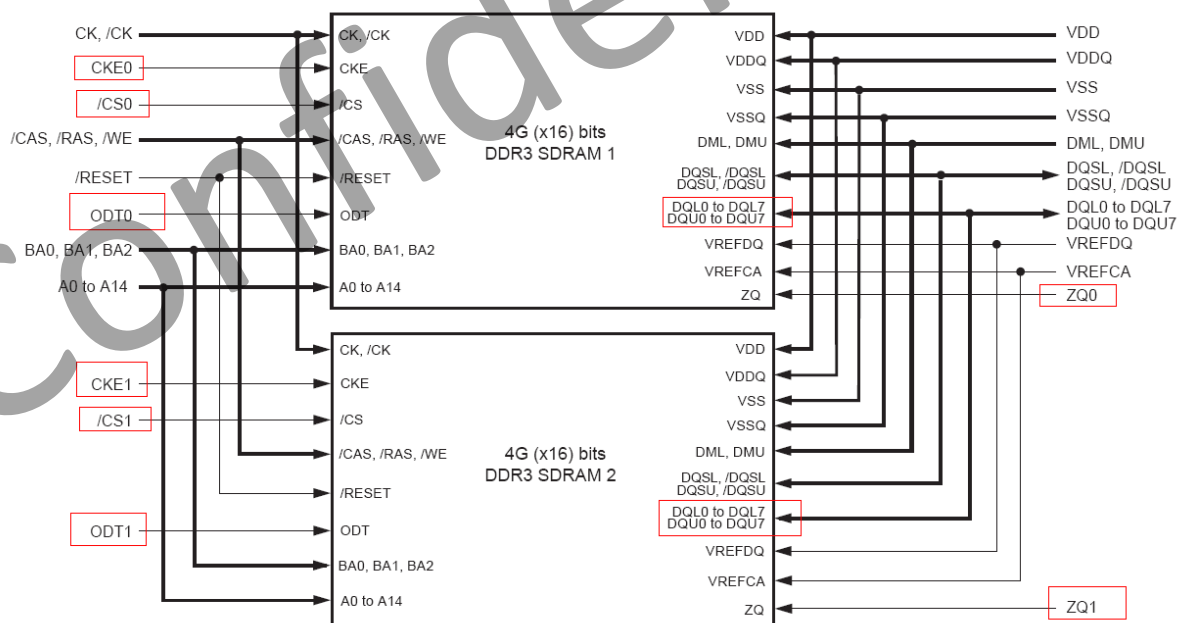


图5 全位宽的单片选晶圆拼成的双DIE片子(以两颗4Gb的单片选晶圆示例)

Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”). Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgement to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice. Allwinner does not assume any responsibility and liability for its use. Nor for any infringements of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This datasheet neither states nor implies warranty of any kind, including fitness for any particular application.

Confidential