

# 软工计原联合项目

## 设计文档

NonExist 组

张钰晖, 杨一滨, 周正平

# 目录

<b>1 文档说明</b>	<b>4</b>
<b>2 指令流水</b>	<b>5</b>
2.1 pc_reg . . . . .	5
2.1.1 简介概述 . . . . .	5
2.1.2 接口定义 . . . . .	5
2.1.3 设计细节 . . . . .	6
2.2 if_id . . . . .	6
2.2.1 简介概述 . . . . .	6
2.2.2 接口定义 . . . . .	6
2.2.3 设计细节 . . . . .	6
2.3 id . . . . .	6
2.3.1 简介概述 . . . . .	6
2.3.2 接口定义 . . . . .	6
2.3.3 设计细节 . . . . .	8
2.4 id_ex . . . . .	8
2.4.1 简介概述 . . . . .	8
2.4.2 接口定义 . . . . .	8
2.4.3 设计细节 . . . . .	9
2.5 ex . . . . .	9
2.5.1 简介概述 . . . . .	9
2.5.2 接口定义 . . . . .	9
2.5.3 设计细节 . . . . .	11
2.6 ex_mem . . . . .	11
2.6.1 简介概述 . . . . .	11
2.6.2 接口定义 . . . . .	11
2.6.3 设计细节 . . . . .	12
2.7 mem . . . . .	13
2.7.1 简介概述 . . . . .	13
2.7.2 接口定义 . . . . .	13

2.7.3	设计细节	14
2.8	mem_wb	15
2.8.1	简介概述	15
2.8.2	接口定义	15
2.8.3	设计细节	16
2.9	regfile	16
2.9.1	简介概述	16
2.9.2	接口定义	16
2.9.3	设计细节	16
2.10	hilo_reg	16
2.10.1	简介概述	16
2.10.2	接口定义	16
2.10.3	设计细节	17
<b>3</b>	<b>控制模块</b>	<b>18</b>
3.1	ctrl	18
3.1.1	简介概述	18
3.1.2	接口定义	18
3.1.3	设计细节	18
3.2	cp0_reg	19
3.2.1	简介概述	19
3.2.2	接口定义	19
3.2.3	设计细节	19
<b>4</b>	<b>内存管理</b>	<b>20</b>
4.1	tlb_reg	20
4.1.1	简介概述	20
4.1.2	接口定义	20
4.1.3	设计细节	21
4.2	openmips	21
4.2.1	简介概述	21
4.2.2	接口定义	21
4.2.3	设计细节	22
<b>5</b>	<b>外设连接</b>	<b>23</b>
5.1	ROM	23
5.1.1	简介概述	23
5.1.2	接口定义	23
5.1.3	设计细节	23
5.2	RAM	23
5.2.1	简介概述	23

5.2.2	接口定义	23
5.2.3	设计细节	23
5.3	Flash	24
5.3.1	简介概述	24
5.3.2	接口定义	24
5.3.3	设计细节	24
5.4	串口	24
5.4.1	简介概述	24
5.4.2	接口定义	24
5.4.3	设计细节	24
5.5	VGA	24
5.5.1	简介概述	24
5.5.2	接口定义	24
5.5.3	设计细节	24
5.6	七段数码管	25
5.6.1	简介概述	25
5.6.2	接口定义	25
5.6.3	设计细节	25
5.7	LED 灯	25
5.7.1	简介概述	25
5.7.2	接口定义	25
5.7.3	设计细节	25
5.8	开关	25
5.8.1	简介概述	25
5.8.2	接口定义	25
5.8.3	设计细节	25

# Chapter 1

## 文档说明

本文档是 NonExist 组软工计原联合项目的设计文档，作为设计文档，将会尽可能详细的覆盖到所有的设计方面和设计细节。

但是，设计文档呈现的是最终版 CPU，因此每个模块此时都已经经历了无数次蜕变，在这个过程中，每个模块的功能越来越多，也越来越复杂。本文档呈现的是最终版的设计，缺少了循序渐进的过程，因此读者初读起来可能感到困难，不建议将此文档作为前期主要参考文档。

本文档正确的使用方式是，开发初期通读全文，站在更高的层面上俯视了解整个项目的设计；开发后期精读细节，实现和完善具体的功能。

设计文档将项目分成了以下部分：

1. **指令流水**：本阶段实现 CPU 五级流水线及绝大部分基本指令。
2. **控制模块**：本阶段实现协处理器和异常处理
3. **内存管理**：本阶段实现内存管理。
4. **外设连接**：本阶段完成外设连接。
5. **仿真调试**：本阶段加入模拟的硬件模块完成仿真调试。

设计文档每个章节遵从以下介绍流程：

1. **简介概述**：简单介绍所实现元件的功能。
2. **接口定义**：实现的接口及其含义。
3. **设计细节**：详细而完善的设计思路与细节。

希望本文档能给读者带来裨益。

## Chapter 2

# 指令流水

本章介绍了 MIPS 标准五级流水线的实现，同时实现了绝大部分需要基本指令。

## 2.1 pc\_reg

### 2.1.1 简介概述

pc\_reg 阶段实现程序计数，是五级流水线的第一级，记录了当前指令地址，同时对下一条指令地址进行计算与选择，是一个简单的时序逻辑电路。

### 2.1.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk	CPU 外部	时钟信号
input	wire	1	rst	CPU 外部	复位信号
input	wire	6	stall	ctrl	流水线暂停使能
input	wire	1	tlb_hit	tlb_reg	TLB 是否命中
input	wire	32	physical_pc	tlb_reg	物理地址
input	wire	1	flush	ctrl	流水线清空使能
input	wire	32	new_pc	ctrl	下一指令地址
input	wire	1	branch_flag_i	id	跳转使能信号
input	wire	32	branch_target_addr_i	id	分支跳转地址
output	reg	32	virtual_pc	tlb_reg、if_id	虚拟地址
output	reg	32	pc	CPU 外部	指令地址
output	reg	1	ce	CPU 外部	访存使能信号
output	reg	32	excepttype_o	if_id	异常类型

### 2.1.3 设计细节

初始时 `virtual_pc` 指向 `0xbfc00000` ( ROM 起始地址 ), 之后 `virtual_pc` 每个时钟周期加 4, 若上一条指令为分支跳转指令, 则 `virtual_pc` 置为分支跳转地址。

## 2.2 if\_id

### 2.2.1 简介概述

`if_id` 用于衔接五级流水线第一阶段 `if` 和第二阶段 `id`, 在时钟上升沿储存 `if` 阶段数据, 传递给 `id` 阶段, 将 `if` 阶段所得到的指令传递至 `id` 阶段进行译码, 是一个简单的时序逻辑电路。

### 2.2.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk	CPU 外部	时钟信号
input	wire	1	rst	CPU 外部	复位信号
input	wire	32	if_pc	pc_reg	指令地址
input	wire	32	if_inst	pc_reg	指令内容
input	wire	32	if_excepttype	pc_reg	异常类型
input	wire	6	stall	ctrl	流水线暂停使能
input	wire	1	flush	ctrl	流水线清空使能
output	reg	32	id_pc	id	指令地址
output	reg	32	id_inst	id	指令内容
output	reg	32	id_excepttype	id	异常类型

### 2.2.3 设计细节

当 `if` 阶段没有被暂停, 置 `id_pc` 为 `if_id`, `id_excepttype` 为 `if_excepttype`, 此时如果没有发生 TLB 缺失异常, 置 `id_inst` 为 `if_inst`, 其余情况下 `id_pc`、`id_inst` 和 `id_excepttype` 均置 0。

## 2.3 id

### 2.3.1 简介概述

`id` 阶段实现指令译码, 是五级流水线的第二级, 主要是识别指令类型和各字段、读取通用寄存器值、产生流水线控制信号, 除此之外, `id` 阶段还需要实现数据旁路、分支判断处理等, 是一个复杂的组合逻辑电路。

### 2.3.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	rst	CPU 外部	复位信号
input	wire	32	pc_i	if_id	指令地址
input	wire	32	inst_i	if_id	指令内容
input	wire	32	reg1_data_i	regfile	通用寄存器读端口 1 数据
input	wire	32	reg2_data_i	regfile	通用寄存器读端口 2 数据
input	wire	1	ex_wreg_i	ex	旁路信号, EX 阶段是否写回通用寄存器
input	wire	32	ex_wdata_i	ex	旁路信号, EX 阶段写回通用寄存器数据
input	wire	5	ex_wd_i	ex	旁路信号, EX 阶段写回通用寄存器地址
input	wire	8	ex_aluop_i	ex	旁路信号, EX 阶段指令类型
input	wire	1	mem_wreg_i	mem	旁路信号, MEM 阶段是否写回通用寄存器
input	wire	32	mem_wdata_i	mem	旁路信号, MEM 阶段写回通用寄存器数据
input	wire	5	mem_wd_i	mem	旁路信号, MEM 阶段写回通用寄存器地址
input	wire	1	is_in_delay_slot_i	id_ex	当前指令是否位于分支延迟槽中
input	wire	32	excepttype_i	if_id	异常类型
output	reg	1	next_inst_in_delay_slot_o	id_ex	下一条指令是否位于分支延迟槽中
output	reg	1	branch_flag_o	pc_reg	跳转使能信号
output	reg	32	branch_target_addr_o	pc_reg	分支跳转地址
output	reg	32	link_addr_o	<TODO>	<TODO>
output	reg	1	is_in_delay_slot_o	id_ex	当前指令是否位于分支延迟槽中
output	reg	1	reg1_read_o	regfile	通用寄存器读端口 1 使能
output	reg	1	reg2_read_o	regfile	通用寄存器读端口 2 使能
output	reg	5	reg1_addr_o	regfile	通用寄存器读端口 1 地址
output	reg	5	reg2_addr_o	regfile	通用寄存器读端口 2 地址
output	reg	8	aluop_o	id_ex	ALU 运算类型
output	reg	3	alusel_o	id_ex	ALU 选择类型
output	reg	32	reg1_o	id_ex	ALU 第一个操作数
output	reg	32	reg2_o	id_ex	ALU 第二个操作数



output	reg	5	wd_o	id_ex	通用寄存器写端口地址
output	reg	1	wreg_o	id_ex	通用寄存器写端口使能
output	wire	32	inst_o	id_ex	指令内容
output	wire	1	stallreq	<TODO>	<TODO>
output	wire	32	excepttype_o	id_ex	异常类型
output	wire	32	current_inst_address_o	<TODO>	<TODO>

### 2.3.3 设计细节

ID 阶段将识别指令的操作码和各个字段，根据指令操作码向 EX 阶段传入其所需信号。<TODO>

## 2.4 id\_ex

### 2.4.1 简介概述

id\_ex 用于衔接五级流水线第二阶段 id 和第三阶段 ex，在时钟上升沿储存 id 阶段数据，传递给 ex 阶段，将 id 阶段译码阶段传递至 ex 阶段进行算数逻辑运算，是一个简单的时序逻辑电路。

### 2.4.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk	CPU 外部	时钟信号
input	wire	1	rst	CPU 外部	复位信号
input	wire	8	id_aluop	id	ALU 运算类型
input	wire	3	id_alusel	id	ALU 选择类型
input	wire	32	id_reg1	id	ALU 第一个操作数
input	wire	32	id_reg2	id	ALU 第二个操作数
input	wire	5	id_wd	id	通用寄存器写端口地址
input	wire	1	id_wreg	id	通用寄存器写端口使能
input	wire	32	id_link_addr	id	<TODO>
input	wire	1	id_is_in_delay_slot	id	当前指令是否位于分支延迟槽中
input	wire	1	next_inst_in_delay_slot_i	id	下一条指令是否位于分支延迟槽中
input	wire	32	id_inst	id	指令内容
input	wire	32	id_current_inst_address	id	<TODO>
input	wire	32	id_excepttype	id	异常类型
input	wire	6	stall	ctrl	流水线暂停使能
input	wire	1	flush	ctrl	流水线清空使能
output	reg	8	ex_aluop	ex	ALU 运算类型

output	reg	3	ex_alusel	ex	ALU 选择类型
output	reg	32	ex_reg1	ex	ALU 第一个操作数
output	reg	32	ex_reg2	ex	ALU 第二个操作数
output	reg	5	ex_wd	ex	通用寄存器写端口地址
output	reg	1	ex_wreg	ex	通用寄存器写端口使能
output	reg	32	ex_link_addr	ex	<TODO>
output	reg	1	ex_is_in_delay_slot	ex	当前指令是否位于分支延迟槽中
output	reg	1	is_in_delay_slot_o	ex	<TODO>
output	reg	32	ex_inst	ex	指令内容
output	reg	32	ex_current_inst_address	ex	指令地址
output	reg	32	ex_excepttype	ex	异常类型

### 2.4.3 设计细节

<TODO>

## 2.5 ex

### 2.5.1 简介概述

ex 阶段实现算数逻辑运算，是五级流水线的第三级，主要是进行各种算数逻辑运算，例如加法、减法、乘法、移位、与或非等操作，除此之外，ex 阶段还需要实现数据旁路、分支判断处理等，是一个复杂的组合逻辑电路。

### 2.5.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	rst	CPU 外部	复位信号
input	wire	8	aluop_i	id_ex	ALU 运算类型
input	wire	3	alusel_i	id_ex	ALU 选择类型
input	wire	32	reg1_i	id_ex	ALU 第一个操作数
input	wire	32	reg2_i	id_ex	ALU 第二个操作数
input	wire	5	wd_i	id_ex	通用寄存器写端口地址
input	wire	1	wreg_i	id_ex	通用寄存器写端口使能
input	wire	32	inst_i	id_ex	指令内容
input	wire	32	hi_i	hilo_reg	HI 寄存器读出数据
input	wire	32	lo_i	hilo_reg	LO 寄存器读出数据
input	wire	32	wb_hi_i	mem_wb	旁路信号, WB 阶段写回 HI 寄存器数据

input	wire	32	wb_lo_i	mem_wb	旁路信号, WB 阶段写回 LO 寄存器数据
input	wire	1	wb_whileo_i	mem_wb	旁路信号, WB 阶段是否写回 HILO 寄存器
input	wire	32	mem_hi_i	ex_mem	旁路信号, MEM 阶段写回 HI 寄存器数据
input	wire	32	mem_lo_i	ex_mem	旁路信号, MEM 阶段写回 LO 寄存器数据
input	wire	1	mem_whileo_i	ex_mem	旁路信号, MEM 阶段是否写回 HILO 寄存器
input	wire	32	link_addr_i	id_ex	LINK 地址
input	wire	1	is_in_delay_slot_i	id_ex	当前指令是否位于分支延迟槽中
input	wire	1	mem_cp0_reg_we	ex_mem	旁路信号, MEM 阶段是否写回 CP0 寄存器
input	wire	5	mem_cp0_reg_write_addr	ex_mem	旁路信号, MEM 阶段写回 CP0 寄存器地址
input	wire	32	mem_cp0_reg_data	ex_mem	旁路信号, MEM 阶段写回 CP0 寄存器数据
input	wire	1	wb_cp0_reg_we	mem_wb	旁路信号, WB 阶段是否写回 CP0 寄存器
input	wire	5	wb_cp0_reg_write_addr	mem_wb	旁路信号, WB 阶段写回 CP0 寄存器地址
input	wire	32	wb_cp0_reg_data	mem_wb	旁路信号, WB 阶段写回 CP0 寄存器数据
input	wire	32	cp0_reg_data_i	cp0_reg	CP0 协处理器寄存器读出数据
input	wire	32	excepttype_i	id_ex	异常类型
input	wire	32	current_inst_address_i	id_ex	指令地址
output	reg	5	wd_o	ex_mem	通用寄存器写端口地址
output	reg	1	wreg_o	ex_mem	通用寄存器写端口使能
output	reg	32	wdata_o	ex_mem	通用寄存器写端口数据
output	wire	32	inst_o	ex_mem	指令内容
output	reg	32	hi_o	ex_mem	HI 寄存器写入数据
output	reg	32	lo_o	ex_mem	LO 寄存器写入数据
output	reg	1	whileo_o	ex_mem	HILO 寄存器写使能
output	wire	8	aluop_o	ex_mem	ALU 运算类型
output	wire	32	mem_addr_o	ex_mem	<TODO>
output	wire	32	reg2_o	ex_mem	ALU 第二个操作数

output	wire	1	stallreq	<TODO>	<TODO>
output	reg	5	cp0_reg_read_addr_o	cp0_reg	CP0 协处理器寄存器读出地址
output	reg	1	cp0_reg_we_o	ex_mem	CP0 协处理器寄存器写使能
output	reg	5	cp0_reg_write_addr_o	ex_mem	CP0 协处理器寄存器写入地址
output	reg	32	cp0_reg_data_o	ex_mem	CP0 协处理器寄存器写入数据
output	wire	32	excepttype_o	ex_mem	异常类型
output	wire	32	current_inst_address_o	ex_mem	指令地址
output	wire	1	is_in_delay_slot_o	ex_mem	当前指令是否位于分支延迟槽中

### 2.5.3 设计细节

<TODO>

## 2.6 ex\_mem

### 2.6.1 简介概述

ex\_mem 用于衔接五级流水线第三阶段 ex 和第四阶段 mem，在时钟上升沿储存 ex 阶段数据，传递给 mem 阶段，将 ex 阶段需要写入的数据传递至 mem 阶段进行访存操作，是一个简单的时序逻辑电路。

### 2.6.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk	CPU 外部	时钟信号
input	wire	1	rst	CPU 外部	复位信号
input	wire	5	ex_wd	ex	通用寄存器写端口地址
input	wire	1	ex_wreg	ex	通用寄存器写端口使能
input	wire	32	ex_wdata	ex	通用寄存器写端口数据
input	wire	32	ex_hi	ex	HI 寄存器写入数据
input	wire	32	ex_lo	ex	LO 寄存器写入数据
input	wire	1	ex_whileo	ex	HILO 寄存器写使能
input	wire	8	ex_aluop	ex	ALU 运算类型
input	wire	32	ex_mem_addr	ex	<TODO>
input	wire	32	ex_reg2	ex	ALU 第二个操作数

input	wire	1	ex_cp0_reg_we	ex	CP0 协处理器寄存器写使能
input	wire	5	ex_cp0_reg_write_addr	ex	CP0 协处理器寄存器写入地址
input	wire	32	ex_cp0_reg_data	ex	CP0 协处理器寄存器写入数据
input	wire	32	ex_excepttype	ex	异常类型
input	wire	1	ex_is_in_delay_slot	ex	当前指令是否位于分支延迟槽中
input	wire	32	ex_current_inst_address	ex	指令地址
input	wire	32	ex_inst	ex	指令内容
input	wire	6	stall	ctrl	流水线暂停使能
input	wire	1	flush	ctrl	流水线清空使能
output	reg	5	mem_wd	mem	通用寄存器写端口地址
output	reg	1	mem_wreg	mem	通用寄存器写端口使能
output	reg	32	mem_wdata	mem	通用寄存器写端口数据
output	reg	32	mem_hi	mem	HI 寄存器写入数据
output	reg	32	mem_lo	mem	LO 寄存器写入数据
output	reg	1	mem_who	mem	HILO 寄存器写使能
output	reg	8	mem_aluop	mem	ALU 运算类型
output	reg	32	mem_mem_addr	mem	
output	reg	32	mem_reg2	mem	ALU 第二个操作数
output	reg	1	mem_cp0_reg_we	mem	CP0 协处理器寄存器写使能
output	reg	5	mem_cp0_reg_write_addr	mem	CP0 协处理器寄存器写入地址
output	reg	32	mem_cp0_reg_data	mem	CP0 协处理器寄存器写入数据
output	reg	32	mem_excepttype	mem	异常类型
output	reg	1	mem_is_in_delay_slot	mem	当前指令是否位于分支延迟槽中
output	reg	32	mem_current_inst_address	mem	指令地址
output	reg	32	mem_inst	mem	指令内容

### 2.6.3 设计细节

<TODO>

## 2.7 mem

### 2.7.1 简介概述

mem 阶段实现访存操作，是五级流水线的第四级，是一个复杂的组合逻辑电路。

### 2.7.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	rst	CPU 外部	复位信号
input	wire	5	wd_i	ex_mem	通用寄存器写端口地址
input	wire	1	wreg_i	ex_mem	通用寄存器写端口使能
input	wire	32	wdata_i	ex_mem	通用寄存器写端口数据
input	wire	32	hi_i	ex_mem	HI 寄存器写入数据
input	wire	32	lo_i	ex_mem	LO 寄存器写入数据
input	wire	1	whilo_i	ex_mem	HILO 寄存器写使能
input	wire	8	aluop_i	ex_mem	ALU 运算类型
input	wire	32	mem_addr_i	<TODO>	<TODO>
input	wire	32	reg2_i	ex_mem	ALU 第二个操作数
input	wire	32	mem_data_i	<TODO>	<TODO>
input	wire	1	tlb_hit	tlb_reg	TLB 是否命中
input	wire	32	physical_addr	tlb_reg	物理地址
input	wire	1	cp0_reg_we_i	ex_mem	CP0 协处理器寄存器写使能
input	wire	5	cp0_reg_write_addr_i	ex_mem	CP0 协处理器寄存器写入地址
input	wire	32	cp0_reg_data_i	ex_mem	CP0 协处理器寄存器写入数据
input	wire	32	excepttype_i	ex_mem	异常类型
input	wire	1	is_in_delay_slot_i	ex_mem	当前指令是否位于分支延迟槽中
input	wire	32	current_inst_address_i	ex_mem	指令地址
input	wire	32	cp0_status_i	cp0_reg	CP0 协处理器 Status 寄存器读出数据
input	wire	32	cp0_cause_i	cp0_reg	CP0 协处理器 Cause 寄存器读出数据
input	wire	32	cp0_epc_i	cp0_reg	CP0 协处理器 Epc 寄存器读出数据
input	wire	1	wb_cp0_reg_we	mem_wb	旁路信号, WB 阶段是否写回 CP0 寄存器

input	wire	5	wb_cp0_reg_write_addr	mem_wb	旁路信号, WB 阶段写回 CP0 寄存器地址
input	wire	32	wb_cp0_reg_data	mem_wb	旁路信号, WB 阶段写回 CP0 寄存器数据
input	wire	32	inst_i	ex_mem	指令内容
output	reg	5	wd_o	mem_wb	通用寄存器写端口地址
output	reg	1	wreg_o	mem_wb	通用寄存器写端口使能
output	reg	32	wdata_o	mem_wb	通用寄存器写端口数据
output	reg	32	hi_o	mem_wb	HI 寄存器写入数据
output	reg	32	lo_o	mem_wb	LO 寄存器写入数据
output	reg	1	whilo_o	mem_wb	HILO 寄存器写使能
output	reg	32	mem_addr_o	<TODO>	外设写地址
output	wire	1	mem_we_o	<TODO>	外设写使能
output	reg	4	mem_sel_o	<TODO>	外设写片选
output	reg	32	mem_data_o	<TODO>	外设写数据
output	reg	1	mem_ce_o	<TODO>	外设写使能
output	wire	32	virtual_addr	<TODO>	虚拟地址
output	reg	1	cp0_reg_we_o	mem_wb	CP0 协处理器寄存器写使能
output	reg	5	cp0_reg_write_addr_o	mem_wb	CP0 协处理器寄存器写入地址
output	reg	32	cp0_reg_data_o	mem_wb	CP0 协处理器寄存器写入数据
output	reg	32	excepttype_o	<TODO>	异常类型
output	wire	32	cp0_epc_o	<TODO>	CP0 协处理器 Epc 寄存器写入数据
output	wire	1	is_in_delay_slot_o	<TODO>	当前指令是否位于分支延迟槽中
output	wire	32	current_inst_address_o	<TODO>	指令地址
output	reg	32	bad_address	<TODO>	<TODO>
output	wire	32	inst_o	mem_wb	指令内容

### 2.7.3 设计细节

<TODO>

## 2.8 mem\_wb

### 2.8.1 简介概述

mem\_wb 用于衔接五级流水线第四阶段 mem 和第五阶段 wb，在时钟上升沿储存 mem 阶段数据，传递给对应的寄存器，是一个简单的时序逻辑电路。

### 2.8.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk	CPU 外部	时钟信号
input	wire	1	rst	CPU 外部	复位信号
input	wire	5	mem_wd	mem	通用寄存器写端口地址
input	wire	1	mem_wreg	mem	通用寄存器写端口使能
input	wire	32	mem_wdata	mem	通用寄存器写端口数据
input	wire	32	mem_hi	mem	HI 寄存器写入数据
input	wire	32	mem_lo	mem	LO 寄存器写入数据
input	wire	1	mem_whilo	mem	HILO 寄存器写使能
input	wire	1	mem_cp0_reg_we	mem	CP0 协处理器寄存器写使能
input	wire	5	mem_cp0_reg_write_addr	mem	CP0 协处理器寄存器写入地址
input	wire	32	mem_cp0_reg_data	mem	CP0 协处理器寄存器写入数据
input	wire	32	mem_inst	mem	指令内容
input	wire	6	stall	ctrl	流水线暂停使能
input	wire	1	flush	ctrl	流水线清空使能
output	reg	5	wb_wd	regfile	通用寄存器写端口地址
output	reg	1	wb_wreg	regfile	通用寄存器写端口使能
output	reg	32	wb_wdata	regfile	通用寄存器写端口数据
output	reg	32	wb_hi	hilo_reg	HI 寄存器写入数据
output	reg	32	wb_lo	hilo_reg	LO 寄存器写入数据
output	reg	1	wb_whilo	hilo_reg	HILO 寄存器写使能
output	reg	1	wb_cp0_reg_we	cp0_reg	CP0 协处理器寄存器写使能
output	reg	5	wb_cp0_reg_write_addr	cp0_reg	CP0 协处理器寄存器写入地址
output	reg	32	wb_cp0_reg_data	cp0_reg	CP0 协处理器寄存器写入数据
output	reg	32	wb_inst	<TODO>	指令内容



### 2.8.3 设计细节

<TODO>

## 2.9 regfile

### 2.9.1 简介概述

<TODO>

### 2.9.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk	CPU 外部	时钟信号
input	wire	1	rst	CPU 外部	复位信号
input	wire	1	we	mem_wb	通用寄存器写端口使能
input	wire	5	waddr	mem_wb	通用寄存器写端口地址
input	wire	32	wdata	mem_wb	通用寄存器写端口数据
input	wire	1	re1	id	通用寄存器读端口 1 使能
input	wire	5	raddr1	id	通用寄存器读端口 1 地址
input	wire	1	re2	id	通用寄存器读端口 1 使能
input	wire	5	raddr2	id	通用寄存器读端口 1 地址
output	reg	32	rdata1	id	通用寄存器读端口 1 数据
output	reg	32	rdata2	id	通用寄存器读端口 1 数据

### 2.9.3 设计细节

<TODO>

## 2.10 hilo\_reg

### 2.10.1 简介概述

<TODO>

### 2.10.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk	CPU 外部	时钟信号
input	wire	1	rst	CPU 外部	复位信号

input	wire	1	we	mem_wb	HILO 寄存器写使能
input	wire	32	hi_i	mem_wb	HI 寄存器写入数据
input	wire	32	lo_i	mem_wb	LO 寄存器写入数据
output	reg	32	hi_o	ex	HI 寄存器读出数据
output	reg	32	lo_o	ex	LO 寄存器读出数据

---

### 2.10.3 设计细节

<TODO>

# Chapter 3

## 控制模块

### 3.1 ctrl

#### 3.1.1 简介概述

<TODO>

#### 3.1.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk		
input	wire	1	rst		
input	wire	1	stallreq_from_id		
input	wire	1	stallreq_from_ex		
input	wire	1	stallreq_from_mem		
input	wire	1	mem_we_i		
input	wire	32	ebase_i		
input	wire	32	excepttype_i		
input	wire	32	cp0_epc_i		
output	reg	6	stall		
output	reg	1	mem_we_o		
output	reg	32	new_pc		
output	reg	1	flush		

#### 3.1.3 设计细节

<TODO>

## 3.2 cp0\_reg

### 3.2.1 简介概述

<TODO>

### 3.2.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk		
input	wire	1	rst		
input	wire	1	we_i		
input	wire	5	waddr_i		
input	wire	5	raddr_i		
input	wire	32	data_i		
input	wire	6	int_i		
input	wire	32	bad_address_i		
input	wire	32	excepttype_i		
input	wire	32	current_inst_addr_i		
input	wire	1	is_in_delay_slot_i		
output	reg	32	data_o		
output	reg	32	count_o		
output	reg	32	compare_o		
output	reg	32	status_o		
output	reg	32	cause_o		
output	reg	32	epc_o		
output	reg	32	config_o		
output	reg	32	ebase_o		
output	reg	32	index_o,		
output	reg	32	random_o,		
output	reg	32	entrylo0_o,		
output	reg	32	entrylo1_o,		
output	reg	32	pagemask_o,		
output	reg	32	badvaddr_o,		
output	reg	32	entryhi_o,		
output	reg	1	timer_int_o,		

### 3.2.3 设计细节

<TODO>

# Chapter 4

## 内存管理

### 4.1 tlb\_reg

#### 4.1.1 简介概述

<TODO>

#### 4.1.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk		
input	wire	1	rst		
input	wire	32	addr_i		
input	wire	32	inst_i		
input	wire	32	index_i		
input	wire	32	random_i		
input	wire	32	entrylo0_i		
input	wire	32	entrylo1_i		
input	wire	32	entryhi_i		
input	wire	1	mem_cp0_reg_we		
input	wire	5	mem_cp0_reg_write_addr		
input	wire	32	mem_cp0_reg_data		
input	wire	1	wb_cp0_reg_we		
input	wire	5	wb_cp0_reg_write_addr		
input	wire	32	wb_cp0_reg_data		
output	reg	1	tlb_hit,		
output	reg	1	sram_ce		
output	reg	1	flash_ce		

output	reg	1	rom_ce
output	reg	1	serial_ce
output	reg	1	vga_ce
output	reg	32	addr_o

---

### 4.1.3 设计细节

<TODO>

## 4.2 openmips

### 4.2.1 简介概述

<TODO>

### 4.2.2 接口定义

信号类型	信号规格	信号位宽	信号名称	来源/去向	详细描述
input	wire	1	clk		
input	wire	1	rst		
input	wire	6	int_i		
input	wire	32	if_data_i		
output	wire	32	if_addr_o		
output	wire	1	if_sram_ce_o		
output	wire	1	if_flash_ce_o		
output	wire	1	if_rom_ce_o		
output	wire	1	if_serial_ce_o		
output	wire	1	if_vga_ce_o		
output	wire	1	if_ce_o		
input	wire	32	mem_data_i		
output	wire	32	mem_addr_o		
output	wire	32	mem_data_o		
output	wire	1	mem_we_o		
output	wire	4	mem_sel_o		
output	wire	1	mem_sram_ce_o		
output	wire	1	mem_flash_ce_o		
output	wire	1	mem_rom_ce_o		
output	wire	1	mem_serial_ce_o		
output	wire	1	mem_vga_ce_o		
output	wire	1	mem_ce_o		

```
output    wire    1    timer_int_o
```

---

### 4.2.3 设计细节

<TODO>

# Chapter 5

## 外设连接

### 5.1 ROM

#### 5.1.1 简介概述

a

#### 5.1.2 接口定义

a

#### 5.1.3 设计细节

a

### 5.2 RAM

#### 5.2.1 简介概述

a

#### 5.2.2 接口定义

a

#### 5.2.3 设计细节

a



## **5.3 Flash**

### **5.3.1 简介概述**

a

### **5.3.2 接口定义**

a

### **5.3.3 设计细节**

a

## **5.4 串口**

### **5.4.1 简介概述**

a

### **5.4.2 接口定义**

a

### **5.4.3 设计细节**

a

## **5.5 VGA**

### **5.5.1 简介概述**

a

### **5.5.2 接口定义**

a

### **5.5.3 设计细节**

a

## 5.6 七段数码管

### 5.6.1 简介概述

a

### 5.6.2 接口定义

a

### 5.6.3 设计细节

a

## 5.7 LED 灯

### 5.7.1 简介概述

a

### 5.7.2 接口定义

a

### 5.7.3 设计细节

a

## 5.8 开关

### 5.8.1 简介概述

a

### 5.8.2 接口定义

a

### 5.8.3 设计细节

a