

Laboratorio #08

Este laboratorio será trabajado de forma individual y se entregará de forma digital de acuerdo a la fecha de entrega en Canvas. Deberá identificar su entrega con su nombre, carné y sección. Deberá adjuntar su código (los archivos `.v`), los diagramas de timing (tanto imágenes como los archivos `.vcd`), breves explicaciones en un archivo PDF y un link a su repositorio (donde debe haber cargado su código también).

Ejercicio 01

Implemente en Verilog un contador de 12 bits que tenga un **Enabled** (si **Enabled** == 1 → con cada flanco de **clk** el contador cuenta +1) y tenga la capacidad de hacer un **Load**. Esto quiere decir que pueda pre-cargar un valor a sus 12 bits. La pre-carga deberá suceder de forma asíncrona y deberá ser activada con un bit llamado **Load**.

Diseñe un testbench que le permita probar todas las funciones de su contador: no contar, contar, cargar, contar después de cargar, etc.

En su entrega debe incluir un **breve** párrafo donde describa su código.

Ejercicio 02

Diseñe una memoria ROM de 4k x 8 en Verilog. Su memoria debe ser implementada con un arreglo y debe leer datos de un archivo. Los datos pueden ser aleatorios, pero deben ser un mínimo de 10 datos. Implemente también un testbench para probar la memoria.

Describa en sus propias palabras cómo se implementa un *array* de datos en Verilog y cómo se utilizan las instrucciones `$readmemb` y `$readmemh`. Explique también su código completo (**brevemente**).

Recursos

Arrays en Verilog:

- <https://stackoverflow.com/questions/3011510/how-to-declare-and-use-1d-and-2d-byte-arrays-in-verilog>
- <https://www.verilogpro.com/verilog-arrays-plain-simple/>

Modelado de memorias:

- http://www.asic-world.com/verilog/memory_fsm1.html (preste mucha atención a `$readmemb` y `$readmemh`)

Ejercicio 03

Implemente la *Unidad Lógica/Aritmética* (ALU) del libro en la sección 5.2.4. Realice un testbench para probar todas las funciones de la ALU.

Describa en su documento cómo implementó la ALU y cómo funciona la misma.

Recursos

Lea la sección 4.5 del libro del curso. Allí encontrará ejemplos de cómo implementar un case en Verilog.