

Proyecto #02 - Procesador en HDL

Competencias a alcanzar

- IV. Diseña sistemas digitales utilizando Hardware Descriptor Language

Herramientas necesarias

- Icarus Verilog o el simulador de APIO para el TinyFPGA

Instrucciones

Para este proyecto los estudiantes deberán trabajar de forma individual. Los estudiantes diseñarán y simularán un procesador simple basado en el Nibbler. Para ver más información del Nibbler puede seguir [este link](#). El procesador deberá tener la siguiente estructura:

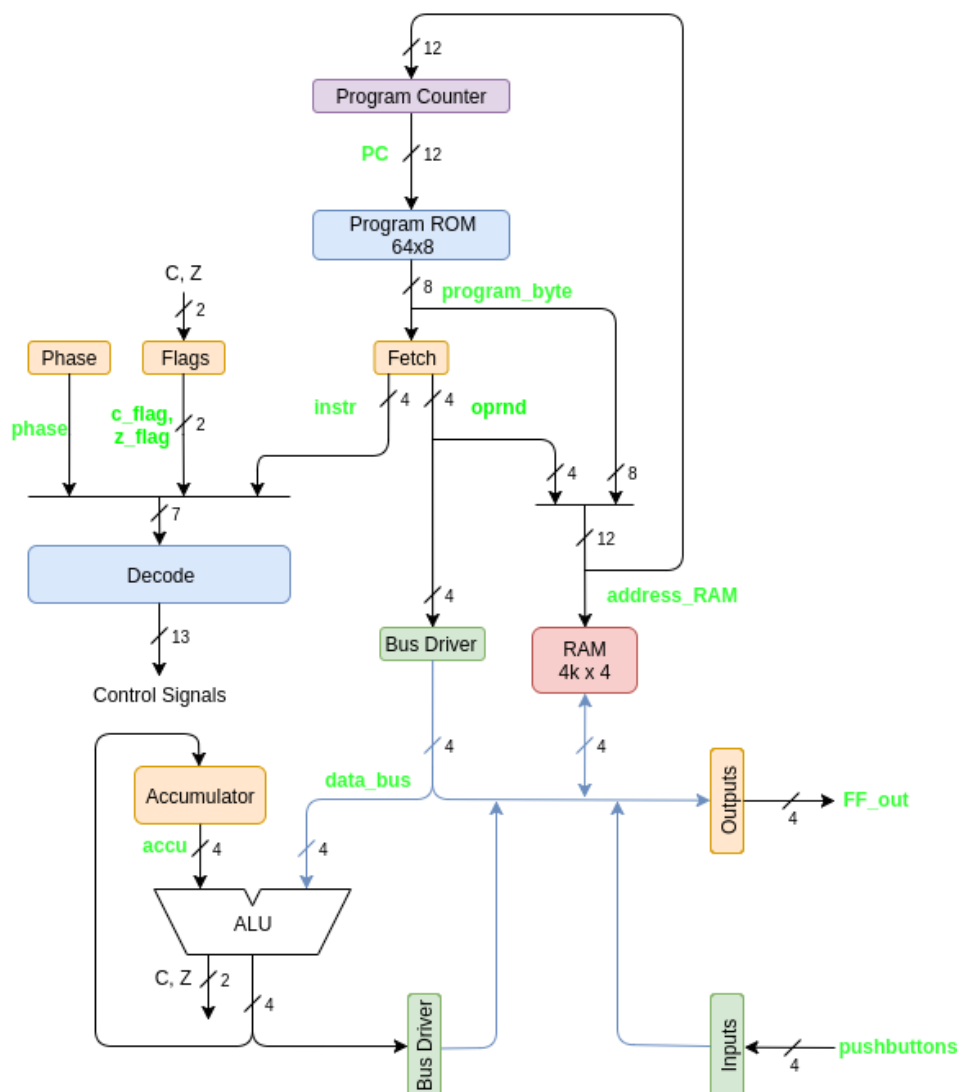


Figure 1: Arquitectura del procesador

Los bloques azules (junto con la ALU) son bloques combinacionales. Los bloques verdes son buffers tri-estado. Los bloques naranja son flip flops. El bloque rojo es la RAM. El bloque morado es un contador de 12 bits con función de carga.

El procesador deberá implementar las siguientes instrucciones:

Instrucción	i3	i2	i1	i0	C	Z	phase	incPC	loadPC	loadA	loadFlags	S2	S1	S0	csRAM	weRAM	oeALU	oeIN	oeOprnd	loadOut
any	x	x	x	x	x	x	0	1	0	0	0	0	0	0	0	0	1	0	0	0
JC	0	0	0	0	1	x	1	0	1	0	0	0	0	0	0	0	1	0	0	0
JNC	0	0	0	0	0	x	1	1	0	0	0	0	0	0	0	0	1	0	0	0
JNC	0	0	0	1	0	x	1	0	1	0	0	0	0	0	0	0	1	0	0	0
CMPI	0	0	1	0	x	x	1	0	0	0	1	0	0	1	0	0	0	0	1	0
CMPM	0	0	1	1	x	x	1	1	0	0	1	0	0	1	1	0	0	0	0	0
LIT	0	1	0	0	x	x	1	0	0	1	1	0	1	0	0	0	0	0	1	0
IN	0	1	0	1	x	x	1	0	0	1	1	0	1	0	0	0	0	1	0	0
LD	0	1	1	0	x	x	1	1	0	1	1	0	1	0	1	0	0	0	0	0
ST	0	1	1	1	x	x	1	1	0	0	0	0	0	0	1	1	1	0	0	0
JZ	1	0	0	0	x	1	1	0	1	0	0	0	0	0	0	0	1	0	0	0
JZ	1	0	0	0	x	0	1	1	0	0	0	0	0	0	0	0	1	0	0	0
JNZ	1	0	0	1	x	1	1	1	0	0	0	0	0	0	0	0	1	0	0	0
JNZ	1	0	0	1	x	0	1	0	1	0	0	0	0	0	0	0	1	0	0	0
ADDI	1	0	1	0	x	x	1	0	0	1	1	0	1	1	0	0	0	0	1	0
ADDM	1	0	1	1	x	x	1	1	0	1	1	0	1	1	1	0	0	0	0	0
JMP	1	1	0	0	x	x	1	0	1	0	0	0	0	0	0	0	1	0	0	0
OUT	1	1	0	1	x	x	1	0	0	0	0	0	0	0	0	0	1	0	0	1
NANDI	1	1	1	0	x	x	1	0	0	1	1	1	0	0	0	0	0	0	1	0
NANDM	1	1	1	1	x	x	1	1	0	1	1	1	0	0	1	0	0	0	0	0
												S2	S1	S0						
												ST, OUT	0	0	0					
												CMPI, CMPM	0	0	1					
												LIT, IN, LD	0	1	0					
												ADDI, ADDM	0	1	1					
												NANDI, NANDM	1	0	0					

Figure 2: Tabla de Instrucciones

Las instrucciones en rojo son inmediatas, en morado con memoria, en amarillo saltos y, por último, están *IN* y *OUT* que son para manejo de datos hacia el mundo externo del procesador.

Entrega

Deben entregar los archivos (.v y .vcd) completos y bien comentados de su procesador. Deben hacer su propio testbench para verificar que su procesador funcione. Deben incluir un módulo llamado uP (tanto el módulo como el archivo se deben llamar uP) que tenga las siguientes entradas y salidas con estos nombres específicos (note que en el diagrama están resaltados en verde los puntos de conexión):

Inputs:

- de 1 bit: clock, reset (no mostrados en el diagrama, pero obligatorios)
- de 4 bits: pushbuttons

Salidas:

- de 1 bit: phase, c_flag, z_flag
- de 4 bits: instr, oprnd, data_bus, FF_out, accu
- de 8 bits: program_byte
- de 12 bits: pc, address_ram

Adicionalmente deberá entregar un video de no más de 10 minutos donde explique su proyecto completo. La interconexión, código más importante, funcionamiento de las instrucciones y cualquier problema o situación que haya tenido que resolver.

Evaluación

El proceso de evaluación será que su procesador ejecute correctamente el set de instrucciones que se le programe. El funcionamiento se verificará con un testbench provisto por el catedrático.

Se realizará una evaluación escrita a cada estudiante. El examen tendrá una ponderación de 4 puntos netos y la entrega una ponderación de 11 puntos netos.

Rubrica de calificación

La nota del proyecto estará dividida en 5 partes:

1. Implementación de procesador base (Instrucciones inmediatas: CMPI, LIT, ADDI, IN, OUT, NANDI)
2. Implementación de instrucciones de saltos (JC, JNC, JZ, JNZ, JMP)
3. Implementación de instrucciones de memoria RAM (LD, ST, CMPM, ADDM, NANDM)
4. Examen escrito
5. Video explicativo del proyecto (10 minutos máximo)

La ponderación será de la siguiente forma:

Módulo a evaluar	Ponderación (en netos)
Procesador base	4
Instrucciones de saltos	3
Instrucciones de memoria RAM	2
Examen escrito	4
Video explicativo	2