

ABSTRACT

① 3D 낸드 플래시 메모리의 접근으로 높아기 위한 기술은 Read-retry operation과 overhead로 고통 받고 있다.

② 3D 낸드 플래시 메모리의 특성을 활용하여 대기시간을 줄일 수 있는 두 가지 방법을 제안한다

1. CACHE Read command → pipe line 방식을 사용

2. Strong ECC engine → Read retry 자체를 줄일 수 있다.

③ Read retry 새로운 방식

1. pipe line read retry

2. Adaptive - read retry

Introduction

① 단일 셀에 접근으로 높이는 기술과 3D 낸드 플래시 메모리 기술은 신뢰성 측면에서 많은 고유를 갖는다.

② 신뢰성 문제를 해결하기 위해 사용하는 두 가지 기술은 적용하였다. 첫째 ECC는 블록 오류를 감지하고 수정하는 기술이다. 둘째 Read Retry는 Voltage Reference 값을 변경하여 레이터 읽기로 재시도 하는 기술이다.

③ Read retry 기술은 지속적인 읽기로 가능한 취향이 발생한다.

④ 기본 Read retry는 최근 정정한 Reference Voltage를 사용하여 읽기 재시도 횟수를 고려 중지한 데크에 threshold voltage가 변화하면 이를 피하하기 위해 된다.

⑤ Pipe line을 활용하여 지속적인 Read retry 작업은 대기시간을 큰 폭으로 줄인다.

⑥ ECC-Capability margin을 통해 Read retry 자체를 줄일 수 있기 때문에 큰 폭으로 대기시간을 줄일 수 있다.

1) CACHE READ command를 사용하여 pipe line 방식인 pipelined read retry를 제안한다.
data transfer 동안 retry step을 진행한다.

2) 페이지 갈지 시간을 줄이면서 각 재시도 단계를 수행하는 Adaptive read retry를 도입 한다.

⑦ SSD 컨트롤러는 펌웨어의 최소한 수정만 요구하며 낸드 플래시 칩 자체를 수정하지 않는다.

Contribution

1. retry 기술을 활용하여 SSD 자체의 latency를 줄인 첫번째 기술이다.

2. 3D 낸드 플래시 메모리의 3가지 관찰이 존재

1) 일반적인 상황에서도 read retry는 지속적으로 존재한다.

2) 회색의 상황에서도 ECC capability margin은 존재한다.

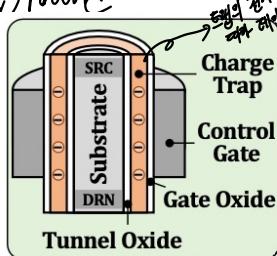
3) read retry parameter 안에서 상당한 Margin이 존재하여 read retry 상황에서 page sensing latency를 효과적으로 줄일 수 있다.

3. SSD의 컨트롤러 펌웨어의 최소한 수정만 진행하고 같은

read retry 횟수를 재하고 있지만 자연 시간을 획기적으로 줄인

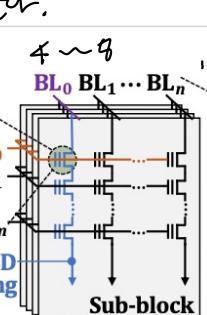
PR2와 AR2를 제안한다.

Background

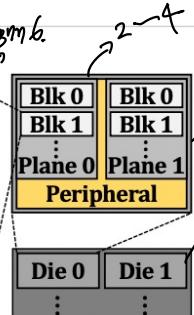


24-196

(a) Flash cell



(b) NAND block



(c) NAND flash chip

→ die의 각 plane들은 Decoder를 공유하기 때문에 제한적인 상황에서 병렬적으로 동작

→ Die는 독립적으로 동작

Figure 1: Organization of 3D NAND flash memory.

2.2 NAND Flash operation

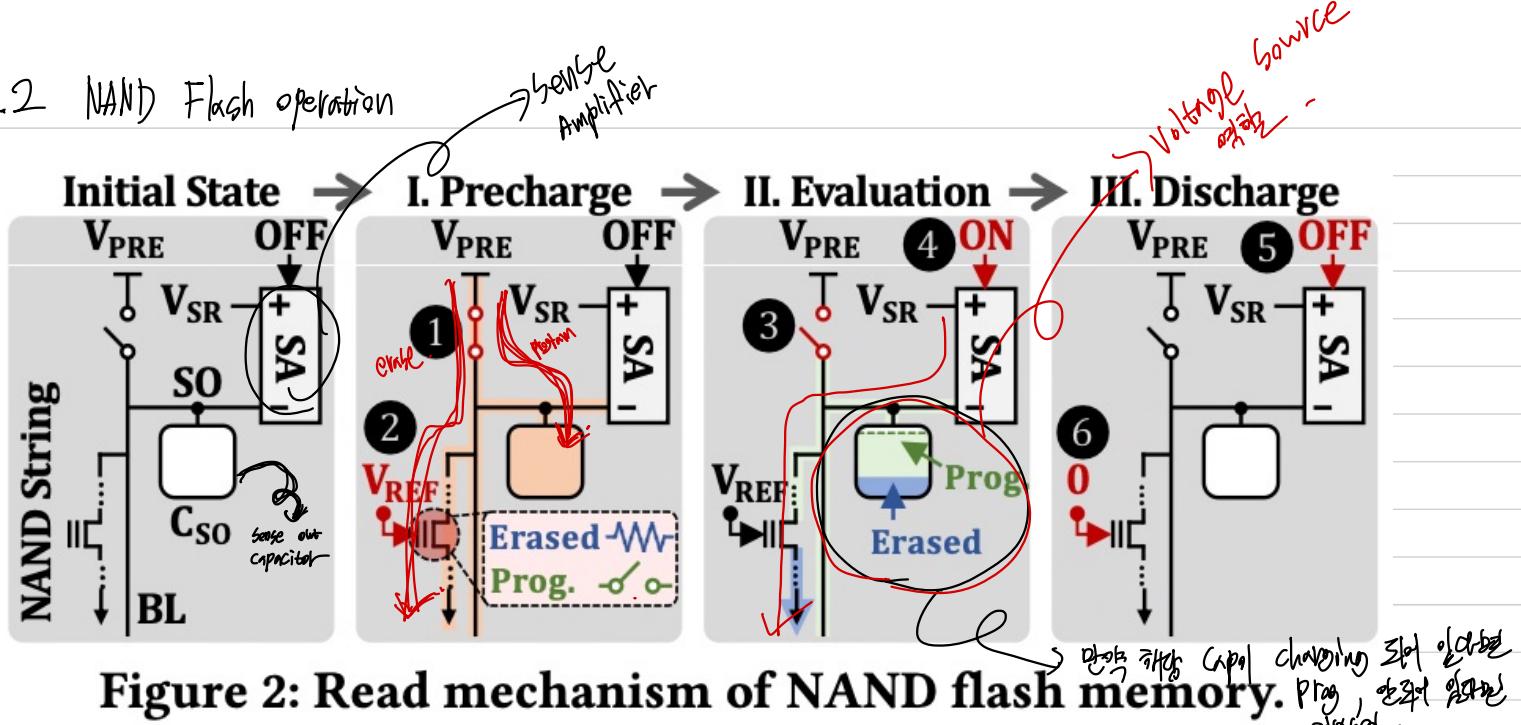


Figure 2: Read mechanism of NAND flash memory.

- Program and Erase operation : WL에 high Voltage 를 인가하여 threshold Voltage 를 증가 시켜 데이터를 저장한다. (이때 동일 WL은 같은 전압을 받아야 함), Erase operation은 가로의 높은 전압을 인가하여 threshold Voltage의 level을 낮춘다. 이러한 이유로 인해 write 단계는 cell이 블록을 erase 되어야 한다. 또한 block 단위로 erase 작업이 존재하기 때문에 program 시간과 많은 시간이 소요된다.
- Read operation : BL에 데이터가 쓰는 수 있는 threshold Voltage 를 인가하여 데이터를 sensing 한다.

Read timing 모드

한 개의 페리미터의 선정 가능

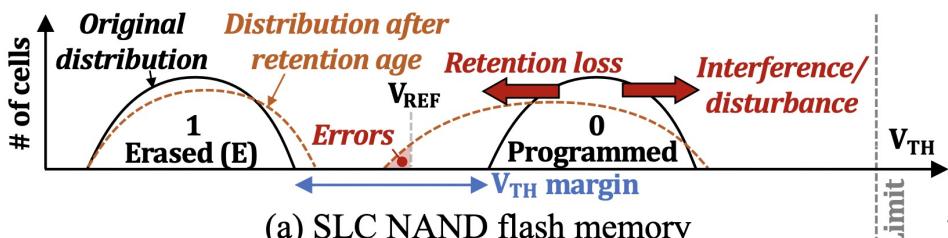
\rightarrow Cell type 증가 한계

$$t_R = N_{SENSE} \times (t_{PRE} + t_{EVAL} + t_{DISCH}) \quad (1)$$

\rightarrow 세 가지 변수를 잘 조정하는 것은 중요

- t_{PRE} 가 작아질수록 BL과 C_{SO} 가 충분히 charge 되지 않는다.
- V_{SO} 가 V_{SR} 보다 낮아질수록 높은 t_{DISCH} 가 발생하여 Raw bit 허용률 증가 시킨다. (BL을 부정으로 통한)
- 부정적인 BL은 악영향 사기는데 많은 수의 결함 때문에 t_{PRE} 시간 내에 모든 BL을 V_{PRE} 로 설정하기 어렵다.

2.3 Reliability Problem in NAND Flash



- Reading/programming은 같은 Block내의 다른 WL에 있는 데이터 주입을 일으킨다.

- 1회에 따른 간접 누설이 발생한다. 3D NAND의 주된 오류 원인이야.

- 많은 힘은 tunnel oxide의 파괴를 일으킨다. 더 많은 힘은 gate oxide를 쉽게 만들어 준다.

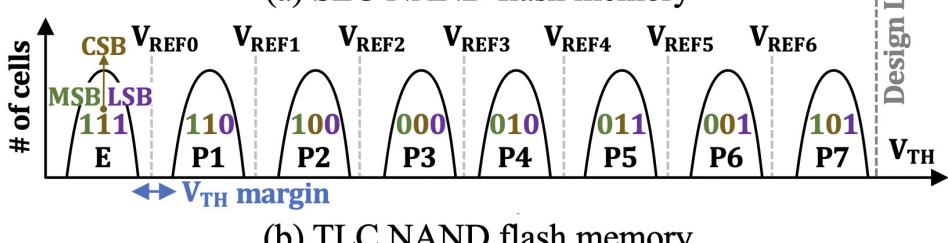


Figure 3: V_{TH} distribution of NAND flash memory cells.

2.4 Reliability Management in NAND Flash

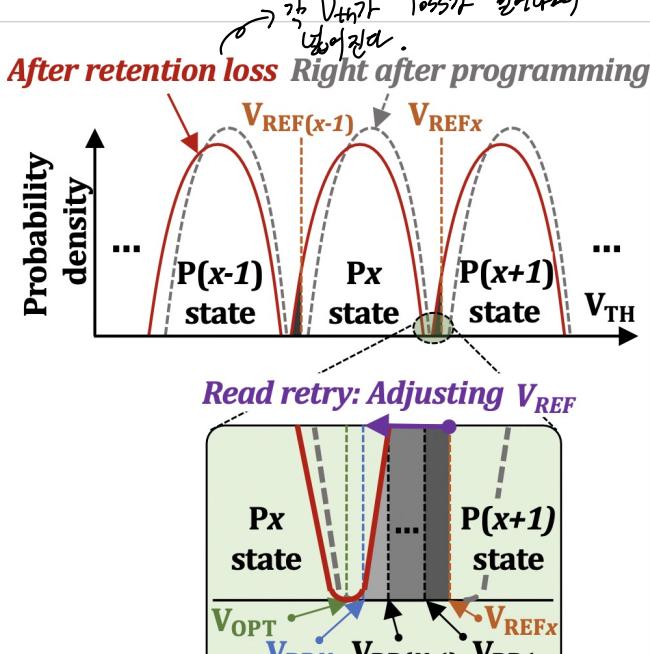
Error-Correction Codes (ECC)

- ECC는 code word로 블록을 대체하여 단위내에서 비트를 감지하고 수정할 수 있다.

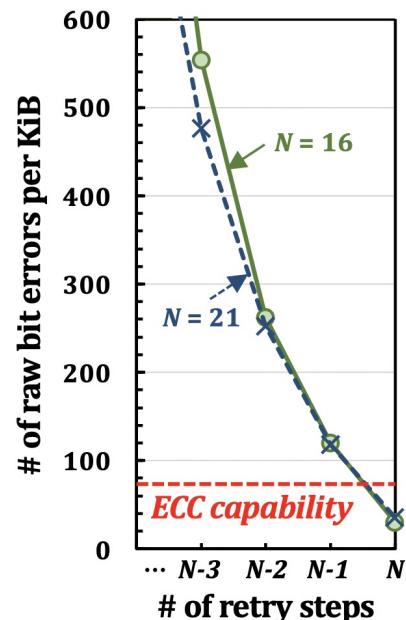
Read-Retry Operation

- 최근 3D NAND의 발전으로 시장성이 확장되고 있다. 이에 따라 ECC의 성능 능력이 대량으로 플래시 메모리 수명이 확장되고 있다. (성능 감소도 많이 발견)

- 이를 대체하기 위한 메커니즘으로 read retry가 적용되었다.



(a) V_{REF} adjustment in a read-retry operation



(b) RBER reduction in the last retry steps

Figure 4: RBER reduction via the read-retry mechanism.

- ECC 능력을 높이면 경우 read retry가 발생한다.
 - RBER이 줄어들 때까지 V_{REF} 를 조정하여 다시 읽는다.
 - Read-retry는 성능 영향을 미칠 수 있다.
- $$t_{READ} = t_{R} + t_{DMA} + t_{ECC} + t_{RETRY}$$
- $$t_{RETRY} = N_{RR} \times (t_{R} + t_{DMA} + t_{ECC})$$
- retry 횟수

3. MOTIVATION

- 현재 내드 플래시 메모리의 특성 설명
- 지연시간을 줄이기 위한 기법 제시

3.1 Read-Retry in Modern NAND Flash

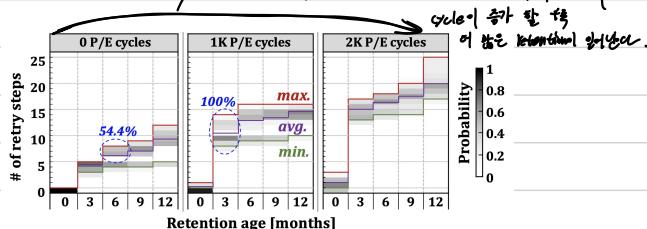


Figure 5: Read-retry characteristics of 160 3D TLC NAND flash memory chips under different operating conditions.

3.2

optimization Opportunities for Read-Retry

3.2.1 Exploiting the CACHE READ Feature

- 최근 블록에 배트리는 tREAD를 줄이기 위해 파일 라인을 활용한 CACHE READ Command가 존재

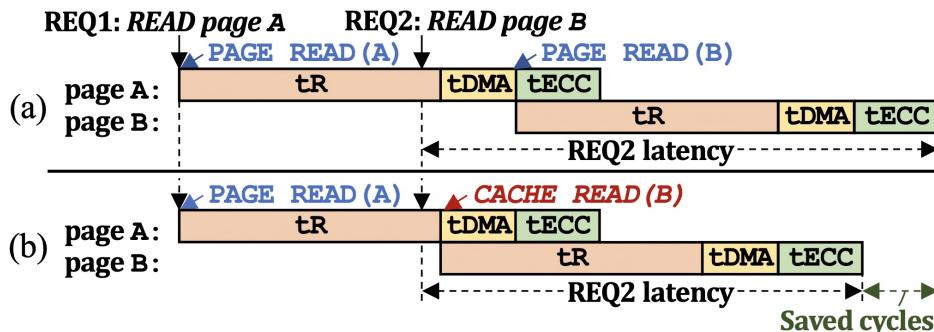


Figure 6: Comparison of (a) basic PAGE READ command and (b) CACHE READ command (see page B in each figure).

3.2.2 Exploiting Large ECC - Capability Margin

- ECC는 가능한 margin을 가지고 있어
 - 1) 최신 ECC 엔진은 강력한 Code Words를 가지고 있어.
 - 2) RBER을 최대로 줄이는 read-retry 작동이 있다.

4 CHARACTERIZATION METHODOLOGY

- 두 가지 테스트를 실시한 예제이다.
 - 1) final read-retry 단계에서의 ECC margin
 - 2) tR을 줄임으로서 발생하는 신뢰성 정도.

5 CHARACTERIZATION RESULTS

5.1 ECC-Capability Margin in Final Retry Step

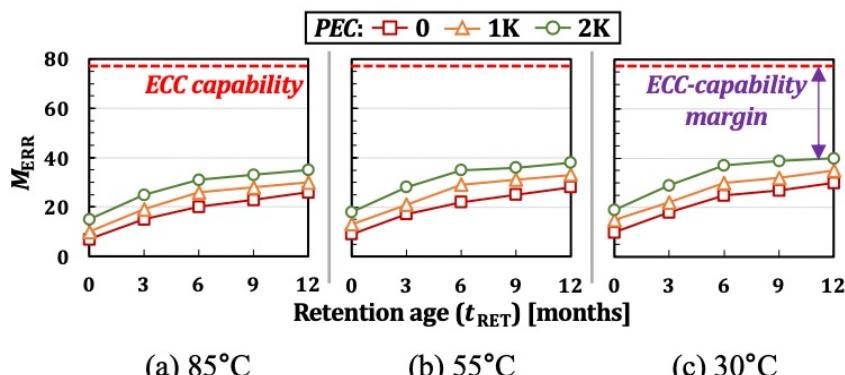


Figure 7: ECC-capability margin in the final read-retry step.

- ECC margin을 줄인다면 tRETRY 을 줄일 수 있다.
- ECC margin은 작동 신뢰성에 큰 영향을 미친다.

5.2 Reliability Impact of Reducing Read-Timing Parameters

- 1) Worst case 상황에서도 Final read-retry 이후 ECC Margin은 상당히 크다.
- 2) Cycle2 age가 커질수록 ECC의 margin은 감소한다.
- 3) 온도 또한 ECC margin에 영향을 끼친다.

5.2.1 Reduction of Individual parameters

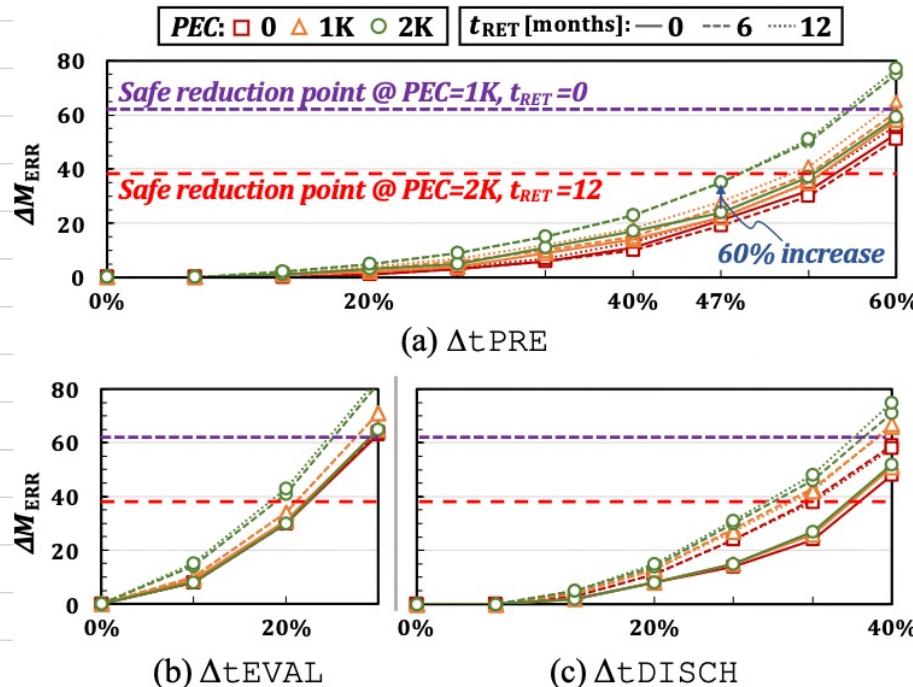


Figure 8: Effect of reducing each read-timing parameter.

5.2.2 Reduction of Multiple parameters

- t_{PRE} 또는 t_{DISCH} 를 줄일 경우 나머지 하나를 줄일 수 있는 기회를 얻는다.

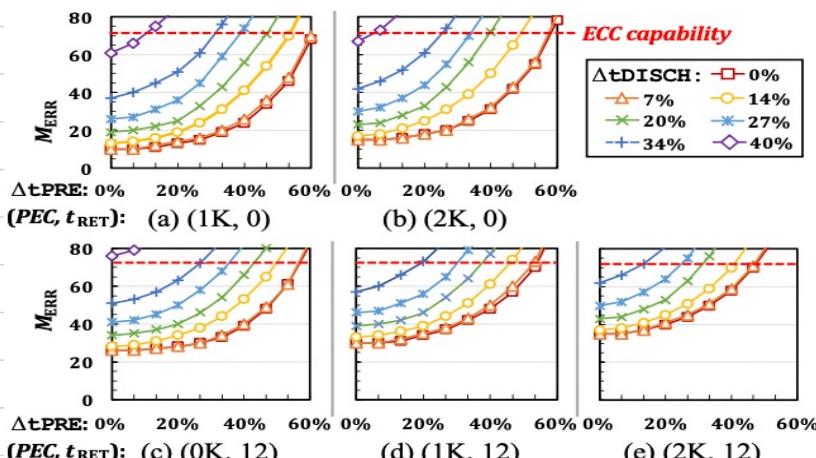


Figure 9: Effect of reducing multiple read-timing parameters, t_{PRE} and t_{DISCH} , under different P/E-cycle counts (PEC) and retention ages (t_{RET} , unit: months).

5.2.3 Reliable Reduction of t_{PRE}

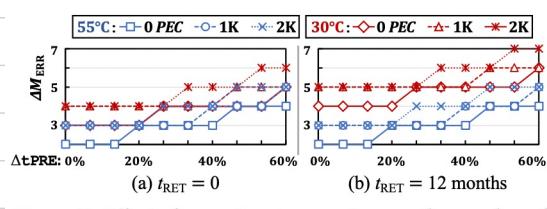


Figure 10: Effect of operating temperature on the number of additional errors due to t_{PRE} reduction.

- Read-retry latency를 줄이기 위해 read-timing parameters를 줄일 수 있다.
- t_{EVAL} 과 t_{DISCH} 는 더 긴밀한 변화를 일으킨다.
- t_{PRE} 도 BL을 충분한 풀진을 위해 margin이 필요하다.
- t_{DISCH} 에서 t_{PRE} 에 비해 더 많은 margin이 필요하다.
- 마개 변수의 감소는 예상 바울을 크게 높인다. Result
- 제조사가 정한 회방의 운영 조건에서도 잊기 어렵게 t_R 을 크게 줄일 수 있다.
- t_{EVAL} 을 줄이는 것은 비용적으로 효과적이지 않다. → 오류율이 크게 때문에 다른 파라미터들이 이를 충분히 기회를 크게 줄인다.

- 두개의 파라미터를 동시에 줄인다는 것은 더 많은 기회를 얻으라는 모임 원리.
- t_{PRE} 를 줄이는 것과 t_{DISCH} 를 줄이는 것 모두 매우 효과적이다.
- t_{DISCH} 에서 1% 정도 줄이는 것을 오류율을 크게 줄여사기 어렵다.
- 결과적으로 t_{PRE} 를 줄이는 것이 가장 효과적이다. → t_{DISCH} 는 1%를 줄이는 것과 비용이 비해 이득이 적거나 재정비가

- 작동 온도가 낮을수록, t_{PRE} 가 낮아질 때 오류율이 높아진다. → 온도에 따른 전자 운동량이 영향 있을 듯
- PEC, t_{RET} 을 고려하여 t_{PRE} 를 설정하고, 온도에 관한 영향은 ECC를 이용해 제거.
 - 온도에 대한 영향은 어려울 빠르게 알아가기 때문에
 - 광범위한 온도 주변에 관한 필요성을 줄이기 때문에

14 bits of ECC margin \Rightarrow

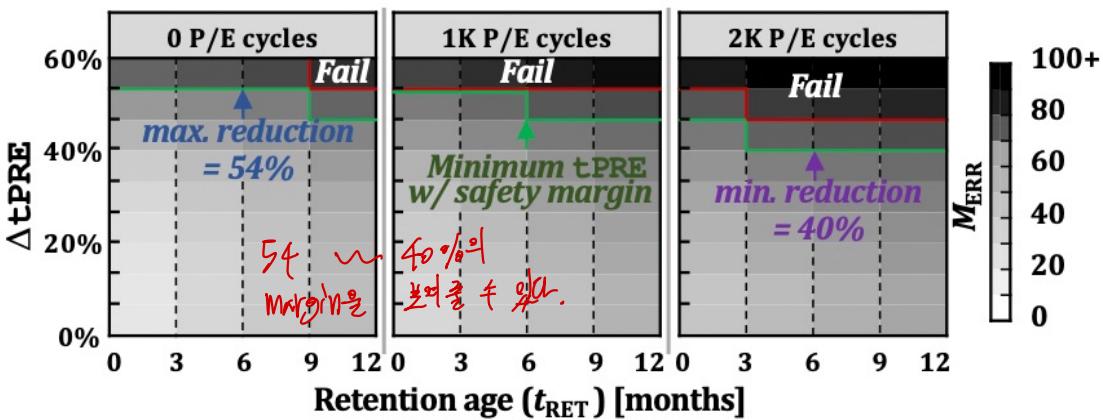


Figure 11: Minimum tPRE for safe tRETRY reduction.

6. READ - RETRY OPTIMIZATIONS

- 1) Pipelined Read - Retry 제언
- 2) Adaptive Read - Retry 제언

6.1 PR² : Pipelined Read - Retry

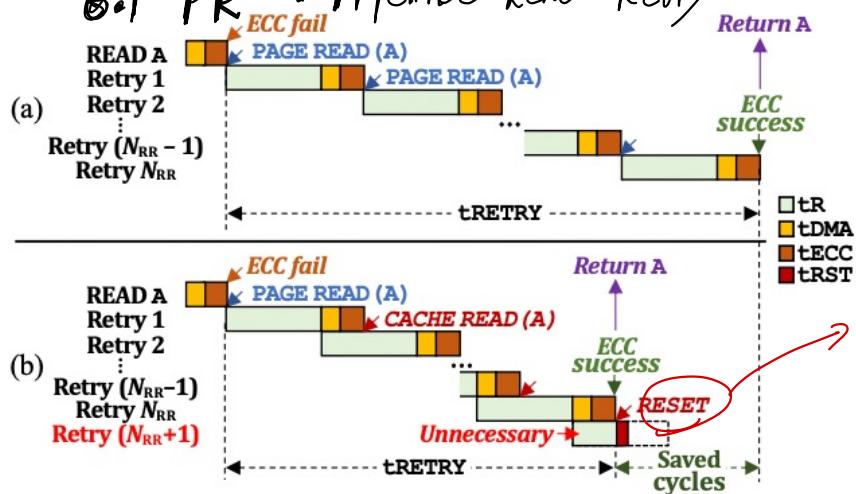


Figure 12: Comparison of (a) regular read-retry and (b) PR².

- CACHE READ Command을 사용하여 read retry 시간을 줄여라.

$$t\text{RETRY} = N_{RR} \times tR + tDMA + tECC. \quad (4)$$

- 이는 주연시간을 크게 줄여 SSD 성능 향상에 큰 기여를 하겠지.

- 충분히 예상이 고정되어 되었으면 RESET 명령어를 날려. 종료 시킬지.

- 이것은 CACHE READ command과 RESET command가 동시에 되어야 하는데 같은 firmware가 이를 Controller firmware가 수행하는 드라이버의 Overhead는 적을 수 밖에 없지.

6.2 AR² : Adaptive Read - Retry

- ECC margin을 사용하여 tPRE를 조건부로 줄여라.
- 각 iteration 상황에 따른 tPRE를 profiling 하여 Read-timing Parameter Table 형태로 만들기 SSD가 RPT를 처리할 수 있게 만들자

PEC	t _{RET} [days]	tPRE [μs]
< 250	< 60	14
	:	:
< 360	16	
⋮	⋮	
< 1.5K	< 60	16
	:	
	> 360	18

Read-timing Param. Table

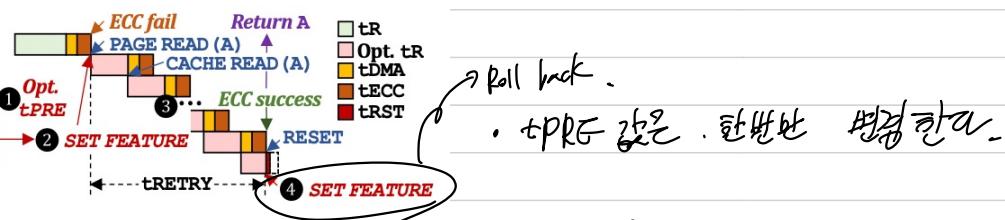


Figure 13: Read-retry latency reduction in AR².

$$t\text{RETRY} = t\text{SET} + p \times N_{RR} \times tR + tDMA + tECC \quad (5)$$

- 약간의 간접화면 수정만 필요하며 RPT의 소요된 용량은 적다.

7 SYSTEM-LEVEL EVALUATION

7.1 Methodology

- SSD 예측레이터 중 하나인 MQSim^{0.2} 확장하여 실현하였다.
- RPT를 포함하고 예측레이터를 이용하여 정확한 예측레이팅이 가능하다.

Table 1: NAND flash timing parameters.

Parameter	Time	Parameter	Time
t_R (avg.) ¹⁴	90 μs	t_{PROG}	700 μs
t_{PRE}	24 μs	t_{BERS}	5 ms
t_{EVAL}	5 μs	t_{SET}	1 μs
t_{DISCH}	10 μs	t_{RST}	5 μs for read

- Workload는 YCSB, MSRC를 이용할 예정

Table 2: I/O characteristics of the evaluated workloads.

Workload	Read ratio	Cold ratio	Workload	Read ratio	Cold ratio
stg_0	0.15	0.38	YCSB-A	0.98	0.72
hm_0	0.36	0.22	YCSB-B	0.99	0.59
prn_1	0.75	0.72	YCSB-C	0.99	0.6
proj_1	0.89	0.96	YCSB-D	0.98	0.58
mds_1	0.92	0.98	YCSB-E	0.99	0.98
usr_1	0.96	0.73	YCSB-F	0.98	0.87

7.2 SSD Response Time

- Baseline, PR², AR², PnAR², NoRR을 실현한 예정
- Baseline SSD는 program/Erase suspension 기술과 adopts out-of-order I/O scheduling 기법을 조합.
- PnAR²는 PR²와 AR² 두 가지를 결합한 SSD
- NoRR은 Read-retry를 하지 않는 SSD

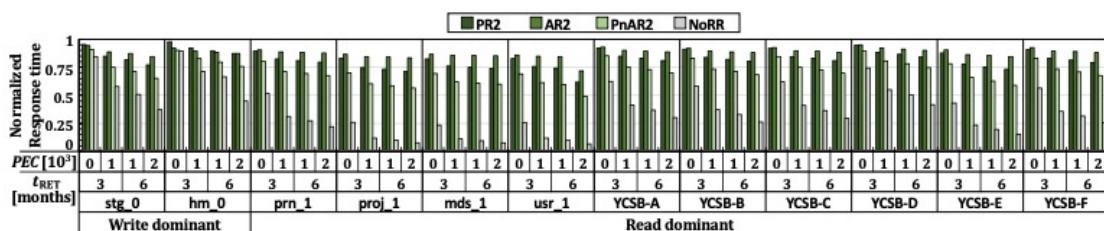


Figure 14: Response-time (RT) reduction of our proposal under different PEC (unit: $\times 10^3$) and t_{RET} (unit: months).

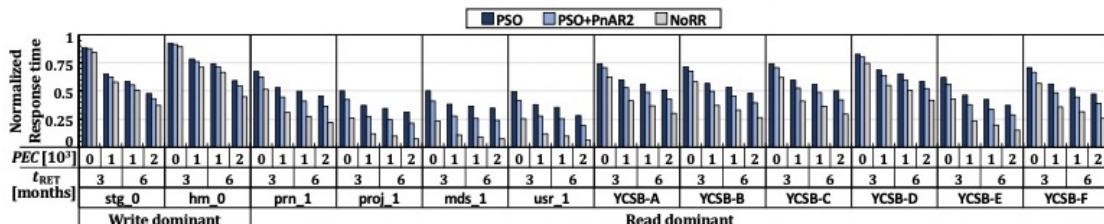


Figure 15: Performance improvement of our proposal when combined with an existing read-retry mitigation scheme [84].

1.3 Comparison to Prior Work

- PSO (Process Similarity-aware Optimization) 가 비슷한 AR 기법을 사용하였다.
• PSO는 다른 project에서 사용한 Viterbi를 사용하여 read-retry 간격을 줄인 방법이다.

8 DISCUSSION

- Latency Reduction for Regular Reads - sensing latency를 줄여 FCC migration을 사용한 AR 기법을 사용하였다. 이 기법은 regular page read에서만 적용할 수 있다.
- Further Reduction of Read-Retry Latency - PR²는 대기시간을 많이 줄일 수 있는 것을 가능 할 수 있다.