

基于ARM®32位的Cortex™-M4微控制器，带64 K字节至256 K字节内部闪存sLib、USB-OTG、11个定时器、1个ADC、2个比较器、12个通信接口

■ 内核：ARM®32位的Cortex™-M4 CPU

- 最高150 MHz工作频率，带存储器保护单元(MPU)，内建单周期乘法和硬件除法
- 具有DSP指令集

■ 存储器

- 从64 K字节至256 K字节的闪存程序/数据存储器
- 18 K字节的系统存储器可作启动加载程序(Bootloader)用外，也可一次性配置成一般用户程序和数据区
- 32 K字节的SRAM
- sLib：将指定之主存储区设为执行代码安全库区，此区代码仅能调用无法读取

■ 时钟、复位和电源管理

- 2.6至3.6伏供电和I/O引脚
- 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
- 4至25 MHz晶体振荡器
- 内嵌经出厂校准的48 MHz RC振荡器(25 °C达1 %精度，-40 °C至+105 °C达2.5 %精度)，带自动时钟校准功能(ACC)
- 内嵌带校准的40 kHz RC振荡器
- 带校准功能的32 kHz晶体振荡器
- PLL可灵活配置31~500倍频和1~15分频系数

■ 低功耗

- 睡眠、停机、和待机模式
- V_{BAT}为ERTC和20个32位的后备寄存器供电

■ 1个12位A/D转换器，0.5 μs转换时间(多达16个输入通道)

- 转换范围：0至3.6 V
- 一组采样和保持功能
- 温度传感器

■ 2个比较器

■ DMA：14通道DMA控制器

- 支持的外设：定时器、ADC、SDIO、I²S、SPI、I²C、和USART

■ 调试模式

- 串行单线调试(SWD)和JTAG接口

■ 多达55个快速I/O端口

- 27/39/55个多功能双向的I/O口，所有I/O口可以映像到16个外部中断；几乎所有I/O口可容忍5V输入信号
- 所有I/O口均为快速I/O，寄存器存取速度最高f_{AHB}

■ 多达11个定时器

- 多达5个16位定时器+2个32位定时器，每个定时器有多达4个用于输入捕获/输出比较/PWM或脉冲计数的通道和增量编码器输入
- 1个16位带死区控制和紧急刹车，用于电机控制的PWM高级控制定时器
- 2个看门狗定时器(独立的和窗口型的)
- 系统时间定时器：24位自减型计数器

■ ERTC：增强型RTC，具亚秒级精度及硬件日历

■ 多达12个通信接口

- 2个I²C接口(支持SMBus/PMBus)
- 多达5个USART接口(支持ISO7816, LIN, IrDA接口和调制解调控制)
- 2个SPI接口(50 M位/秒)，2个均可复用为I²S接口
- CAN接口(2.0B主动)，内置256字节的专用SRAM
- USB 2.0全速设备/主机/OTG控制器，内置1280 字节的专用SRAM，设备模式时支持无晶振(Crystal-less)
- SDIO接口

■ CRC计算单元

■ 96位的芯片唯一代码

■ 封装

- LQFP64 10 x 10 mm
- LQFP64 7 x 7 mm
- LQFP48 7 x 7 mm
- QFN32 4 x 4 mm

表1. 选型列表

闪存存储器	型号
256 K字节	AT32F415RCT7, AT32F415RCT7-7, AT32F415CCT7, AT32F415KCU7-4
128 K字节	AT32F415RBT7, AT32F415RBT7-7, AT32F415CBT7, AT32F415KBU7-4
64 K字节	AT32F415R8T7, AT32F415R8T7-7, AT32F415C8T7, AT32F415K8U7-4

目 录

1 系统架构	29
1.1 系统概述	29
1.1.1 总线架构	31
1.1.2 ARM Cortex TM -M4处理器	31
1.2 地址映射	32
1.2.1 寄存器映像	34
1.2.2 位绑定	35
1.2.3 片上SRAM	36
1.2.4 片上Flash	36
1.3 引导配置	38
1.4 器件特征信息	39
1.4.1 寄存器的缩写说明	39
1.4.2 闪存容量寄存器	39
1.4.3 器件电子签名	40
2 电源控制 (PWR)	41
2.1 简介	41
2.2 主要特点	41
2.3 功能描述	41
2.3.1 电源域	41
2.3.1.1 VDD/VDDA电源域	42
2.3.1.2 内核电源域	43
2.3.2 低功耗模式	44
2.3.2.1 睡眠模式	45
2.3.2.2 停止模式	46
2.3.2.3 待机模式	47
2.3.2.4 调试模式	48

2.3.3 自动唤醒	48
2.4 PWR寄存器	48
2.4.1 电源控制寄存器 (PWR_CTRL)	49
2.4.2 电源控制/状态寄存器 (PWR_CTRLSTS)	49
3 复位和时钟控制 (RCC)	51
3.1 复位	51
3.1.1 系统复位	51
3.1.2 电源复位	51
3.1.3 备份域复位	52
3.2 时钟	52
3.2.1 HSE时钟	54
3.2.2 HSI时钟	54
3.2.3 PLL.....	55
3.2.4 LSE时钟.....	55
3.2.5 LSI时钟	56
3.2.6 系统时钟 (SYSCLK) 选择	56
3.2.7 时钟失效检测 (CFD)	56
3.2.8 ERTC时钟	57
3.2.9 看门狗时钟	57
3.2.10 时钟输出	57
3.3 RCC寄存器描述	57
3.3.1 时钟控制寄存器 (RCC_CTRL)	59
3.3.2 时钟配置寄存器 (RCC_CFG)	60
3.3.3 时钟中断寄存器 (RCC_CLKINT)	62
3.3.4 APB2外设复位寄存器 (RCC_APB2RST)	64
3.3.5 APB1外设复位寄存器 (RCC_APB1RST)	66
3.3.6 AHB外设时钟使能寄存器 (RCC_AHBEN)	68

3.3.7 APB2外设时钟使能寄存器 (RCC_APB2EN)	68
3.3.8 APB1外设时钟使能寄存器 (RCC_APB1EN)	70
3.3.9 备份域控制寄存器 (RCC_BDC)	72
3.3.10 控制/状态寄存器 (RCC_CTRLSTS)	73
3.3.11 AHB外设复位寄存器 (RCC_AHBRST)	74
3.3.12 PLL配置寄存器 (RCC_PLL)	75
3.3.13 额外寄存器 (RCC_MISC)	76
3.3.14 额外寄存器 (RCC_MISC2)	76
4 内嵌闪存控制器 (EFC)	77
4.1 EFC简介	77
4.2 主要特点	77
4.2.1 闪存模块组织	78
4.3 功能描述	80
4.3.1 读操作	81
4.3.1.1 取指令	81
4.3.1.2 D-Code接口	81
4.3.1.3 闪存访问控制器	81
4.3.2 闪存编程和擦除控制器 (FPEC)	81
4.3.2.1 键值	81
4.3.2.2 解除闪存锁	82
4.3.2.3 主闪存编程	82
4.3.2.4 闪存擦除	83
4.3.2.5 选择字节编程	84
4.3.3 保护	85
4.3.3.1 写保护	85
4.3.3.2 读保护	85
4.3.3.3 选择字节块写保护	87
4.3.4 选择字节说明	87
4.3.5 特殊功能	88
4.3.5.1 安全库区设定	88

4.3.5.2 系统存储器区域作为主存扩展使用	89
4.3.5.3 CRC校验	89
4.4 EFC寄存器	90
4.4.1 闪存访问控制寄存器 (FLASH_ACR)	91
4.4.2 FPEC键寄存器 (FLASH_FCKEY)	92
4.4.3 闪存OPTKEY寄存器 (FLASH_OPTKEYR)	92
4.4.4 闪存状态寄存器 (FLASH_STS)	93
4.4.5 闪存控制寄存器 (FLASH_CTRL)	93
4.4.6 闪存地址寄存器 (FLASH_ADDR)	94
4.4.7 选择字节寄存器 (FLASH_UOB)	95
4.4.8 写保护寄存器 (FLASH_WRPRT)	95
4.4.9 闪存安全库区状态寄存器0 (FLASH_CDR0)	96
4.4.10 闪存安全库区状态寄存器1 (FLASH_CDR1)	96
4.4.11 闪存安全库区密码寄存器 (FSLIB_PSW)	97
4.4.12 闪存安全库区密码设定状态寄存器 (FSLIB_PSW_STS)	97
4.4.13 闪存CRC校验起始位置 (FLASH_CRC_AR)	98
4.4.14 闪存CRC校验控制寄存器 (FLASH_CRC_CTRL)	98
4.4.15 闪存CRC校验结果寄存器 (FLASH_CRC_OUTR)	99
4.4.16 闪存安全库区密码设定寄存器 (FSLIB_SET_PSW)	99
4.4.17 闪存安全库区范围设定寄存器 (FSLIB_SET_RANGE)	99
4.4.18 闪存主存扩展区安全库区设定寄存器 (SYS_MEM_SLIB_SET)	100
4.4.19 闪存主存扩展区模式寄存器 (SYS_MEM_BOOT_DIS_SET)	100
4.4.20 闪存安全库区键寄存器 (FSLIB_KEYR)	101
5 CRC计算单元 (CRC)	102
5.1 CRC简介	102
5.2 CRC主要特性	102
5.3 CRC功能描述	102
5.4 CRC寄存器	102

5.4.1 数据寄存器 (CRC_DR)	103
5.4.2 独立数据寄存器 (CRC_IDR)	103
5.4.3 控制寄存器 (CRC_CTRL)	103
6 通用和复用功能I/O (GPIO和AFIO)	105
6.1 简介	105
6.2 主要特征	105
6.3 功能描述	105
6.3.1 GPIO引脚配置	105
6.3.2 外部中断/唤醒线	107
6.3.3 输入配置	107
6.3.4 模拟输入配置	108
6.3.5 输出配置	109
6.3.6 GPIO锁定机制	110
6.3.7 复用功能 (AF)	110
6.4 IO映射功能配置	114
6.4.1 把OSC32_IN/OSC32_OUT作为GPIO端口PC14/PC15	114
6.4.2 把OSC_IN/OSC_OUT引脚作为GPIO端口PD0/PD1.....	114
6.4.3 CAN复用功能重映射	114
6.4.4 JTAG/SWD复用功能重映射	114
6.4.5 ADC复用功能重映射	115
6.4.6 定时器复用功能重映射	115
6.4.7 USART复用功能重映射	116
6.4.8 I2C复用功能重映射	117
6.4.9 SPI/I2S复用功能重映射	117
6.4.10 SDIO复用功能重映射	118
6.4.11 Comp 复用功能映射	118
6.5 GPIO与AFIO寄存器	118

6.5.1 端口配置低寄存器 (GPIOx_CTRL) (x=A..E)	120
6.5.2 端口配置高寄存器 (GPIOx_CTRLH) (A..E)	121
6.5.3 端口输入数据寄存器 (GPIOx_IPTDT) (x=A..E)	122
6.5.4 端口输出数据寄存器 (GPIOx_OPTDT) (x=A..E)	122
6.5.5 端口位设置/清除寄存器 (GPIOx_BSRE) (x=A..E)	122
6.5.6 端口位清除寄存器 (IOx_BRE) (x=A..E)	123
6.5.7 端口配置锁定寄存器 (GPIOx_LOCK) (x=A..E)	123
6.5.8 复用事件控制寄存器 (AFIO_EVCTRL)	124
6.5.9 复用重映射和调试I/O配置寄存器 (AFIO_MAP)	124
6.5.10 复用外部中断配置寄存器1 (AFIO_EXTIC1)	127
6.5.11 复用外部中断配置寄存器2 (AFIO_EXTIC2)	127
6.5.12 复用外部中断配置寄存器3 (AFIO_EXTIC3)	127
6.5.13 复用外部中断配置寄存器4 (AFIO_EXTIC4)	128
6.5.14 复用重映射和调试I/O配置寄存器2 (AFIO_MAP2)	128
6.5.15 复用重映射和调试I/O配置寄存器3 (AFIO_MAP3)	129
6.5.16 复用重映射和调试I/O配置寄存器4 (AFIO_MAP4)	130
6.5.17 复用重映射和调试I/O配置寄存器5 (AFIO_MAP5)	131
6.5.18 复用重映射和调试I/O配置寄存器6 (AFIO_MAP6)	132
6.5.19 复用重映射和调试I/O配置寄存器7 (AFIO_MAP7)	133
6.5.20 复用重映射和调试I/O配置寄存器8 (AFIO_MAP8)	134
7 中断和事件	136
7.1 嵌套向量中断控制器	136
7.1.1 系统嘀嗒 (SysCNTRick) 校准值寄存器	136
7.1.2 中断和异常向量	136
7.2 外部中断/事件控制器 (EXTI)	139
7.2.1 主要特性	139
7.2.2 框图	139

7.2.3 唤醒事件管理	139
7.2.4 功能说明	140
7.2.5 外部中断/事件线路映像	140
7.3 EXTI寄存器描述	142
7.3.1 中断屏蔽寄存器 (EXTI_INTEN)	142
7.3.2 事件屏蔽寄存器 (EXTI_EVTEN)	143
7.3.3 上升沿触发选择寄存器 (EXTI_RTRSEL)	143
7.3.4 下降沿触发选择寄存器 (EXTI_FTRSEL)	144
7.3.5 软件中断事件寄存器 (EXTI_SWIE)	144
7.3.6 挂起寄存器 (EXTI_PND)	144
8 DMA控制器 (DMA)	146
8.1 DMA简介	146
8.2 DMA主要特性	146
8.3 功能描述	147
8.3.1 DMA处理	147
8.3.2 仲裁器	148
8.3.3 DMA通道	148
8.3.4 可编程的数据传输宽度、对齐方式和数据大小端	149
8.3.5 错误管理	150
8.3.6 中断	150
8.3.7 DMA固定请求映像	150
8.3.8 DMA弹性请求映像	153
8.4 DMA寄存器	154
8.4.1 DMA中断状态寄存器 (DMA_ISTS)	156
8.4.2 DMA中断标志清除寄存器 (DMA_ICLR)	157
8.4.3 DMA通道x配置寄存器 (DMA_CHCTRLx) (x = 1...7)	157
8.4.4 DMA通道x传输数量寄存器 (DMA_TCNTx) (x = 1...7)	159

8.4.5 DMA通道x外设地址寄存器 (DMA_CPB _{Ax}) (x = 1...7)	159
8.4.6 DMA通道x存储器地址寄存器 (DMA_CMB _{Ax}) (x = 1...7)	160
8.4.7 通道来源寄存器0 (DMA_SRC_SEL0)	160
8.4.8 通道来源寄存器1 (DMA_SRC_SEL1)	160
9 定时器 (TIMER)	162
9.1 通用定时器 (TMR2到TMR5)	162
9.1.1 TMR _x 简介	162
9.1.2 TMR _x 主要功能	162
9.1.3 TMR _x 功能描述	163
9.1.3.1 时基单元	163
9.1.3.2 计数器模式	164
9.1.3.3 时钟选择	172
9.1.3.4 捕获/比较通道	174
9.1.3.5 输入捕获模式	176
9.1.3.6 PWM输入模式	176
9.1.3.7 强置输出模式	177
9.1.3.8 输出比较模式	177
9.1.3.9 PWM模式	178
9.1.3.10 单脉冲模式	180
9.1.3.11 在外部事件时清除OC _x REF信号	181
9.1.3.12 编码器接口模式	182
9.1.3.13 定时器输入异或功能	184
9.1.3.14 定时器和外部触发的同步	184
9.1.3.15 定时器同步	187
9.1.3.16 调试模式	191
9.1.4 TMR _x 寄存器描述	191
9.1.4.1 控制寄存器1 (TMR _x _CTRL1)	193
9.1.4.2 控制寄存器2 (TMR _x _CTRL2)	194
9.1.4.3 从模式控制寄存器 (TMR _x _SMC)	195
9.1.4.4 DMA/中断使能寄存器 (TMR _x _DIE)	197
9.1.4.5 状态寄存器 (TMR _x _STS)	198
9.1.4.6 事件产生寄存器 (TMR _x _EVEG)	199

9.1.4.7 捕获/比较模式寄存器1 (TMRx_CCM1)	199
9.1.4.8 捕获/比较模式寄存器2 (TMRx_CCM2)	202
9.1.4.9 捕获/比较使能寄存器 (TMRx_CCE)	203
9.1.4.10 计数器 (TMRx_CNT)	204
9.1.4.11 预分频器 (TMRx_DIV)	204
9.1.4.12 自动重装载寄存器 (TMRx_AR)	205
9.1.4.13 捕获/比较寄存器1 (TMRx_CC1)	205
9.1.4.14 捕获/比较寄存器2 (TMRx_CC2)	205
9.1.4.15 捕获/比较寄存器3 (TMRx_CC3)	206
9.1.4.16 捕获/比较寄存器4 (TMRx_CC4)	206
9.1.4.17 DMA控制寄存器 (TMRx_DMAC)	207
9.1.4.18 连续模式的DMA地址 (TMRx_DMABA)	207
9.2 通用定时器 (TMR9到TMR11)	209
9.2.1 TMRx简介	209
9.2.2 TMRx主要功能	209
9.2.2.1 TMR9主要功能	209
9.2.2.2 TMR10、TMR11主要功能	210
9.2.3 TMRx功能描述	211
9.2.3.1 时基单元	211
9.2.3.2 计数器模式	212
9.2.3.3 时钟选择	215
9.2.3.4 捕获/比较通道	217
9.2.3.5 输入捕获模式	218
9.2.3.6 PWM输入模式 (仅TMR9)	218
9.2.3.7 强置输出模式	219
9.2.3.8 输出比较模式	219
9.2.3.9 PWM模式	220
9.2.3.10 单脉冲模式	221
9.2.3.11 定时器和外部触发的同步 (仅TMR9)	222
9.2.3.12 定时器同步 (仅TMR9)	224
9.2.3.13 调试模式	224
9.2.4 TMR9寄存器描述	224
9.2.4.1 控制寄存器 1 (TMRx_CTRL1)	225

9.2.4.2 从模式控制寄存器 (TMRx_SMC)	226
9.2.4.3 DMA/中断使能寄存器 (TMRx_DIE)	227
9.2.4.4 状态寄存器 (TMRx_STS)	227
9.2.4.5 事件产生寄存器 (TMRx_EVEG)	228
9.2.4.6 捕获/比较模式寄存器1 (TMRx_CCM1)	229
9.2.4.7 捕获/比较使能寄存器 (TMRx_CCE)	231
9.2.4.8 计数器 (TMRx_CNT)	232
9.2.4.9 预分频器 (TMRx_DIV)	232
9.2.4.10 自动重装载寄存器 (TMRx_AR)	233
9.2.4.11 捕获/比较寄存器1 (TMRx_CC1)	233
9.2.4.12 捕获/比较寄存器2 (TMRx_CC2)	233
9.2.5 TMR10、TMR11寄存器描述	234
9.2.5.1 控制寄存器1 (TMRx_CTRL1)	235
9.2.5.2 DMA/中断使能寄存器 (TMRx_DIE)	235
9.2.5.3 状态寄存器 (TMRx_STS)	236
9.2.5.4 事件产生寄存器 (TMRx_EVEG)	236
9.2.5.5 捕获/比较模式寄存器1 (TMRx_CCM1)	237
9.2.5.6 捕获/比较使能寄存器 (TMRx_CCE)	239
9.2.5.7 计数器 (TMRx_CNT)	239
9.2.5.8 预分频器 (TMRx_DIV)	240
9.2.5.9 自动重装载寄存器 (TMRx_AR)	240
9.2.5.10 捕获/比较寄存器1 (TMRx_CC1)	240
9.3 高级控制定时器 (TMR1)	241
9.3.1 TMR1简介	241
9.3.2 TMR1主要特性	241
9.3.3 TMR1功能描述	242
9.3.3.1 时基单元	242
9.3.3.2 计数器模式	243
9.3.3.3 重复计数器	251
9.3.3.4 时钟选择	252
9.3.3.5 捕获/比较通道	255
9.3.3.6 输入捕获模式	257
9.3.3.7 PWM输入模式	257

9.3.3.8 强置输出模式	258
9.3.3.9 输出比较模式	258
9.3.3.10 PWM模式	259
9.3.3.11 互补输出和死区插入	261
9.3.3.12 使用刹车功能	263
9.3.3.13 在外部事件时清除OCxREF信号	264
9.3.3.14 产生六步PWM输出	265
9.3.3.15 单脉冲模式	266
9.3.3.16 编码器接口模式	267
9.3.3.17 定时器输入异或功能	269
9.3.3.18 与霍尔传感器的接口	269
9.3.3.19 TMRx定时器和外部触发的同步	271
9.3.3.20 定时器同步	274
9.3.3.21 调试模式	274
9.3.4 TMR1寄存器描述	274
9.3.4.1 TMR1控制寄存器1 (TMRx_CTRL1)	276
9.3.4.2 TMR1控制寄存器2 (TMRx_CTRL2)	277
9.3.4.3 TMR1从模式控制寄存器 (TMRx_SMC)	278
9.3.4.4 TMR1 DMA/中断使能寄存器 (TMRx_DIE)	280
9.3.4.5 TMR1状态寄存器 (TMRx_STS)	281
9.3.4.6 TMR1事件产生寄存器 (TMRx_EVEG)	282
9.3.4.7 TMR1捕获/比较模式寄存器1 (TMRx_CCM1)	283
9.3.4.8 TMR1捕获/比较模式寄存器2 (TMRx_CCM2)	285
9.3.4.9 TMR1捕获/比较使能寄存器 (TMRx_CCE)	286
9.3.4.10 TMR1计数器 (TMRx_CNT)	289
9.3.4.11 TMR1预分频器 (TMRx_DIV)	289
9.3.4.12 TMR1自动重装载寄存器 (TMRx_AR)	289
9.3.4.13 TMR1重复计数寄存器 (TMRx_RC)	289
9.3.4.14 TMR1捕获/比较寄存器 1 (TMRx_CC1)	290
9.3.4.15 TMR1捕获/比较寄存器2 (TMRx_CC2)	290
9.3.4.16 TMR1捕获/比较寄存器3 (TMRx_CC3)	290
9.3.4.17 TMR1捕获/比较寄存器4 (TMRx_CC4)	291
9.3.4.18 TMR1刹车和死区寄存器 (TMRx_BRKDT)	291
9.3.4.19 TMR1 DMA控制寄存器 (TMRx_DMAMC)	293

9.3.4.20 TMR1连续模式的DMA地址 (TMRx_DMABA)	293
10 看门狗	294
10.1 窗口看门狗 (WWDG)	294
10.1.1 WWDG简介	294
10.1.2 WWDG主要特性	294
10.1.3 WWDG功能描述	294
10.1.4 如何编写看门狗超时程序	295
10.1.5 调试模式	296
10.1.6 寄存器描述	296
10.1.6.1 控制寄存器 (WWDG_CTRL)	297
10.1.6.2 配置寄存器 (WWDG_CFG)	297
10.1.6.3 状态寄存器 (WWDG_STS)	298
10.2 独立看门狗 (IWDG)	298
10.2.1 简介	298
10.2.2 IWDG主要性能	298
10.2.3 IWDG功能描述	298
10.2.3.1 硬件看门狗	299
10.2.3.2 寄存器访问保护	299
10.2.3.3 调试模式	299
10.2.4 IWDG寄存器描述	300
10.2.4.1 键寄存器 (IWDG_KEY)	300
10.2.4.2 预分频寄存器 (IWDG_PR)	300
10.2.4.3 重装载寄存器 (IWDG_RLD)	301
10.2.4.4 状态寄存器 (IWDG_STS)	301
11 实时时钟 (ERTC)	303
11.1 前言	303
11.2 ERTC的主要特性	303
11.3 ERTC功能说明	304
11.3.1 时钟和预分频器	304
11.3.2 实时时钟和日历	305

11.3.3 可编程闹钟	305
11.3.4 周期性自动唤醒	305
11.3.5 ERTC初始化和配置	306
11.3.6 读取日历	307
11.3.7 复位ERTC	308
11.3.8 ERTC同步	308
11.3.9 ERTC参考时钟检测	308
11.3.10 ERTC粗略数字校准	309
11.3.11 ERTC精密数字校准	310
11.3.12 时间戳功能	311
11.3.13 入侵检测	311
11.3.14 校准时钟输出	312
11.3.15 闹钟输出	312
11.4 ERTC和低功耗模式	313
11.5 ERTC中断	313
11.6 ERTC寄存器	314
11.6.1 ERTC时间寄存器(ERTC_TIME)	314
11.6.2 ERTC日期寄存器(ERTC_DATE)	314
11.6.3 ERTC控制寄存器(ERTC_CTRL)	315
11.6.4 ERTC初始化和状态寄存器(ERTC_STS)	317
11.6.5 ERTC预分频器寄存器(ERTC_PSC)	318
11.6.6 ERTC唤醒定时器寄存器(ERTC_WATR)	319
11.6.7 ERTC校准寄存器(ERTC_CAL)	319
11.6.8 ERTC闹钟A寄存器(ERTC_ALA)	320
11.6.9 ERTC闹钟B寄存器(ERTC_ALB)	320
11.6.10 ERTC写保护寄存器(EERTC_WPR)	321
11.6.11 ERTC亚秒寄存器(ERTC_SBSR)	321

11.6.12 ERTC平移控制寄存器(ERTC_SFCTR)	322
11.6.13 ERTC时间戳时间寄存器(ERTC_TSTM)	322
11.6.14 ERTC时间戳日期寄存器(ERTC_TSDT)	323
11.6.15 ERTC时间戳亚秒寄存器(ERTC_TSSBS).....	323
11.6.16 ERTC校准寄存器(ERTC_CCR)	323
11.6.17 ERTC入侵和复用功能配置寄存器(ERTC_TPAF).....	324
11.6.18 ERTC闹钟A亚秒寄存器(ERTC_ALASBS).....	325
11.6.19 ERTC闹钟B亚秒寄存器(ERTC_ALBSBS)	326
11.6.20 ERTC备份寄存器(ERTC_BKPxDT).....	326
12 模拟/数字转换 (ADC)	328
12.1 ADC介绍	328
12.2 ADC主要特征	328
12.3 ADC功能描述	328
12.3.1 ADC开关控制	329
12.3.2 ADC时钟	329
12.3.3 通道选择	330
12.3.4 单次转换模式	330
12.3.5 连续转换模式	330
12.3.6 时序图	330
12.3.7 模拟看门狗	331
12.3.8 扫描模式	332
12.3.9 注入通道管理	332
12.3.10 间断模式	333
12.3.11 校准	334
12.3.12 数据对齐	334
12.3.13 可编程的通道采样时间	335
12.3.14 部触发转换	335

12.3.15 DMA请求	336
12.3.16 温度传感器	336
12.3.17 ADC中断	337
12.4 ADC寄存器	337
12.4.1 ADC状态寄存器 (ADC_STS)	338
12.4.2 ADC控制寄存器1 (ADC_CTRL1)	339
12.4.3 ADC控制寄存器2 (ADC_CTRL2)	341
12.4.4 ADC采样时间寄存器2 (ADC_SMPT2)	343
12.4.5 ADC注入通道数据偏移寄存器x (ADC_JOFSx) (x=1..4)	343
12.4.6 ADC看门狗高阈值寄存器 (ADC_WHTR)	344
12.4.7 ADC看门狗低阈值寄存器 (ADC_WLTR)	344
12.4.8 ADC规则序列寄存器1 (ADC_RSQ1)	344
12.4.9 ADC规则序列寄存器2 (ADC_RSQ2)	345
12.4.10 ADC规则序列寄存器3 (ADC_RSQ3)	345
12.4.11 ADC注入序列寄存器 (ADC_JSQ)	346
12.4.12 ADC 注入数据寄存器x (ADC_JDORx) (x= 1..4)	346
12.4.13 ADC规则数据寄存器 (ADC_RDOR)	347
13 I ² C接口	348
13.1 I ² C简介	348
13.2 I ² C主要特点	348
13.3 I ² C功能描述	349
13.3.1 模式选择	349
13.3.2 I ² C从模式	350
13.3.3 I ² C主模式	352
13.3.4 错误条件	357
13.3.5 SDA/SCL线控制	357
13.3.6 SMBus	358

13.3.7 DMA请求	359
13.3.8 包错误校验(PEC)	360
13.3.9 I ² C中断请求	362
13.3.10 I ² C调试模式.....	363
13.4 I ² C寄存器描述	363
13.4.1 控制寄存器1(I ² C_CTRL1)	364
13.4.2 控制寄存器2(I ² C_CTRL2)	366
13.4.3 自身地址寄存器1(I ² C_OADDR1).....	367
13.4.4 自身地址寄存器2(I ² C_OADDR2).....	368
13.4.5 数据寄存器(I ² C_DT)	368
13.4.6 状态寄存器1(I ² C_STS1)	368
13.4.7 状态寄存器2(I ² C_STS2)	371
13.4.8 时钟控制寄存器(I ² C_CLKCTRL)	372
13.4.9 TMRISE寄存器(I ² C_TMRISE)	373
14 通用同步异步收发器 (USART)	374
14.1 USART介绍	374
14.2 USART主要特性	374
14.3 USART功能概述	375
14.3.1 USART特性描述	376
14.3.2 发送器	377
14.3.2.1 字符发送	377
14.3.2.2 可配置的停止位	377
14.3.2.3 单字节通信	378
14.3.2.4 断开帧	379
14.3.2.5 空闲符号	379
14.3.3 接收器	380
14.3.3.1 起始位侦测	380
14.3.3.2 字符接收	380
14.3.3.3 断开帧	381

14.3.3.4 空闲符号	381
14.3.3.5 溢出错误	381
14.3.3.6 帧错误	382
14.3.3.7 接收期间可配置的停止位	382
14.3.4 分数波特率的产生	383
14.3.4.1 如何从USART_BAUDR寄存器值得到USARTDIV	383
14.3.5 USART接收器容忍时钟的变化	384
14.3.6 多处理器通信	385
14.3.6.1 空闲总线检测 (WUMODE=0)	385
14.3.6.2 地址标记 (address mark) 检测 (WUMODE=1)	385
14.3.7 校验控制	386
14.3.8 LIN (局域互联网) 模式	386
14.3.8.1 LIN发送	387
14.3.8.2 LIN接收	387
14.3.9 USART同步模式	389
14.3.10 单线半双工通信	391
14.3.11 智能卡	392
14.3.12 IrDA SIR ENDEC功能模块	393
14.3.13 利用DMA连续通信	395
14.3.13.1 利用DMA发送	395
14.3.13.2 利用DMA接收	396
14.3.13.3 多缓冲器通信中的错误标志和中断产生	397
14.3.14 硬件流控制	397
14.3.14.1 RTS流控制	397
14.3.14.2 CTS流控制	398
14.4 USART中断请求	398
14.5 USART模式配置	399
14.6 USART寄存器描述	399
14.6.1 USART寄存器地址映象	399
14.6.2 状态寄存器 (USART_STS)	401

14.6.3 数据寄存器 (USART_DT)	402
14.6.4 波特比率寄存器 (USART_BAUDR)	403
14.6.5 控制寄存器1 (USART_CTRL1)	403
14.6.6 控制寄存器2 (USART_CTRL2)	405
14.6.7 控制寄存器3 (USART_CTRL3)	406
14.6.8 保护时间和预分频寄存器 (GTP)	408
15 串行外设接口 (SPI)	409
15.1 SPI简介	409
15.2 主要特点	409
15.2.1 SPI特点	409
15.2.2 I ² S功能	409
15.3 功能描述	410
15.3.1 SPI功能描述	410
15.3.1.1 概述	410
15.3.1.2 配置SPI为从模式	414
15.3.1.3 配置SPI为主模式	415
15.3.1.4 配置SPI为单工通信	416
15.3.1.5 数据发送与接收过程	416
15.3.1.6 CRC计算	421
15.3.1.7 状态标志	422
15.3.1.8 关闭SPI	423
15.3.1.9 利用DMA的SPI通信	424
15.3.1.10 错误标志	425
15.3.1.11 SPI中断	426
15.3.2 I ² S功能描述	426
15.3.2.1 I ² S功能描述	426
15.3.2.2 支持的音频协议	428
15.3.2.3 时钟发生器	433
15.3.2.4 I ² S主模式	435
15.3.2.5 I ² S从模式	437
15.3.2.6 状态标志位	438

15.3.2.7 错误标志位	438
15.3.2.8 I ² S中断	438
15.3.2.9 DMA功能	439
15.4 SPI寄存器	439
15.4.1 SPI控制寄存器1 (SPI_CTRL1) (I ² S模式下不使用)	441
15.4.2 SPI控制寄存器2 (SPI_CTRL2)	442
15.4.3 SPI状态寄存器 (SPI_STS)	443
15.4.4 SPI数据寄存器 (SPI_DT)	444
15.4.5 SPICRC多项式寄存器 (SPI_CPOLY) (I ² S模式下不使用)	444
15.4.6 SPIRxCRC寄存器 (SPI_RCRC) (I ² S模式下不使用)	445
15.4.7 SPITxCRC寄存器 (SPI_TCRC)	445
15.4.8 SPI_I2S配置寄存器 (SPI_I2SCTRL)	445
15.4.9 SPI_I2S预分频寄存器 (SPI_I2SCLKP)	446
16 CAN总线控制器	447
16.1 简介	447
16.2 主要特点	447
16.3 功能描述	448
16.3.1 CAN整体功能描述	448
16.3.2 工作模式	449
16.3.2.1 初始化模式	449
16.3.2.2 正常模式	450
16.3.2.3 睡眠模式 (低功耗)	450
16.3.3 测试模式	451
16.3.3.1 静默模式	451
16.3.3.2 环回模式	451
16.3.3.3 环回静默模式	452
16.3.4 AT32F415系列处于调试模式时	452
16.3.5 发送处理	453
16.3.6 时间触发通信模式	454

16.3.7 接收管理	454
16.3.8 标识符过滤	456
16.3.9 报文存储	459
16.3.10 出错管理	460
16.3.11 位时间特性	461
16.3.12 bxCAN中断	463
16.4 CAN寄存器	465
16.4.1 寄存器访问保护	467
16.4.2 CAN控制和状态寄存器	467
16.4.2.1 CAN主控制寄存器 (CAN_MCTRL)	467
16.4.2.3 CAN主状态寄存器 (CAN_MSTS)	469
16.4.2.4 CAN发送状态寄存器 (CAN_TSTS)	470
16.4.2.5 CAN接收 FIFO 0寄存器 (CAN_RF0)	471
16.4.2.6 CAN接收 FIFO 1寄存器 (CAN_RF1)	472
16.4.2.7 CAN中断使能寄存器 (CAN_INTEN)	473
16.4.2.8 CAN错误状态寄存器 (CAN_ESTS)	474
16.4.2.9 CAN位时序寄存器 (CAN_BTMG)	475
16.4.3 CAN邮箱寄存器	475
16.4.3.1 发送邮箱标识符寄存器 (CAN_TMI x) ($x=0..2$)	476
16.4.3.2 发送邮箱数据长度和时间戳寄存器 (CAN_TDT x) ($x=0..2$)	477
16.4.3.3 发送邮箱低字节数据寄存器 (CAN_TDL x) ($x=0..2$)	477
16.4.3.4 发送邮箱高字节数据寄存器 (CAN_TDH x) ($x=0..2$)	478
16.4.3.5 接收 FIFO邮箱标识符寄存器 (CAN_RFI x) ($x=0..1$)	478
16.4.3.6 接收 FIFO邮箱数据长度和时间戳寄存器 (CAN_RDT x) ($x=0..1$)	479
16.4.3.7 接收 FIFO邮箱低字节数据寄存器 (CAN_RDL x) ($x=0..1$)	479
16.4.3.8 接收 FIFO邮箱高字节数据寄存器 (CAN_RDH x) ($x=0..1$)	480
16.4.4 CAN过滤器寄存器	480
16.4.4.1 CAN过滤器主控寄存器 (CAN_FM)	480
16.4.4.2 CAN过滤器模式寄存器 (CAN_FM1)	481
16.4.4.3 CAN过滤器位宽寄存器 (CAN_FS1)	481
16.4.4.4 CAN过滤器FIFO关联寄存器 (CAN_FFA1)	481

16.4.4.5 CAN过滤器激活寄存器 (CAN_FA1)	482
16.4.4.6 CAN过滤器组i的寄存器x (CAN_FBiRx) (其中i=0..13; x=1..2)	482
17 SDIO接口	483
17.1 简介	483
17.2 主要特点	484
17.3 功能描述	486
17.3.1 SDIO功能描述	486
17.3.1.1 SDIO适配器	487
17.3.1.2 SDIO AHB接口	495
17.3.2 卡功能描述	495
17.3.2.1 卡识别模式	495
17.3.2.2 卡复位	495
17.3.2.3 操作电压范围确认	496
17.3.2.4 卡识别过程	496
17.3.2.5 写数据块	497
17.3.2.6 读数据块	497
17.3.2.7 数据流操作，数据流写入和数据流读出 (只适用于多媒体卡)	497
17.3.2.8 擦除：成组擦除和扇区擦除	498
17.3.2.9 宽总线选择和解除选择	499
17.3.2.10 保护管理	499
17.3.2.11 卡状态寄存器	501
17.3.2.12 SD状态寄存器	503
17.3.2.13 SD的I/O模式	506
17.3.2.14 命令与响应	507
17.3.3 响应格式	509
17.3.3.1 R1 (普通响应命令)	509
17.3.3.2 R1b	510
17.3.3.3 R2 (CID、CSD寄存器)	510
17.3.3.4 R3 (OCR寄存器)	510
17.3.3.5 R4 (快速I/O)	510
17.3.3.6 R4b	511
17.3.3.7 R5 (中断请求)	511
17.3.3.8 R6 (中断请求)	511

17.3.4 SDIO I/O卡特定的操作	512
17.3.4.1 使用SDIO_D2信号线的SDIO I/O读等待操作	512
17.3.4.2 使用停止SDIO_CK的SDIO读等待操作	512
17.3.4.3 SDIO暂停/恢复操作	512
17.3.4.4 SDIO中断	513
17.3.5 硬件流控制	513
17.4 SDIO寄存器	513
17.4.1 SDIO电源控制寄存器 (SDIO_POWER)	514
17.4.2 SDIO时钟控制寄存器 (SDIO_CLKCTRL)	515
17.4.3 SDIO参数寄存器 (SDIO_ARG)	516
17.4.4 SDIO命令寄存器 (SDIO_CMD)	516
17.4.5 SDIO命令响应寄存器 (SDIO_RSPCMD)	517
17.4.6 SDIO响应1..4寄存器 (SDIO_RSPx)	517
17.4.7 SDIO数据定时器寄存器 (SDIO_DTTMR)	518
17.4.8 SDIO数据长度寄存器 (SDIO_DTLEN)	518
17.4.9 SDIO数据控制寄存器 (SDIO_DTCCTRL)	519
17.4.10 SDIO数据计数器寄存器 (SDIO_DTCNTR)	520
17.4.11 SDIO状态寄存器 (SDIO_STS)	521
17.4.12 SDIO清除中断寄存器 (SDIO_INTCLR)	522
17.4.13 SDIO中断屏蔽寄存器 (SDIO_INTEN)	523
17.4.14 SDIOBUF计数器寄存器 (SDIO_BUFCNTR)	525
17.4.15 SDIO数据BUF寄存器 (SDIO_BUF)	525
18 MCU调试 (MCUDBG)	526
18.1 简介	526
18.2 功能描述	527
18.2.1 低功耗模式的调试支持	527
18.2.2 支持定时器、看门狗、bxCAN和I2C的调试	527
18.2.3 ID代码	527

18.2.4 SWJ调试端口脚	527
18.2.5 JTAG脚上的内部上拉和下拉	527
18.2.6 跟踪脚的分配控制	528
18.3 MCUDBG寄存器	528
18.3.1 MCUDBG控制寄存器 (MCUDBG_CTRL)	529
19 比较器(COMP)	531
19.1 COMP简介	531
19.2 COMP的主要特性	531
19.3 比较器功能描述	531
19.3.1 比较器框图	531
19.3.2 COMP引脚和内部信号	532
19.3.3 比较器复位和时钟	532
19.3.4 比较器锁定机制	532
19.3.5 迟滞	532
19.3.6 功率模式	533
19.3.7 干扰滤波器	533
19.4 COMP中断	534
19.5 COMP寄存器	534
19.5.1 比较器控制和状态寄存器1(COMP_CTRLSTS1)	535
19.5.2 比较器控制和状态寄存器2(COMP_CTRLSTS2)	537
19.5.3 干扰滤波器使能寄存器(G_FILTER_EN)	538
19.5.4 干扰滤波器高脉冲数(HIGH_PULSE)	538
19.5.5 干扰滤波器低脉冲数(LOW_PULSE)	538
20 HSI自动时钟校准 (HSI Auto Clock Calibration)	540
20.1 ACC介绍	540
20.2 ACC主要特性	540
20.3 ACC功能概述	540

20.3.1 ACC特性描述	541
20.4 ACC中断请求	542
20.5 ACC寄存器描述	542
20.5.1 ACC寄存器地址映象	543
20.5.2 状态寄存器 (ACC_STS)	544
20.5.3 控制寄存器1 (ACC_CTRL1)	544
20.5.4 控制寄存器2 (ACC_CTRL2)	545
20.5.5 比较值1 (ACC_C1)	545
20.5.6 比较值2 (ACC_C2)	546
20.5.7 比较值3 (ACC_C3)	546
21 USB OTG全速(OTG_FS)	547
21.1 OTG模块介绍	547
21.2 OTG_FS主要功能	547
21.2.1 通用功能	547
21.2.2 主机模式功能	548
21.2.3 设备模式功能	548
21.3 OTG_FS功能描述	549
21.3.1 OTG全速控制器	549
21.3.2 全速OTG PHY(物理接口)	549
21.4 双角色设备(DRD)	550
21.4.1 ID信号检测	550
21.5 USB设备模式	550
21.5.1 设备状态	551
21.5.2 设备端点	552
21.6 USB主机	553
21.6.1 USB主机状态	554
21.6.2 主机通道	555

21.6.3 主机调度器	556
21.7 SOF触发	558
21.7.1 主机SOF	558
21.7.2 设备SOF	558
21.8 供电选项	558
21.9 USB数据FIFO	560
21.10 设备模式下的FIFO结构	561
21.10.1 设备模式下的接收FIFO	561
21.10.2 设备模式下的发送FIFO	561
21.11 主机模式下的FIFO结构	562
21.11.1 主机模式下的接收FIFO	562
21.11.2 主机模式下的发送FIFO	562
21.12 USB系统性能	563
21.13 OTG_FS中断	564
21.14 OTG_FS控制和状态寄存器	564
21.14.1 CSR寄存器映像	565
21.14.2 OTG_FS寄存器地址映象	569
21.14.3 OTG_FS全局寄存器	576
21.14.4 OTG_FS AHB配置寄存器(OTG_FS_GAHBCFG)	576
21.14.5 OTG_FS_USB配置寄存器(OTG_FS_GUSBCFG)	576
21.14.6 OTG_FS复位寄存器(OTG_FS_GRSTCTL)	577
21.14.7 OTG_FS控制器中断寄存器(OTG_FS_GINTSTS)	579
21.14.8 OTG_FS中断屏蔽寄存器(OTG_FS_GINTMSK)	581
21.14.9 OTG_FS接收状态调试读/OTG状态读和POP寄存器(OTG_FS_GRXSTSR / OTG_FS_GRXSTSP)	584
21.14.10 OTG_FS接收FIFO长度寄存器(OTG_FS_GRXFSIZ)	585
21.14.11 OTG_FS非周期性TX FIFO长度寄存器(OTG_FS_GNPTXFSIZ)	586

21.14.12 OTG_FS非周期性TX FIFO/请求队列状态寄存器(OTG_FS_GNPTXSTS)	586
21.14.13 OTG_FS通用控制器配置寄存器(OTG_FS_GCCFG)	587
21.14.14 OTG_FS控制器ID寄存器(OTG_FS_GUID)	588
21.14.15 OTG_FS主机周期性发送FIFO长度寄存器(OTG_FS_HPTXFSIZ)	588
21.14.16 OTG_FS设备IN端点发送FIFO长度寄存器(OTG_FS_DIEPTXF _n)(其中n是FIFO的编号， x=1...4)	588
21.14.17 主机模式下的寄存器	589
21.14.18 OTG_FS主机模式配置寄存器(OTG_FS_HCFG)	589
21.14.19 OTG_FS主机帧间隔寄存器(OTG_FS_HFIR)	590
21.14.20 OTG_FS主机帧号/帧时间剩余寄存器(OTG_FS_HFNUM)	590
21.14.21 OTG_FS主机周期性发送FIFO/请求队列寄存器(OTG_FS_HPTXSTS)	590
21.14.22 OTG_FS主机所有通道中断寄存器(OTG_FS_HAINT)	591
21.14.23 OTG_FS主机所有通道中断屏蔽寄存器(OTG_FS_HAINTMSK)	592
21.14.24 OTG_FS主机端口控制和状态寄存器(OTG_FS_HPRT)	592
21.14.25 OTG_FS主机通道x特性寄存器(OTG_FS_HCCHAR _x)(此处x代码通道号，x = 0...7) 594	
21.14.26 OTG_FS主机通道x中断寄存器(OTG_FS_HCINT _x)(其中x代表通道号，x=0...7)595	
21.14.27 OTG_FS 主机通道x 中断屏蔽寄存器(OTG_FS_HCINTMSK _x)(其中x 为通道号， x=0...7)	595
21.14.28 OTG_FS主机通道x传输长度寄存器(OTG_FS_HCTSIZ _x)(其中x为通道号，x=0...7) 596	
21.14.29 设备模式下的寄存器	597
21.14.30 OTG_FS设备配置寄存器(OTG_FS_DCFG).....	597
21.14.31 OTG_FS设备控制寄存器(OTG_FS_DCTL)	598
21.14.32 OTG_FS设备状态寄存器(OTG_FS_DSTS)	599
21.14.33 OTG_FS设备OTG_FSIN端点通用中断屏蔽寄存器(OTG_FS_DIEPMSK)	600
21.14.34 OTG_FS设备OUT端点通用中断屏蔽寄存器(OTG_FS_DOEPMSK)	601
21.14.35 OTG_FS设备所有端点中断寄存器(OTG_FS_DAINT)	602
21.14.36 OTG_FS所有端点中断屏蔽寄存器(OTG_FS_DAINTMSK)	602

21.14.37 OTG_FS设备IN端点FIFO空中断屏蔽寄存器(OTG_FS_DIEPEMPMSK)	603
21.14.38 OTG_FS设备控制IN端点0控制寄存器(OTG_FS_DIEPCTL0)	603
21.14.39 OTG_FS设备端点x控制寄存器(OTG_FS_DIEPCTLx)(其中x为端点号，x=1...3)	604
21.14.40 OTG_FS设备控制OUT端点0控制寄存器(OTG_FS_DOEPCTL0)	606
21.14.41 OTG_FS设备OUT端点x控制寄存器(OTG_FS_DOEPCTLx)(其中x为端点号，x=1...3)	607
21.14.42 OTG_FS设备端点x中断寄存器(OTG_FS_DIEPINTx)(其中x为端点号，x=0...3)	609
21.14.43 OTG_FS设备端点x中断寄存器(OTG_FS_DOEPINTx)(其中x为端点号，x=0...3)	610
21.14.44 OTG_FS设备IN端点0传输长度寄存器(OTG_FS_DIEPTSIZ0)	611
21.14.45 OTG_FS设备OUT端点0传输长度寄存器(OTG_FS_DOEPTSIZ0)	611
21.14.46 OTG_FS设备端点x 传输长度寄存器 (OTG_FS_DIEPTSIZx)(其中 x 为端点号，x=1...3)	612
21.14.47 OTG_FS设备IN端点传输FIFO状态寄存器(OTG_FS_DTXFSTSx)(其中x为端点号，x=0...3)	613
21.14.48 OTG_FS设备端点x 传输长度寄存器 (OTG_FS_DOEPTSIZx)(其中 x 为端点号，x=1...3)	613
21.14.49 OTG_FS电源和时钟门控寄存器(OTG_FS_PCGCCTL)	614
21.15 OTG_FS编程规则	614
21.15.1 控制器初始化	614
21.15.2 主机模式下的初始化	615
21.15.3 设备模式下的初始化	615
21.15.4 主机模式下的编程规则	616
21.15.5 设备模式下的编程规则	630
21.15.6 操作流程	632
21.15.7 最差情况下的响应时间	644
22 版本历史	647

1 系统架构

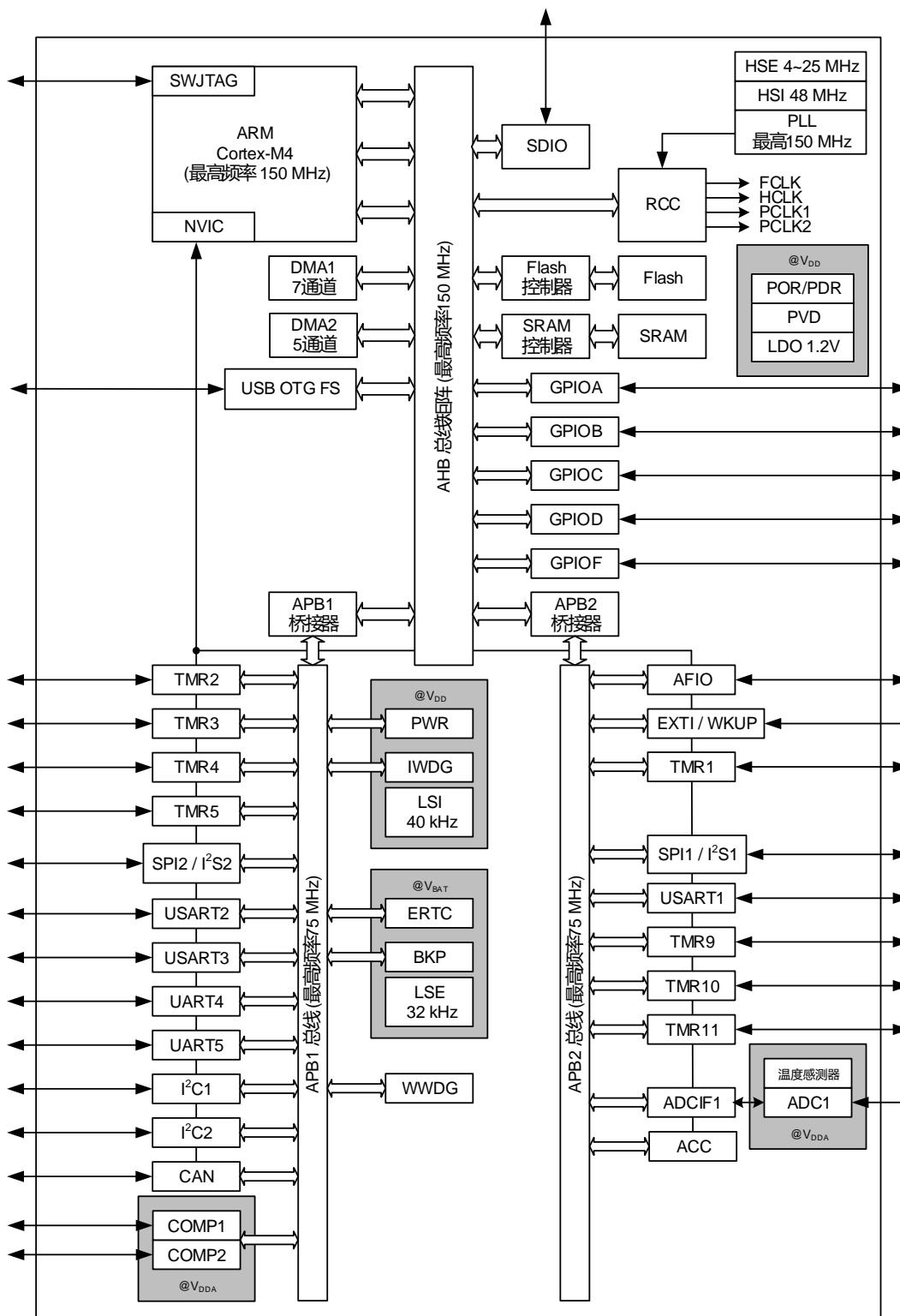
AT32F415 系列微控制器包括 ARM® Cortex™-M4 处理器内核、总线架构、外设以及存储器构成。Cortex™-M4 处理器是一种新时代的内核，拥有许多先进功能。对比于 Cortex™-M3，Cortex™-M4 处理器支持增强的高效 DSP 指令集，包含扩展的单周期 16/32 位乘法累加器（MAC）、双 16 位 MAC 指令、优化的 8/16 位 SIMD 运算及饱和运算指令。当设计中使用带 DSP 功能的 Cortex™-M4 时就能格外节能，比软件解决方案更快，使 Cortex™-M4 适用于那些要求微控制器提供高效能与低功耗的产品市场。

1.1 系统概述

AT32F415 主系统基于 AHB 总线矩阵整合而成。AHB 总线矩阵是基于 AMBA3.0 AHB-LITE 的多层级 AHB，可使系统中多个主设备与从设备之间建立并行的访问路径，确保总线带宽的有效利用。AHB 总线矩阵包含五个主设备：Cortex™-M4 内核的 ICode 总线、DCode 总线、系统总线，以及两个 DMA 控制器。总线中包含七个从设备：闪存控制器（EFC）、片上 SRAM、一个 SDIO 控制器、USBOTG 控制器以及两个 APB 总线网桥。系统总线主要用于加载/储存数据以及调试访问系统存储区。系统存储区可划分为片上 SRAM 区、外部存储区以及外设映像区。

系统 AHB 总线与所有的 AHB 外设相连，此外还包含两条 AHB-APB 总线桥接器，这样可以在系统 AHB 总线以及两个 APB 总线之间实现完全同步连接。两条 APB 总线则与所有的 APB 外设相连。APB1 总线的最高速度限制为 75MHz，APB2 总线的最高速度限制为 75MHz，以上所述设备通过多层次 AHB 总线架构相互连接，如图 1-1 所示：

图 1-1 AT32F415 系列微控制器系统架构



1.1.1 总线架构

ICode 总线

- 该总线将 Cortex™-M4 内核的指令总线与闪存指令接口相连接。指令预取在此总线上完成。

DCode 总线

- 该总线将 Cortex™-M4 内核的 DCode 总线与闪存存储器的数据接口相连接（常量加载和调试访问）。

系统总线

- 此总线连接 Cortex™-M4 内核的系统总线（外设总线）到总线矩阵，总线矩阵协调着内核和 DMA 间的访问。

DMA 总线

- 此总线将 DMA 的 AHB 主控接口与总线矩阵相联，总线矩阵协调着 CPU 的 DCode 和 DMA 到 SRAM、闪存和外设的访问。

总线矩阵

- 总线矩阵协调内核系统总线和 DMA 主控总线之间的访问仲裁，仲裁利用轮换算法。AHB 外设通过总线矩阵与系统总线相连，允许 DMA 访问。

AHB/APB 桥接器 (APB)

两个 AHB/APB 桥在 AHB 和 2 个 APB 总线间提供同步连接。APB1 操作速度限于 75MHz，APB2 操作速度限于 75MHz。有关连接到每个桥的不同外设的地址映像请参考 [1.2 地址映射章节](#)。在每一次复位以后，所有除 SRAM 和 EFC 以外的外设都被关闭，在使用一个外设之前，必须设置寄存器 RCC_AHBEN 来打开该外设的时钟。

注意：当对 APB 寄存器进行 8 位或者 16 位访问时，该访问会被自动转换成 32 位的访问，桥接器会自动将 8 位或者 32 位的数据扩展以配合 32 位的向量。

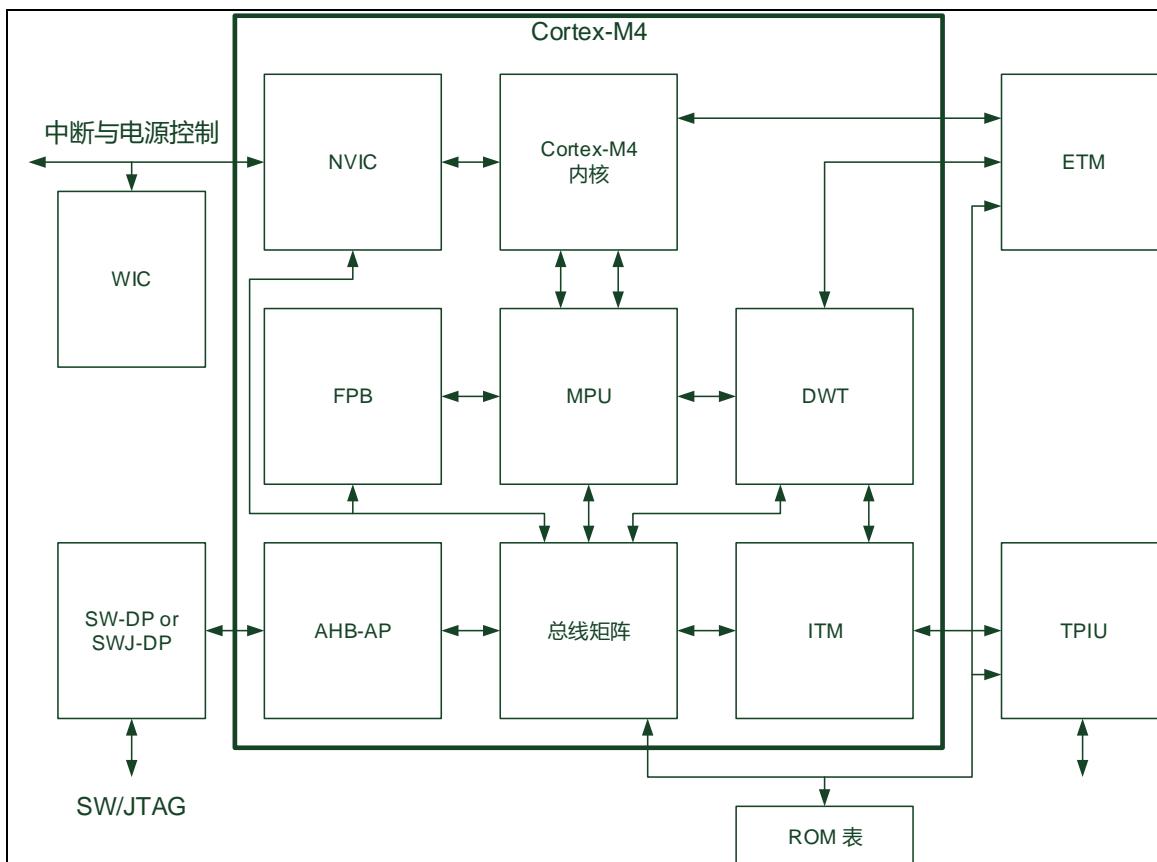
1.1.2 ARM Cortex™-M4 处理器

Cortex™-M4 处理器是一款低功耗处理器，具有低门数，低中断延迟和低成本调试。支持包括 DSP 指令集与浮点运算功能，特别适合用于深度嵌入式应用程序需要快速中断响应功能。Cortex™-M4 处理器是基于 ARMv7-M 架构，既支持 Thumb 指令集也支持 DSP 指令集。Cortex™-M4 处理器并提供以下系统级外设：

内部总线矩阵，用于实现 ICode 总线、DCode 总线、系统总线、专用外设总线 (PPB) 以及调试专用总线 (AHB-AP) 的互联：

- 嵌套式向量型中断控制器 (Nested Vectored Interrupt Controller，简写为 NVIC)
- 闪存地址重载及断点单元 (Flash Patch and Breakpoint，简写为 FPB)
- 内存保护单元 (Memory Protection Unit，简写为 MPU)
- 数据观测点及跟踪单元 (Data Watchpoint and Trace，简写为 DWT)
- 跟踪仪器宏单元 (Instrument Trace Macrocell，简写为 ITM)
- 串行线 JTAG 调试接口 (Serial Wire JTAG Debug Port，简写为 SWJ-DP)
- 跟踪端口接口单元 (Trace Port Interface Unit，简写为 TPIU)

下图为 Cortex™-M4 处理器的内部框图，请参阅《ARM® Cortex-M4 技术参考手册》了解关于 Cortex™-M4 更详尽信息。

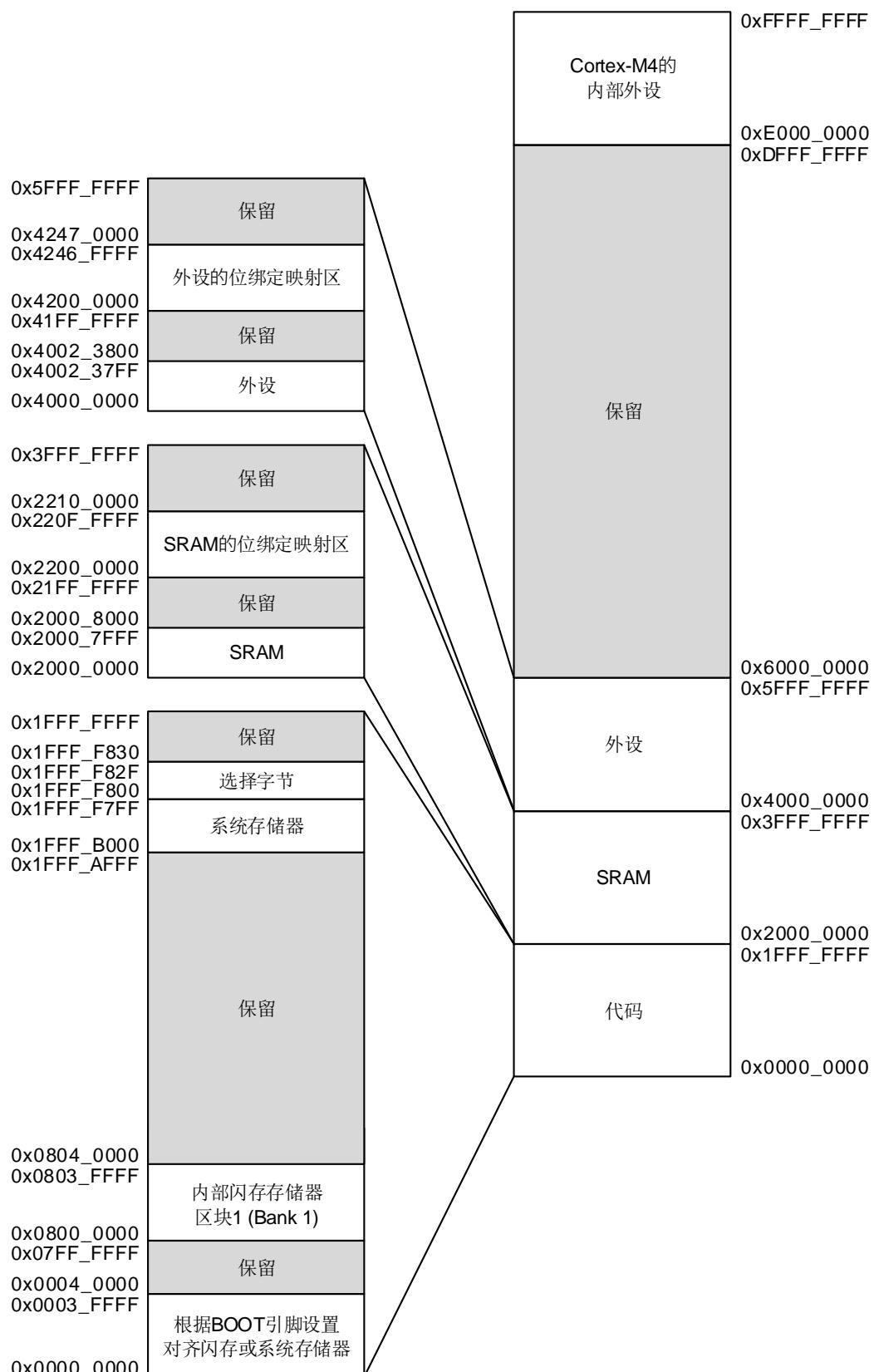
图 1-2 CortexTM-M4 内部框图

1.2 地址映射

程序存储器、数据存储器、寄存器和输入输出端口被组织在同一个 4GB 的线性地址空间内。数据字节以小端格式存放在存储器中。一个字里的最低地址字节被认为是该字的最低有效字节，而最高地址字节是最高有效字节。

外设寄存器的映像请参考相关章节。可访问的存储器空间被分成 8 个主要块，每个块为 512MB。其他所有没有分配给片上存储器和外设的存储器空间都是保留的地址空间，请参考相应器件的数据手册中的存储器映像图。

图 1-3 AT32F415地址配置



1.2.1 寄存器映像

请参考相应器件的数据手册中的存储器映像图。[表 1-1](#) 列出了所用 AT32F415 中外设的起始地址。

表 1-1 寄存器组起始地址

起始地址	外设	总线	寄存器映像
0x6000 0000 - 0xFFFF FFFF	保留	AHB	
0x5004 0000 - 0x5FFF FFFF	保留		
0x5000 0000 - 0x5003 FFFF	USBOTG		参见 21.14 节
0x4002 8000 - 0x4FFF FFFF	保留		
0x4002 3400 - 0x4002 7FFF	保留		
0x4002 3000 - 0x4002 33FF	CRC		参见 5.4 节
0x4002 2000 - 0x4002 23FF	闪存存储器接口 (EFC)		参见 4.4 节
0x4002 1400 - 0x4002 1FFF	保留		
0x4002 1000 - 0x4002 13FF	复位和时钟控制 (RCC)		参见 3.3 节
0x4002 0800 - 0x4002 0FFF	保留		
0x4002 0400 - 0x4002 07FF	DMA2		参见 8.4 节
0x4002 0000 - 0x4002 03FF	DMA1		参见 8.4 节
0x4001 8400 - 0x4001 7FFF	保留		
0x4001 8000 - 0x4001 83FF	SDIO1		参见 17.4 节
0x4001 6000 - 0x4001 7FFF	保留		
0x4001 5800 - 0x4001 5BFF	ACC		参见 20.5 节
0x4001 5400 - 0x4001 57FF	TMR11 定时器		参见 9.2.4 节
0x4001 5000 - 0x4001 53FF	TMR10 定时器		参见 9.2.4 节
0x4001 4C00 - 0x4001 4FFF	TMR9 定时器		参见 9.2.4 节
0x4001 3C00 - 0x4001 4BFF	保留		
0x4001 3800 - 0x4001 3BFF	USART1		参见 16.6 节
0x4001 3400 - 0x4001 37FF	保留		
0x4001 3000 - 0x4001 33FF	SPI1		参见 15.4 节
0x4001 2C00 - 0x4001 2FFF	TMR1 定时器	APB2	参见 9.3.4 节
0x4001 2800 - 0x4001 2BFF	保留		
0x4001 2400 - 0x4001 27FF	ADC1		参见 12.4 节
0x4001 2000 - 0x4001 23FF	保留		
0x4001 1C00 - 0x4001 1FFF	GPIO 端口 F		参见 6.5 节
0x4001 1800 - 0x4001 1BFF	保留		
0x4001 1400 - 0x4001 17FF	GPIO 端口 D		参见 6.5 节
0x4001 1000 - 0x4001 13FF	GPIO 端口 C		参见 6.5 节
0X4001 0C00 - 0x4001 0FFF	GPIO 端口 B		参见 6.5 节
0x4001 0800 - 0x4001 0BFF	GPIO 端口 A		参见 6.5 节
0x4001 0400 - 0x4001 07FF	EXTI	APB1	参见 7.3 节
0x4001 0000 - 0x4001 03FF	AFIO		参见 6.5 节
0x4000 8000 - 0x4000 FFFF	保留		
0x4000 7C00 - 0x4000 7FFF	保留		

0x4000 7800 - 0x4000 7BFF	保留	
0x4000 7400 - 0x4000 77FF	保留	
0x4000 7000 - 0x4000 73FF	电源控制 (PWR)	参见 2.4 节
0x4000 6800 - 0x4000 6BFF	保留	
0x4000 6400 - 0x4000 67FF	bxCAN1	参见 18.4 节
0x4000 6000 - 0x4000 63FF	保留	
0x4000 5C00 - 0x4000 5FFF	保留	
0x4000 5800 - 0x4000 5BFF	I2C2	参见 13.4 节
0x4000 5400 - 0x4000 57FF	I2C1	参见 13.4 节
0x4000 5000 - 0x4000 53FF	UART5	参见 14.6 节
0x4000 4C00 - 0x4000 4FFF	UART4	参见 14.6 节
0x4000 4800 - 0x4000 4BFF	USART3	参见 14.6 节
0x4000 4400 - 0x4000 47FF	USART2	参见 14.6 节
0x4000 4000 - 0x4000 43FF	保留	
0x4000 3C00 - 0x4000 3FFF	保留	
0x4000 3800 - 0x4000 3BFF	SPI2/I2S2	参见 15.4 节
0x4000 3400 - 0x4000 37FF	保留	
0x4000 3000 - 0x4000 33FF	独立看门狗 (IWDG)	参见 10.2.4 节
0x4000 2C00 - 0x4000 2FFF	窗口看门狗 (WWDG)	参见 10.1.6 节
0x4000 2800 - 0x4000 2BFF	ERTC	参见 11.4 节
0x4000 2400 - 0x4000 27FF	COMP 控制器	参见 19.5 节
0x4000 2000 - 0x4000 23FF	保留	
0x4000 1C00 - 0x4000 1FFF	保留	
0x4000 1800 - 0x4000 1BFF	保留	
0x4000 1400 - 0x4000 17FF	保留	
0x4000 1000 - 0x4000 13FF	保留	
0x4000 0C00 - 0x4000 0FFF	TMR5 定时器	参见 9.1.4 节
0x4000 0800 - 0x4000 0BFF	TMR4 定时器	参见 9.1.4 节
0x4000 0400 - 0x4000 07FF	TMR3 定时器	参见 9.1.4 节
0x4000 0000 - 0x4000 03FF	TMR2 定时器	参见 9.1.4 节

1.2.2 位绑定

Cortex™-M4 存储器映像包括两个位段 (bit-band) 区。这两个位段区将别名存储器区中的每个字映射到位段存储器区的一个位，在别名存储区写入一个字具有对位段区的目标位执行读-改-写操作的相同效果。

在 AT32F415 系列里，外设寄存器和 SRAM 都被映射到一个位段区里，这允许执行单一的位段的写和读操作。

下面的映射公式给出了别名区中的每个字是如何对应位带区的相应位的：

位别名地址 = 位绑定地址 + (字节偏移×32) + (位偏移×4)。

其中：

位别名地址：位别名存储器区中字的地址，它映像到某个目标位。

位绑定地址：位别名区的起始地址。

字节偏移：包含目标位的字节在位段里的序号。

位偏移：目标位所在位置（0-31）。

举例说明，若想对映射别名区中 SRAM 地址为 0x2000_0200 的字节中的位 2 作位级操作：

位别名地址 = 0x2200_0000 + (0x200 × 32) + (2 × 4) = 0x2200_4008

如果对 0x2200_4008 地址的写操作，与对 SRAM 中地址 0x2000_0200 字节的位 2 执行读-改-写操作有着相同的效果。如果对 0x2200_4008 地址进行读操作，将返回 SRAM 中地址 0x2000_0200 字节的位 2 的值（0x0000_0001 或 0x0000_0000）。请参阅《ARM® Cortex-M4 技术参考手册》了解关于位绑定更详尽信息。

1.2.3 片上SRAM

AT32F415 系列内置 32K 字节的片上 SRAM，起始地址为 0x2000_0000。它可以以字节、半字（16 位）或全字（32 位）访问。

1.2.4 片上Flash

AT32F415 系列提供最大 256KB 的片上闪存，支持零等待延时的单周期 32 位读取操作。Flash 存储器的组织可划分为 **主存储块** 与 **信息块**：主存储块用于存放应用程序代码，可按字节（8 位对齐）访问、半字节（16 位对齐）、全字（32 位对齐）访问。存储器可单次做一个半字节（16 位）获一个全字（32 位）编程。**256KB** 以上型号主存储块由每页为 **2KB** 的分页组成，**128KB** 及以下型号主存储块由每页为 **1KB** 的分页组成，每个分页都可以个别抹除，闪存存储器也支持单次全片抹除（但不会抹除信息块）。信息块则包含系统存储器以及选项字节两个区段。系统存储器用于存储引导加载程序，于出厂时已编程，用户不可更改。而选项字节则存放用户可修改的选项。详细组织可参阅下表。

闪存存储器由闪存控制器操作，该控制器提供预取缓冲、选项字节加载、闪存编成与抹除以及读取/写入保护等功能。有关闪存控制器的操作与寄存器配置信息请参考[第 4 章节](#)。

表 1-2 256KB 闪存模块的组织

块		名称	地址范围	长度（字节）
主存储器	块 1 256KB	页 0	0x0800 0000 – 0x0800 07FF	2K
		页 1	0x0800 0800 – 0x0800 0FFF	2K
		页 2	0x0800 1000 – 0x0800 17FF	2K
		页 3	0x0800 1800 – 0x0800 1FFF	2K
		页 4	0x0800 2000 – 0x0800 27FF	2K
		.	.	.
		页 127	0x0803 F800 – 0x0803 FFFF	2K
信息块		启动程序代码 (或主存扩展区)	0x1FFF DC00 – 0x1FFF F3FF	6K
			0x1FFF C400 – 0x1FFF DBFF	6K
			0x1FFF AC00 – 0x1FFF C3FF	6K
		用户选择字节	0x1FFF F800 – 0x1FFF FBFF	1K
闪存存储器 接口寄存器		FLASH_ACR	0x4002 2000 – 0x4002 2003	4
		FLASH_FCKEY	0x4002 2004 – 0x4002 2007	4
		FLASH_OPTKEYR	0x4002 2008 – 0x4002 200B	4
		FLASH_STS	0x4002 200C – 0x4002 200F	4
		FLASH_CTRL	0x4002 2010 – 0x4002 2013	4
		FLASH_ADDR	0x4002 2014 – 0x4002 2017	4
		保留	0x4002 2018 – 0x4002 201B	4
		FLASH_UOB	0x4002 201C – 0x4002 201F	4
		FLASH_WRPRT	0x4002 2020 – 0x4002 2023	4
		保留	0x4002 2024 – 0x4002 2073	80

	FLASH_CDR0	0x4002 2074 - 0x4002 2077	4
	FLASH_CDR1	0x4002 2078 - 0x4002 207B	4
	FSLIB_PSW	0x4002 207C - 0x4002 207F	4
	FSLIB_PSW_STS	0x4002 2080 - 0x4002 2083	4
	FLASH_CRC_AR	0x4002 2084 - 0x4002 2087	4
	FLASH_CRC_CTRL	0x4002 2088 - 0x4002 208B	4
	FLASH_CRC_OUTR	0x4002 208C - 0x4002 208F	4
	保留	0x4002 2090 - 0x4002 215F	208
	FSLIB_SET_PSW	0x4002 2160 - 0x4002 2163	4
	FSLIB_SET_RANGE	0x4002 2164 - 0x4002 2167	4
	SYS_MEM_SLIB_SET	0x4002 2168 - 0x4002 216B	4
	SYS_MEM_BOOT_DIS_SET	0x4002 216C - 0x4002 216F	4
	FSLIB_KEYR	0x4002 2170 - 0x4002 2173	4

表1-3 128KB闪存模块的组织

块		名称	地址范围	长度(字节)
主存储器	块 1 128KB	页 0	0x0800 0000 – 0x0800 03FF	1K
		页 1	0x0800 0400 – 0x0800 07FF	1K
		页 2	0x0800 0800 – 0x0800 0BFF	1K
		页 3	0x0800 0C00 – 0x0800 0FFF	1K
		页 4	0x0800 1000 – 0x0800 13FF	1K
		.	.	.
		页 127	0x0801FC00 – 0x0801FFFF	1K
信息块		启动程序代码 (或主存扩展区)	0x1FFF DC00 – 0x1FFF F3FF	6K
			0x1FFF C400 – 0x1FFF DBFF	6K
			0x1FFF AC00 – 0x1FFF C3FF	6K
		用户选择字节	0x1FFF F800 – 0x1FFF FBFF	1K
闪存存储器 接口寄存器		FLASH_ACR	0x4002 2000 – 0x4002 2003	4
		FLASH_FKEY	0x4002 2004 – 0x4002 2007	4
		FLASH_OPTKEYR	0x4002 2008 – 0x4002 200B	4
		FLASH_STS	0x4002 200C – 0x4002 200F	4
		FLASH_CTRL	0x4002 2010 – 0x4002 2013	4
		FLASH_ADDR	0x4002 2014 – 0x4002 2017	4
		保留	0x4002 2018 – 0x4002 201B	4
		FLASH_UOB	0x4002 201C – 0x4002 201F	4
		FLASH_WRPRT	0x4002 2020 – 0x4002 2023	4
		保留	0x4002 2024 - 0x4002 2073	80
		FLASH_CDR0	0x4002 2074 - 0x4002 2077	4
		FLASH_CDR1	0x4002 2078 - 0x4002 207B	4
		FSLIB_PSW	0x4002 207C - 0x4002 207F	4
		FSLIB_PSW_STS	0x4002 2080 - 0x4002 2083	4
		FLASH_CRC_AR	0x4002 2084 - 0x4002 2087	4
		FLASH_CRC_CTRL	0x4002 2088 - 0x4002 208B	4
		FLASH_CRC_OUTR	0x4002 208C - 0x4002 208F	4
		保留	0x4002 2090 - 0x4002 215F	208
		FSLIB_SET_PSW	0x4002 2160 - 0x4002 2163	4
		FSLIB_SET_RANGE	0x4002 2164 - 0x4002 2167	4

	SYS_MEM_SLIB_SET	0x4002 2168 - 0x4002 216B	4
	SYS_MEM_BOOT_DIS_SET	0x4002 216C - 0x4002 216F	4
	FSLIB_KEYR	0x4002 2170 - 0x4002 2173	4

表1-4 64KB闪存模块的组织

块	名称	地址范围	长度(字节)
主存储器	页 0	0x0800 0000 – 0x0800 03FF	1K
	页 1	0x0800 0400 – 0x0800 07FF	1K
	页 2	0x0800 0800 – 0x0800 0BFF	1K
	页 3	0x0800 0C00 – 0x0800 0FFF	1K
	页 4	0x0800 1000 – 0x0800 13FF	1K
	.	.	.
	页 63	0x0800 FC00 – 0x0800 FFFF	1K
	启动程序代码 (或主存扩展区)	0x1FFF DC00 – 0x1FFF F3FF	6K
		0x1FFF C400 – 0x1FFF DBFF	6K
		0x1FFF AC00 – 0x1FFF C3FF	6K
		用户选择字节	1K
闪存存储器 接口寄存器	FLASH_ACR	0x4002 2000 – 0x4002 2003	4
	FLASH_FCKEY	0x4002 2004 – 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 – 0x4002 200B	4
	FLASH_STS	0x4002 200C – 0x4002 200F	4
	FLASH_CTRL	0x4002 2010 – 0x4002 2013	4
	FLASH_ADDR	0x4002 2014 – 0x4002 2017	4
	保留	0x4002 2018 – 0x4002 201B	4
	FLASH_UOB	0x4002 201C – 0x4002 201F	4
	FLASH_WRPRT	0x4002 2020 – 0x4002 2023	4
	保留	0x4002 2024 – 0x4002 2073	80
	FLASH_CDR0	0x4002 2074 – 0x4002 2077	4
	FLASH_CDR1	0x4002 2078 – 0x4002 207B	4
	FSLIB_PSW	0x4002 207C – 0x4002 207F	4
	FSLIB_PSW_STS	0x4002 2080 – 0x4002 2083	4
	FLASH_CRC_AR	0x4002 2084 – 0x4002 2087	4
	FLASH_CRC_CTRL	0x4002 2088 – 0x4002 208B	4
	FLASH_CRC_OUTR	0x4002 208C – 0x4002 208F	4
	保留	0x4002 2090 – 0x4002 215F	208
	FSLIB_SET_PSW	0x4002 2160 – 0x4002 2163	4
	FSLIB_SET_RANGE	0x4002 2164 – 0x4002 2167	4
	SYS_MEM_SLIB_SET	0x4002 2168 – 0x4002 216B	4
	SYS_MEM_BOOT_DIS_SET	0x4002 216C – 0x4002 216F	4
	FSLIB_KEYR	0x4002 2170 – 0x4002 2173	4

1.3 引导配置

在 AT32F415 里，可以通过 BOOT[1: 0]引脚选择三种不同引导模式，如下表所示。

表1-5 启动模式

启动模式	说明	引脚配置
------	----	------

		BOOT1	BOOT0
主闪存存储器	主闪存存储器被选为启动区域	X	0
系统存储器	系统存储器被选为启动区域	0	1
片上 SRAM	内置 SRAM 被选为启动区域	1	1

在系统复位后，**BOOT** 引脚的值将被锁存。用户可以通过设置 **BOOT1** 和 **BOOT0** 引脚的状态，来选择在复位后的启动模式。从待机模式退出时，**BOOT** 引脚的值将被重新锁存；因此，在待机模式下 **BOOT** 引脚应保持为需要的启动配置。

根据选定的启动模式，主闪存存储器、系统存储器或 **SRAM** 可以按照以下方式访问：

- 从主闪存存储器启动：主闪存存储器被映射到启动空间（0x0000 0000），但仍然能够在它原有的地址（0x0800 0000）访问它，即闪存存储器的内容可以在两个地址区域访问，0x0000 0000 或 0x0800 0000。
- 从系统存储器启动：系统存储器被映射到启动空间（0x0000 0000），但仍然能够在它原有的地址（0x1FFF AC00）访问它。
- 从内置 **SRAM** 启动：只能在 0x2000 0000 开始的地址区访问 **SRAM**。

在启动延迟之后，CPU 从地址 0x0000 0000 获取堆栈顶的地址，并从启动存储器的 0x0000_0004 指示的地址开始执行代码。因为固定的存储器映像，代码区始终从地址 0x0000_0000 开始（通过 **ICode** 和 **DCode** 总线访问），而数据区（**SRAM**）始终从地址 0x2000_0000 开始（通过系统总线访问）。Cortex™-M4 的 CPU 始终从 **ICode** 总线获取复位向量，即启动仅适合于从代码区开始（典型地从 Flash 启动）。

AT32F415 系列微控制器实现了一个特殊的机制，可以从片上 **SRAM** 启动。当从片上 **SRAM** 启动，在应用程序的初始化代码中，必须使用 **NVIC** 的异常表和偏移寄存器，从新映射向量表之 **SRAM** 中。

系统存储器中包含内嵌的引导加载程序，可用于对闪存存储器编程。引导加载程序可以通过 **USART** 和 **USB** 接口对闪存存储器进行重新编成。

1.4 器件特征信息

1.4.1 寄存器的缩写说明

本手册中对寄存器的描述中将使用下述缩写：

表 1-6 寄存器缩写表

读/写 (rw)	软件可以读或写这些位。
只读 (r)	软件只能读这些位。
只写 (w)	软件只能写这些位；如果读这些位，则返回它们的复位值。
读/清除 (rc_w0)	软件可以读并写'0'清除这些位，写'1'将不对该位产生影响。
读/设置 (rs)	软件可以读并写'1'设置这些位，写'0'将不对该位产生影响。
保留 (res)	保留位，必须保持在复位状态。

1.4.2 闪存容量寄存器

闪存容量寄存器提供该芯片闪存容量信息，用户可透过该寄存器取得闪存容量。

基址址：0x1FFF F7E0

复位值：0xFFFF （由生产厂设置）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

F_SIZE

r

位15: 0

F_SIZE: 闪存容量, 以 KByte 为单位
例如: 0x0080 = 128KByte

1.4.3 器件电子签名

器件电子签名包含产品容量信息和器件唯一 ID (96 位), 它位于闪存的信息区块中。96 位器件唯一 ID 对任何器件来说都是独一无二的, 且用户不可更改。ID 可以用来作为下列用途:

- 序列号; 例如 USB 字串序列
- 或者做为密钥的一部分

基地址: 0xFFFF F7E8

复位值: 0xXXXX XXXX (由生产厂设置)

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

U_ID[31: 16]

r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

U_ID[15: 0]

r

基地址: 0xFFFF F7EC

复位值: 0xXXXX XXXX (由生产厂设置)

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

U_ID[63: 48]

r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

U_ID[47: 32]

r

基地址: 0xFFFF F7F0

复位值: 0xXXXX XXXX (由生产厂设置)

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

U_ID[95: 80]

r

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

U_ID[79: 64]

r

2 电源控制 (PWR)

2.1 简介

功耗是 AT32F415 系列设备中最重要的问题之一，AT32F415 系列设备可工作电压范围为 2.6V 至 3.6V，且可在-40~+105°C 温度范围内正常工作。为了减少功耗，且使得应用程序可以在 CPU 运行时间要求、速度和功耗的相互冲突中获得最佳折衷，电源控制中提供了三种省电模式，包括睡眠模式，停止模式和待机模式。AT32F415 系列设备有三个电源域，包括 VDD/VDDA 域，1.2V 域和备份域。VDD/VDDA 域由电源直接供电，但 VDDA 和 VSSA 提供分离的模拟模块电源，降低电源噪声干扰。在 VDD/VDDA 域中嵌入了一个 LDO，用来为 1.2V 域供电。在备份域中实现了一个电源切换器，当 VDD 电源关闭时，电源切换器可以将备份域的电源切换到 VBAT 引脚，此时备份域由 VBAT 引脚（电池）供电。

2.2 主要特点

具备三个电源：VDD/VDDA 域、内核域和备份域。

支持三种省电模式：睡眠模式、停止模式和待机模式。

内建电压调节器提供 1.2V 给内核域。

提供电压检测器，能于电压低于阈值时发出中断。

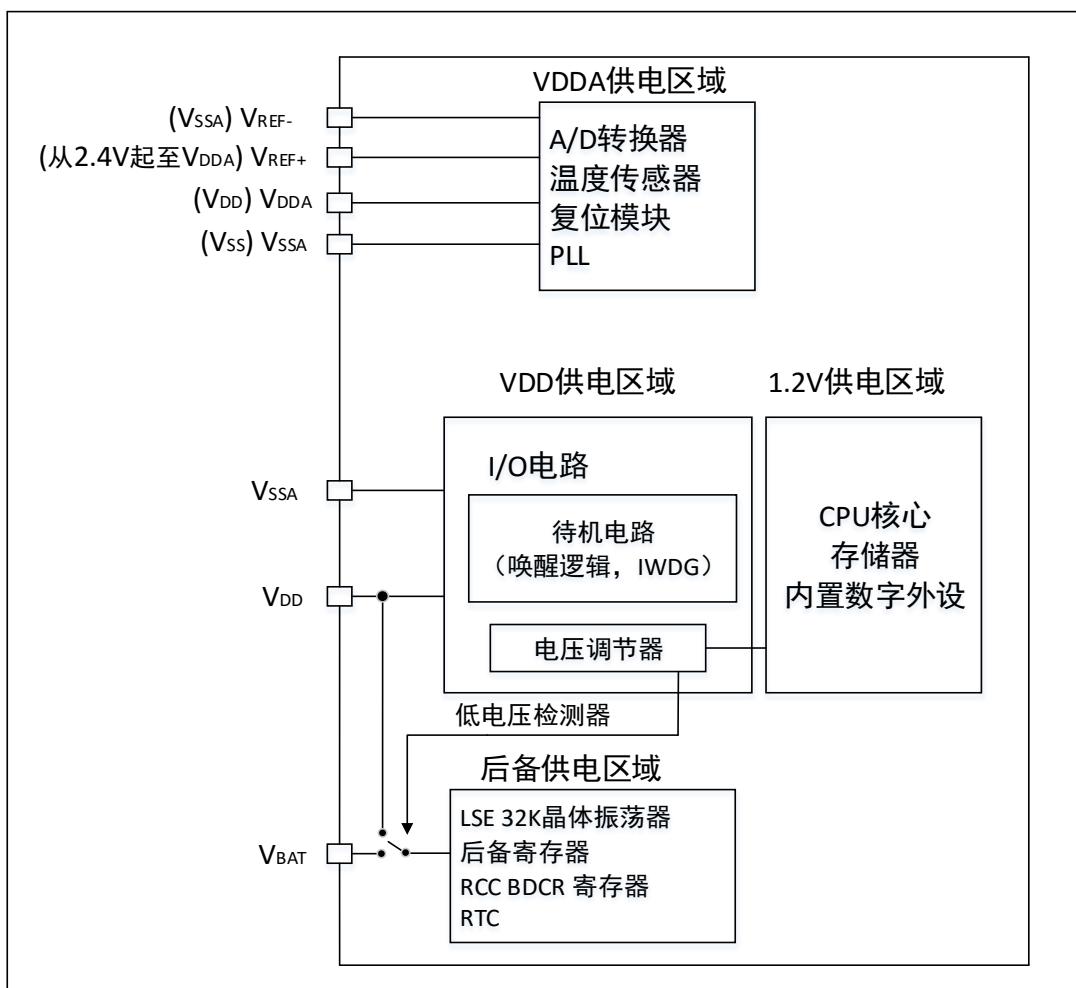
自动切换备份域电源。当 VDD 断电时自动由 VBAT 供电，保证待机模式 ERTC 能正常运作，备份寄存器数据也不会丢。

2.3 功能描述

2.3.1 电源域

AT32F415 的工作电压 (VDD) 为 2.6~3.6V。通过内置的电压调节器提供所需的 1.2V 电源。当主电源 VDD 掉电后，通过 VBAT 脚为实时时钟 (ERTC) 和备份寄存器提供电源。

图 2-1 各电源域框图



2.3.1.1 VDD/VDDA 电源域

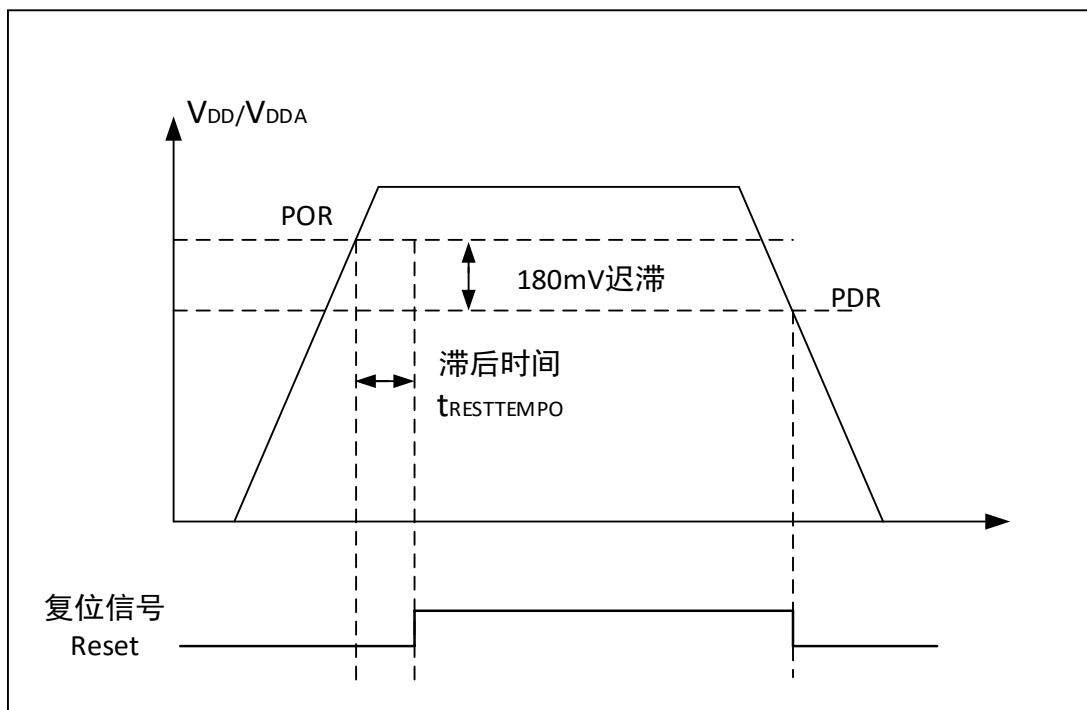
AT32F415 的工作电压 (VDD) 为 2.6~3.6V。通过内置的电压调节器提供所需的 1.2V 电源。当主电源 VDD 掉电后，通过 VBAT 脚为实时时钟 (ERTC) 和备份寄存器提供电源。

为了提高转换的精确度，ADC 使用一个独立的电源供电，过滤和屏蔽来自印刷电路板上的毛刺干扰。

ADC 的电源引脚为 VDDA，独立的电源地 VSSA。

AT32F415 内部有一个完整的上电复位 (POR) 和掉电复位 (PDR) 电路，当供电电压达到 2.6V 时系统既能正常工作。当 VDD/VDDA 低于指定的限位电压 VPOR/VPDR 时，系统保持为复位状态，而无需外部复位电路。关于上电复位和掉电复位的细节请参考数据手册的电气特性部分。

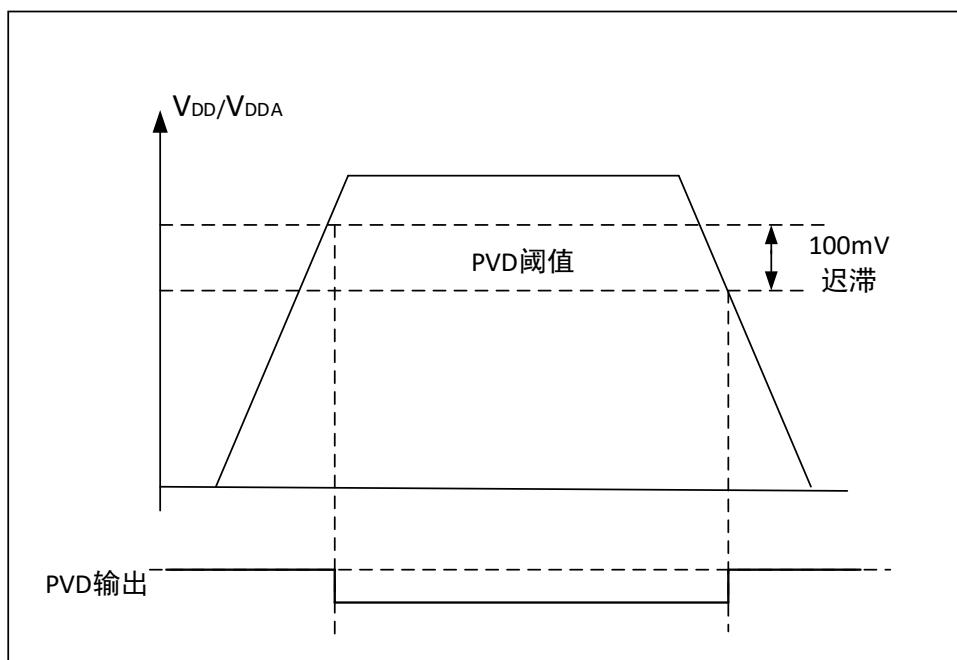
图 2-2 上电复位和掉电复位的波形图



AT32F415 提供一个程序电压侦测器 PVD，用户可以利用 PVD 对 VDD 电压与电源控制寄存器（PWR_CTRL）中的 PVDS[2: 0]位进行比较来监控电源，选择监控电压的阀值。

通过设置 PVDE 位来使能 PVD。电源控制/状态寄存器（PWR_CTRLSTS）中的 PVD 标志用来表明 VDD 是高于还是低于 PVD 的电压阀值。该事件在内部连接到外部中断的第 16 线，如果该中断在外部中断寄存器中是使能的，该事件就会产生中断。当 VDD 下降到 PVD 阀值以下和（或）当 VDD 上升到 PVD 阀值之上时，根据外部中断第 16 线的上升/下降边沿触发设置，就会产生 PVD 中断。例如，这一特性可用于执行紧急关闭任务。

图 2-3 PVD 的阀值与输出



2.3.1.2 内核电源域

内核电源域包含 CPU 核心、内存与内置数字外设。该电源域由一电压调节器供电。调节器于复位后总是使能的。根据应用方式它以 3 种不同的模式工作。

运转模式：调节器以正常功耗模式提供 1.2V 电源（内核，内存和外设）。

停止模式：调节器以低功耗模式提供 1.2V 电源，以保存寄存器和 SRAM 的内容。

待机模式：调节器停止供电。除了备用电路和备份域外，寄存器和 SRAM 的内容全部丢失。

电池备份域

使用电池或其他电源连接到 VBAT 脚上，当 VDD 断电时，可以保存备份寄存器的内容和维持 ERTC 的功能。

VBAT 脚也为 ERTC、LSE 振荡器和 PC13 至 PC15 供电，这保证当主要电源被切断时 ERTC 能继续工作。切换到 VBAT 供电由复位模块中的掉电复位功能控制。

如果应用中没有使用外部电池，VBAT 必须连接到 VDD 引脚上。

注意：在 VDD 上升阶段 ($t_{RSTTEMPO}$) 或者探测到 PVD 之后，VBAT 和 VDD 之间的电源开关仍会保持连接在 VBAT。在 VDD 上升阶段，如果 VDD 在小于 $t_{RSTTEMPO}$ 的时间内达到稳定状态（关于 $t_{RSTTEMPO}$ 可参考数据手册中的相关部分），且 $VDD > VBAT + 0.6V$ 时，电流可能通过 VDD 和 VBAT 之间的内部二极管注入到 VBAT。

如果与 VBAT 连接的电源或者电池不能承受这样的注入电流，强烈建议在外部 VBAT 和电源之间连接一个低压降二极管。

如果在应用中没有外部电池，建议 VBAT 在外部通过一个 100nF 的陶瓷电容与 VDD 相连。当备份区域由 VDD（内部模拟开关连到 VDD）供电时，下述功能可用：

- PC14和PC15可以用于GPIO或LSE引脚；
- PC13可以作为通用I/O口、TAMPER引脚、ERTC校准时钟、ERTC闹钟、唤醒或秒输出。

注意：因为模拟开关只能通过少量的电流（3mA），在输出模式下使用 PC13 至 PC15 的 I/O 口功能是有限制的：只能工作在适中电流推动/吸入能力模式下，最大负载为 30pF，而且这些 I/O 口绝对不能当作电流源（如驱动 LED）。

当后备区域由 VBAT 供电时（VDD 消失后模拟开关连到 VBAT），可以使用下述功能：

- PC14和PC15只能用于LSE引脚
- PC13可以作为TAMPER引脚、ERTC闹钟、唤醒或秒输出。

2.3.2 低功耗模式

在系统或电源复位以后，微控制器处于运行状态。当 CPU 不需继续运行时，可以利用多种低功耗模式来节省功耗，例如等待某个外部事件时。用户需要根据最低电源消耗、最快速启动时间和可用的唤醒源等条件，选定一个最佳的低功耗模式。

AT32F415 有三种低功耗模式：

- 睡眠模式（Cortex™-M4 内核停止，所有外设包括 Cortex™-M4 核心的外设，如 NVIC、系统时钟（SysTick）等仍在运行）；
- 停止模式（所有的时钟都已停止，SysTick 除外）；
- 待机模式（1.2V 电源关闭）。

模式	进入	唤醒	对 1.2V 区域时钟的影响	对 VDD 区域时钟的影响	电压调节器
睡眠 (SLP-NOW 或 SLP-ON-EXIT)	WFI	任一中断	CPU 时钟关，对其他时钟和 ADC 时钟无影响	无	开
	WFE	唤醒事件			

停机	PDDS 位 +SLEEPDEEP 位 +WFI 或 WFE	任一外部中断 (在外部中断寄存器中设置)	关闭所有 1.2V 区域的时钟	HSI 和 HSE 的振荡器关闭	开启或处于低功耗模式 (依据电源控制寄存器 (PWR_CTRL) 的设定)
待机	PDDS 位 +SLEEPDEEP 位 +WFI 或 WFE	WKUP 引脚的上升沿、ERTC 阔钟事件、NRST 引脚上的外部复位、IWDG 复位			关

此外，在运行模式下，可以通过以下方式中的一种降低功耗：

- 降低系统时钟。在运行模式下，通过对预分频寄存器进行编程，可以降低任意一个系统时钟 (SYSCLK、HCLK、PCLK1、PCLK2) 的速度。进入睡眠模式前，也可以利用预分频器来降低外设的时钟。详见 [第 3.3.2 节：时钟配置寄存器 \(RCC_CFGR\)](#)。
- 关闭 APB 和 AHB 总线上未被使用的外设时钟。在运行模式下，任何时候都可以通过停止为外设和内存提供时钟 (HCLK 和 PCLKx) 来减少功耗。为了在睡眠模式下更多地减少功耗，可在执行 WFI 或 WFE 指令前关闭所有外设的时钟。通过设置 AHB 外设时钟使能寄存器 (RCC_AHBEN)、APB2 外设时钟使能寄存器 (RCC_APB2EN) 和 APB1 外设时钟使能寄存器 (RCC_APB1EN) 来开关各个外设模块的时钟。

2.3.2.1 睡眠模式

进入睡眠模式：

通过执行 WFI 或 WFE 指令进入睡眠状态。根据 Cortex™-M4 系统控制寄存器中的 SLEEPONEXIT 位的值，有两种选项可用于选择睡眠模式进入机制：

- SLP-NOW：**如果 SLEEPONEXIT 位被清除，当 WFI 或 WFE 被执行时，微控制器立即进入睡眠模式。
- SLP-ON-EXIT：**如果 SLEEPONEXIT 位被置位，系统从最低优先级的中断处理程序中退出时，微控制器就立即进入睡眠模式。

在睡眠模式下，所有的 I/O 引脚都保持它们在运行模式时的状态。关于如何进入睡眠模式，更多的细节参考 [表 2-1](#) 和 [表 2-2](#)。

退出睡眠模式：

如果执行 WFI 指令进入睡眠模式，任意一个被嵌套向量中断控制器响应的外设中断都能将系统从睡眠模式唤醒。

如果执行 WFE 指令进入睡眠模式，则一旦发生唤醒事件时，微处理器都将从睡眠模式退出。唤醒事件可以通过下述方式产生：

- 在外设控制寄存器中使能一个中断，而不是在 NVIC (嵌套向量中断控制器) 中使能，并且在 Cortex™-M4 系统控制寄存器中使能 SEVONPEND 位。当 MCU 从 WFE 中唤醒后，外设的中断挂起位和外设的 NVIC 中断通道挂起位 (在 NVIC 中断清除挂起寄存器中) 必须被清除。
- 配置一个外部或内部的 EXIT 线为事件模式。当 MCU 从 WFE 中唤醒后，因为与事件线对应的挂起位未被设置，不必清除外设的中断挂起位或外设的 NVIC 中断通道挂起位。

该模式唤醒所需的时间最短，因为没有时间损失在中断的进入或退出上。关于如何退出睡眠模式，更多的细节参考 [表 2-1](#) 和 [表 2-2](#)。

表 2-1 SLP-NOW 模式

SLP-NOW 模式	说明
进入	在以下条件下执行 WFI (等待中断) 或 WFE (等待事件) 指令: - SLEEPDEEP = 0 和 - SLEEPONEXIT = 0 参考 Cortex™-M4 系统控制寄存器。
退出	如果执行 WFI 进入睡眠模式: 中断: 参考中断向量表 (表 7-1) 如果执行 WFE 进入睡眠模式: 唤醒事件: 参考唤醒事件管理 (第 7.2.3 节)
唤醒延时	无

表 2-2 SLP-ON-EXIT 模式

SLP-ON_EXIT 模式	说明
进入	在以下条件下执行 WFI 指令: - SLEEPDEEP = 0 和 - SLEEPONEXIT = 1 参考 Cortex™-M4 系统控制寄存器
退出	中断: 参考中断向量表 (表 7-1)
唤醒延时	无

2.3.2.2 停止模式

停止模式是在 Cortex™-M4 的深睡眠模式基础上结合了外设的时钟控制机制，在停止模式下电压调节器可运行在正常或低功耗模式。此时在 1.2V 供电区域的所有时钟都被停止，SysTick 除外，PLL、HSI 和 HSE RC 振荡器的功能被禁止，SRAM 和寄存器内容被保留下来。

在停止模式下，所有的 I/O 引脚都保持它们在运行模式时的状态。

进入停止模式

关于如何进入停止模式，详见[表 2-3](#)。

如果正在进行闪存编程，直到对内存访问完成，系统才进入停止模式。如果正在进行对 APB 的访问，直到对 APB 访问完成，系统才进入停止模式。可以通过对独立的控制位进行编程，可选择以下功能：

- 独立看门狗 (IWDG)：可通过写入看门狗的键寄存器或硬件选择来启动 IWDG。一旦启动了独立看门狗，除了系统复位，它不能再被停止。详见[10.2.3 节](#)。
- 实时时钟 (ERTC)：通过备份域控制寄存器 (RCC_BDC) 的 ERTCEN 位来设置。
- 内部RC振荡器 (LSI RC)。
- 外部32.768kHz振荡器 (LSE)：通过备份域控制寄存器 (RCC_BDC) 的 LSEEN 位设置。在停止模式下，如果在进入该模式前 ADC 没有被关闭，那么这些外设仍然消耗电流。通过设置寄存器 ADC_CTRL2 的 ADON 位可关闭这个外设。

退出停止模式

关于如何退出停止模式，详见下表。当一个中断或唤醒事件导致退出停止模式时，HSI RC 振荡器被选为系统时钟。

当电压调节器处于低功耗模式下，当系统从停止模式退出时，将会有一段额外的启动延时。如果在停止模式期间保持内部调节器开启，则退出启动时间会缩短，但相应的功耗会增加。

表 2-3 停止模式

停止模式	说明

进入	<p>在以下条件下执行 WFI（等待中断）或 WFE（等待事件）指令：</p> <ul style="list-style-type: none"> - 设置 Cortex™-M4 系统控制寄存器中的 SLEEPDEEP 位 - 清除电源控制寄存器（PWR_CTRL）中的 PDSS 位 <p>注：为了进入停止模式，所有的外部中断的请求位（挂起寄存器（EXTI_PND））和 ERTC 的闹钟标志都必须被清除，否则停止模式的进入流程将会被跳过，程序继续运行。</p>
退出	<p>如果执行 WFI 进入停止模式：</p> <p>设置任一外部中断线为中断模式（在 NVIC 中必须使能相应的外部中断向量）。参见中断向量表（表 7-1）。</p> <p>如果执行 WFE 进入停止模式：</p> <p>设置任一外部中断线为事件模式。参见唤醒事件管理（第 7.2.3 节）。</p>
唤醒延时	HSI RC 唤醒时间

2.3.2.3 待机模式

待机模式可实现系统的最低功耗。该模式是在 Cortex™-M4 深睡眠模式时关闭电压调节器。整个 1.2V 供电区域被断电。PLL、HSI 和 HSE 振荡器也被断电。SRAM 和寄存器内容丢失。只有备份的寄存器和待机电路维持供电（见图 2-1）。

进入待机模式

关于如何进入待机模式，详见表 2-4。可以通过设置独立的控制位，选择以下待机模式的功能：

- 独立看门狗（IWDG）：可通过写入看门狗的键寄存器或硬件选择来启动 IWDG。一旦启动了独立看门狗，除了系统复位，它不能再被停止。详见 [11.2.3 节](#)。
- 实时时钟（ERTC）：通过备用区域控制寄存器（RCC_BDC）的 ERTCEN 位来设置。
- 内部RC振荡器（LSI RC）
- 外部32.768kHz振荡器（LSE）：通过备用区域控制寄存器（RCC_BDC）的 LSEEN 位设置。退出待机模式当一个外部复位（NRST 引脚）、IWDG 复位、WKUPF 引脚上的上升沿或 ERTC 闹钟事件的上升沿发生时（见图 12-1：简化的 ERTC 框图），微控制器从待机模式退出。从待机唤醒后，除了电源控制/状态寄存器（PWR_CTRLSTS）（见 [第 3.3.10 节](#)），所有寄存器被复位。从待机模式唤醒后的代码执行等同于复位后的执行（采样启动模式引脚、读取复位向量等）。电源控制/状态寄存器（PWR_CTRLSTS）（见 [第 3.3.10 节](#)）将会指示内核由待机状态退出。

退出待机模式

待机模式下的输入/输出端口状态在待机模式下，所有的 I/O 引脚处于高阻态，除了以下的引脚：

- 复位引脚（始终有效）
- 当被设置为防侵入或校准输出时的 TAMPER 引脚
- 被使能的唤醒引脚

表 2-4 待机模式

待机模式	说明
进入	<p>在以下条件下执行 WFI（等待中断）或 WFE（等待事件）指令：</p> <ul style="list-style-type: none"> - 设置 Cortex™-M4 系统控制寄存器中的 SLEEPDEEP 位 - 设置电源控制寄存器（PWR_CTRL）中的 PDSS 位 - 清除电源控制/状态寄存器（PWR_CTRLSTS）中的 WUF 位
退出	WKUP 引脚的上升沿、ERTC 闹钟事件的上升沿、NRST 引脚上外部复位、IWDG 复位。

唤醒延时

复位持续时间 $T_{RSTTEMPO}$

2.3.2.4 调试模式

默认情况下，如果在进行调试微处理器时，使微处理器进入停止或待机模式，将失去调试连接。这是因为 Cortex™-M4 的内核失去了时钟。然而，通过设置 **DBGMCU_CTRL** 寄存器中的某些配置位，可以在使用低功耗模式下调试软件。

更多的细节请参考[第 18.2.1 节：低功耗模式的调试支持](#)。

2.3.3 自动唤醒

ERTC 可以在不需要依赖外部中断的情况下唤醒低功耗模式下的微控制器（自动唤醒模式）。ERTC 提供一个可编程的时间基数，用于周期性从停止或待机模式下唤醒。通过对备份区域控制寄存器（**RCC_BDC**）的 **ERTCSEL[1: 0]** 位的编程，三个 ERTC 时钟源中的二个时钟源可以选作实现此功能。

低功耗 32.768kHz 外部晶振（LSE）

该时钟源提供了一个低功耗且精确的时间基准。（在典型情形下消耗小于 $1\mu\text{A}$ ）

低功耗内部 RC 振荡器（LSI RC）

使用该时钟源，节省了一个 32.768kHz 晶振的成本。但是 RC 振荡器将少许增加电源消耗。

为了用 ERTC 闹钟事件将系统从停止模式下唤醒，必须进行如下操作：

配置外部中断线 17 为上升沿触发。

配置 ERTC 使其可产生 ERTC 闹钟事件。

如果要从待机模式中唤醒，不必配置外部中断线 17。

2.4 PWR 寄存器

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0										
0x00	PWR_CTRL	保留																DBP	PVD[2: 0]				PVDEN	保留				CLSBF	保留				CLWUF	保留				PDSS	保留				保留
		复位值																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							
0x04	PWR_CTRL_STS	保留																WUPEN	保留				PVD	保留				SBF	保留				WUF	保留				0	0	0	0	0	
		复位值																0	保留				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

2.4.1 电源控制寄存器 (PWR_CTRL)

地址偏移: 0x000

复位值: 0x0000 0000 (从待机模式唤醒时清除)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				DBP	PVDS[2: 0]	PVDEN	CLSBF	CLWUF	PDDS	保留					
r				rw	rw	rw	rc_w1	rc_w1	rw	r					

位 31: 9	保留。始终读为 0。
位 8	DBP: 取消后备区域的写保护 在复位后, ERTC 和后备寄存器处于被保护状态以防意外写入。设置这位允许写入这些寄存器。 0: 禁止写入 ERTC 和后备寄存器 1: 允许写入 ERTC 和后备寄存器 注: 如果 ERTC 的时钟是 HSE/128, 该位必须保持为'1'。
位 7: 5	PVDS[2: 0]: PVD 电平选择 这些位用于选择电源电压监测器的电压阀值 000: 保留 100: 2.6V 001: 2.3V 101: 2.7V 010: 2.4V 110: 2.8V 011: 2.5V 111: 2.9V 注: 详细说明参见数据手册中的电气特性部分。
位 4	PVDEN: 电源电压监测器 (PVD) 使能 0: 禁止 PVD 1: 开启 PVD
位 3	CLSBF: 清除待机位 始终读出为 0 0: 无功效 1: 清除 SBF 待机位 (写)
位 2	CLWUF: 清除唤醒位 始终读出为 0 0: 无功效 1: 2 个系统时钟周期后清除 WUF 唤醒位 (写)
位 1	PDDS: 掉电深睡眠 0: CPU 进入深睡眠时进入停机模式 1: CPU 进入深睡眠时进入待机模式
位 0	LPDS: 掉电深睡眠 0: 系统进入低功耗模式 1: 系统进入低功耗模式

2.4.2 电源控制/状态寄存器 (PWR_CTRLSTS)

地址偏移: 0x004

复位值: 0x0000 0000 (从待机模式唤醒时不被清除)

与标准的 APB 读相比, 读此寄存器需要额外的 APB 周期

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
2020.07.16															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							WUPEN			保留			PVD	SBF	WUF
r							rw		r			r	r	r	r

位 31: 9	保留。始终读为 0。
位 8	<p>WUPEN: 使能 WKUPF 引脚 0: WKUPF 引脚为通用 I/O。WKUPF 引脚上的事件不能将 CPU 从待机模式唤醒 1: WKUPF 引脚用于将 CPU 从待机模式唤醒, WKUPF 引脚被强置为输入下拉的配置 (WKUPF 引脚 上的上升沿将系统从待机模式唤醒) 注: 在系统复位时清除这一位。</p>
位 7: 3	保留。始终读为 0。
位 2	<p>PVD: PVD 输出 当 PVD 被 PVDEN 位使能后该位才有效 0: VDD/VDDA 高于由 PVDS[2: 0]选定的 PVD 阈值 1: VDD/VDDA 低于由 PVDS[2: 0]选定的 PVD 阈值 注: 在待机模式下 PVD 被停止。因此, 待机模式后或复位后, 直到设置 PVDEN 位之前, 该位为 0。</p>
位 1	<p>SBF: 待机标志 该位由硬件设置, 并只能由 POR/PDR (上电/掉电复位) 或设置电源控制寄存器 (PWR_CTRL) 的 CLSBF 位清除。 0: 系统不在待机模式 1: 系统进入待机模式</p>
位 0	<p>WUF: 唤醒标志 该位由硬件设置, 并只能由 POR/PDR (上电/掉电复位) 或设置电源控制寄存器 (PWR_CTRL) 的 CLWUF 位清除。 0: 没有发生唤醒事件 1: 在 WKUPF 引脚上发生唤醒事件或出现 ERTC 闹钟事件。 注: 当 WKUPF 引脚已经是高电平时, 在 (通过设置 WUPEN 位) 使能 WKUPF 引脚时, 会检测到一个额外的事件。</p>

3 复位和时钟控制 (RCC)

3.1 复位

AT32F415 支持三种复位形式，分别为系统复位、上电复位和备份区域复位。

3.1.1 系统复位

除了时钟控制器的 **RCC_CTRLSTS** 寄存器中的复位标志位和备份区域中的寄存器以外，系统复位将复位所有寄存器至它们的复位状态。

当发生以下任一事件时，产生一个系统复位：

1. NRST 引脚上的低电平（外部复位）
2. 窗口看门狗计数终止（WWDG 复位）
3. 独立看门狗计数终止（IWDG 复位）
4. 软件复位（SW 复位）
5. 低功耗管理复位可通过查看 **RCC_CTRLSTS** 控制状态寄存器中的复位状态标志位识别复位事件来源。

软件复位：

通过将 Cortex™-M4 中断应用和复位控制寄存器中的 **SYSRESETREQ** 位置‘1’，可实现软件复位。请参考 Cortex™-M4 技术参考手册获得进一步信息。

低功耗管理复位：

在以下两种情况下可产生低功耗管理复位：

1. 在进入待机模式时产生低功耗管理复位：通过将用户选择字节中的 **nSTDBY_RST** 位置‘1’将使能该复位。这时，即使执行了进入待机模式的过程，系统将被复位而不是进入待机模式。
2. 在进入停止模式时产生低功耗管理复位：通过将用户选择字节中的 **nSTP_RST** 位置‘1’将使能该复位。这时，即使执行了进入停机模式的过程，系统将被复位而不是进入停机模式。

3.1.2 电源复位

当以下事件中之一发生时，产生电源复位：

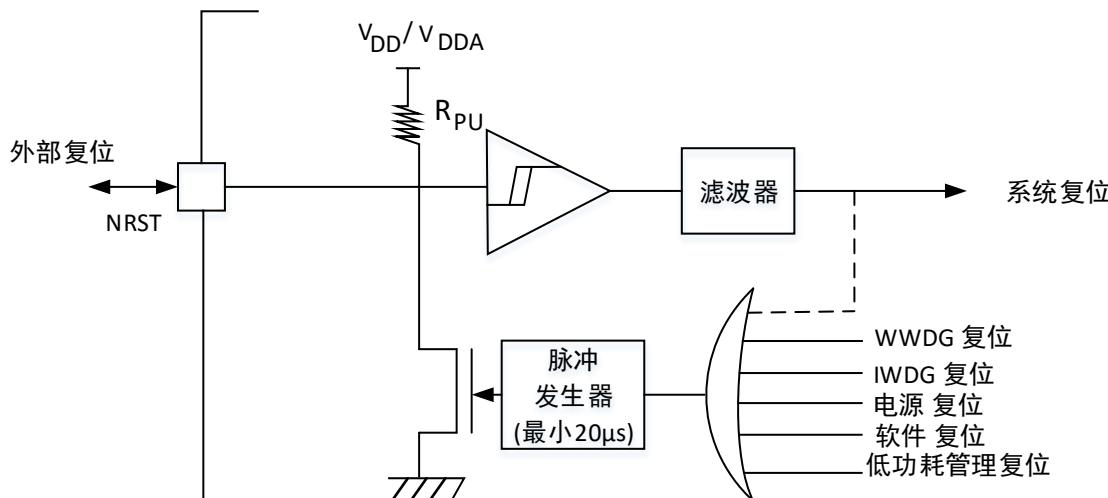
1. 上电/掉电复位（POR/PDR 复位）
2. 从待机模式中返回

电源复位将复位除了备份区域外的所有寄存器。（见图 2-1）

图中复位源将最终作用于 **RESET** 引脚，并在复位过程中保持低电平。复位入口矢量被固定在地址 **0x0000_0004**。更多细节，参阅表 7-1：AT32F415 产品的向量表。

芯片内部的复位信号会在 **NRST** 引脚上输出，脉冲发生器保证每一个（外部或内部）复位源都能有至少 **20μs** 的脉冲延时；当 **NRST** 引脚被拉低产生外部复位时，它将产生复位脉冲。

图 3-1 复位电路



3.1.3 备份域复位

备份区域拥有两个专门的复位，它们只影响备份区域（见图 2-1）。当以下事件中之一发生时，产生备份区域复位。

1. 软件复位，备份区域复位可由设置备份域控制寄存器(RCC_BDC)(见 3.3.9 节)中的 BDRST 位产生。
2. 在 VDD 和 VBAT 两者掉电的前提下，VDD 或 VBAT 上电将引发备份区域复位。

3.2 时钟

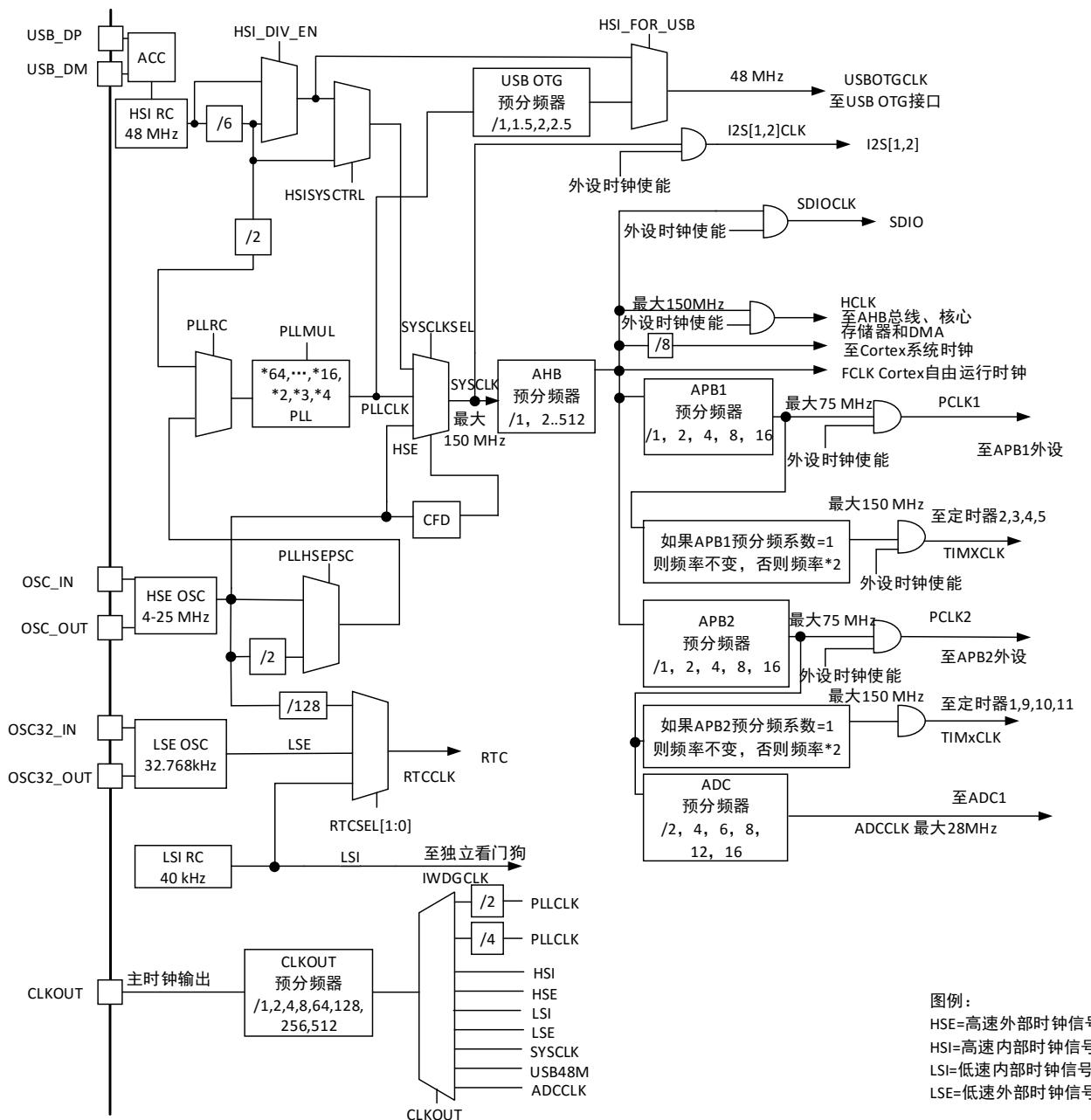
三种不同的时钟源可被用来驱动系统时钟 (SYSCLK)：

- HSI 振荡器时钟
- HSE 振荡器时钟
- PLL 时钟

这些设备有以下 2 种二级时钟源：

- 40kHz 低速内部 RC，可以用于驱动独立看门狗和通过程序选择驱动 ERTC。ERTC 用于从停机/待机模式下自动唤醒系统。
- 32.768kHz 低速外部晶体也可用来通过程序选择驱动 ERTC (ERTCCLK)。当不被使用时，任一个时钟源都可被独立地启动或关闭，由此优化系统功耗。

图 3-2 时钟树



- 当 HSI 被用于作为 PLL 时钟的输入时，系统时钟能得到的最大频率是 150MHz。

- 对于内部和外部时钟源的特性，请参考相应产品数据手册中“电气特性”章节。

用户可通过多个预分频器配置 AHB、高速 APB (APB2) 和低速 APB (APB1) 域的频率。AHB 域的最大频率是 150MHz。APB1 和 APB2 域的最大允许频率是 75MHz。SDIO 接口的时钟频率固定为 HCLK/2。

RCC 通过 AHB 时钟(HCLK)8 分频后作为 Cortex 系统定时器(SysTick)的外部时钟。通过对 SysTick 控制与状态寄存器的设置，可选择上述时钟或 Cortex (HCLK) 时钟作为 SysTick 时钟。ADC 时钟由高速 APB2 时钟经 2、4、6、8、12、16 分频后获得。

定时器时钟频率分配由硬件按以下 2 种情况自动设置：

- 如果相应的 APB 预分频系数是 1，定时器的时钟频率与所在 APB 总线频率一致。
- 否则，定时器的时钟频率被设为与其相连的 APB 总线频率的 2 倍。

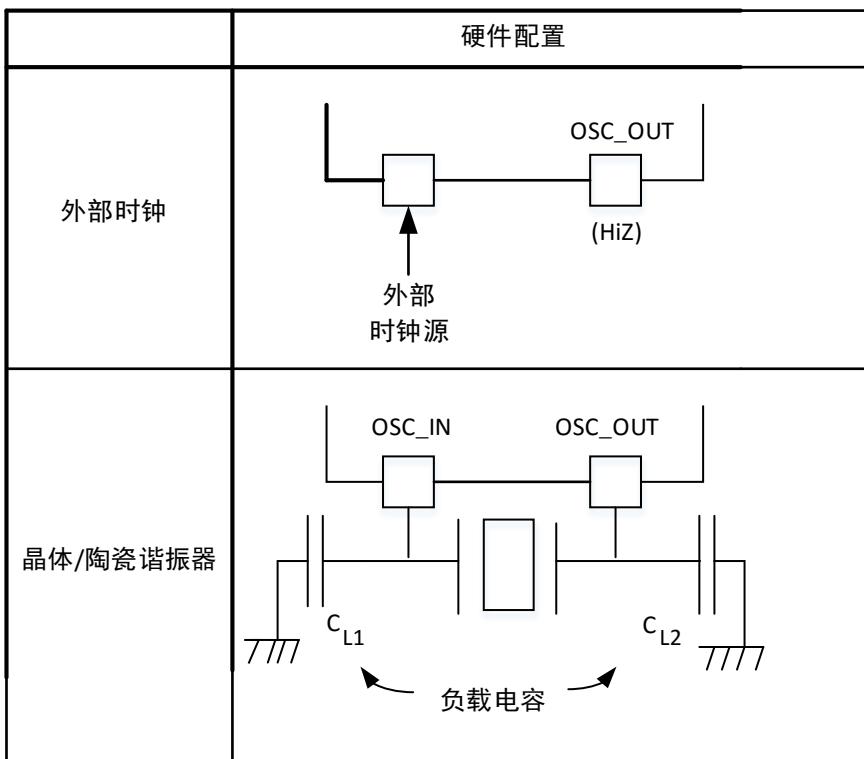
FCLK 是 Cortex™-M4 的自由运行时钟。详情见 ARM 的 Cortex™-M4 技术参考手册。

3.2.1 HSE时钟

高速外部时钟信号（HSE）由以下两种时钟源产生：

- HSE外部晶体/陶瓷谐振器
- HSE用户外部时钟为了减少时钟输出的失真和缩短启动稳定时间，晶体/陶瓷谐振器和负载电容器必须尽可能地靠近振荡器引脚。负载电容值必须根据所选择的振荡器来调整。

图 3-3 HSE/LSE时钟源



外部时钟源（HSE 旁路）

在这个模式里，必须提供外部时钟。它的频率最高可达 25MHz。用户可通过设置在时钟控制寄存器中的 HSEBYP_S 和 HSEEN 位来选择这一模式。外部时钟信号（50% 占空比的方波、正弦波或三角波）必须连到 OSC_IN 引脚，同时保证 OSC_OUT 引脚悬空。见图 3-3。

外部晶体/陶瓷谐振器（HSE 晶体）

4~25MHz 外部振荡器可为系统提供更为精确的主时钟。相关的硬件配置可参考图 3-3，进一步信息可参考数据手册的电气特性部分。

在时钟控制寄存器 RCC_CTRL 中的 HSESTBL 位用来指示高速外部振荡器是否稳定。在启动时，直到这一位被硬件置‘1’，时钟才被释放出来。如果在时钟中断寄存器 RCC_CLKINT 中允许产生中断，将会产生相应中断。

HSE 晶体可以通过设置时钟控制寄存器里 RCC_CTRL 中的 HSEEN 位被启动和关闭。

3.2.2 HSI时钟

HSI 时钟信号由内部 48MHz 的 RC 振荡器产生，可直接作为系统时钟或在 2 分频后作为 PLL 输入。

HSI RC 振荡器能够在不需要任何外部器件的条件下提供系统时钟。它的启动时间比 HSE 晶体振荡器短。然而，即使在校准之后它的时钟频率精度仍较差。

校准制造工艺决定了不同芯片的 RC 振荡器频率会不同，这就是为什么每个芯片的 HSI 时钟频率在出厂前已经被 ATK 校准到 1% (25° C) 的原因。系统复位时，工厂校准值被装载到时钟控制寄存器的 HSICAL[7: 0]位。HSICAL[7:0]可被软件进行再配置（需要把 HSICAL_KEY 设成 0x5A），一旦经由软件配置过后，需重置系统才能重新装载工厂校准值。

如果用户的应用基于不同的电压或环境温度，这将会影响 RC 振荡器的精度。可以通过时钟控制寄存器里的 HSITWK[5: 0]位来调整 HSI 频率。

时钟控制寄存器中的 HSISTBL 位用来指示 HSI RC 振荡器是否稳定。在时钟启动过程中，直到这一位被硬件置'1'，HSI RC 输出时钟才被释放。HSI RC 可由时钟控制寄存器中的 HSIEN 位来启动和关闭。

如果 HSE 晶体振荡器失效，HSI 时钟会被作为备用时钟源。参考 [3.2.7 节时钟失效检测](#)。

3.2.3 PLL

内部 PLL 可以用来倍频 HSI RC 的输出时钟或 HSE 晶体输出时钟。参考[图 3-2](#) 和时钟控制寄存器。

PLL 的设置（选择 HSI 振荡器除 2 或 HSE 振荡器或 HSE 振荡器除 2 为 PLL 的输入时钟，和倍频，分频系数）必须在其被激活前完成。一旦 PLL 被激活，这些参数就不能被改动。

如果 PLL 中断在时钟中断寄存器里被允许，当 PLL 准备就绪时，可产生中断申请。如果需要在应用中使用 USB 接口，USB OTG FS 模块专用的 48 MHz 时钟由内部主 PLL 产生，用作设备模式也可直接来自 48 MHz HSI 时钟源。

PLL 有两种配置使用方式，常规整数倍频配置模式和灵活配置模式：

1) 常规整数倍频配置模式（默认模式）

根据 PLL 时钟计算公式：

$$\text{PLL 输出时钟} = \text{PLL 输入时钟} \times \text{PLL 倍频系数}$$

配置流程：

- 清除 PLLCFGGEN (RCC_PLL[31])
- 设定当前 PLL 的输入时钟频率，具体参考 PLL_FREF (RCC_PLL[26:24])
- 设定当前 PLL 的倍频系数，具体参考 PLLMUL (RCC_CFG[30,29], RCC_CFG[21:18])
- 使能 PLL
- 等待 PLL 稳定工作

2) 灵活配置模式

根据 PLL 时钟计算公式：

$$\text{PLL 输出时钟} = \text{PLL 输入时钟} \times \text{PLL 倍频系数} / (\text{PLL 预分频系数} \times \text{PLL 后分频系数})$$

$$500\text{MHz} \leq \text{PLL 输入时钟} \times \text{PLL 倍频系数} / \text{PLL 预分频系数} \leq 1000\text{MHz}$$

$$2\text{MHz} \leq \text{PLL 输入时钟} / \text{PLL 预分频系数} \leq 16\text{MHz}$$

配置流程：

- 计算出 PLL 倍频系数，PLL 预分频系数和 PLL 后分频系数后，对 RCC_PLL 寄存器中的 PLL_NS/PLL_MS/PLL_FR 对应位进行配置
- 使能 PLLCFGGEN (RCC_PLL[31])
- 使能 PLL
- 等待 PLL 稳定工作

注：灵活配置模式，PLL_FREF 和 PLLMUL 寄存器不起作用。

注：灵活配置模式，可以实现非整数倍频，

例如：当 PLL 输入时钟为 12.288MHz 时，可以配置 PLL 输出频率= $12.288 \times 125 / (2 \times 8) = 96\text{MHz}$

例如：当 PLL 输入时钟为 25 MHz 时，可以配置 PLL 输出频率= $25 \times 192 / (5 \times 8) = 120\text{MHz}$

3.2.4 LSE 时钟

LSE 晶体是一个 32.768kHz 的低速外部晶体或陶瓷谐振器。它为实时时钟或者其他定时功能提供一个低功耗且精确的时钟源。

LSE 晶体通过在备份域控制寄存器 (RCC_BDC) 里的 LSEEN 位启动和关闭。在备份域控制寄存器

(RCC_BDC) 里的 LSESTBL 指示 LSE 晶体振荡是否稳定。在启动阶段，直到这个位被硬件置‘1’后，LSE 时钟信号才被释放出来。如果在时钟中断寄存器里被允许，可产生中断申请。

外部时钟源 (LSE 旁路)

在这个模式里必须提供一个 32.768kHz 频率的外部时钟源。你可以通过设置在备份域控制寄存器 (RCC_BDC) 里的 LSEBYP_S 和 LSEEN 位来选择这个模式。具有 50% 占空比的外部时钟信号 (方波、正弦波或三角波) 必须连到 OSC32_IN 引脚，同时保证 OSC32_OUT 引脚悬空，见图 3-3。

3.2.5 LSI时钟

LSI RC 担当一个低功耗时钟源的角色，它可以在停机和待机模式下保持运行，为独立看门狗和自动唤醒单元提供时钟。LSI 时钟频率大约 40kHz (在 30kHz 和 60kHz 之间)。进一步信息请参考数据手册中有关电气特性部分。

LSI RC 可以通过控制/状态寄存器 (RCC_CTRLSTS) 里的 LSISTBL 位指示低速内部振荡器是否稳定。在启动阶段，直到这个位被硬件设置为‘1’后，此时钟才被释放。如果在时钟中断寄存器 (RCC_CLKINT) 里被允许，将产生 LSI 中断申请。

LSI 校准可以通过校准内部低速振荡器 LSI 来补偿其频率偏移，从而获得精度可接受的 ERTC 时间基数，以及独立看门狗 (IWDG) 的超时时间 (当这些外设以 LSI 为时钟源)。

校准可以通过使用 TMR5 的输入时钟 (TMR5_CLK) 测量 LSI 时钟频率实现。测量以 HSE 的精度为保证，软件可以通过调整 ERTC 的 20 位预分频器来获得精确的 ERTC 时钟基数，以及通过计算得到精确的独立看门狗 (IWDG) 的超时时间。

LSI 校准步骤如下：

1. 打开 TMR5，设置通道 4 为输入捕获模式；
2. 设置 AFIO_MAP 的 TMR5_CH4_IREMAP 位为‘1’，在内部把 LSI 连接到 TMR5 的通道 4；
3. 通过 TMR5 的捕获/比较 4 事件或者中断来测量 LSI 时钟频率；
4. 根据测量结果和期望的 ERTC 时间基数和独立看门狗的超时时间，设置 20 位预分频器。

3.2.6 系统时钟 (SYSCLK) 选择

系统复位后，HSI 振荡器被选为系统时钟。当时钟源被直接或通过 PLL 间接作为系统时钟时，它将不能被停止。

只有当目标时钟源准备就绪了 (经过启动稳定阶段的延迟或 PLL 稳定)，从一个时钟源到另一个时钟源的切换才会发生。在被选择时钟源没有就绪时，系统时钟的切换不会发生。直至目标时钟源就绪，才发生切换。

在时钟控制寄存器 (RCC_CTRL) 里的状态位指示哪个时钟已经准备好了，哪个时钟目前被用作系统时钟。

3.2.7 时钟失效检测 (CFD)

时钟失效检测可以通过软件被激活。一旦其被激活，时钟监测器将在 HSE 振荡器启动延迟后被使能，并在 HSE 时钟关闭后关闭。

如果 HSE 时钟发生故障，HSE 振荡器被自动关闭，时钟失效事件将被送到高级定时器 (TMR1) 的刹车输入端，并产生时钟安全中断 CFDI，允许软件完成营救操作。此 CFDI 中断连接到 Cortex™-M4 的 NMI 中断 (不可屏蔽中断)。

注意：一旦 CFD 被激活，并且 HSE 时钟出现故障，CFD 中断就产生，并且 NMI 也自动产生。NMI 将被不断执行，直到 CFD 中断挂起位被清除。因此，在 NMI 的处理程序中必须通过设置时钟中断寄存器 (RCC_CLKINT) 里的 CFDFC 位来清除 CFD 中断。

如果 HSE 振荡器被直接或间接地作为系统时钟，(间接的意思是：它被作为 PLL 输入时钟，并且 PLL 时钟被作为系统时钟)，时钟故障将导致系统时钟自动切换到 HSI 振荡器，同时外部 HSE 振荡器被关闭。在时钟失效时，如果 HSE 振荡器时钟 (被分频或未被分频) 是用作系统时钟的 PLL 的输入时钟，PLL 也将被关闭。

3.2.8 ERTC时钟

通过设置备份域控制寄存器(RCC_BDC)里的ERTCSEL[1:0]位,ERTCCLK时钟源可以由HSE/128、LSE或LSI时钟提供。除非备份域复位,此选择不能被改变。

LSE 时钟在备份域里，但 **HSE** 和 **LSI** 时钟不是。因此：

- 如果 LSE 被选为 ERTC 时钟:
 - 只要 VBAT 维持供电, 尽管 VDD 供电被切断, ERTC 仍继续工作。
 - 如果 LSI 被选为自动唤醒单元 (AWU) 时钟:
 - 如果 VDD 供电被切断, AWU 状态不能被保证。有关 LSI 校准, 详见 [3.2.5 节 LSI 时钟](#)。
 - 如果 HSE 时钟 128 分频后作为 ERTC 时钟:
 - 如果 VDD 供电被切断或内部电压调压器被关闭 (1.2V 域的供电被切断), 则 ERTC 状态不确定。
 - 必须设置电源控制寄存器 (见 [2.4.1 节](#)) 的 DPB 位 (取消后备区域的写保护) 为 '1'。

3.2.9 看门狗时钟

如果独立看门狗已经由硬件选项或软件启动，LSI 振荡器将被强制在打开状态，并且不能被关闭。在 LSI 振荡器稳定后，时钟供应给 IWDG。

3.2.10 时钟输出

微控制器允许输出时钟信号到外部 CLKOUT 引脚。相应的 GPIO 端口寄存器必须被配置为相应功能。以下 9 个时钟信号可被选作 CLKOUT 时钟：

- ADC CLK
 - USB48M
 - SYSCLK
 - LSI
 - LSE
 - HSI
 - HSE
 - 2 分频后的 PLL 时钟
 - 4 分频后的 PLL 时钟

所有这些时钟输出都可以配置成为 1/2/4/8/16/64/128/256/512 分频，由 RCC_MISC 的 MCOPRE[3:0] 配置寄存器控制。

3.3 RCC寄存器描述

下表列出了 RCC 寄存器的映像和复位值。

表 3-1 RCC 寄存器的映像和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCC_CTL	保留				保留				保留				HSICAL[7: 0]				HSITWK[5: 0]				保留											
000h	复位值	PLLMLU[5: 4]	ADCPSC[2]	USBPSC[2]	CLKOUT [2: 0]		USBPSC[1: 0]		PLLMMUL [3: 0]		PLLHSEPSC		PLLSSRC		ADCPSC[1: 0]		APB2 PSC [2: 0]		APB1 PSC [2: 0]		AHBPCSC [3: 0]		SYSCLKSTS [1: 0]		SYSCLKSEL [1: 0]		HSITSTBL		HSIFN				
004h	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
	RCC_CFG	保留				保留				保留				HSICAL[7: 0]				HSITWK[5: 0]				保留											

02Ch	RCC_PLL	PLLCFGGEN	保留			PLLFRF[2:0]			保留			PLL_NS[8:0]								PLL_MS[3:0]			保留			PLL_FR[2:0]			
	复位值	0	0	1	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	
030h	RCC_MISC	MCOPRE[3:0]			保留	HSIEN_DIV6		保留	CLKEFC_SRC		保留	CLKOUT[3]		保留								HSICAL_KEY[7:0]							
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
054h	RCC_MISC2	保留												HSI_SYS_CTRL		HSI_FOR_USB		AUTO_STEP_EN[1:0]		保留									
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

3.3.1 时钟控制寄存器 (RCC_CTRL)

偏移地址: 0x00

复位值: 0x0000 XX83, X 代表未定义

访问: 无等待状态, 字, 半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16												
保留			PLL_STBL		PLLEN	保留			CFDEN		HSE_BYPS	HSE_STBL	HSE_EN														
res			r		rw	res			rw		rw	rw	r	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	HSICAL[7: 0]			HSITWK[5: 0]			HSI_STBL		HSI_EN			
rw			rw			r			rw			r			rw			r			rw			r			

位 30: 26	保留, 始终读为 0。
位 25	PLLSTBL: PLL 时钟就绪标志 (PLL clock ready flag) PLL 锁定后由硬件置'1'。 0: PLL 未锁定; 1: PLL 锁定。
位 24	PLLEN: PLL 使能 (PLL enable) 由软件置'1'或清零。当进入待机和停止模式时, 该位由硬件清零。当 PLL 时钟被用作或被选择将要作为系统时钟时, 该位不能被清零。 0: PLL 关闭; 1: PLL 使能。
位 23: 20	保留, 始终读为 0。
位 19	CFDEN: 时钟失效检测使能 (Clock Failure Detection enable) 由软件置'1'或清零以使能时钟监测器。 0: 时钟监测器关闭; 1: 如果外部 4-16MHz 振荡器就绪, 时钟监测器开启。

位 18	HSEBYP: 外部高速时钟旁路 (External high-speed clock bypass) 在调试模式下由软件置'1'或清零来旁路外部晶体振荡器。只有在外部 4-16MHz 振荡器关闭的情况下，才能写入该位。 0: 外部 4-16MHz 振荡器没有旁路； 1: 外部 4-16MHz 外部晶体振荡器被旁路。
位 17	HSESTBL: 外部高速时钟就绪标志 (External high-speed clock ready flag) 由硬件置'1'来指示外部 4-16MHz 振荡器已经稳定。在 HSEEN 位清零后，该位需要 6 个外部 4-25MHz 振荡器周期清零。 0: 外部 4-16MHz 振荡器没有就绪； 1: 外部 4-16MHz 振荡器就绪。
位 16	HSEEN: 外部高速时钟使能 (External high-speed clock enable) 由软件置'1'或清零。 当进入待机和停止模式时，该位由硬件清零，关闭 4-16MHz 外部振荡器。当外部 4-16MHz 振荡器被用作或被选择将要作为系统时钟时，该位不能被清零。 0: HSE 振荡器关闭； 1: HSE 振荡器开启。
位 15: 8	HSICAL[7: 0]: 内部高速时钟校准 (Internal high-speed clock calibration) 在系统启动时，这些位被自动初始化。 HSI 输出频率为 48MHz 时，每步 HSICAL 的变化调整 240kHz (设计值)；HSI 输出频率是 8MHz 时，每步 HSICAL 的变化调整 40kHz (设计值)。 此字段只有在 HSICAL_KEY[7:0] 为 0x5A 的时候可被写入。
位 7: 2	HSITWK[5: 0]: 内部高速时钟调整 (Internal high-speed clock trimming) 由软件写入来调整内部高速时钟，它们被叠加在 HSICAL[7: 0] 数值上。这些位在 HSICAL[7: 0] 的基础上，让用户可以输入一个调整数值，根据电压和温度的变化调整内部 HSI RC 振荡器的频率。 默认数值为 32，可以把 HSI 调整到 48MHz±1%；
位 1	HSISTBL: 内部高速时钟就绪标志 (Internal high-speed clock ready flag) 由硬件置'1'来指示内部 48MHz 振荡器已经稳定。在 HSIEN 位清零后，该位需要 6 个内部 48MHz 振荡器周期清零。 0: 内部 48MHz 振荡器没有就绪； 1: 内部 48MHz 振荡器就绪。
位 0	HSIEN: 内部高速时钟使能 (Internal high-speed clock enable) 由软件置'1'或清零。 当从待机和停止模式返回或用作系统时钟的外部 4-25MHz 振荡器发生故障时，该位由硬件置'1'来启动内部 48MHz 的 RC 振荡器。当内部 48MHz 振荡器被直接或间接地用作或被选择将要作为系统时钟时，该位不能被清零。 0: 内部 48MHz 振荡器关闭； 1: 内部 48MHz 振荡器开启。

3.3.2 时钟配置寄存器 (RCC_CFG)

偏移地址: 0x04

复位值: 0x0000 0000

访问: 0 到 2 个等待周期，字，半字和字节访问，只有当访问发生在时钟切换时，才会插入 1 或 2 个等待周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	PLLmul [5: 4]	ADC PSC[2]	USB PSC[2]	CLKOUT[2: 0]	USBPSC [1: 0]		PLLmul[3: 0]		PLLHSE PSC		PLL RC				
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCPSC[1: 0]		APB2PSC[2: 0]		APB1PSC[2: 0]		AHBPSC[3: 0]		SYSCLKSTS [1: 0]		SYSCLKSEL [1: 0]					
rw		rw		rw		rw		r		rw					

位 31	保留，始终读为 0。
位 26: 24	<p>CLKOUT[3:0]: 微控制器时钟输出（Microcontroller clock output） CLKOUT[3] 在 RCC_MISC 寄存器位 16 由软件置'1'或清零。 00xx: 没有时钟输出； 0100: 系统时钟（SYSCLK）输出； 0101: 内部 RC 振荡器时钟（HSI）输出； 0110: 外部振荡器时钟（HSE）输出； 0111: PLL 时钟 2 分频后输出。 1100: PLL 时钟 4 分频后输出。 1101: USB 时钟输出。 1110: ADC 时钟输出。 注意：- 该时钟输出在启动和切换 CLKOUT 时钟源时可能会被截断。 - 在系统时钟作为输出至 CLKOUT 引脚时，请保证输出时钟频率不超过 50MHz (I/O 口最高频率)。</p>
位 27 位 23: 22	<p>USBPSC[2: 0]: USB 预分频（USB prescaler） 由软件置'1'或清'0'来产生 48MHz 的 USB 时钟。在 RCC_APB1EN 寄存器中使能 USB 时钟之前，必须保证该位已经有效。如果 USB 时钟被使能，该位不能被清零。 000: PLL 时钟 1.5 倍分频作为 USB 时钟 001: PLL 时钟直接作为 USB 时钟 010: PLL 时钟 2.5 倍分频作为 USB 时钟 011: PLL 时钟 2 倍分频作为 USB 时钟 100: PLL 时钟 3.5 倍分频作为 USB 时钟 101: PLL 时钟 3 倍分频作为 USB 时钟 110: PLL 时钟 4 倍分频作为 USB 时钟 111: PLL 时钟 4 倍分频作为 USB 时钟</p>
位 30: 29 位 21: 18	<p>PLLMUL[5: 0]: PLL 倍频系数（PLL multiplication factor）{ 位 30: 29, 位 21: 18 } 仅在 PLLCFGGEN=0 时配置有效，由软件设置来确定 PLL 倍频系数。只有在 PLL 关闭的情况下才可被写入。 000000: PLL 2 倍频输出 001111: PLL 16 倍频输出 010000: PLL 17 倍频输出 011111: PLL 32 倍频输出 100000: PLL 33 倍频输出 101111: PLL 48 倍频输出 110000: PLL 49 倍频输出 111111: PLL 64 倍频输出</p>
位 17	<p>PLLHSEPSC: HSE 分频器作为 PLL 输入（HSE divider for PLL entry） 由软件置'1'或清'0'来分频 HSE 后作为 PLL 输入时钟。只能在关闭 PLL 时才能写入此位。 0: HSE 不分频 1: HSE 2 分频</p>
位 16	<p>PLLRC: PLL 输入时钟源（PLL entry clock source） 由软件置'1'或清'0'来选择 PLL 输入时钟源。只能在关闭 PLL 时才能写入此位。 0: HSI 振荡器时钟经 2 分频后作为 PLL 输入时钟 1: HSE 时钟作为 PLL 输入时钟。</p>
位 28 位 15: 14	<p>ADCPSC[2: 0]: ADC 预分频（ADC prescaler） ADCPSC[2], 由位 28 来做设定 由软件置'1'或清'0'来确定 ADC 时钟频率 000: PCLK2 2 分频后作为 ADC 时钟 001: PCLK2 4 分频后作为 ADC 时钟 010: PCLK2 6 分频后作为 ADC 时钟 011: PCLK2 8 分频后作为 ADC 时钟 100: PCLK2 2 分频后作为 ADC 时钟 101: PCLK2 12 分频后作为 ADC 时钟 110: PCLK2 8 分频后作为 ADC 时钟 111: PCLK2 16 分频后作为 ADC 时钟</p>

位 13: 11	APB2PSC[2: 0]: 高速 APB 预分频 (APB2) (APB high-speed prescaler (APB2)) 由软件置'1'或清'0'来控制高速 APB2 时钟 (PCLK2) 的预分频系数。 警告: 软件必须保证 APB2 时钟频率不超过 100MHz。 0xx: HCLK 不分频 100: HCLK 2 分频 101: HCLK 4 分频 110: HCLK 8 分频 111: HCLK 16 分频
位 10: 8	APB1PSC[2: 0]: 低速 APB 预分频 (APB1) (APB low-speed prescaler (APB1)) 由软件置'1'或清'0'来控制低速 APB1 时钟 (PCLK1) 的预分频系数。 警告: 软件必须保证 APB1 时钟频率不超过 100MHz。 0xx: HCLK 不分频 100: HCLK 2 分频 101: HCLK 4 分频 110: HCLK 8 分频 111: HCLK 16 分频
位 7: 4	AHBPSC[3: 0]: AHB 预分频 (AHB Prescaler) 由软件置'1'或清'0'来控制 AHB 时钟的预分频系数。 0xxx: SYSCLK 不分频 1000: SYSCLK 2 分频 1100: SYSCLK 64 分频 1001: SYSCLK 4 分频 1101: SYSCLK 128 分频 1010: SYSCLK 8 分频 1110: SYSCLK 256 分频 1011: SYSCLK 16 分频 1111: SYSCLK 512 分频 注意: 当 AHB 时钟的预分频系数大于 1 时, 必须开启预取缓冲器。
位 3: 2	SYSCLKSTS[1: 0]: 系统时钟切换状态 (System clock switch status) 由硬件置'1'或清'0'来指示哪一个时钟源被作为系统时钟。 00: HSI 作为系统时钟; 01: HSE 作为系统时钟; 10: PLL 输出作为系统时钟; 11: 不可用。
位 1: 0	SYSCLKSEL[1: 0]: 系统时钟切换 (System clock switch) 由软件置'1'或清'0'来选择系统时钟源。在从停止或待机模式中返回时或直接或间接作为系统时钟的 HSE 出现故障时, 由硬件强制选择 HSI 作为系统时钟 (如果时钟安全系统已经启动) 00: HSI 作为系统时钟; 01: HSE 作为系统时钟; 10: PLL 输出作为系统时钟; 11: 不可用。

3.3.3 时钟中断寄存器 (RCC_CLKINT)

偏移地址: 0x08

复位值: 0x0000 0000

访问: 无等待周期, 字, 半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				CFDFC	保留		PLLSTB LFC	HSEST BLFC	HSIST BLFC	LSES TBLFC	LSIST BLFC				
res					w	res	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	PLLS TBLIE	HSES TBLIE	HSIS TBLIE	LSES TBLIE	LSIST BLIE	CFDF	保留	PLLS TBLF	HSES TBLF	HSIS TBLF	LSES TBLF	LSIS TBLF			
res	rw	rw	rw	rw	rw	r	res	r	r	r	r	r	r	r	r

位 31: 24	保留, 始终读为 0。
----------	-------------

位 23	CFDFC: 清除时钟失效中断 (Clock failure detection interrupt clear) 由软件置'1'来清除 CFDF 安全系统中断标志位 CFDF。 0: 无作用; 1: 清除 CFDF 安全系统中断标志位。
位 22: 21	保留, 始终读为 0。
位 20	PLLSTBLFC: 清除 PLL 就绪中断 (PLL ready interrupt clear) 由软件置'1'来清除 PLL 就绪中断标志位 PLLSTBLF。 0: 无作用; 1: 清除 PLL 就绪中断标志位 PLLSTBLF。
位 19	HSESTBLFC: 清除 HSE 就绪中断 (HSE ready interrupt clear) 由软件置'1'来清除 HSE 就绪中断标志位 HSESTBLF。 0: 无作用; 1: 清除 HSE 就绪中断标志位 HSESTBLF。
位 18	HSISTBLFC: 清除 HSI 就绪中断 (HSI ready interrupt clear) 由软件置'1'来清除 HSI 就绪中断标志位 HSISTBLF。 0: 无作用; 1: 清除 HSI 就绪中断标志位 HSISTBLF。
位 17	LSESTBLFC: 清除 LSE 就绪中断 (LSE ready interrupt clear) 由软件置'1'来清除 LSE 就绪中断标志位 LSESTBLF。 0: 无作用; 1: 清除 LSE 就绪中断标志位 LSESTBLF。
位 16	LSISTBLFC: 清除 LSI 就绪中断 (LSI ready interrupt clear) 由软件置'1'来清除 LSI 就绪中断标志位 LSISTBLF。 0: 无作用; 1: 清除 LSI 就绪中断标志位 LSISTBLF。
位 15: 13	保留, 始终读为 0。
位 12	PLLSTBLIE: PLL 就绪中断使能 (PLL ready interrupt enable) 由软件置'1'或清'0'来使能或关闭 PLL 就绪中断。 0: PLL 就绪中断关闭; 1: PLL 就绪中断使能。
位 11	HSESTBLIE: HSE 就绪中断使能 (HSE ready interrupt enable) 由软件置'1'或清'0'来使能或关闭外部 4-16MHz 振荡器就绪中断。 0: HSE 就绪中断关闭; 1: HSE 就绪中断使能。
位 10	HSISTBLIE: HSI 就绪中断使能 (HSI ready interrupt enable) 由软件置'1'或清'0'来使能或关闭内部 48MHz RC 振荡器就绪中断。 0: HSI 就绪中断关闭; 1: HSI 就绪中断使能。
位 9	LSESTBLIE: LSE 就绪中断使能 (LSE ready interrupt enable) 由软件置'1'或清'0'来使能或关闭外部 32kHz RC 振荡器就绪中断。 0: LSE 就绪中断关闭; 1: LSE 就绪中断使能。
位 8	LSISTBLIE: LSI 就绪中断使能 (LSI ready interrupt enable) 由软件置'1'或清'0'来使能或关闭内部 40kHz RC 振荡器就绪中断。 0: LSI 就绪中断关闭; 1: LSI 就绪中断使能。

位 7	CFDF：时钟失效中断标志（Clock Failure Detection interrupt flag） 在外部 4-16MHz 振荡器时钟出现故障时，由硬件置'1'。由软件通过置'1' CFDFC 位来清除。 0: 无 HSE 时钟失效产生的安全系统中断； 1: HSE 时钟失效导致了时钟安全系统中断。
位 6: 5	保留，始终读为 0。
位 4	PLLSTBLF：PLL 就绪中断标志（PLL ready interrupt flag） 在 PLL 就绪且 PLLSTBLIE 位被置'1'时，由硬件置'1'。由软件通过置'1' PLLSTBLFC 位来清除。 0: 无 PLL 上锁产生的时钟就绪中断； 1: PLL 上锁导致时钟就绪中断。
位 3	HSESTBLF：HSE 就绪中断标志（HSE ready interrupt flag） 在外部低速时钟就绪且 HSESTBLIE 位被置'1'时，由硬件置'1'。由软件通过置'1' HSESTBLFC 位来清除。 0: 无外部 4-16MHz 振荡器产生的时钟就绪中断； 1: 外部 4-16MHz 振荡器导致时钟就绪中断。
位 2	HSISTBLF：HSI 就绪中断标志（HSI ready interrupt flag） 在内部高速时钟就绪且 HSISTBLIE 位被置'1'时，由硬件置'1'。由软件通过置'1' HSISTBLFC 位来清除。 0: 无内部 48MHz RC 振荡器产生的时钟就绪中断； 1: 内部 48MHz RC 振荡器导致时钟就绪中断。
位 1	LSESTBLF：LSE 就绪中断标志（LSE ready interrupt flag） 在外部低速时钟就绪且 LSESTBLIE 位被置'1'时，由硬件置'1'。由软件通过置'1' LSESTBLFC 位来清除。 0: 无外部 32kHz 振荡器产生的时钟就绪中断； 1: 外部 32kHz 振荡器导致时钟就绪中断。
位 0	LSISTBLF：LSI 就绪中断标志（LSI ready interrupt flag） 在内部低速时钟就绪且 LSISTBLIE 位被置'1'时，由硬件置'1'。由软件通过置'1' LSISTBLFC 位来清除。 0: 无内部 40kHz RC 振荡器产生的时钟就绪中断； 1: 内部 40kHz RC 振荡器导致时钟就绪中断。

3.3.4 APB2外设复位寄存器 (RCC_APB2RST)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				ACC RST	TMR11 RST	TMR10 RST	TMR9 RST	保留				res			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	USAR T1RST	保留	SPI1 RST	TMR1 RST	保留	ADC1 RST	保留	GPIOF RST	保留	GPIOD RST	GPIOC RST	GPIOB RST	GPIOA RST	保留	AFIO RST
res	rw	rw	rw	rw	rw	rw	res	rw	rw	rw	rw	rw	rw	res	rw

访问: 无等待周期, 字, 半字和字节访问

位 31: 23	保留，始终读为 0。
位 22	ACCRST: ACC 复位 (Auto Clock Calibration reset) 由软件置'1'或清'0' 0: 无作用； 1: 复位 ACC。

位 21	TMR11RST: TMR11 定时器复位 (TMR11 timer reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 TMR11 定时器。
位 20	TMR10RST: TMR10 定时器复位 (TMR10 timer reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 TMR10 定时器。
位 19	TMR9RST: TMR9 定时器复位 (TMR9 timer reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 TMR9 定时器。
位 18:15	保留, 始终读为 0。
位 14	USART1RST: USART1 复位 (USART1 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 USART1。
位 13	保留, 始终读为 0。
位 12	SPI1RST: SPI1 复位 (SPI 1 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 SPI1。
位 11	TMR1RST: TMR1 定时器复位 (TMR1 timer reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 TMR 1 定时器。
位 10	保留, 始终读为 0。
位 9	ADC1RST: ADC1 接口复位 (ADC 1 interface reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 ADC1 接口。
位 8	保留, 始终读为 0。
位 7	GPIOFRST: IO 端口 F 复位 (IO port F reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 IO 端口 F。
位 6	保留, 始终读为 0。
位 5	GPIODRST: IO 端口 D 复位 (IO port D reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 IO 端口 D。
位 4	GPIOCRST: IO 端口 C 复位 (IO port C reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 IO 端口 C。

位 3	GPIOBRST: IO 端口 B 复位 (IO port B reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 IO 端口 B。
位 2	GPIOARST: IO 端口 A 复位 (IO port A reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 IO 端口 A。
位 1	保留, 始终读为 0。
位 0	AFIORST: 辅助功能 IO 复位 (Alternate function I/O reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位辅助功能。

3.3.5 APB1外设复位寄存器 (RCC_APB1RST)

偏移地址: 0x10

复位值: 0x0000 0000

访问: 无等待周期, 字, 半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	PWR RST	保留	CAN RST	保留	I2C2 RST	I2C1 RST	UART5 RST	UART4 RST	UART3 RST	USART2 RST	保留	保留	保留	保留	保留
rw	res	res	rw	rw	res	rw	res	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SPI2 RST	保留	WWDG RST	保留	COMP RST	保留	保留	保留	保留	TMR5 RST	TMR4 RST	TMR3 RST	TMR2 RST	保留	保留
rw	rw	res	rw	res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:29	保留, 始终读为 0。
位 28	PWRRST: 电源接口复位 (Power interface reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位电源接口。
位 27:26	保留, 始终读为 0。
位 25	CANRST: CAN 复位 (CAN reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 CAN。
位 24:23	保留, 始终读为 0。
位 22	I2C2RST: I2C 2 复位 (I2C 2 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 I2C 2。
位 21	I2C1RST: I2C 1 复位 (I2C 1 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 I2C 1。

位 20	UART5RST: UART5 复位 (UART 5 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 UART5。
位 19	UART4RST: UART4 复位 (UART 4 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 UART4。
位 18	USART3RST: USART3 复位 (USART 3 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 USART3。
位 17	USART2RST: USART2 复位 (USART 2 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 USART2。
位 16:15	保留, 始终读为 0。
位 14	SPI2RST: SPI2 复位 (SPI 2 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 SPI2。
位 13:12	保留, 始终读为 0。
位 11	WWDGRST: 窗口看门狗复位 (WCNTRindow watchdog reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位窗口看门狗。
位 10	保留, 始终读为 0。
位 9	COMPRST: COMP 复位 (COMP reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 COMP。
位 8:4	保留, 始终读为 0。
位 3	TMR5RST: 定时器 5 复位 (Timer 5 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 TMR 5 定时器。
位 2	TMR4RST: 定时器 4 复位 (Timer 4 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 TMR 4 定时器。
位 1	TMR3RST: 定时器 3 复位 (Timer 3 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 TMR 3 定时器。
位 0	TMR2RST: 定时器 2 复位 (Timer 2 reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 TMR 2 定时器。

3.3.6 AHB外设时钟使能寄存器 (RCC_AHBEN)

偏移地址: 0x14

复位值: 0x0000 0014

访问: 无等待周期, 字、半字和字节访问

注意: 当外设时钟没有启用时, 软件不能读出外设寄存器的数值, 返回的数值始终是 0x0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	USBEN	保留	SDIO1E N	保留	CCE	保留	FLASH EN	保留	SRAMEN	DMA2 EN	DMA1E N				
res	rW	rW	rW	res	rW	res	rW	res	rW	res	rW	rW	rW	rW	rW
位 31:13		保留, 始终读为 0。													
位 12		USBEN: USB 时钟使能 (USB clock enable) 由软件置'1'或清'0'。 0: USB 时钟关闭; 1: USB 时钟开启。													
位 11		保留, 始终读为 0。													
位 10		SDIO1EN: SDIO1 时钟使能 (SDIO1 clock enable) 由软件置'1'或清'0'。 0: SDIO1 时钟关闭; 1: SDIO1 时钟开启。													
位 9:7		保留, 始终读为 0。													
位 6		CCE: CRC 时钟使能 (CRC clock enable) 由软件置'1'或清'0'。 0: CRC 时钟关闭; 1: CRC 时钟开启。													
位 5		保留, 始终读为 0。													
位 4		FLASHEN: 内部闪存接口电路时钟使能 (EFC clock enable) 由软件置'1'或清'0'。 0: EFC 时钟关闭; 1: EFC 时钟开启。													
位 3		保留, 始终读为 0。													
位 2		SRAMEN: SRAM 时钟使能 (SRAM interface clock enable) 由软件置'1'或清'0'来开启或关闭睡眠模式时 SRAM 时钟。 0: 睡眠模式时 SRAM 时钟关闭; 1: 睡眠模式时 SRAM 时钟开启。													
位 1		DMA2EN: DMA2 时钟使能 (DMA2 clock enable) 由软件置'1'或清'0'。 0: DMA2 时钟关闭; 1: DMA2 时钟开启。													
位 0		DMA1EN: DMA1 时钟使能 (DMA1 clock enable) 由软件置'1'或清'0'。 0: DMA1 时钟关闭; 1: DMA1 时钟开启。													

3.3.7 APB2外设时钟使能寄存器 (RCC_APB2EN)

偏移地址: 0x18

复位值: 0x0000 0000

访问: 字, 半字和字节访问

通常无访问等待周期。

但在 APB2 总线上的外设被访问时, 将插入等待状态直到 APB2 的外设访问结束。

注意: 当外设时钟没有启用时, 软件不能读出外设寄存器的数值, 返回的数值始终是 0x0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								ACC EN	TMR11 EN	TMR10 EN	TMR9 EN	保留			
res								rW	rW	rW	rW	res			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	USART1 EN	保留	SPI1 EN	TMR1 EN	保留	ADC1 EN	保留	GPIOF EN	保留	GPIOD EN	GPIOC EN	GPIOB EN	GPIOA EN	保留	AFIO EN
res	rW	rW	rW	rW	rW	rW	res	rW	rW	rW	rW	rW	rW	res	rW
位 31: 23	保留, 始终读为 0。														
位 22	ACCEN: ACC 时钟使能 (Auto Clock Calibration clock enable) 由软件置'1'或清'0' 0: ACC 时钟关闭; 1: ACC 时钟开启。														
位 21	TMR11EN: TMR11 定时器时钟使能 (Timer 11 clock enable) 由软件置'1'或清'0' 0: TMR11 定时器时钟关闭; 1: TMR11 定时器时钟开启。														
位 20	TMR10EN: TMR10 定时器时钟使能 (Timer 10 clock enable) 由软件置'1'或清'0' 0: TMR10 定时器时钟关闭; 1: TMR10 定时器时钟开启。														
位 19	TMR9EN: TMR9 定时器时钟使能 (Timer 9 clock enable) 由软件置'1'或清'0' 0: TMR9 定时器时钟关闭; 1: TMR9 定时器时钟开启。														
位 18: 15	保留, 始终读为 0。														
位 14	USART1EN: USART1 时钟使能 (USART1 clock enable) 由软件置'1'或清'0' 0: USART1 时钟关闭; 1: USART1 时钟开启。														
位 13	保留, 始终读为 0。														
位 12	SPI1EN: SPI1 时钟使能 (SPI 1 clock enable) 由软件置'1'或清'0' 0: SPI1 时钟关闭; 1: SPI1 时钟开启。														
位 11	TMR1EN: TMR1 定时器时钟使能 (Timer 1 clock enable) 由软件置'1'或清'0' 0: TMR1 定时器时钟关闭; 1: TMR1 定时器时钟开启。														
位 10	保留, 始终读为 0。														

位 9	ADC1EN: ADC1 接口时钟使能 (ADC 1 interface clock enable) 由软件置'1'或清'0' 0: ADC1 接口时钟关闭; 1: ADC1 接口时钟开启。
位 8	保留, 始终读为 0。
位 7	GPIOFEN: IO 端口 E 时钟使能 (I/O port F clock enable) 由软件置'1'或清'0' 0: IO 端口 F 时钟关闭; 1: IO 端口 F 时钟开启。
位 6	保留, 始终读为 0。
位 5	GPIODEN: IO 端口 D 时钟使能 (I/O port D clock enable) 由软件置'1'或清'0' 0: IO 端口 D 时钟关闭; 1: IO 端口 D 时钟开启。
位 4	GPIOCEN: IO 端口 C 时钟使能 (I/O port C clock enable) 由软件置'1'或清'0' 0: IO 端口 C 时钟关闭; 1: IO 端口 C 时钟开启。
位 3	GPIOBEN: IO 端口 B 时钟使能 (I/O port B clock enable) 由软件置'1'或清'0' 0: IO 端口 B 时钟关闭; 1: IO 端口 B 时钟开启。
位 2	GPIOAEN: IO 端口 A 时钟使能 (I/O port A clock enable) 由软件置'1'或清'0' 0: IO 端口 A 时钟关闭; 1: IO 端口 A 时钟开启。
位 1	保留, 始终读为 0。
位 0	AFIOEN: 辅助功能 IO 时钟使能 (Alternate function I/O clock enable) 由软件置'1'或清'0' 0: 辅助功能 IO 时钟关闭; 1: 辅助功能 IO 时钟开启。

3.3.8 APB1外设时钟使能寄存器 (RCC_APB1EN)

偏移地址: 0x1C

复位值: 0x0000 0000

访问: 字、半字和字节访问

通常无访问等待周期。但在 APB1 总线上的外设被访问时, 将插入等待状态直到 APB1 外设访问结束。

注意: 当外设时钟没有启用时, 软件不能读出外设寄存器的数值, 返回的数值始终是 0x0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	PWR EN	保留	CAN1 EN	保留	I2C2 EN	I2C1 EN	UART5 EN	UART4 EN	USART3 EN	USART2 EN	保留				
rw	rw	rw	rw	rw	res	rw	res	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	SPI2 EN	保留	WWDG EN	保 留	COMP EN	保留	保留	保留	保留	TMR5 EN	TMR4 EN	TMR3 EN	TMR2 EN		
rw	rw	res	rw	res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:29	保留，始终读为 0。
位 28	PWREN: 电源接口时钟使能（Power interface clock enable） 由软件置'1'或清'0' 0: 电源接口时钟关闭； 1: 电源接口时钟开启。
位 27: 26	保留，始终读为 0。
位 25	CANEN: CAN 时钟使能（CAN clock enable） 由软件置'1'或清'0' 0: CAN 时钟关闭； 1: CAN 时钟开启。
位 24: 23	保留，始终读为 0。
位 22	I2C2EN: I2C 2 时钟使能（I2C 2 clock enable） 由软件置'1'或清'0' 0: I2C 2 时钟关闭； 1: I2C 2 时钟开启。
位 21	I2C1EN: I2C 1 时钟使能（I2C 1 clock enable） 由软件置'1'或清'0' 0: I2C 1 时钟关闭； 1: I2C 1 时钟开启。
位 20	UART5EN: UART5 时钟使能（UART 5 clock enable） 由软件置'1'或清'0' 0: UART5 时钟关闭； 1: UART5 时钟开启。
位 19	UART4EN: UART4 时钟使能（UART 4 clock enable） 由软件置'1'或清'0' 0: UART4 时钟关闭； 1: UART4 时钟开启。
位 18	USART3EN: USART3 时钟使能（USART 3 clock enable） 由软件置'1'或清'0' 0: USART3 时钟关闭； 1: USART3 时钟开启。
位 17	USART2EN: USART2 时钟使能（USART 2 clock enable） 由软件置'1'或清'0' 0: USART2 时钟关闭； 1: USART2 时钟开启。
位 16:15	保留，始终读为 0。
位 14	SPI2EN: SPI 2 时钟使能（SPI 2 clock enable） 由软件置'1'或清'0' 0: SPI 2 时钟关闭； 1: SPI 2 时钟开启。
位 13: 12	保留，始终读为 0。
位 11	WWDGGEN: 窗口看门狗时钟使能（Window watchdog clock enable） 由软件置'1'或清'0' 0: 窗口看门狗时钟关闭； 1: 窗口看门狗时钟开启。
位 10	保留，始终读为 0。
位 9	COMPEN: COMP 时钟使能（COMP clock enable） 由软件置'1'或清'0' 0: COMP 时钟关闭； 1: COMP 时钟开启。

位 8:4	保留, 始终读为 0。
位 3	TMR5EN: 定时器 5 时钟使能 (Timer 5 clock enable) 由软件置'1'或清'0' 0: 定时器 5 时钟关闭; 1: 定时器 5 时钟开启。
位 2	TMR4EN: 定时器 4 时钟使能 (Timer 4 clock enable) 由软件置'1'或清'0' 0: 定时器 4 时钟关闭; 1: 定时器 4 时钟开启。
位 1	TMR3EN: 定时器 3 时钟使能 (Timer 3 clock enable) 由软件置'1'或清'0' 0: 定时器 3 时钟关闭; 1: 定时器 3 时钟开启。
位 0	TMR2EN: 定时器 2 时钟使能 (Timer 2 clock enable) 由软件置'1'或清'0' 0: 定时器 2 时钟关闭; 1: 定时器 2 时钟开启。

3.3.9 备份域控制寄存器 (RCC_BDC)

偏移地址: 0x20

复位值: 0x0000 0000, 只能由备份域复位有效复位

访问: 0 到 3 等待周期, 字、半字和字节访问; 当连续对该寄存器进行访问时, 将插入等待状态。

注意: 备份域控制寄存器中 (RCC_BDC) LSEEN、LSEBYPs、ERTCSEL 和 ERTCEN 位处于备份域。因此, 这些位在复位后处于写保护状态, 只有在电源控制寄存器 (PWR_CTRL) 中的 DBP 位置'1'后才能对这些位进行改动。进一步信息请参考 [4.1 节](#)。这些位只能由备份域复位清除 (见 [3.1.3 节](#))。任何内部或外部复位都不会影响这些位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留														BDRST	
res														rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERTCEN	保留			ERTCSEL[1:0]			保留			LSE BYPS	LSE STBL	LSEEN			
rw	res			rw	rw	rw	res			rw	r	rw			

位 31: 17	保留, 始终读为 0。
位 16	BDRST: 备份域软件复位 (Backup domain software reset) 由软件置'1'或清'0' 0: 复位未激活; 1: 复位整个备份域。
位 15	ERTCEN: ERTC 时钟使能 (ERTC clock enable) 由软件置'1'或清'0' 0: ERTC 时钟关闭; 1: ERTC 时钟开启。
位 14: 10	保留, 始终读为 0。

位 9: 8	ERTCSEL[1: 0]: ERTC 时钟源选择 (ERTC clock source selection) 由软件设置来选择 ERTC 时钟源。一旦 ERTC 时钟源被选定，直到下次后备域被复位，它不能在被 改变。可通过设置 BDRST 位来清除。 00: 无时钟； 01: LSE 振荡器作为 ERTC 时钟； 10: LSI 振荡器作为 ERTC 时钟； 11: HSE 振荡器在 128 分频后作为 ERTC 时钟。
位 7: 3	保留，始终读为 0。
位 2	LSEBYP: 外部低速时钟振荡器旁路 (External low-speed oscillator bypass) 在调试模式下由软件置'1'或清'0'来旁路 LSE。只有在外部 32kHz 振荡器关闭时，才能写入该位 0: LSE 时钟未被旁路； 1: LSE 时钟被旁路。
位 1	LSESTBL: 外部低速 LSE 就绪 (External low-speed oscillator ready) 由硬件置'1'或清'0'来指示是否外部 32kHz 振荡器就绪。在 LSEEN 被清零后，该位需要 6 个外部 低速振荡器的周期才被清零。 0: 外部 32kHz 振荡器未就绪； 1: 外部 32kHz 振荡器就绪。
位 0	LSEEN: 外部低速振荡器使能 (External low-speed oscillator enable) 由软件置'1'或清'0' 0: 外部 32kHz 振荡器关闭； 1: 外部 32kHz 振荡器开启。

3.3.10 控制/状态寄存器 (RCC_CTRLSTS)

偏移地址: 0x24

复位值: 0x0C00 0000, 除复位标志外由系统复位清除, 复位标志只能由电源复位清除。访问: 0 到 3 等待周期, 字、半字和字节访问; 当连续对该寄存器进行访问时, 将插入等待状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LP RSTF	WWDG RSTF	IWDG RSTF	SW RSTF	POR RSTF	PIN RSTF	保 留	RST FC	保留	res						
rw	rw	rw	rw	rw	rw	rw	rw	保留	15	14	13	12	11	10	9
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	LSI STBL	LSI EN													

位 31	LPRSTF: 低功耗复位标志 (Low-power reset flag) 在低功耗管理复位发生时由硬件置'1'; 由软件通过写 RSTFC 位清除。 0: 无低功耗管理复位发生; 1: 发生低功耗管理复位。 关于低功耗管理复位的详细信息, 请参考 3.1.1 节的"低功耗管理复位"。
位 30	WWDGRSTF: 窗口看门狗复位标志 (Window watchdog reset flag) 在窗口看门狗复位发生时由硬件置'1'; 由软件通过写 RSTFC 位清除。 0: 无窗口看门狗复位发生; 1: 发生窗口看门狗复位。
位 29	IWDGRSTF: 独立看门狗复位标志 (Independent watchdog reset flag) 在独立看门狗复位发生在 VDD 区域时由硬件置'1'; 由软件通过写 RSTFC 位清除。 0: 无独立看门狗复位发生; 1: 发生独立看门狗复位。

位 28	SWRSTF: 软件复位标志 (Software reset flag) 在软件复位发生时由硬件置'1'; 由软件通过写 RSTFC 位清除。 0: 无软件复位发生; 1: 发生软件复位。
位 27	PORRSTF: 上电/掉电复位标志 (POR/PDR reset flag) 在上电/掉电复位发生时由硬件置'1'; 由软件通过写 RSTFC 位清除。 0: 无上电/掉电复位发生; 1: 发生上电/掉电复位。
位 26	PINRSTF: NRST 引脚复位标志 (PIN reset flag) 在 NRST 引脚复位发生时由硬件置'1'; 由软件通过写 RSTFC 位清除。 0: 无 NRST 引脚复位发生; 1: 发生 NRST 引脚复位。
位 25	保留, 读操作返回 0
位 24	RSTFC: 清除复位标志 (Reset flag clear) 由软件置'1'来清除复位标志。 0: 无作用; 1: 清除复位标志。
位 23: 2	保留, 读操作返回 0
位 1	LSISTBL: 内部低速振荡器就绪 (Internal low-speed oscillator ready) 由硬件置'1'或清'0'来指示内部 40kHz RC 振荡器是否就绪。 0: 内部 40kHz RC 振荡器时钟未就绪; 1: 内部 40kHz RC 振荡器时钟就绪。
位 0	LSIEN: 内部低速振荡器使能 (Internal low-speed oscillator enable) 由硬件置'1'来控制内部 40kHz RC 振荡器开启。当使用 LSI 时, 必须开启。 0: 内部 40kHz RC 振荡器时钟关闭; 1 : 内部 40kHz RC 振荡器时钟开启。

3.3.11 AHB外设复位寄存器 (RCC_AHBRST)

偏移地址: 0x28

复位值: 0x0000 0000

访问: 无等待周期, 字, 半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															
res rw res															
位 31: 13		保留, 始终读为 0。													
位 12		USBRST: USB 复位 (USB reset) 由软件置'1'或清'0' 0: 无作用; 1: 复位 USB。													
位 11: 0		保留, 始终读为 0。													

3.3.12 PLL配置寄存器 (RCC_PLL)

偏移地址: 0x2C

复位值: 0x0000 1F10

访问: 无等待周期, 字, 半字和字节访问

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16											
PLL CFGEN	保留					PLL_FREF				保留					PLL_NS [8]												
rW	res					rW				res					rW												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
PLL_NS[7:0]					PLL_MS[3:0]				保留			PLL_FR[2:0]															
rW rW res rW																											
位 31	PLLCFGEN: PLL 配置使能 (PLL Configure Enable) 由软件置'1'或清'0' 0: PLL 使用常规整数倍频配置模式, 使用 PLL_FREF 和 PLLMUL 寄存器配置 PLL 1: PLL 使用灵活配置模式, 使用 PLL_MS/PLL_NS/PLL_FR 寄存器值配置 PLL。																										
位 30: 27	保留, 始终读为 0。																										
位 26: 24	PLL_FREF: PLL 输入时钟选择, 仅在 PLLCFGGEN=0 时起作用 000: PLL 使用 3.9 MHz ~ 5 MHz 输入时钟; 001: PLL 使用 5.2 MHz ~ 6.25 MHz 输入时钟; 010: PLL 使用 7.8125 MHz ~ 8.33 MHz 输入时钟; 011: PLL 使用 8.33 MHz ~ 12.5 MHz 输入时钟; 100: PLL 使用 15.625 MHz ~ 20.83 MHz 输入时钟; 101: PLL 使用 20.83 MHz ~ 31.255 MHz 输入时钟; 110: 保留; 111: 保留。																										
位 23: 17	保留, 始终读为 0。																										
位 16: 8	PLL_NS: PLL 倍频系数 PLL_NS 范围 (31~500)																										
位 7: 4	PLL_MS: PLL 预分频系数 PLL_MS 范围 (1~15)																										
位 3	保留, 始终读为 0。																										
位 2: 0	PLL_FR: PLL 后分频配置值 PLL_FR 范围 (0~5) 000: PLL 后分频系数为 1, 1 分频输出; 001: PLL 后分频系数为 2, 2 分频输出; 010: PLL 后分频系数为 4, 4 分频输出; 011: PLL 后分频系数为 8, 8 分频输出; 100: PLL 后分频系数为 16, 16 分频输出; 101: PLL 后分频系数为 32, 32 分频输出; 其他: 保留 请注意 PLL_FR 值和后分频系数对应关系																										

注意: PLL 时钟计算公式

PLL 输出时钟 = PLL 输入时钟 × PLL 倍频系数 / (PLL 预分频系数 × PLL 后分频系数)

500MHz <= PLL 输入时钟 × PLL 倍频系数 / PLL 预分频系数 <= 1000MHz

2MHz <= PLL 输入时钟 / PLL 预分频系数 <= 16MHz

3.3.13 额外寄存器 (RCC_MISC)

偏移地址: 0x30

复位值: 0x0010 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MCOPRE				保留		HSIEN _DIV6	保留		CLK EFC _SR C	保留		CLKOUT[3]			
res				rw		res	res			rw		res		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								HSICAL_KEY[7:0]							
res															

位 31: 28	MCOPRE[3:0]: 微控制器时钟输出预分频值 (Microcontroller clock output pre-divider) 1000: 预分频为 2; 1001: 预分频为 4; 1010: 预分频为 8; 1011: 预分频为 16; 1100: 预分频为 64; 1101: 预分频为 128; 1110: 预分频为 256; 1111: 预分频为 512; Others: 预分频为 1。
位 27: 26	保留, 读操作返回 0
位 25	HSI_DIV_EN: HSI 6 分频使能 (HSI divider 6 enable) 0: HSI 6 分频使能 1: HSI 6 分频不使能
位 24: 21	保留, 读操作返回 0
位 20	CLKEFC_SRC: EFC 时钟来源 (EFC Clock Source) 0: EFC 时钟源是 8M HSI; 1: EFC 时钟源是 HCLK。
位 19: 17	保留, 读操作返回 0
位 16	CLKOUT[3]: 微控制器时钟输出 (Microcontroller clock output) 搭配 RCC_CFG 寄存器位 26:24 使用
位 15: 8	保留, 读操作返回 0
位 7: 0	HSICAL_KEY[7:0]: HSICAL 写入键值。 此字段为 0x5A 时, HSICAL [7:0]才可被写入。

3.3.14 额外寄存器 (RCC_MISC2)

偏移地址: 0x54

复位值: 0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

保留	HSI_SYS_CTRL	HSI_FOR_USB	保留	AUTO_STEP_EN	保留
res	rw	rw	res	rw	res
位 31:10	保留, 读操作返回 0				
位 9	HSI_SYS_CTRL: HSI 作为系统时钟的频率选择位 当 SYSCLKSEL 选择 HSI 为时钟源时, SYSCLK 的频率为 0: 固定是 8Mhz, 即选择 HSI 时钟的 6 分频 1: 根据 HSI_DIV_EN 设定可能为 48M 或 8M				
位 8	HSI_FOR_USB: USB 48M 时钟源选择位 0: USB 48M 时钟源是 PLL 或是其分频 1: USB 48M 时钟源来自 HSI 或是其 6 分频, 由于 USB 必须工作在 48MHz, 此时必须保证 HSI_DIV_EN=1, 使 USB 48MHz 时钟选择 HSI 的 48MHz 输出.				
位 7: 6	保留, 读操作返回 0				
位 5: 4	AUTO_STEP_EN: 自动滑顺频率切换使能 为使切换系统时钟源到 PLL 或是切换 AHB 预分频由大到小时平顺(系统频率由小变大), 建议系统频率操作目标大于 108MHz 时启动自动滑顺频率切换。 当自动滑顺频率切换功能作用时, 硬件会暂停 AHB 总线, 直到整个自动滑顺频率切换完成才恢复。此期间 DMA 仍正常工作, 中断事件会被记忆并待 AHB 总线恢复后 NVIC 即可处理。 00: 关闭自动滑顺频率切换 01: 保留 10: 保留 11: 开启自动滑顺频率切换, 当 AHBPSC 或 SYSCLKSEL 两个寄存器被改动时, 会自动触发自动滑顺频率切换功能				
位 3:0	保留				

4 内嵌闪存控制器 (EFC)

4.1 EFC简介

内嵌的闪存存储器可以用于在线编程 (ICP) 或在程序中编程 (IAP) 烧写。

在线编程 (In-Circuit Programming - ICP) 方式用于更新闪存存储器的全部内容, 它通过 JTAG、SWD 协议或系统加载程序 (Bootloader) 下载用户应用程序到微控制器中。ICP 是一种快速有效的编程方法, 消除了封装和管座的困扰。

与 ICP 方式对应, 在程序中编程 (In-Application Programming - IAP) 可以使用微控制器支持的任一种通信接口 (如 I/O 端口、USB、CAN、UART、I2C、SPI 等) 下载程序或数据到存储器中。IAP 允许用户在程序运行时重新烧写闪存存储器中的内容。然而, IAP 要求至少有一部分程序已经使用 ICP 烧到闪存存储器中。

闪存接口是在 AHB 协议上实现了对指令和数据的访问, 它通过对存储器的预取缓存, 加快了存储器的访问; 闪存接口还实现了在所有工作电压下对闪存编程和擦除所需的逻辑电路, 这里还包括访问和写入保护以及选择字节的控制。

4.2 主要特点

- 256K字节闪存
- 带预取缓冲器的读接口 (4x32位)
- 选择字节加载
- 闪存编程/擦除操作
- 读出/写入保护
- HEX加密保护
- 系统存储器区域作为主存扩展使用

- 密码保护指定范围程序区（安全库区），安全库区包含主存储器区或系统存储器区域
- 32位CRC校验
- 低功耗模式

4.2.1 闪存模块组织

存储器可组织成128个2K字节/页的主存储器块和一个信息块，见表4-1。

存储器可组织成128个1K字节/页的主存储器块和一个信息块，见表4-2。

存储器可组织成64个1K字节/页的主存储器块和一个信息块，见表4-3。

表4-1 256KB闪存模块的组织

块		名称	地址范围	长度(字节)	
主存储器	块 1 256KB	页 0	0x0800 0000 – 0x0800 07FF	2K	
		页 1	0x0800 0800 – 0x0800 0FFF	2K	
		页 2	0x0800 1000 – 0x0800 17FF	2K	
		页 3	0x0800 1800 – 0x0800 1FFF	2K	
		页 4	0x0800 2000 – 0x0800 27FF	2K	
		.	.	.	
		页 127	0x0803 F800 – 0x0803 FFFF	2K	
信息块		启动程序代码 (或主存扩展区)	0x1FFF AC00 – 0x1FFF F3FF	18K	
		用户选择字节	0x1FFF F800 – 0x1FFF FBFF	1K	
闪存存储器 接口寄存器		FLASH_ACR	0x4002 2000 – 0x4002 2003	4	
		FLASH_FCKEY	0x4002 2004 – 0x4002 2007	4	
		FLASH_OPTKEYR	0x4002 2008 – 0x4002 200B	4	
		FLASH_STS	0x4002 200C – 0x4002 200F	4	
		FLASH_CTRL	0x4002 2010 – 0x4002 2013	4	
		FLASH_ADDR	0x4002 2014 – 0x4002 2017	4	
		保留	0x4002 2018 – 0x4002 201B	4	
		FLASH_UOB	0x4002 201C – 0x4002 201F	4	
		FLASH_WRPRT	0x4002 2020 – 0x4002 2023	4	
		保留	0x4002 2024 – 0x4002 2073	80	
		FLASH_CDR0	0x4002 2074 – 0x4002 2077	4	
		FLASH_CDR1	0x4002 2078 – 0x4002 207B	4	
		FSLIB_PSW	0x4002 207C – 0x4002 207F	4	
		FSLIB_PSW_STS	0x4002 2080 – 0x4002 2083	4	
		FLASH_CRC_AR	0x4002 2084 – 0x4002 2087	4	
		FLASH_CRC_CTRL	0x4002 2088 – 0x4002 208B	4	
		FLASH_CRC_OUTR	0x4002 208C – 0x4002 208F	4	
		保留	0x4002 2090 – 0x4002 215F	208	
		FSLIB_SET_PSW	0x4002 2160 – 0x4002 2163	4	
		FSLIB_SET_RANGE	0x4002 2164 – 0x4002 2167	4	
		SYS_MEM_SLIB_SET	0x4002 2168 – 0x4002 216B	4	
		SYS_MEM_BOOT_DIS_SET	0x4002 216C – 0x4002 216F	4	
		FSLIB_KEYR	0x4002 2170 – 0x4002 2173	4	

表4-2 128KB闪存模块的组织

块	名称	地址范围	长度(字节)
---	----	------	--------

主存储器	块 1 128KB	页 0	0x0800 0000 – 0x0800 03FF	1K	
		页 1	0x0800 0400 – 0x0800 07FF	1K	
		页 2	0x0800 0800 – 0x0800 0BFF	1K	
		页 3	0x0800 0C00 – 0x0800 0FFF	1K	
		页 4	0x0800 1000 – 0x0800 13FF	1K	
		.	.	.	
		页 127	0x0801FC00 – 0x0801FFFF	1K	
信息块		启动程序代码 (或主存扩展区)	0x1FFF AC00 – 0x1FFF F3FF	18K	
		用户选择字节	0x1FFF F800 – 0x1FFF FBFF	1K	
闪存存储器 接口寄存器		FLASH_ACR	0x4002 2000 – 0x4002 2003	4	
		FLASH_FCKEY	0x4002 2004 – 0x4002 2007	4	
		FLASH_OPTKEYR	0x4002 2008 – 0x4002 200B	4	
		FLASH_STS	0x4002 200C – 0x4002 200F	4	
		FLASH_CTRL	0x4002 2010 – 0x4002 2013	4	
		FLASH_ADDR	0x4002 2014 – 0x4002 2017	4	
		保留	0x4002 2018 – 0x4002 201B	4	
		FLASH_UOB	0x4002 201C – 0x4002 201F	4	
		FLASH_WRPRT	0x4002 2020 – 0x4002 2023	4	
		保留	0x4002 2024 - 0x4002 2073	80	
		FLASH_CDR0	0x4002 2074 - 0x4002 2077	4	
		FLASH_CDR1	0x4002 2078 - 0x4002 207B	4	
		FSLIB_PSW	0x4002 207C - 0x4002 207F	4	
		FSLIB_PSW_STS	0x4002 2080 - 0x4002 2083	4	
		FLASH_CRC_AR	0x4002 2084 - 0x4002 2087	4	
		FLASH_CRC_CTRL	0x4002 2088 - 0x4002 208B	4	
		FLASH_CRC_OUTR	0x4002 208C - 0x4002 208F	4	
		保留	0x4002 2090 - 0x4002 215F	208	
		FSLIB_SET_PSW	0x4002 2160 - 0x4002 2163	4	
		FSLIB_SET_RANGE	0x4002 2164 - 0x4002 2167	4	
		SYS_MEM_SLIB_SET	0x4002 2168 - 0x4002 216B	4	
		SYS_MEM_BOOT_DIS_SET	0x4002 216C - 0x4002 216F	4	
		FSLIB_KEYR	0x4002 2170 - 0x4002 2173	4	

表4-3 64KB闪存模块的组织

块	名称	地址范围	长度 (字节)
主存储器	页 0	0x0800 0000 – 0x0800 03FF	1K
	页 1	0x0800 0400 – 0x0800 07FF	1K
	页 2	0x0800 0800 – 0x0800 0BFF	1K
	页 3	0x0800 0C00 – 0x0800 0FFF	1K
	页 4	0x0800 1000 – 0x0800 13FF	1K
	.	.	.
	页 63	0x0800 FC00 – 0x0800 FFFF	1K
信息块		启动程序代码 (或主存扩展区)	18K

	用户选择字节	0x1FFF F800 – 0x1FFF FBFF	1K
闪存存储器 接口寄存器	FLASH_ACR	0x4002 2000 – 0x4002 2003	4
	FLASH_FCKEY	0x4002 2004 – 0x4002 2007	4
	FLASH_OPTKEYR	0x4002 2008 – 0x4002 200B	4
	FLASH_STS	0x4002 200C – 0x4002 200F	4
	FLASH_CTRL	0x4002 2010 – 0x4002 2013	4
	FLASH_ADDR	0x4002 2014 – 0x4002 2017	4
	保留	0x4002 2018 – 0x4002 201B	4
	FLASH_UOB	0x4002 201C – 0x4002 201F	4
	FLASH_WRPRT	0x4002 2020 – 0x4002 2023	4
	保留	0x4002 2024 – 0x4002 2073	80
	FLASH_CDR0	0x4002 2074 - 0x4002 2077	4
	FLASH_CDR1	0x4002 2078 - 0x4002 207B	4
	FSLIB_PSW	0x4002 207C - 0x4002 207F	4
	FSLIB_PSW_STS	0x4002 2080 - 0x4002 2083	4
	FLASH_CRC_AR	0x4002 2084 - 0x4002 2087	4
	FLASH_CRC_CTRL	0x4002 2088 - 0x4002 208B	4
	FLASH_CRC_OUTR	0x4002 208C - 0x4002 208F	4
	保留	0x4002 2090 - 0x4002 215F	208
	FSLIB_SET_PSW	0x4002 2160 - 0x4002 2163	4
	FSLIB_SET_RANGE	0x4002 2164 - 0x4002 2167	4
	SYS_MEM_SLIB_SET	0x4002 2168 - 0x4002 216B	4
	SYS_MEM_BOOT_DIS_SET	0x4002 216C - 0x4002 216F	4
	FSLIB_KEYR	0x4002 2170 - 0x4002 2173	4

闪存存储器被组织成 32 位宽的存储器单元，可以存放代码和数据常数。每一个 AT32F415 微控制器的闪存模块都有一个特定的启始地址。

信息块分为两个部分：

- 系统存储器用于存放在系统存储器自举模式下的启动程序，这个区域只保留给 Artery 使用，启动程序使用 USART1, USART2 或 OTG FS device 模式 (DFU) 实现对闪存存储器的烧写；AT 在生产线上对这个区域烧写并锁定以防止用户擦写，另外还可以把系统存储器做为用户代码区使用。
- 选择字节

对主存储器和信息块的写入由内嵌的闪存烧写/擦除控制器 (FPEC) 管理；烧写与擦除的高电压由内部产生。

闪存存储器有两种保护方式防止非法的访问（读、写、擦除）：

页写入保护。

读出保护。（详情请参考 [4.3.3 节](#)）

在执行闪存写操作时，任何对闪存的读操作都会锁住总线，在写操作完成后读操作才能正确地进行；即在进行写或擦除操作时，不能进行代码或数据的读取操作。

进行闪存操作时（写或擦除），必须打开内部的 RC 振荡器（HSI）。闪存存储器可以用 ICP 或 IAP 方式烧写。

注意：在低功耗模式下，所有闪存存储器的操作都被中止。

4.3 功能描述

4.3.1 读操作

内置闪存模块可以在通用地址空间直接寻址，任何 8/16/32 位数据的读操作都能访问闪存模块的内容并得到相应的数据。

读接口在闪存端包含一个读控制器，还包含一个 AHB 接口与 CPU 衔接。这个接口的主要工作是产生读闪存的控制信号并预取 CPU 要求的指令块，预取指令块仅用于在 I-Code 总线上的取指操作，数据常量是通过 D-Code 总线访问的。这两条总线的访问目标是相同的闪存模块，访问 D-Code 将比预取指令优先级高。

4.3.1.1 取指令

Cortex™-M4 在 I-Code 总线上取指令，在 D-Code 总线上取数据。预取指令块可以有效地提高对 I-Code 总线访问的效率。

预取缓冲器包含两个数据块，每个数据块有 16 个字节；预取指令（数据）块直接映像到闪存中，因为数据块的大小与闪存的宽度相同，所以读取预取指令块可以在一个读周期完成。

设置预取缓冲器可以使 CPU 更快地执行，CPU 读取一个字的同时下一个字已经在预取缓冲器中等候，即当代码跳转的边界为 16 字节的倍数时，闪存的加速比例为 2。

预取控制器根据预取缓冲器中可用的空间决定是否访问闪存，预取缓冲器中有至少一块的空余空间时，预取控制器则启动一次读操作。

清除闪存访问控制寄存器中的一个控制位能够关闭预取缓冲器。芯片复位后预取缓冲器处于开启状态。

注意：当 AHB 时钟的预分频系数不为‘1’时，必须打开预取缓冲器（FLASH_ACR[4]=1）。

如果在系统中没有高频率的时钟，即 HCLK 频率较低时，闪存的访问只需半个 HCLK 周期（半周期的闪存访问只能在时钟频率低于 8MHz 时进行，使用 HSI 或 HSE 并且关闭 PLL 时可得到这样的频率）；在闪存访问控制寄存器中有一个控制位可以选择这种工作方式。

注意：当使用了预取缓冲器和 AHB 时钟的预分频系数不为‘1’时，不能使用半周期访问方式。

访问时间调节器为了维持读闪存的控制信号，预取控制器的时钟周期与闪存访问时间的比例由闪存访问控制寄存器控制；这个值给出了能够正确地读取数据时，闪存控制信号所需的时钟周期数目；芯片复位后，该值为‘0’，闪存访问仅为一个时钟周期。

4.3.1.2 D-Code 接口

D-Code 接口包含 CPU 端简单的 AHB 接口和对闪存访问控制器的仲裁器提出访问请求的逻辑电路。D-Code 的访问优先于预取指令的访问。这个接口使用预取缓冲器的访问时间调节器模块。

4.3.1.3 闪存访问控制器

这个模块就是在 I-Code 上的指令预取请求和 D-Code 接口上读请求的仲裁器。D-Code 接口的请求优先于 I-Code 的请求。

4.3.2 闪存编程和擦除控制器（FPEC）

FPEC 模块处理闪存的编程和擦除操作，它包括 7 个 32 位的寄存器，只要 CPU 不访问闪存，闪存操作不会延缓 CPU 的执行。

- FPEC键寄存器（FLASH_FKEY）
- 选择字节键寄存器（FLASH_OPTKEYR）
- 闪存状态寄存器（FLASH_STS）
- 闪存控制寄存器（FLASH_CTRL）
- 闪存地址寄存器（FLASH_ADDR）
- 选择字节寄存器（FLASH_UOB）
- 写保护寄存器（FLASH_WRPRT）

4.3.2.1 键值

共有三个键值：

- RDPRTEN 键 = 0x00A5
- KEY1 = 0x45670123
- KEY2 = 0xCDEF89AB

4.3.2.2 解除闪存锁

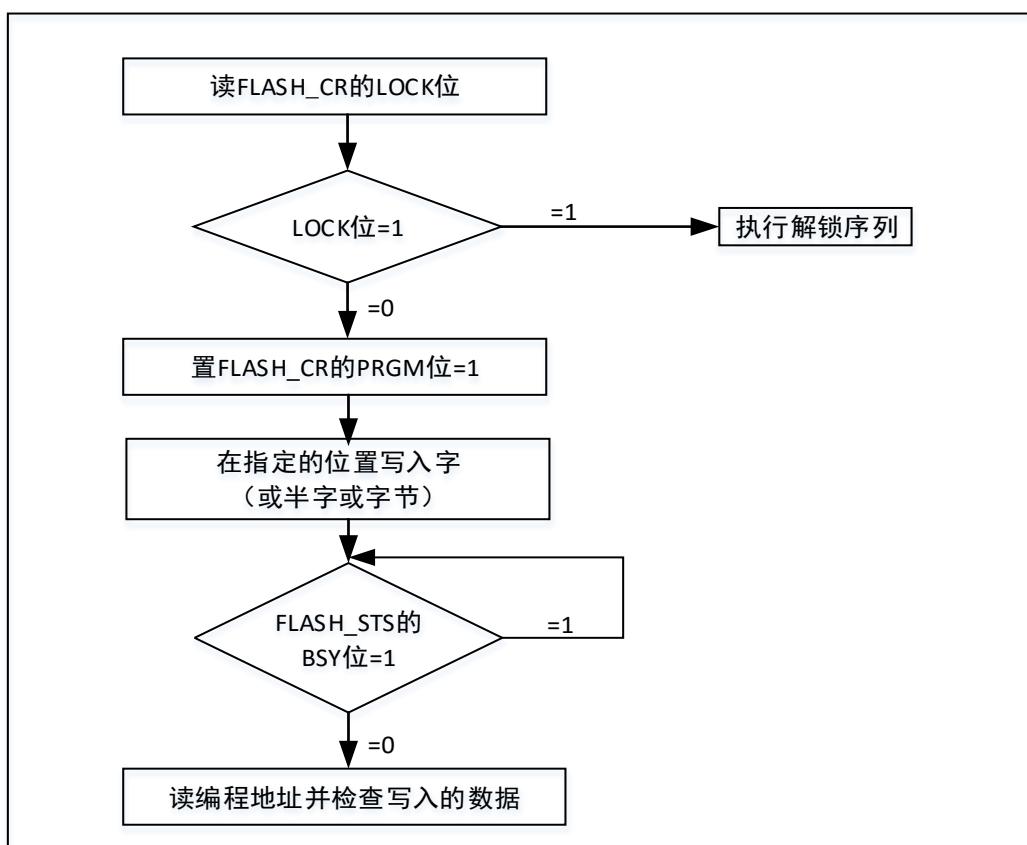
复位后，FPEC 模块是被保护的，不能写入 FLASH_CTRL 寄存器；通过写入特定的序列到 FLASH_FKEY 寄存器可以打开 FPEC 模块，这个特定的序列是在 FLASH_FKEY 写入两个键值（KEY1 和 KEY2，见 4.3.2.1 节）；错误的操作序列都会在下次复位前锁死 FPEC 模块和 FLASH_CTRL 寄存器。

写入错误的键序列还会产生总线错误；总线错误发生在第一次写入的不是 KEY1，或第一次写入的是 KEY1 但第二次写入的不是 KEY2 时；FPEC 模块和 FLASH_CTRL 寄存器可以由程序设置 FLASH_CTRL 寄存器中的 LOCK 位锁住，这时可以通过在 FLASH_FKEY 中写入正确的键值对 FPEC 解锁。

4.3.2.3 主闪存编程

对主闪存编程每次可以写入 32,16 或 8 位。当 FLASH_CTRL 寄存器的 PRGM 位为‘1’时，在一个闪存地址写入一个字(或半字或字节)将启动一次编程。在编程过程中（BSY 位为‘1’），任何读写闪存的操作都会使 CPU 暂停，直到此次闪存编程结束。

图 4-1 编程过程



标准编程

这种模式下 CPU 以标准的写数据的方式烧写闪存，FLASH_CTRL 寄存器的 PRGM 位必须置‘1’。FPEC 先读出指定地址的内容并检查它是否被擦除，如未被擦除则不执行编程并在 FLASH_STS 寄存器的 PRGMFLR 位提出警告（唯一的例外是当要烧写的数值是 0 时，0 可被正确烧入且 PRGMFLR 位不被置位）；如果指定的地址在 FLASH_WRPRT 中设定为写保护，则不执行编程并在 FLASH_STS 寄存器的 WRPTFLR 位置‘1’提出警告。FLASH_STS 寄存器的 PRCDN 为‘1’时表示编程结束。

标准的闪存编程顺序如下：

- 检查FLASH_STSx寄存器的BSY位，以确认没有其他正在进行的编程操作；
- 设置FLASH_CTRLx寄存器的PRGM位为'1'；
- 在指定的地址写入要编程的数据；
- 等待BSY位变为'0'；
- 读出写入的地址并验证数据。

注意：当FLASH_STSx寄存器的BSY位为'1'时，不能对任何寄存器执行写操作。

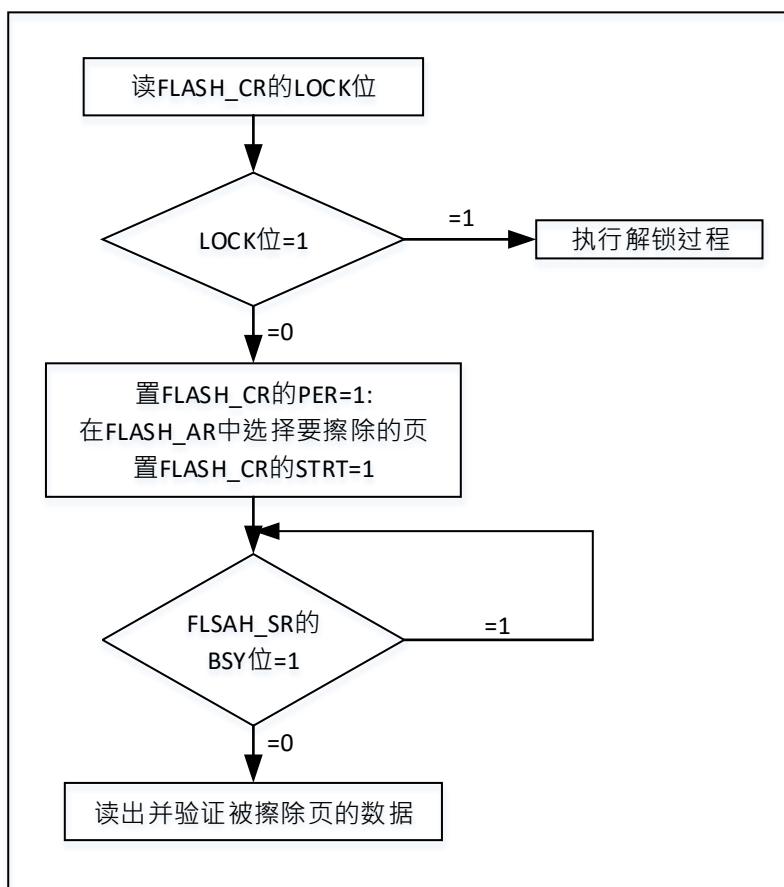
4.3.2.4 闪存擦除

闪存可以按页擦除，也可以整片擦除。作为主存扩展区的系统存储器区域的页擦除实际为整个系统存储器区域擦除。如果系统存储器区域作为主存扩展区，则整片擦除包括主存擦除和系统存储器区域擦除。

闪存的任何一页都可以通过FPEC的页擦除功能擦除；擦除一页应遵守下述过程：

- 检查FLASH_STSx寄存器的BSY位，以确认没有其他正在进行的闪存操作；
- 设置FLASH_CTRLx寄存器的PGERS位为'1'；
- 用FLASH_ADDRx寄存器选择要擦除的页；
- 设置FLASH_CTRLx寄存器的RSTR位为'1'；
- 等待BSY位变为'0'；
- 读出被擦除的页并做验证。

图4-2 闪存页擦除过程

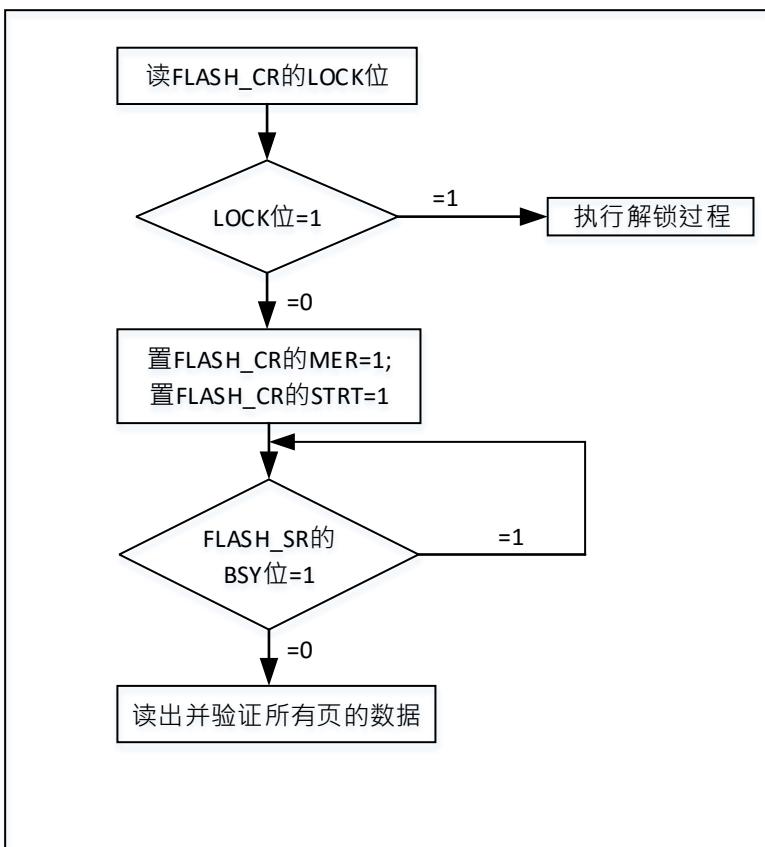


整片擦除

可以用整片擦除功能擦除所有用户区的闪存，信息块不受此操作影响。建议使用下述过程：

- 检查FLASH_STS寄存器的BSY位，以确认没有其他正在进行的闪存操作；
- 设置FLASH_CTRL寄存器的CHPERS位为‘1’；
- 设置FLASH_CTRL寄存器的RSTR位为‘1’；
- 等待BSY位变为‘0’；
- 读出所有页并做验证。

图4-3 闪存整片擦除过程



4.3.2.5 选择字节编程

对选择字节的编程与普通的用户地址不同。选择字节的数目只有 512 个字节（4 个字节作为写保护，1 个字节作为读保护，1 个字节为配置选项，506 个字节存储用户数据）。对 FPEC 解锁后，必须分别写入 KEY1 和 KEY2（见 4.3.2.1 节）到 FLASH_OPTKEYR 寄存器，FLASH_CTRL 寄存器的 UOBWE 位会被设置为‘1’，此时可以对选择字节进行编程：设置 FLASH_CTRL 寄存器的 UOBPRGM 位为‘1’ 后写入半字到指定的地址。

FPEC 先读出指定地址的选择字节内容并检查它是否已经被擦除，如未被擦除则不执行编程并在 FLASH_STS 寄存器的 WRPRTFLR 位提出警告。FLASH_STS 寄存器的 PRCDN 为‘1’ 时表示编程结束。

FPEC 使用半字中的低字节并自动地计算出高字节（高字节为低字节的反码），并开始编程操作，这将保证选择字节和它的反码始终是正确的。

烧写编程的顺序如下：

- 检查FLASH_STS寄存器的BSY位，以确认没有其他正在进行的编程操作；
- 解锁FLASH_CTRL寄存器的UOBWE位；
- 设置FLASH_CTRL寄存器的UOBPRGM位为‘1’；
- 写入要编程的半字到指定的地址；
- 等待BSY位变为‘0’；

- 读出写入的地址并验证数据。

当读闪存保护选项从“保护”变为“未保护”时，在重新设置读保护选项前会自动执行一个整片擦除用户闪存的操作。如果用户要改变读保护之外的选项，则不会出现整片擦除操作。读保护选项上的这一擦除操作保护了闪存中的内容不被非法读出。

擦除过程

选择字节的擦除操作顺序（OPTERASE）如下：

- 检查FLASH_STS寄存器的BSY位，以确认没有其他正在进行的闪存操作；
- 解锁FLASH_CTRL寄存器的UOBWE位；
- 设置FLASH_CTRL寄存器的UOBERS位为'1'；
- 设置FLASH_CTRL寄存器的RSTR位为'1'；
- 等待BSY位变为'0'；
- 读出被擦除的选择字节并做验证。

4.3.3 保护

闪存中的用户代码区开启读保护可以防止非法的读出；同样可以对闪存区的页加以写保护，防止在程序跑飞的情况下不被意外地改变，写保护的基本单位为1页。

4.3.3.1 写保护

写保护是以每1页为单位的，通过操作选择字节中的WRPRTBMPx字节实现。

如果试图在一个受保护的页面进行编程或擦除操作，在闪存状态寄存器（FLASH_STS）中会返回一个保护错误标志。

解除写保护操作顺序如下：

- 使用闪存控制寄存器（FLASH_CTRL）的UOBERS位擦除整个选择字节区域；
- 写入正确的RDP代码0xA5，允许读访问；
- 进行系统复位，重装载选择字节（包含新的WRPRTBMP[3: 0]字节）；写保护被解除。

4.3.3.2 读保护

读保护是通过设置RDP选择字节启动的，并通过系统复位加载RDP选择字节。当保护字节被写入相应的值以后，实施下述保护：

- 只允许从用户代码中对主闪存存储器的读操作（以非调试方式从主闪存存储器启动）。
- 第0~1页被自动加上了写保护，其它部分的存储器可以通过在主闪存存储器中执行的代码进行编程（实现IAP或数据存储等功能），但不允许在调试模式下或在从内部SRAM启动后执行写或擦除操作（整片擦除除外）。

注意：若是系统存储器区域是用于存放用户代码，则系统存储器区域作为主闪存存储区的扩展，支持读保护功能

所有通过JTAG/SWD向内置SRAM装载代码并执行代码的功能依然有效，亦可以通过JTAG/SWD从内置SRAM启动，这个功能可以用来解除读保护。当读保护的选择字节转变为存储器未保护的数值时，将会执行整片擦除过程。

当RDP选择字节和它的反码包含下列数值对时，闪存被置于保护状态：

表4-4 闪存存储器保护状态

RDP字节的值	RDP反码的值	读保护状态
任意值	非RDP字节的反码	低级保护
0xCC	0x33	RDP使能及选择字节误擦除保护
0xA5	0x5A	未保护

任意值	非 RDP 字节的反码	保护
-----	-------------	----

图 4-4 读保护等级切换状态图

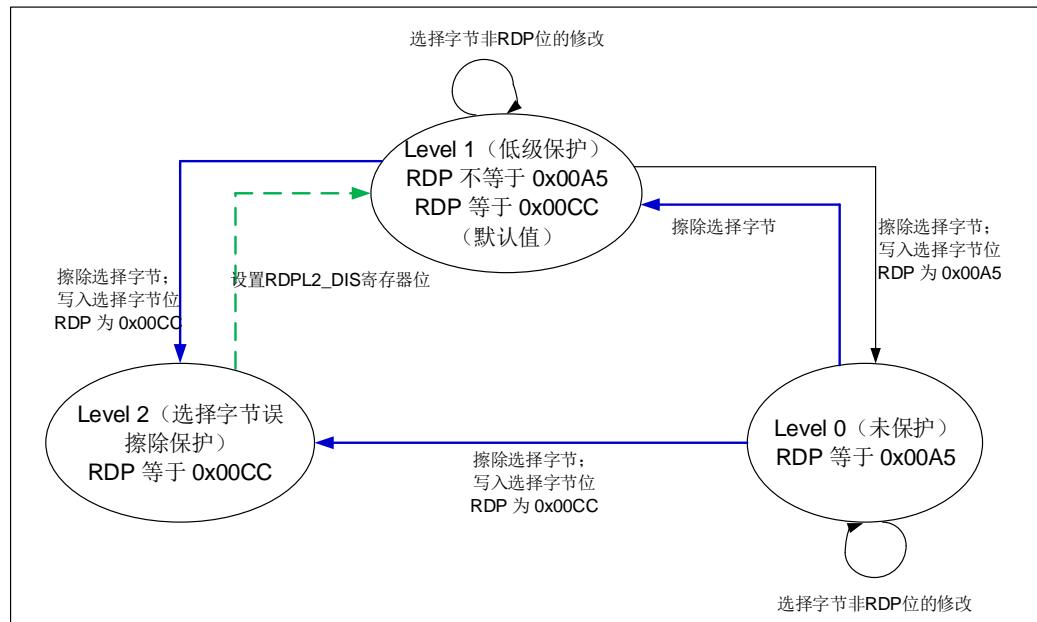


表 4-5 读保护等级切换说明

主存区域	保护等级	调试模式, 或从 SRAM 启动模式			从主存启动或是从程序启动代码区启动		
		读	写	擦除	读	写	擦除
用户代码	低级保护	禁止		禁止(1)		允许	
	RDP 使能及 选择字节误 擦除保护		禁止			允许	
选择字节区	低级保护	禁止		允许		允许	
	RDP 使能及 选择字节误 擦除保护		禁止	禁止(2)	禁止		禁止(2)

(1) 用户代码只会在解除读保护时被硬件自动擦除

(2) 选择字节只能通过设置寄存器位 RDPL2_DIS 被硬件自动擦除

注意：擦除选择字节块将不会导致自动的整片擦除操作，因为擦除的结果 `0xFF` 相当于保护状态。

解除 RDP 使能及选择字节误擦除保护的过程是：

- 设置寄存器位 RDPL2_DIS；
- 等待 BSY 位变为 ‘0’；
- 读出被擦除的选择字节并做验证；
- 进行复位（任意复位）以重新加载选择字节（和新的 RDP 代码），此时 RDP 使能及选择字节误擦除保护被解除，低级保护被设定。

解除低级读保护的过程是：

- 擦除整个选择字节区域，读保护码（RDP）将变为 `0xFF`，此时读保护仍然有效；
- 写入正确的 RDP 代码 `0xA5` 以解除存储器的保护，该操作将首先导致对所有用户闪存的整片擦除操作；
- 进行复位（任意复位）以重新加载选择字节（和新的 RDP 代码），此时读保护被解除。

注意：可以使用系统启动程序解除读保护（此时只需执行系统复位即可重新加载选择字节）。

4.3.3.3 选择字节块写保护

默认状态下，选择字节块始终是可以读且被写保护。要想对选择字节块进行写操作（编程/擦除）首先要在 OPTKEYR 中写入正确的键序列（与上锁时一样），随后允许对选择字节块的写操作，FLASH_CTRL 寄存器的 UOBWE 位标示允许写，清除这位将禁止写操作。

4.3.4 选择字节说明

选择字节共有 512 个字节，由用户根据应用的需要配置；例如：可以选择使用硬件模式的看门狗或软件的看门狗。

在选择字节中每个 32 位的字被划分为下述格式：

表 4-6 选择字节格式

位 31~24	位 23~16	位 15~8	位 7~0
选择字节 1 的反码	选择字节 1	选择字节 0 的反码	选择字节 0

选择字节块中选择字节的组织结构如下：

表 4-7 信息块的组织结构

地址	[31: 24]	[23: 16]	[15: 8]	[7: 0]
0xFFFF_F800	uUSER	USER	nRDP	RDP
0xFFFF_F804	nData1	Data1	nData0	Data0
0xFFFF_F808	nWRP1	WRP1	nWRP0	WRP0
0xFFFF_F80C	nWRP3	WRP3	nWRP2	WRP2
0xFFFF_F810	nData3	Data3	nData2	Data2
0xFFFF_F814	nData5	Data5	nData4	Data4
...
0xFFFF_FBFC	nData505	Data505	nData504	Data504

表 4-8 用户选择字节说明

RDP: 读出保护选择字节（读保护设定结果存放在寄存器 FLASH_UOB[1]以及[26]） 读出保护功能帮助用户保护存在闪存中的代码。该功能由设置信息块中的一个选择字节启用。写入正确的数值（RDPRTE 键=0x00A5）到这个选择字节后，闪存被开放允许读出访问。 注意： 1) 写入数值 0x00CC 到这个选择字节后，将启动 RDP 使能及选择字节误擦除保护功能，闪存将被禁止读出访问，并且选择字节也将禁止更改。 2) 写入数值非 0x00A5 以及非 0x00CC 到这个选择字节后，将启动低级闪存读保护功能，闪存将被禁止读出访问。	
USR: 用户选择字节（存放在寄存器 FLASH_UOB[9:2]） 这个字节用于配置下列功能：	
- 选择看门狗事件：硬件或软件 - 进入停机（STOP）模式时的复位事件 - 进入待机模式时的复位事件	
位 23: 19	0x1F: 不用
位 18	nRST_STDBY 0: 当进入待机模式时产生复位 1: 进入待机模式时不产生复位
位 17	nRST_STOP 0: 当进入停机（STOP）模式时产生复位 1: 进入停机（STOP）模式时不产生复位
位 16	WDG_SW 0: 硬件看门狗 1: 软件看门狗

Datax: 2个字节的用户数据
这个地址可以使用选择字节的编程方式编程。

Data505: 用户数据 505
Data504: 用户数据 504
...

Data3: 用户数据 3
Data2: 用户数据 2
Data1: 用户数据 1 (存放在寄存器 FLASH_UOB[25:18])
Data0: 用户数据 0 (存放在寄存器 FLASH_UOB[17:10])

WRPRTBMPx: 闪存写保护选择字节 (存放在寄存器 FLASH_WRPRT)

选择字节 WRPRTBMPx 中的每一个比特位用于保护主存储器中 2 个存储页 (64K 字节, 128K 字节闪存, 1K 字节/页; 256K 字节闪存, 2K 字节/页), 但是 WRPRTBMP3 的位 7 用于保护第 62~63 页 (64K 字节闪存) 或者 62~127 页 (128K 字节, 256K 字节闪存) 以及当系统存储器区域作为主存扩展区存放用户代码时也受此位保护:

0: 实施写保护

1: 不实施写保护 四个用户选择字节用于保护总共 256K 字节的主存储器。

WRPRTBMP0: 第 0~15 页的写保护 (存放在寄存器 FLASH_WRPRT[7:0])

WRPRTBMP1: 第 16~31 页的写保护 (存放在寄存器 FLASH_WRPRT[15:8])

WRPRTBMP2: 第 32~47 页的写保护 (存放在寄存器 FLASH_WRPRT[23:16])

WRPRTBMP3: 位 0~6 提供第 48~61 页的写保护; 位 7 提供第 62~63 页的写保护(64K 字节闪存), 位 7 提供第 62~127 页的写保护(128K 字节,256K 字节闪存) (存放在寄存器 FLASH_WRPRT[31:24])

每次系统复位后, 选择字节装载器读出信息块的数据并保存在寄存器中; 每个选择位都在信息块中有它的反码位, 在装载选择位时反码位用于验证选择位是否正确, 如果有任何的差别, 将产生一个选择字节错误标志 (UOBFLLR)。当发生选择字节错误时, 对应的选择字节被强置为 0xFF。当选择字节和它的反码均为 0xFF 时 (擦除后的状态) ——关闭上述验证功能。

所有的选择位 (不包括它们的反码位) 用于配置该微控制器, CPU 可以读选择寄存器, 详见第 4.4 章 寄存器说明。

4.3.5 特殊功能

4.3.5.1 安全库区设定

设定以密码保护指定范围的程序区, 即安全库区, 此区域仅能被执行, 无法读取 (I-Code 总线除外) 或删除, 除非输入指定密码。安全库区划分为指令安全库区与数据安全库区, 并可选部分或是整个安全库区存放指令, 但不支持整个安全库区存放数据。

设定安全库区的益处:

以密码保护安全库区, 方案商可刻录核心算法到此区域

安全库区仅能执行, 无法被读取, 除非输入方案商指定密码, 也无法删除 (包含 ISP/IAP/SWD)
其余空白程序区可以提供给方案商客户进行二次开发

方案商可以藉由安全库功能销售核心算法, 不需要每个客户都开发完整方案.

设定安全库区, 可防止蓄意破坏或更改终端产品应用程序代码.

注意:

安全库区代码必须以 1 页为单位进行烧录, 并且起始地址与主存 (或系统存储器区) 地址对齐;

仅允许 I-Code 总线读取指令安全库区;

仅允许 D-Code 总线读取数据安全库区;

写入或擦除安全库区代码, 将在 FLASH_STS 寄存器的 WRPRTFLR 位置'1' 提出警告。

默认状态下, 安全库区设定寄存器始终是不可读且被写保护。要想对安全库区设定寄存器进行写操作, 首先要对安全库区解锁, 对 SLIB_KEYR 寄存器写入 0xA35F6D24 值, 通过查看 SLIB_PSW_STS 位 SLIB_UNLOCK 确认解锁成功, 随后允许对安全库区设定寄存器写入设定值。

启动主存安全库区的过程如下:

- 检查 FLASH_STS 寄存器的 BSY 位, 以确认没有其他正在进行的编程操作;
- 对 SLIB_KEYR 寄存器写入 0xA35F6D24, 以进行安全库区解锁;

- 检查SLIB_PSW_STS寄存器的SLIB_UNLOCK位，以确认解锁成功；
- 如果将安全库区设在主存内，则在SLIB_SET_RANGE寄存器设定要保护的区域，包含指令区与数据区的地址。如果将安全库区设在系统存储器区，则设定SYS_MEM_SLIB_SET寄存器；（只能将主存和系统存储器区二者之一设为安全库区，不能同时设为安全库区）
- 等待BSY位变为'0'；
- 在SLIB_SET_PSW寄存器设定安全区域密码；
- 等待BSY位变为'0'；
- 烧录将存入安全库区的代码；
- 进行系统复位，重装载安全库区设定字；
- 读出SLIB_CDR0/CDR1寄存器用于判断安全库区设定结果。

解除安全库区的过程是：

- 在SLIB_PSW寄存器写入先前设置的安全区域密码；
- 等待BSY位变为'0'；
- 进行系统复位，重装载安全库区设定字；
- 读出SLIB_CDR0寄存器用于判断安全库区设定结果。

注意：解除安全库区将会执行主存的整片擦除，以及安全库设定块擦除。

4.3.5.2 系统存储器区域作为主存扩展使用

用户只有一次机会将系统存储器区域作为主存扩展使用。设定系统存储器区域作为主存扩展使用的过程是：

- 用户读取FLASH_CDR0的位0，获知系统存储器区域当前的角色
- 对SLIB_KEYR寄存器写入0xA35F6D24，以进行系统存储器区域设定解锁
- 写非0xff到BOOT_DIS_SET寄存器的位7-0
- 等待BSY位变为'0'；
- 进行系统复位，重装载设定字；
- 读出SLIB_CDR0寄存器用于判断设定结果。

4.3.5.3 CRC校验

以页为单位对安全库区代码或以HEX加密用户代码进行可选的CRC校验。

校验过程如下：

- 检查FLASH_STS寄存器的BSY位，以确认没有其他正在进行的编程操作；
- 在FLASH_CRC_AR寄存器设定要校验的代码起始地址；
- 在FLASH_CRC_CTRL寄存器位15~位0，设定要校验的代码长度（单位是1页）；
- 在FLASH_CRC_AR寄存器设置位16，启动CRC校验；
- 等待BSY位变为'0'；
- 读出FLASH_CRC_OUTR寄存器用于判断CRC校验结果。

注意：

FLASH_CRC_AR寄存器设定值必须与页起始地址对齐；

不允许跨主存（或是跨启动程序代码区）的CRC校验。

4.4 EFC寄存器

表 4-9 闪存接口一寄存器映像和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x00	FLASH_ACR	保留																									PRFTBS	PRFTBE	HFLCYA	LATENCY[2:0]	0				
		1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									
0x04	FLASH_FCKEY	KEY[31: 0]																																	
		x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
0x08	FLASH_OPTKEYR	OPTKEYR[31: 0]																																	
		x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
0x0C	FLASH_STS	保留																																	
		1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0x10	FLASH_CTRL	保留												PRCDNI	保留	ERRIE	UOBWE	保留	LOCK	RSTR	UOBERS	PRCDN	WRPRTFLR	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
		0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x14	FLASH_ADDR	TA[31: 0]																																	
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x18		保留																																	
0x1C	FLASH_UOB	保留				Data1						Data0						未使用				BTOPT	nSTDBY_RST	nSTP_RST	SYSCLKSEL_WD	RDPTEN	UBOFLR	SYSMEM_BOOT_DL	SYSMEM_BOOT_EN	SYSMEM_BOOT_WRPRT	SYSMEM_BOOT_WD	BSY			
		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1			
0x20	FLASH_WRPRT	WRPRTBMP[31: 0]																																	
		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1			
0x74	FLASH_CDR0	保留																																	
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x78	FLASH_CDR1	FSLIB_AR_BLK[31: 0]																																	
		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1			

4.4.1 闪存访问控制寄存器（FLASH_ACR）

地址偏移: 0x00

复位值: 0x0000 0030

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留										PRF TBS	PRF TBE	HLF CYA	LATENCY		
res										R	RW	RW	RW	RW	RW

位 31~6	保留。必须保持为清除状态'0'
位 5	PRFTBS: 预取缓冲区状态 该位指示预取缓冲区的状态 0: 预取缓冲区关闭; 1: 预取缓冲区开启。
位 4	PRFTBE: 预取缓冲区使能 0: 关闭预取缓冲区; 1: 启用预取缓冲区。
位 3	HLFCYA: 闪存半周期访问使能 0: 禁止半周期访问; 1: 启用半周期访问。
位 2~0	LATENCY: 时延 这些位表示 SYSCLK (系统时钟) 周期与闪存访问时间的比例 000: 零等待状态, 当 $0 < \text{SYSCLK} \leq 32\text{MHz}$ 001: 一个等待状态, 当 $32\text{MHz} < \text{SYSCLK} \leq 64\text{MHz}$ 010: 两个等待状态, 当 $64\text{MHz} < \text{SYSCLK} \leq 96\text{MHz}$ 011: 三个等待状态, 当 $96\text{MHz} < \text{SYSCLK} \leq 128\text{MHz}$ 100: 四个等待状态, 当 $128\text{MHz} < \text{SYSCLK} \leq 150\text{MHz}$

4.4.2 FPEC键寄存器 (**FLASH_FCKEY**)

专用于闪存主存区域以及当系统存储器区域作为主存的扩展。

地址偏移: 0x04

复位值: xxxx xxxx

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31: 16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15: 0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

注意：所有这些位是只写的，读出时返回 0。

位 31~0	KEY: FPEC 键 这些位用于输入 FPEC 的解锁键。
--------	--

4.4.3 闪存OPTKEY寄存器 (**FLASH_OPTKEYR**)

地址偏移: 0x08

复位值: xxxx xxxx

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPTKEYR[31: 16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTKEYR[15: 0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

注意 所有这些位是只写的，读出时返回 0

位 31~0

OPTKEYR: 选择字节键
这些位用于输入选择字节的键以解除 **UOBWE**。

4.4.4 闪存状态寄存器 (FLASH_STS)

专用于闪存区块 1。

地址偏移: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
RES															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															
RES RW RW RW RW RW R															

位 31~6	保留。必须保持为清除状态'0'
位 5	PRCDN: 操作结束 当闪存操作（编程/擦除）完成时，硬件设置这位为'1'，写入'1'可以清除这位状态。 注：每次成功的编程或擦除都会设置 PRCDN 状态。
位 4	WRPRTFLR: 写保护错误 尝试对写保护的闪存地址编程时，硬件设置这位为'1'，写入'1'可以清除这位状态。
位 3	保留。必须保持为清除状态'0'
位 2	PRGMFLR: 编程错误 尝试对内容不是'0xFFFF'的地址编程时，硬件设置这位为'1'，写入'1'可以清除这位状态。 注：进行编程操作之前，必须先清除 FLASH_CTRL 寄存器的 RSTR 位。
位 1	保留。必须保持为清除状态'0'
位 0	BSY: 繁忙标志 该位指示闪存操作正在进行。在闪存操作开始时，该位被设置为'1'；在操作结束或发生错误时该位被清除为'0'。

4.4.5 闪存控制寄存器 (FLASH_CTRL)

专用于闪存主存区块以及用户选择字节。

地址偏移: 0x10

复位值: 0x0000 0080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															RDPL2_DIS
res															WO
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	PRC DNIE	保 留	ER RIE	UOB WE	保 留	LOCK	RSTR	UOB ERS	UOBP RGM	保 留	CHP ERS	PGE RS	PR GM		
res	RW	res	RW	RW	res	RW	RW	RW	RW	res	RW	RW	RW		
位 31~17		保留。必须保持为清除状态'0'													

位 16	RDPL2_DIS: 解除 RDP 使能及选择字节误擦除保护 设置该位，将触发硬件自动对选择字节做擦除，复位后将解除 RDP 使能及选择字节误擦除保护，维持低级读保护。 当硬件收到该位为'1'后，硬件自动清除此位。
位 15~13	保留。必须保持为清除状态'0'
位 12	PRCDNIE: 允许操作完成中断 该位允许在 FLASH_STS 寄存器中的 PRCDN 位变为'1'时产生中断。 0: 禁止产生中断； 1: 允许产生中断。
位 11, 8, 3	保留。必须保持为清除状态'0'
位 10	ERRIE: 允许错误状态中断 该位允许在发生 FPEC 错误时产生中断（ FLASH_STS 寄存器中的 PRGMFLR/WRPRTFLR 置为'1'时）。 0: 禁止产生中断； 1: 允许产生中断。
位 9	UOBWE: 允许写选择字节 当该位为'1'时，允许对选择字节进行编程操作。当在 FLASH_OPTKEYR 寄存器写入正确的键序列后，该位被置为'1'。 软件可清除此位。
位 7	LOCK: 锁 只能写'1'。当该位为'1'时表示 FPEC 和 FLASH_CTRL 被锁住。在检测到正确的解锁序列后，硬件清除此位为'0'。在一次不成功的解锁操作后，下次系统复位前，该位不能再被改变。
位 6	RSTR: 开始 当该位为'1'时将触发一次擦除操作。该位只可由软件置为'1'并在 BSY 变为'0'时清为'0'。
位 5	UOBERS: 擦除选择字节 擦除选择字节。
位 4	UOBRPGM: 烧写选择字节 对选择字节编程。
位 2	CHPERS: 全擦除 选择擦除所有用户页。
位 1	PGERS: 页擦除 选择擦除页。
位 0	PRGM: 编程 选择编程操作。

4.4.6 闪存地址寄存器 (**FLASH_ADDR**)

专用于闪存主存区块。

地址偏移: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TA[31: 16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TA[15: 0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

这些位由硬件修改为当前/最后使用的地址。在页擦除操作中，软件必须修改这个寄存器以指定要擦

除的页。

位 31~0	TA: 闪存地址 当进行编程时选择要编程的地址, 当进行页擦除时选择要擦除的页。 注意: 当 FLASH_STS 中的 BSY 位为'1' 时, 不能写这个寄存器
--------	---

4.4.7 选择字节寄存器 (**FLASH_UOB**)

地址偏移: 0x1C

复位值: 0x03FF FFFC

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		RDPPRT_HL				USER_D1						USER_D0[7:6]			
res		R				R						R			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USER_D0[5:0]			未使用		nSTDBY_RST	nSTP_RST	SYSCLKSEL_WDG	RDPR_TEN	UOB_FLR						
		R		res	R	R	R	R	R	R	R	R	R	R	

位 31~27	保留。必须保持为清除状态'0'。
位 26	RDPR_HL: 读保护高位 读保护等级使用 {位 26, 位 1}联合判断。 0: 未启动读保护, 且 RDP 值=0x00A5 1: 启动低级读保护, 且 RDP 值非 0xCC 以及 0xA5 2: 保留 3: 启动 RDP 使能及选择字节误擦除保护, 且 RDP 值=0xCC
位 25~18	USER_D1: 用户数据 1
位 17~10	USER_D0: 用户数据 0
位 9~2	USR: 用户选择字节 这里包含 OBL 加载的用户选择字节 位[9: 5]: 未用 位 4: nSTDBY_RST 位 3: nSTP_RST 位 2: SYSCLKSEL_WDG
位 1	RDPR_TEN: 读保护当设置为 1, 表示闪存存储器的读保护有效。 注意: 该位为只读。
位 0	UOBFLR: 选择字节错误 当该位为'1'时表示选择字节和它的反码不匹配。 注意: 该位为只读。

4.4.8 写保护寄存器 (**FLASH_WRPRT**)

地址偏移: 0x20

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WRPRTBMP [31: 16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WRPRTBMP [15: 0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

位 31~0	WRPRTBMP: 写保护 该寄存器包含由 OBL 加载的写保护选择字节。 0: 写保护生效 1: 写保护失效 注意: 这些位为只读。
--------	---

4.4.9 闪存安全库区状态寄存器0 (FLASH_CDR0)

专用于闪存安全库区。

地址偏移: 0x74

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								SYS_MEM_SLIB_DAT_PAGE							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								FSLIB_EN	SYS_MEM_SLIB_EN	保留	SYS_MEM_BOOT_DIS				
res								R	R	res	R				

位 31~24	保留。必须保持为清除状态'0'
位 23~16	SYS_MEM_SLIB_DAT_PAGE: 主存扩展区域安全库区数据起始页地址
位 15~4	保留。必须保持为清除状态'0'
位 3	FSLIB_EN: 允许存放安全库代码功能 该位设定时, 表示闪存主存区域部分或是全部(依照 FSLIB_CDR1 设定), 或是系统存储器区域作为安全库代码。 0: 闪存存放安全库代码功能失效; 1: 闪存存放安全库代码功能生效。
位 2	SYS_MEM_SLIB_EN: 允许系统存储器区域作为存放安全库代码功能 该位设定时, 表示闪存系统存储器区域作为安全库代码。 0: 系统存储器区域存放安全库代码功能失效; 1: 系统存储器区域存放安全库代码功能生效。
位 1	保留。必须保持为清除状态'0'
位 0	SYS_MEM_BOOT_DIS: 禁止系统存储器区域作为存放启动代码功能 该位设定时, 表示禁止系统存储器区域作为启动代码功能。 0: 系统存储器区域作为存放启动代码功能; 1: 系统存储器区域作为存放应用代码功能。

4.4.10 闪存安全库区状态寄存器1 (FLASH_CDR1)

专用于闪存安全库区。

地址偏移: 0x78

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BLK_SLIB_END_PG								BLK_SLIB_DAT_PG[10:5]							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLK_SLIB_DAT_PG[4:0]								BLK_SLIB_ST_PG							
R								R							

位 31~22	BLK_SLIB_END_PG: 主存安全库区结束页号 0: 页0 1: 页1 2: 页2 ... 127: 页 127(63: 页 63, 64KB 主存)
位 21~11	BLK_SLIB_DAT_PG: 主存数据安全库区起始页号 0: 无效页 1: 页1 2: 页2 ... 127: 页 127(63: 页 63, 64KB 主存) 0x7FF: 无数据安全库区
位 10~0	BLK_SLIB_ST_PG: 主存安全库区起始页号 0: 页0 1: 页1 2: 页2 ... 127: 页 127(63: 页 63, 64KB 主存)

4.4.11 闪存安全库区密码寄存器 (**FSLIB_PSW**)

专用于闪存安全库区。

地址偏移: 0x7C

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FSLIB_PSW[31: 16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSLIB_PSW[15: 0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
位 31~0		FSLIB_PSW: 安全库区密码寄存器 设定正确的安全库区密码，将解除安全库区功能。 注意：读该寄存器，将返回全 1													

4.4.12 闪存安全库区密码设定状态寄存器 (**FSLIB_PSW_STS**)

专用于闪存安全库区。

地址偏移: 0x80

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														SLIB_PSW_OK	SLIB_PSW_ERR
Res								R R							

位 31~2	保留。必须保持为清除状态'0'
位 1	SLIB_PSW_OK: 密码正确 当密码正确，并且设定的密码不等于 0xFFFF FFFF，该位被设置为'1'.
位 0	SLIB_PSW_ERR: 密码错误 当密码错误，并且设定的密码不等于 0xFFFF FFFF，该位被设置为'1'. 注意：当该位置 1 后，硬件将不再接受重新设定密码寄存器，直到再次复位。

4.4.13 闪存CRC校验起始位置 (FLASH_CRC_AR)

专用于闪存主存以及系统存储器区域。

地址偏移: 0x84

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
FCRC_AR[31: 16]																
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
FCRC_AR[15: 0]																
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	
位 31~0		FCRC_AR: 用户代码或安全库代码 CRC 校验起始地址 用于主存或系统存储器区域中用户代码或安全库代码的 CRC 校验。 注意：必须与页起始地址对齐														

4.4.14 闪存CRC校验控制寄存器 (FLASH_CRC_CTRL)

专用于闪存主存以及系统存储器区域。

地址偏移: 0x88

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															CRC_CHK_TRIG
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res															
CRC_NUM															
RW															

位 31~17	保留。必须保持为清除状态'0'
位 16	CRC_CHK_TRIG: 启动 CRC 校验 设置该位去启动用户代码或是安全库代码的 CRC 校验功能 硬件启动 CRC 校验后，会自动清除该位。 注意：校验数据从 FCRC_AR ~ FCRC_AR+CRC_NUM*1 页
位 15~0	CRC_NUM: CRC 校验数量 设定本次 CRC 校验的数据量，单位是页

4.4.15 闪存CRC校验结果寄存器（FLASH_CRC_OUTR）

专用于主存或是安全库区。

地址偏移: 0x8C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FCRC_OUT[31: 16]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FCRC_OUT[15: 0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

注意：所有这些位是只读的，写入无反应。

位 31~0	FCRC_OUT: CRC 校验结果
--------	---------------------------

4.4.16 闪存安全库区密码设定寄存器（FSLIB_SET_PSW）

专用于安全库区。

地址偏移: 0x160

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FSLIB_SET_PSW[31: 16]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSLIB_SET_PSW[15: 0]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

注意：所有这些位是只写的，读出时返回 0。

位 31~0	FSLIB_SET_PSW: 安全库区密码设定
--------	--------------------------------

4.4.17 闪存安全库区范围设定寄存器（FSLIB_SET_RANGE）

专用于安全库区。

地址偏移: 0x164

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FSLIB_SET_END_PAGE[31:22]										FSLIB_SET_DATA_START_PAGE[21:16]					
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSLIB_SET_DATA_START_PAGE[15:11]										FSLIB_SET_START_PAGE[10:0]					
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

注意：所有这些位是只写的，读出时返回 0。

位 31~22	FSLIB_SET_END_PAGE: 安全库区尾地址
位 21~11	FSLIB_SET_DATA_START_PAGE: 安全库区数据首地址
位 10~0	FSLIB_SET_START_PAGE: 安全库区首地址

4.4.18 闪存主存扩展区安全库区设定寄存器 (**SYS_MEM_SLIB_SET**)

专用于安全库区。

地址偏移: 0x168

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								SYS_MEM_SET_DATA_START_PAGE[23:16]							
Res								W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYS_MEM_AS_SLIB								W	W	W	W	W	W	W	W

注意：所有这些位是只写的，读出时返回 0。

位 31~24	保留
位 23~16	SYS_MEM_SET_DATA_START_PAGE: 主存扩展区数据安全库区首地址
位 15~0	SYS_MEM_AS_SLIB: 配置主存扩展区作安全库区 注意：写入 0x5AA5 并且只在系统存储器区域作为主存扩展区的条件下有效

4.4.19 闪存主存扩展区模式寄存器 (**SYS_MEM_BOOT_DIS_SET**)

专用于主存扩展区。

地址偏移: 0x16C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
Res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								BOOT_DIS_SET[7:0]							
Res								W	W	W	W	W	W	W	W

注意：所有这些位是只写的，读出时返回 0。

位 31~8	保留
位 7~0	BOOT_DIS_SET: 配置主存扩展区为启动程序区

4.4.20 闪存安全库区键寄存器 (**FSLIB_KEYR**)

专用于安全库区。

地址偏移: 0x170

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FSLIB_KEYR[31: 16]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSLIB_KEYR[15: 0]															
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

注意： 所有这些位是只写的，读出时返回 0。

位 31~0	FSLIB_KEYR: 安全库区键
--------	--------------------------

5 CRC计算单元（CRC）

5.1 CRC简介

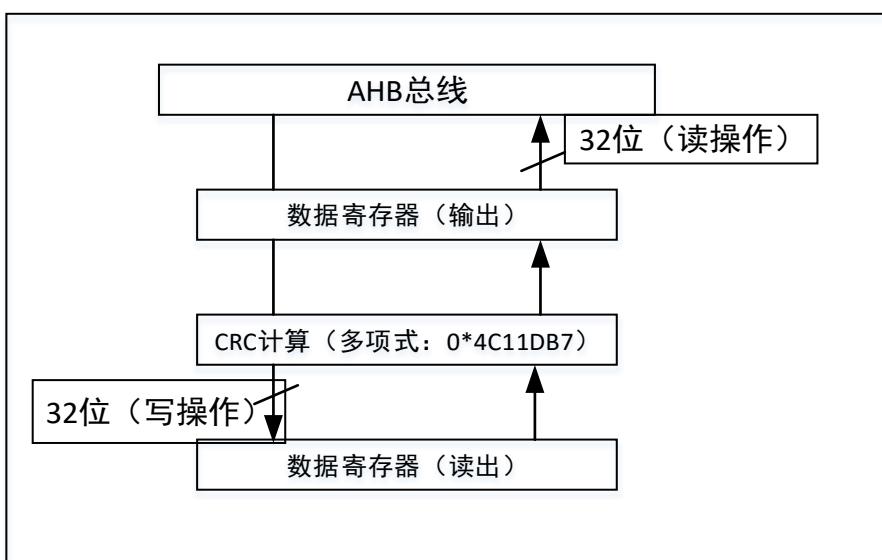
循环冗余校验（CRC）计算单元是根据固定的生成多项式得到任一 32 位全字的 CRC 计算结果。在其他的应用中，CRC 技术主要应用于核实数据传输或者数据存储的正确性和完整性。标准 EN/IEC 60335-1 即提供了一种核实闪存存储器完整性的方法。CRC 计算单元可以在程序运行时计算出软件的标识，之后与在连接时生成的参考标识比较，然后存放在指定的存储器空间。

5.2 CRC主要特性

- 使用CRC-32（以太网）多项式：0x4C11DB7
 - $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- 一个32位数据寄存器用于输入 / 输出
- CRC计算时间：4个AHB时钟周期（HCLK）
- 通用8位寄存器（可用于存放临时数据）

下图为 CRC 计算单元框图

图 5-1 CRC 单元框



5.3 CRC功能描述

CRC 计算单元含有 1 个 32 位数据寄存器：

- 对该寄存器进行写操作时，作为输入寄存器，可以输入要进行 CRC 计算的新数据。
- 对该寄存器进行读操作时，返回上一次 CRC 计算的结果。每一次写入数据寄存器，其计算结果是前一次 CRC 计算结果和新计算结果的组合（对整个 32 位字进行 CRC 计算，而不是逐字节地计算）

在 CRC 计算期间会暂停 CPU 的写操作，因此可以对寄存器 CRC_DR 进行背靠背写入或者连续地写-读操作。

可以通过设置寄存器 CRC_CTRL 的 RESET 位来重置寄存器 CRC_DR 为 0xFFFF FFFF。该操作不影响寄存器 CRC_IDR 内的数据。

5.4 CRC寄存器

CRC 计算单元包括 2 个数据寄存器和 1 个控制寄存器

下表列出了 CRC 的寄存器映像和复位值

表 6-1 CRC 计算单元寄存器映像

偏移	寄存器	31~24	23~16	15~8	7	6	5	4	3	2	1	0	
0x00	CRC_DR	数据寄存器 0xFFFF FFFF											
	复位值												
0x04	CRC_IDR	保留			独立的数据寄存器 0x00								
	复位值												
0x08	CRC_CTRL	保留			RESET 0								
	复位值												

5.4.1 数据寄存器 (CRC_DR)

地址偏移: 0x00

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR[31: 16]															
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15: 0]															
rw															
位 31: 0		数据寄存器位 写入 CRC 计算器的新数据时，作为输入寄存器 读取时返回 CRC 计算的结果													

5.4.2 独立数据寄存器 (CRC_IDR)

地址偏移: 0x04

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16								
保留																							
res																							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
保留								IDR[7: 0]															
res																							
位 31: 8		保留																					
位 7: 0		通用 8 位数据寄存器位 可用于临时存放 1 字节的数据。 寄存器 CRC_CTRL 的 RESET 位产生的 CRC 复位对本寄存器没有影响																					

5.4.3 控制寄存器 (CRC_CTRL)

地址偏移: 0x08

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

保留

res

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

保留

RESET

res

rw

位 31: 8	保留
位 7: 0	RESET 位 复位 CRC 计算单元，设置数据寄存器为 0xFFFF FFFF。 只能对该位写'1'，它由硬件自动清'0'。

6 通用和复用功能I/O（GPIO和AFIO）

6.1 简介

GPIO 接口包括 5 组通用输入/输出端口。

每个 GPIO 组提供 16 个通用输入/输出引脚；每个 GPIO 端口都有相关的控制和配置寄存器来满足特定的功能，GPIO 引脚上的外部中断都有相关的控制和配置寄存器在外部中断控制器，参考[章节 6.中断和事件](#)。

GPIO 端口和其他复用功能同用一个引脚，在特定的封装下获得最大的灵活性。GPIO 引脚可以用于复用功能引脚，通过配置相关的寄存器用作复用功能输入和复用功能输出。

每个 GPIO 引脚可通过软件配置为输出（推挽或开漏），输入（上拉，下拉或无上拉/下拉）或作为外设复用功能。大部分的 GPIO 引脚都有数字或模拟的复用功能。所有的 GPIO 都具备大电流驱动能力。

6.2 主要特征

- 输入/输出方向控制
- 每个引脚都有弱上拉/下拉功能
- 推挽/开漏输出使能控制
- 输出置位/复位控制
- 可编程触发沿的外部中断 - 在外部中断配置寄存器中
- 模拟输入/模拟输出配置
- 复用功能输入/输出配置
- 端口配置锁定

6.3 功能描述

6.3.1 GPIO引脚配置

每个 GPIO 端口有两个 32 位配置寄存器（GPIOx_CTRLL, GPIOx_CTRLH），两个 32 位数据寄存器（GPIOx_IPTDT 和 GPIOx_OPTDT），一个 32 位置位/复位寄存器（GPIOx_BSRE），一个 16 位复位寄存器（GPIOx_BRE）和一个 32 位锁定寄存器（GPIOx_LOCK）。

根据数据手册中列出的每个 I/O 端口的特定硬件特征，GPIO 端口的每个位可以由软件分别配置成多种模式。

- 输入浮空
- 输入上拉
- 输入下拉
- 模拟输入
- 开漏输出
- 推挽式输出
- 推挽式复用功能
- 开漏复用功能

每个 I/O 端口位可以自由编程，然而 I/O 端口寄存器必须按 32 位字被访问（不允许半字或字节访问）。GPIOx_BSRE 和 GPIOx_BRE 寄存器允许对任何 GPIO 寄存器的读/更改的独立访问；这样，在读和更改访问之间产生 IRQ 时不会发生危险。

下图给出了一个 I/O 端口位的基本结构。

图 6-1 I/O 端口位的基本结构

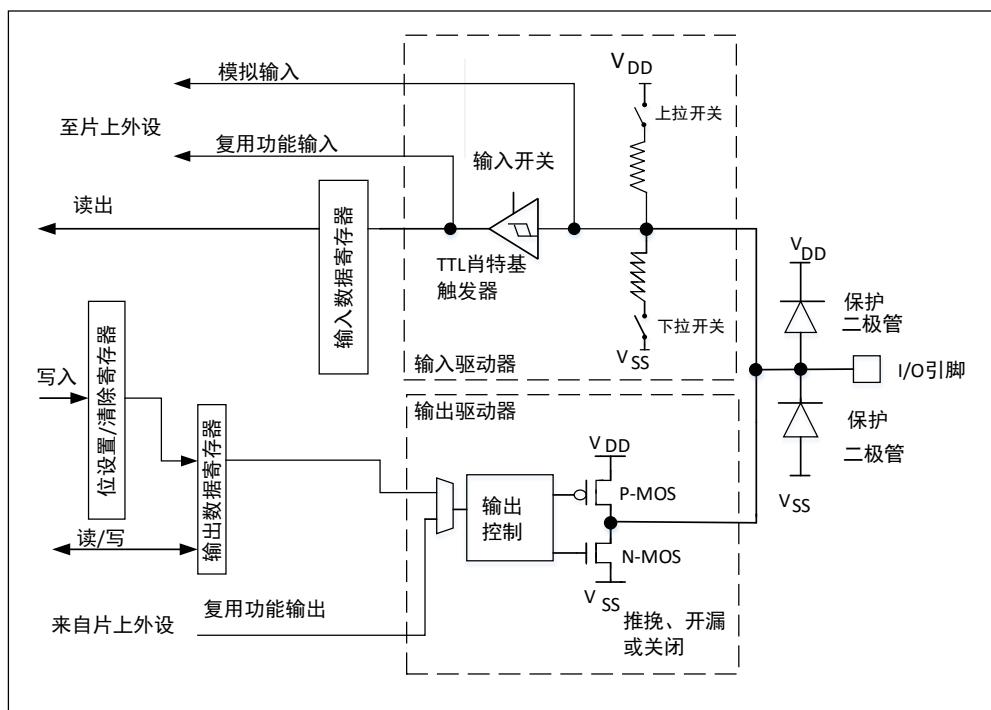
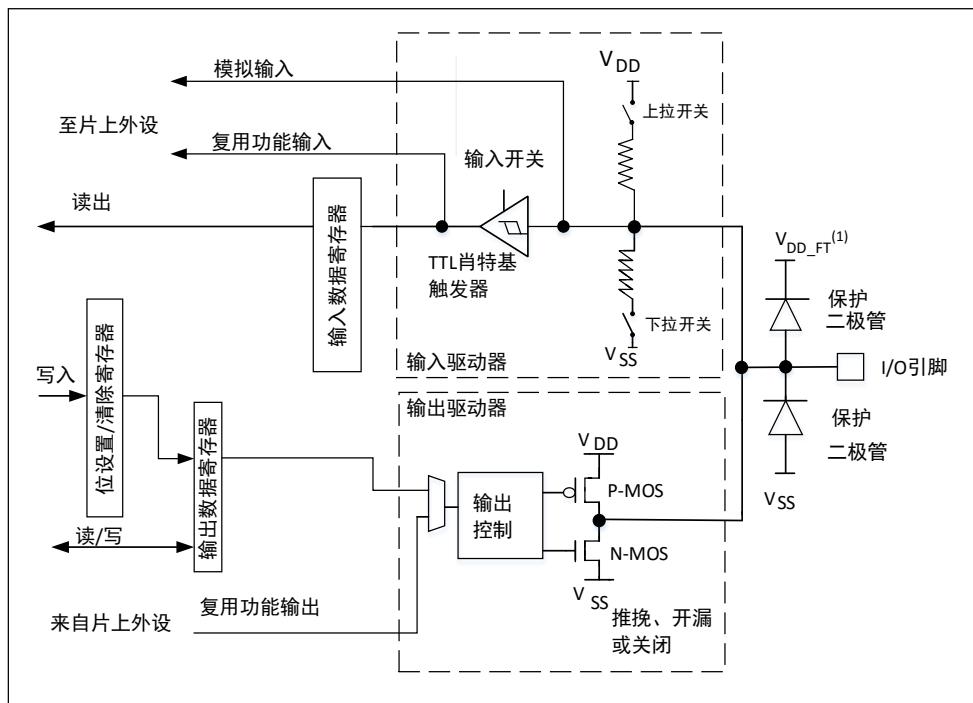


图 6-2 5 伏兼容 I/O 端口位的基本结构



注意：V_{DD}_{_FT} 对 5 伏容忍 I/O 脚是特殊的，它与 V_{DD} 不同。

表 6-1 端口位配置表

配置模式		CONF1	CONF0	MDE1	MDE0	PxOPTDT 寄存器
通用输出	推挽 (Push-Pull)	0	0	01 10 11	见表 6-2	0 或 1
	开漏 (Open-Drain)		1			0 或 1
复用功能输出	推挽 (Push-Pull)	1	0			不使用
	开漏 (Open-Drain)		1			不使用
输入	模拟输入	0	0	00		不使用
	浮空输入		1			不使用

	下拉输入	1	0		0
	上拉输入				1

表7-2 输出模式位

MDE[1: 0]	意义
00	保留
01	最大输出速度为 10MHz
10	最大输出速度为 2MHz
11	最大输出速度为 50MHz

复位期间和刚复位后，复用功能未开启，I/O 端口被配置成浮空输入模式（CONFx[1: 0]=01b, MDEx[1: 0]=00b）。

复位后，JTAG 引脚被置于输入上拉或下拉模式：

- PA15: JTDI 置于上拉模式
- PA14: JTCK 置于下拉模式
- PA13: JTMS 置于上拉模式
- PB4: JNTRST 置于上拉模式

当作为输出配置时，写到输出数据寄存器（GPIOx_OPTDT）上的值会输出到相应的 I/O 引脚。可以以推挽模式或开漏模式（当输出 0 时，只有 N-MOS 被打开）使用输出驱动器。

输入数据寄存器（GPIOx_IPTDT）在每个 AHB 时钟周期捕捉 I/O 引脚上的数据。所有 GPIO 引脚有一个内部弱上拉和弱下拉，当配置为输入时，它们可以被激活也可以被断开。

当对 GPIOx_OPTDT 的个别位编程时，软件不需要禁止中断：在单次 APB2 写操作里，可以只更改一个或多个位。

这是通过对“置位/复位寄存器”（GPIOx_BSRE，复位是 GPIOx_BRE）中想要更改的位写‘1’来实现的。没被选择的位将不被更改。

6.3.2 外部中断/唤醒线

所有端口都有外部中断能力。为了使用外部中断线，端口必须配置成输入模式。更多的关于外部中断的信息，参考 [7.2 节外部中断/事件控制器（EXTI）](#)。

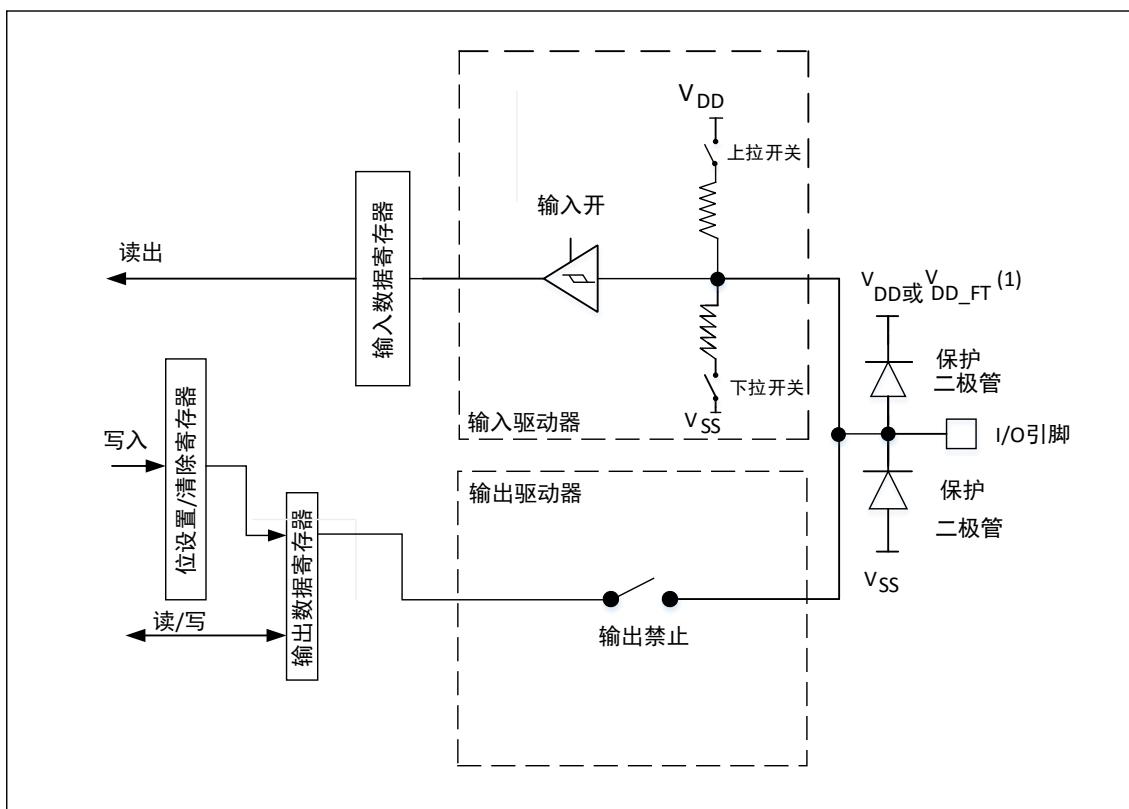
6.3.3 输入配置

当 I/O 端口配置为输入时：

- 输出缓冲器被禁止
- 施密特触发输入被激活
- 根据输入配置（上拉，下拉或浮动）的不同，弱上拉和下拉电阻被连接
- 出现在 I/O 脚上的数据在每个 APB2 时钟被采样到输入数据寄存器
- 对输入数据寄存器的读访问可得到 I/O 状态

下图给出了 I/O 端口位的输入配置

图6-3 输入浮空/上拉/下拉配置



注意：V_{DD_FT}对5伏容忍I/O脚是特殊的，它与V_{DD}不同

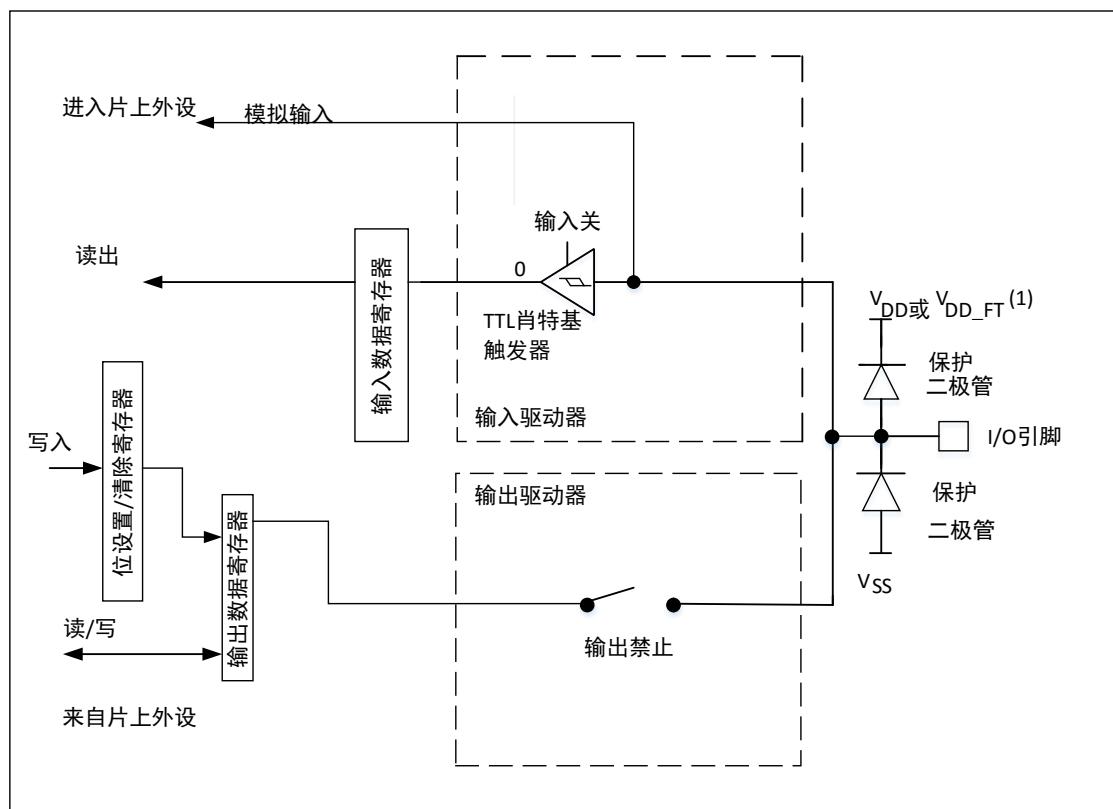
6.3.4 模拟输入配置

当I/O端口被配置为模拟输入配置时：

- 输出缓冲器被禁止
- 禁止施密特触发输入，实现了每个模拟I/O引脚上的零消耗。施密特触发输出值被强置为‘0’
- 弱上拉和下拉电阻被禁止
- 读取输入数据寄存器时数值为‘0’

下图给出了I/O端口位的高阻抗模拟输入配置：

图6-4 高阻抗的模拟输入配置



注意： V_{DD_FT} 对5伏兼容I/O脚是特殊的，它与 V_{DD} 不同

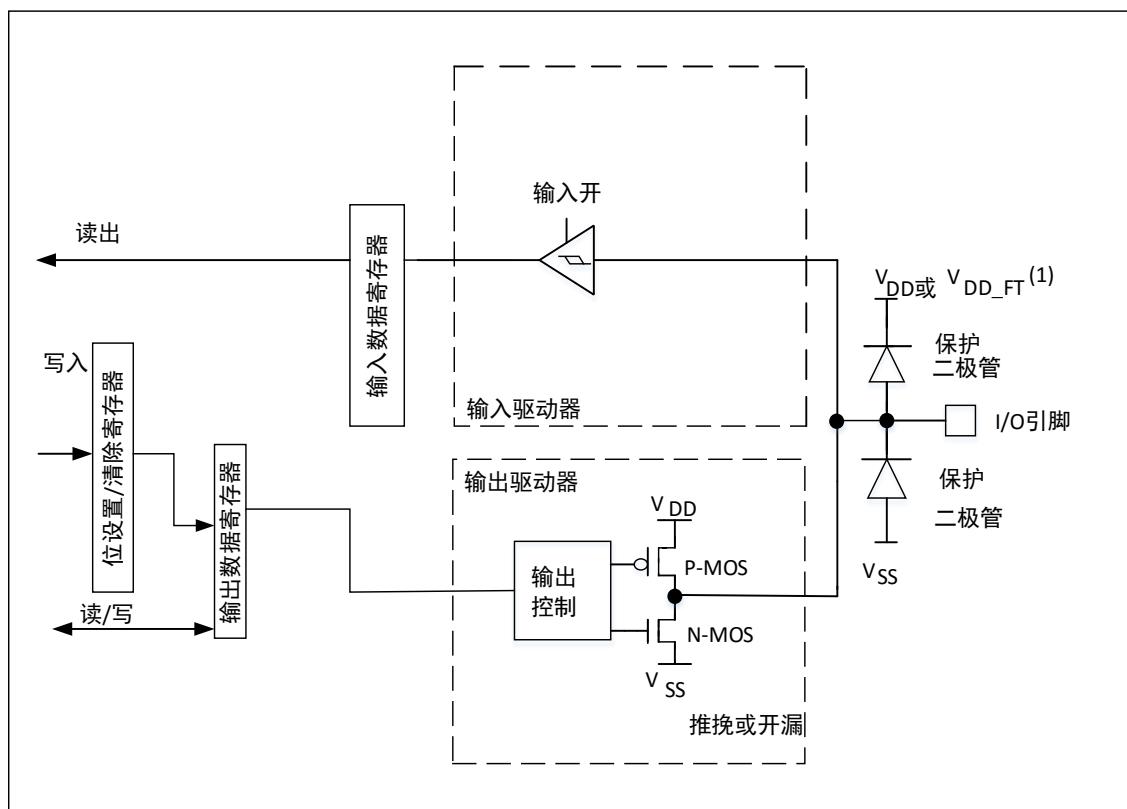
6.3.5 输出配置

当I/O端口被配置为输出时：

- 输出缓冲器被激活
 - 开漏模式：输出寄存器上的‘0’激活N-MOS，而输出寄存器上的‘1’将端口置于高阻状态（P-MOS从不被激活）
 - 推挽模式：输出寄存器上的‘0’激活N-MOS，而输出寄存器上的‘1’将激活P-MOS
- 施密特触发输入被激活
- 弱上拉和下拉电阻被禁止
- 出现在I/O脚上的数据在每个APB2时钟被采样到输入数据寄存器
- 在开漏模式时，对输入数据寄存器的读访问可得到I/O状态
- 在推挽式模式时，对输出数据寄存器的读访问得到最后一次写的值

下图给出了I/O端口位的输出配置。

图 6-5 输出配置



注意： V_{DD_FT} 对 5 伏兼容 I/O 脚是特殊的，它与 V_{DD} 不同

6.3.6 GPIO 锁定机制

锁定机制允许冻结 I/O 配置。当在一个端口位上执行了锁定 (LOCK) 程序，在下一次复位之前，将不能再更改端口位的配置。

6.3.7 复用功能 (AF)

使用默认复用功能前必须对端口位配置寄存器编程。

- 对于复用的输入功能，端口必须配置成输入模式（浮空、上拉或下拉）且输入引脚必须由外部驱动。

注意：也可以通过软件来模拟复用功能输入引脚，这种模拟可以通过对 GPIO 控制器编程来实现。此时，端口应当被设置为复用功能输出模式。显然，这时相应的引脚不再由外部驱动，而是通过 GPIO 控制器由软件来驱动。

- 对于复用输出功能，端口必须配置成复用功能输出模式（推挽或开漏）。
- 对于双向复用功能，端口位必须配置复用功能输出模式（推挽或开漏）。这时，输入驱动器被配置成浮空输入模式。

如果把端口配置成复用输出功能，则引脚和输出寄存器断开，并和片上外设的输出信号连接。如果软件把一个 GPIO 脚配置成复用输出功能，但是外设没有被激活，它的输出将不确定。

当 I/O 端口被配置为复用功能时：

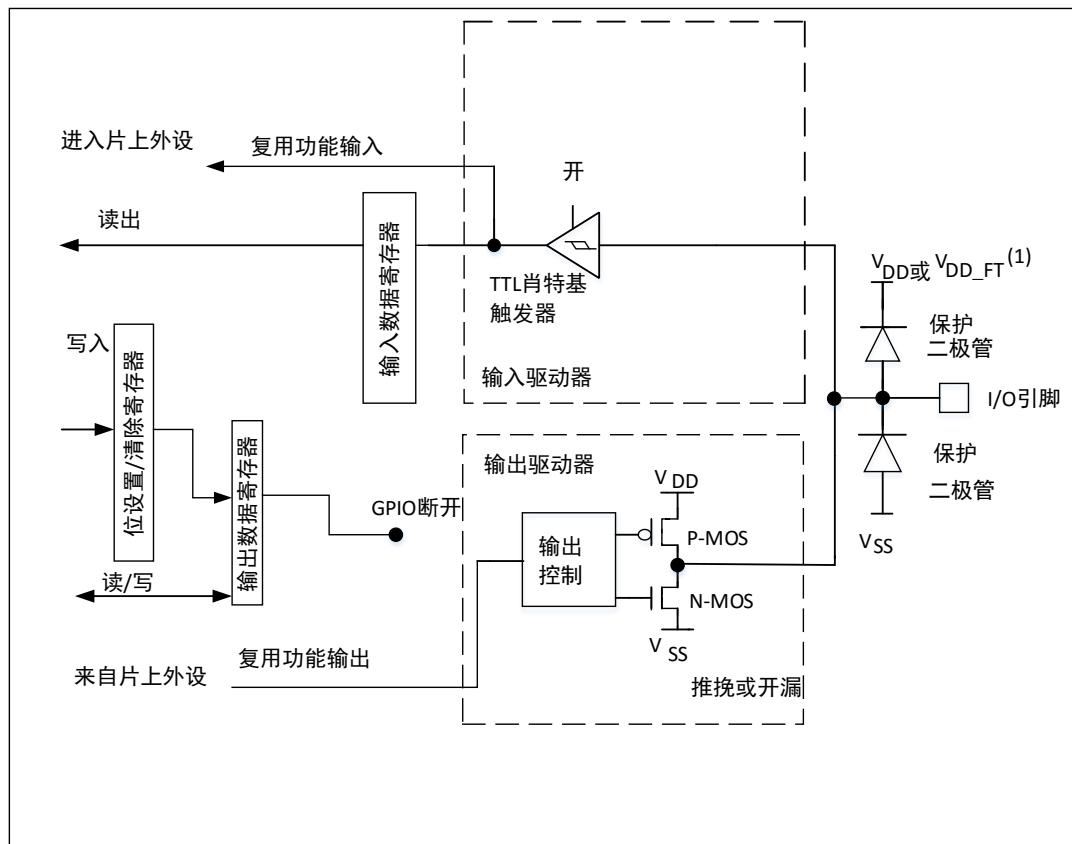
- 在开漏或推挽式配置中，输出缓冲器被打开
- 内置外设的信号驱动输出缓冲器（复用功能输出）
- 施密特触发输入被激活
- 弱上拉和下拉电阻被禁止
- 如果引脚被误配成多个复用功能输出，各复用功能优先级请参考数据手册。

- 在每个APB2时钟周期，出现在I/O脚上的数据被采样到输入数据寄存器
- 开漏模式时，读输入数据寄存器时可得到I/O口状态
- 在推挽模式时，读输出数据寄存器时可得到最后一次写的值

下图示出了 I/O 端口位的复用功能配置。详见 [6.4 节-I/O 映射功能配置](#)。

一组复用功能 I/O 寄存器允许用户把一些复用功能重新映象到不同的引脚。

图 6-6 复用功能配置



注意： V_{DD_FT} 对 5 伏兼容 I/O 脚是特殊的，它与 V_{DD} 不同

为了使不同器件封装的外设 I/O 功能的数量达到最优，可以把一些复用功能重新映射到其他一些脚上。这可以通过软件配置相应的寄存器来完成（参考 [6.5-AFIo 寄存器描述](#)）。这时，复用功能就不再映射到它们的原始引脚上了。

下列表格列出了各个外设的引脚配置。

表 6-3 高级定时器 TMR1

TMR1 引脚	配置	GPIO 配置
TMR1_CHx	输入捕获通道 x	浮空输入
	输出比较通道 x	推挽复用输出
TMR1_CHxN	互补输出通道 x	推挽复用输出
TMR1_BKIN	刹车输入	浮空输入
TMR1_ETR	外部触发时钟输入	浮空输入

表 6-4 通用定时器 TMR2-5/TMR9-11

TMRx 引脚	配置	GPIO 配置
TMRx_CHx	输入捕获通道 x	浮空输入

	输出比较通道 x	推挽复用输出
TMRx_ETR	外部触发时钟输入	浮空输入

表6-5 USART

USART 引脚	配置	GPIO 配置
USARTx_TX	全双工模式	推挽复用输出
	半双工同步模式	推挽复用输出
USARTx_RX	全双工模式	浮空输入或带上拉输入
	半双工同步模式	未用，可作为通用 I/O
USARTx_CK	同步模式	推挽复用输出
USARTx_RTS	硬件流量控制	推挽复用输出
USARTx_CTS	硬件流量控制	浮空输入或带上拉输入

表6-6 SPI

SPI 引脚	配置	GPIO 配置
SPIx_SCK	主模式	推挽复用输出
	从模式	浮空输入
SPIx_MOSI	全双工模式/主模式	推挽复用输出
	全双工模式/从模式	浮空输入或带上拉输入
	简单的双向数据线/主模式	推挽复用输出
	简单的双向数据线/从模式	未用，可作为通用 I/O
SPIx_MISO	全双工模式/主模式	浮空输入或带上拉输入
	全双工模式/从模式	推挽复用输出
	简单的双向数据线/主模式	未用，可作为通用 I/O
	简单的双向数据线/从模式	推挽复用输出
SPIx_NSS	硬件主/从模式	浮空输入或带上拉输入或带下拉输入
	硬件主模式/NSS 输出使能	推挽复用输出
	软件模式	未用，可作为通用 I/O

表6-7 I2S

I2S 引脚	配置	GPIO 配置
I2Sx_WS	主模式	推挽复用输出
	从模式	浮空输入
I2Sx_CK	主模式	推挽复用输出
	从模式	浮空输入
I2Sx_SD	发送器	推挽复用输出
	接收器	浮空输入或带上拉输入或带下拉输入

I2Sx_MCK	主模式	推挽复用输出
	从模式	未用，可作为通用 I/O

表 6-8 I2C 接口

I2C 引脚	配置	GPIO 配置
I2Cx_SCL	I2C 时钟	开漏复用输出
I2Cx_SDA	I2C 数据	开漏复用输出
I2Cx_SMBAL	SMBUS alert	开漏复用输出

表 6-9 BxCAN

BxCAN 引脚	GPIO 配置
CAN_TX	推挽复用输出
CAN_RX	浮空输入或带上拉输入

表 6-10 USBOTG

USB 引脚	GPIO 配置
OTG_DM/OTG_DP	一旦使能了 USB 模块，这些引脚会自动连接到内部 USB 收发器
OTG_SOF	推挽复用输出
OTG_VBUS	浮空输入
OTG_ID	带上拉输入

表 6-11 SDIO

SDIO 引脚	GPIO 配置
SDIO_CK	推挽复用输出
SDIO_CMD	推挽复用输出
SDIO[D7: D0]	推挽复用输出

表 6-12 ADC

ADC 引脚	GPIO 配置
ADC	模拟输入

注意：ADC 输入引脚必须配置为模拟输入。

表 6-13 其它 I/O 功能

引脚	复用功能	GPIO 配置
TAMPER-ERTC	ERTC 输出	当配置 BRKP_CTRL 和 BRKP_ERTCCAL 寄存器时，由硬件强制设置
	侵入事件输入	
CLKOUT	时钟输出	推挽复用输出
EXTINT 输入线	外部中断输入	浮空输入或带上拉输入或带下拉输入

6.4 IO映射功能配置

为了优化 64 脚或 100 脚封装的外设数目，可以把一些复用功能重新映射到其他引脚上。设置复用重映射和调试 I/O 配置寄存器 (AFIO_MAP) 实现引脚的重新映射。这时，复用功能不再映射到它们的原始分配上。

6.4.1 把OSC32_IN/OSC32_OUT作为GPIO端口PC14/PC15

当 LSE 振荡器关闭时，LSE 振荡器引脚 OSC32_IN/OSC32_OUT 可以分别用做 GPIO 的 PC14/PC15，LSE 功能始终优先于通用 I/O 口的功能。

注意：1. 关闭 1.8V 电压区（入待机模式）或后备区域使用 VBAT 供电（不再有 VDD 供电）时，不能使用 PC14/PC15 的 GPIO 口功能；

2. 见 [第 2.3.1.2 节](#) 有关 I/O 口使用的限制

6.4.2 把OSC_IN/OSC_OUT引脚作为GPIO端口PD0/PD1

外部振荡器引脚 OSC_IN/OSC_OUT 可以用做 GPIO 的 PD0/PD1，通过设置复用重映射和调试 I/O 配置寄存器 (AFIO_MAP) 实现。

注意：外部中断/事件功能没有被重映射。在 32, 48 和 64 脚的封装上，PD0 和 PD1 不能用来产生外部中断/事件。

6.4.3 CAN复用功能重映射

CAN信号可以被映射到端口A、或端口B上，如下表所示。

表 6-14 CAN1复用功能重映射

复用功能	CAN_GRMP[3:0] = "0000"	CAN_GRMP[3:0] = "0010"
CAN_RX	PA11	PB8
CAN_TX	PA12	PB9

6.4.4 JTAG/SWD复用功能重映射

调试接口信号被映射到GPIO端口上，如下表所示。

表 6-15 调试接口信号

复用功能	GPIO 端口
JTMS/SWDIO	PA13
JTCK/SWCLK	PA14
JTDI	PA15
JTDO/TRACESWO	PB3
JNTRST	PB4

为了在调试期间可以使用更多 GPIOs，通过设置复用重映射和调试 I/O 配置寄存器 (AFIO_MAP) 的 SWJTAG_GRMP[2: 0] 位，可以改变上述重映射配置。

表 6-16 调试端口映射

SWJTAG_GRMP [2: 0]	可能的调试端口	SWJ/I/O 引脚分配				
		PA13/JTMS/S WDIO	PA14/JTCK/ SWCLK	PA15/JTDI	PB3/JTDO/ TRACESWO	PB4/NJTR ST
000	完全 SWJ (JTAG-DP+SW-DP) (复位状态)	I/O 不可用	I/O 不可用	I/O 不可用	I/O 不可用	I/O 不可用

001	完全 SWJ (JTAG-DP+SW-DP) 但没有 JNTRST	I/O 不可用	I/O 不可用	I/O 不可用	I/O 不可用	I/O 可用
010	关闭 JTAG-DP, 启用 SW-DP	I/O 不可用	I/O 不可用	I/O 可用	I/O 可用 ⁽¹⁾	I/O 可用
100	关闭 JTAG-DP, 关闭 SW-DP	I/O 可用	I/O 可用	I/O 可用	I/O 可用	I/O 可用
其它	禁用	-	-	-	-	-

注意：I/O 口只可在不使用异步跟踪时使用。

6.4.5 ADC复用功能重映射

参阅复用重映射和调试I/O配置寄存器（AFIO_MAP）。

表6-17 ADC1外部触发注入转换复用功能重映射

复用功能	ADC1_ETI_GRMP=0	ADC1_ETI_GRMP=1
ADC1 外部触发注入转换	ADC1 外部触发注入转换与 EXTINT15 相连	ADC1 外部触发注入转换与 TMR1_CH4 相连

表6-15 ADC1外部触发规则转换复用功能重映射

复用功能	ADC1_ETR_GRMP=0	ADC1_ETR_GRMP=1
ADC1 外部触发规则转换	ADC1 外部触发规则转换与 EXTINT11 相连	ADC1 外部触发规则转换与 TMR1_TRGO 相连

6.4.6 定时器复用功能重映射

表6-19 TMR11复用功能重映射

复用功能映射	TMR11_GRMP[3:0]=0000	TMR11_GRMP[3:0]=0010
TMR11_CH1	PB9	PA7

表6-20 TMR10复用功能重映射

复用功能映射	TMR10_GRMP[3:0]=0000	TMR10_GRMP[3:0]=0010
TMR10_CH1	PB8	PA6

表6-21 TMR9复用功能重映射

复用功能映射	TMR9_GRMP[3:0]=0000	TMR9_GRMP[3:0]=0010
TMR9_CH1	PA2	PB14
TMR9_CH2	PA3	PB15

表6-16 TMR5复用功能重映射

复用功能	TMR5_GRMP[2:0] =000	TMR5_GRMP[2:0] =000	TMR5_GRMP[2:0] =001	TMR5_GRMP[2:0] =001
	TMR5CH4_IRMP=0	TMR5CH4_IRMP=1	TMR5CH4_IRMP=0	TMR5CH4_IRMP=1
TMR5_CH1	PA0			PF4
TMR5_CH2	PA1			PF5
TMR5_CH3	PA2			
TMR5_CH4	PA3	LSI 内部时钟连至 TMR5_CH4 输入作为 校准使用	PA3	LSI 内部时钟连至 TMR5_CH4 输入作为校 准使用

表6-23 TMR3复用功能重映射

复用功能	TMR3_GRMP[3:0]=0000 (没有重映射)	TMR3_GRMP[3:0]=0010 (部分重映射)	TMR3_GRMP[3:0]=0011 (完全重映射) ⁽¹⁾
TMR3_CH1	PA6	PB4	PC6
TMR3_CH2	PA7	PB5	PC7
TMR3_CH3		PB0	PC8
TMR3_CH4		PB1	PC9

注意：重映射只适用于 64 脚的封装。

表6-24 TMR2复用功能重映射

复用功能	TMR2_GRMP[2:0]=000	TMR2_GRMP[2:0]=001	TMR2_GRMP[2:0]=010	TMR2_GRMP[2:0]=011
TMR2_CH1_ETR ⁽¹⁾	PA0	PA15	PA0	PA15
TMR2_CH2	PA1	PB3	PA1	PB3
TMR2_CH3		PA2		PB10
TMR2_CH4		PA3		PB11

注意：TMR2_CH1 和 TMR2_ETR 共用一个引脚，但不能同时使用（因此在此使用这样的标记：TMR2_CH1_ETR）。

表6-25 TMR1复用功能重映射

复用功能映射	TMR1_GRMP[3:0]=0000	TMR1_GRMP[3:0]=0001	TMR1_GRMP[3:0]=0010
TMR1_ETR	PA12		PA0
TMR1_CH1	PA8		PC6
TMR1_CH2	PA9		PC7
TMR1_CH3	PA10		PC8
TMR1_CH4	PA11		PC9
TMR1_BKIN	PB12	PA6	
TMR1_CH1N	PB13	PA7	
TMR1_CH2N	PB14	PB0	
TMR1_CH3N	PB15	PB1	

6.4.7 USART复用功能重映射

表6-26 UART4重映射

复用功能	UART4_GRMP=0000	UART4_GRMP=0001
UART4_TX	PC10	PF4
UART4_RX	PC11	PF5

表6-27 USART3重映射

复用功能	USART3_GRMP[3:0]=0000	USART3_GRMP[3:0]=0001	USART3_GRMP[3:0]=0010

USART3_TX	PB10	PC10	PA7
USART3_RX	PB11	PC11	PA6
USART3_CK	PB12	PC12	PA5
USART3_CTS	PB13		PB1
USART3_RTS	PB14		PB0

表 6-28 USART1 重映射

复用功能	USART1_GRMP[3:0]=0000	USART1_GRMP[3:0]=0001
USART1_TX	PA9	PB6
USART1_RX	PA10	PB7

6.4.8 I²C 复用功能重映射

参见复用重映射和调试I/O配置寄存器（AFIO_MAP）。

表 6-29 I²C1 重映射

复用功能	I2C1_REMAP=0 或 I2C1_GRMP[3:0]=0000	I2C1_REMAP=1 或 I2C1_GRMP[3:0]=0001	I2C1_GRMP[3:0]=0010
I2C1_SCL	PB6	PB8	PF6
I2C1_SDA	PB7	PB9	PF7
I2C1_SMBA		PB5	

表 6-30 I²C2 重映射

复用功能	I2C2_GRMP[3:0]=0000	I2C2_GRMP[3:0]=0001	I2C2_GRMP[3:0]=0010	I2C2_GRMP[3:0]=0011
I2C2_SCL	PB10		PA8	PF6
I2C2_SDA	PB11	PC9	PB4	PF7
I2C2_SMBA	PB12		PA9	

6.4.9 SPI/I²S 复用功能重映射

参见复用重映射和调试I/O配置寄存器（AFIO_MAP）。

表 6-31 SPI1/I²S1 重映射

复用功能	SPI1_GRMP[3:0]=0000	SPI1_GRMP[3:0]=0001
SPI1_NSS/I ² S1_WS	PA4	PA15
SPI1_SCK/I ² S1_CK	PA5	PB3
SPI1_MISO	PA6	PB4
SPI1_MOSI/I ² S1_SD	PA7	PB5
I ² S1_MCK	PB0	PB6

表 6-32 SPI2/I2S2 重映射

复用功能	SPI2_GRMP[3:0]=0000	SPI2_GRMP[3:0]=0001
SPI2_NSS/I2S2_WS	PB12	PA15
SPI2_SCK/I2S2_CK	PB13	PB3
SPI2_MISO	PB14	PB4
SPI2_MOSI/I2S2_SD	PB15	PB5
I2S2_MCK	PC6	PC7

6.4.10 SDIO 复用功能重映射

参见复用重映射和调试 I/O 配置寄存器 3 (AFIO_MAP3)。

表 6-33 SDIO 复用功能重映射

复用功能	SDIO_GRMP[3:0]=0000	SDIO_GRMP[3:0]=0100	SDIO_GRMP[3:0]=0101	SDIO_GRMP[3:0]=0110	SDIO_GRMP[3:0]=0111
SDIO_D0	PC8	PC0	PA4	PC0	PA4
SDIO_D1	PC9	PC1	PA5	PC1	PA5
SDIO_D2	PC10	PC2	PA6	PC2	PA6
SDIO_D3	PC11	PC3	PA7	PC3	PA7
SDIO_D4	PB8	PA4	-	PA4	-
SDIO_D5	PB9	PA5	-	PA5	-
SDIO_D6	PC6	PA6	-	PA6	-
SDIO_D7	PC7	PA7	-	PA7	-
SDIO_CK	PC12	PC4	PC4	PA2	PA2
SDIO_CMD	PD2	PC5	PC5	PA3	PA3

6.4.11 Comp 复用功能映射

表 6-34 COMP 复用功能重映射

复用功能	COMP_GRMP[1:0]=00	COMP_GRMP[1:0]=01	COMP_GRMP[1:0]=10
COMP1_OUT	PA0	PA6	PA11
COMP2_OUT	PA2	PA7	PA12

6.5 GPIO 与 AFIO 寄存器

下面列出了 GPIO 寄存器映象和复位数值。必须以字 (32 位) 的方式操作这些外设寄存器。

表 6-35 GPIO 寄存器地址映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
000h	GPIOx_CTR_LL	CON F7[1: 0]	MDE 7[1: 0]	CON F6[1: 0]	MDE 6[1: 0]	CON F5[1: 0]	MDE 5[1: 0]	CON F4[1: 0]	MDE 4[1: 0]	CON F3[1: 0]	MDE 3[1: 0]	CON F2[1: 0]	MDE 2[1: 0]	CON F1[1: 0]	MDE 1[1: 0]	CON FO[1: 0]	MDE 0[1: 0]																		
	复位值	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	0

004h	GPIOx_CTRH	CONF15[1:0]	MDE15[1:0]	CONF14[1:0]	MDE14[1:0]	CONF13[1:0]	MDE13[1:0]	CONF12[1:0]	MDE12[1:0]	CONF11[1:0]	MDE11[1:0]	CONF10[1:0]	MDE10[1:0]	CONF9[1:0]	MDE9[1:0]	CONF8[1:0]	MDE8[1:0]
	复位值	0 1	0 0	0 1	0 0	0 1	0 0	0 1	0 0	0 1	0 0	0 1	0 0	0 1	0 0	0 1	0 0
008h	GPIOx_IPTDT	保留										IPTDT[15:0]					
												0 0	0 0	0 0	0 0	0 0	0 0
00Ch	GPIOx_OPTDT	保留										OPTDT[15:0]					
												0 0	0 0	0 0	0 0	0 0	0 0
010h	GPIOx_BSR_E	BRE[15:0]										BST[15:0]					
		复位值	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0
014h	GPIOx_BRE	保留										BRE[15:0]					
												0 0	0 0	0 0	0 0	0 0	0 0
018h	GPIOx_LOCK	保留										LOCK[15:0]					
		复位值	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0	0 0

下面列出了 AFIO 寄存器映象和复位数值。必须以字（32 位）方式操作这些外设寄存器。

表 6-36 AFIO 寄存器地址映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																							
000h	AFIO_EVCTR_L	保留										保留										保留																																		
004h	AFIO_MAP	SPI1_REMAP[1]	保留			SWJTAG_CONF[2:0]			保留			保留			0 0 0			0 0 0			TMR4_REMAP			CAN_REMAP[1:0]			TMR3_REMAP[1:0]			TMR2_REMAP[1:0]			TMR1_REMAP[1:0]			0 0 0			EVOEN																	
		复位值	0 0 0	0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0																						
008H	AFIO_EXTIC1	保留										EXTINT3[3:0]			EXTINT2[3:0]			EXTINT1[3:0]			EXTINT0[3:0]			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0																	
		复位值	0 0 0										0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0																			
00CH	AFIO_EXTIC2	保留										EXTINT7[3:0]			EXTINT6[3:0]			EXTINT5[3:0]			EXTINT4[3:0]			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0																	
		复位值	0 0 0										0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0																
010H	AFIO_EXTIC3	保留										EXTINT11[3:0]			EXTINT10[3:0]			EXTINT9[3:0]			EXTINT8[3:0]			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0														
		复位值	0 0 0										0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0																
014H	AFIO_EXTIC4	保留										EXTINT15[3:0]			EXTINT14[3:0]			EXTINT13[3:0]			EXTINT12[3:0]			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0														
		复位值	0 0 0										0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0																
01CH	AFIO_MAP2	保留										EXT_SPIF_EN			SDIO2_REMAP[1:0]			I2C3_REMAP			SPI4_REMAP			XMC_NADV_RE			TMR14_REMAP			TMR13_REMAP			TMR11_REMAP			TMR10_REMAP			TMR9_REMAP			TMR15_REMAP			保留			保留								
		复位值	0 0 0										0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0			0 0 0										

020H	AFIO_MAP3	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留
		复位值	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
024H	AFIO_MAP4	保留	保留	保留	保留	TMR5CH4_INTLRE	TMR5_GRMP	TMR4_GRMP	TMR3_GRMP	TMR11_GRMP	TMR10_GRMP	TMR9_GRMP		
		复位值	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
028H	AFIO_MAP5	保留	保留	SPI2_GRMP	SPI1_GRMP	保留	I2C2_GRMP	I2C1_GRMP	CAN2_GRMP	CAN1_GRMP	TMR2_GRMP	TMR1_GRMP		
		复位值	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
02CH	AFIO_MAP6	UART4_GRMP	USART3_GRMP	USART2_GRMP	USART1_GRMP	保留	SDIO1_GRMP	保留	CAN2_GRMP	CAN1_GRMP	TMR2_GRMP	TMR1_GRMP		
		复位值	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
030H	AFIO_MAP7	保留	保留	保留	PD01_GRMP	SWJTAG_GRMP	保留	保留	保留	EXT_SPIF_GEN	EXT_SPIF_GEN	EXT_SPIF_GEN		
		复位值	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

注意：对寄存器 AFIO_EVCTRL, AFIO_MAPX 和 AFIO_EXTICX 进行读写操作前，应当首先打开 AFIO 的时钟。参考[第 3.3.7 节 APB2 外设时钟使能寄存器 \(RCC_APB2EN\)](#)

6.5.1 端口配置低寄存器 (GPIOx_CTRL1) (x=A..E)

偏移地址: 0x00

复位值: 0x44444444

CONF7[1:0]	MDE7[1:0]	CONF6[1:0]	MDE6[1:0]	CONF5[1:0]	MDE5[1:0]	CONF4[1:0]	MDE4[1:0]
rw 15	rw 14	rw 13	rw 12	rw 11	rw 10	rw 9	rw 8
rw 7	rw 6	rw 5	rw 4	rw 3	rw 2	rw 1	rw 0
<hr/>							
CONF3[1:0]	MDE3[1:0]	CONF2[1:0]	MDE2[1:0]	CONF1[1:0]	MDE1[1:0]	CONF0[1:0]	MDE0[1:0]
rw	rw	rw	rw	rw	rw	rw	rw

位 31:30 27:26 23:22 19:18 15:14 11:10 7:6 3:2	CONFy[1:0]: 端口 x 配置位 ($y=0\ldots 7$) (Portx configuration bits) 软件通过这些位配置相应的 I/O 端口, 请参考表 7-1 端口位配置表。 在输入模式 ($MDE[1:0]=00$) : 00:模拟输入模式 01:浮空输入模式 (复位后的状态) 10:上拉/下拉输入模式 11:保留 在输出模式 ($MDE[1:0]>00$) : 00:通用推挽输出模式 01:通用开漏输出模式 10:复用功能推挽输出模式 11:复用功能开漏输出模式
位 29:28 25:24 21:20 17:16 13:12 9:8,5:4 1:0	MDEy[1:0]: 端口 x 的模式位 ($y=0\ldots 7$) (Portx Mode bits) 软件通过这些位配置相应的 I/O 端口, 请参考表 7-1 端口位配置表。 00:输入模式 (复位后的状态) 01:输出模式, 较大电流推动/吸入能力 10:输出模式, 适中电流推动/吸入能力 11:输出模式, 极大电流推动/吸入能力

注意: 有些端口寄存器复位值不同, 比如 PA 有些引脚默认是 JTAG/SWD 有上拉输入引脚。

6.5.2 端口配置高寄存器 (GPIOx_CTRLH) (A..E)

偏移地址:0x04

复位值:0x44444444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CONF15[1:0]	MDE15[1:0]	CONF14[1:0]	MDE14[1:0]	CONF13[1:0]	MDE13[1:0]	CONF12[1:0]	MDE12[1:0]	CONF11[1:0]	MDE11[1:0]	CONF10[1:0]	MDE10[1:0]	CONF9[1:0]	MDE9[1:0]	CONF8[1:0]	MDE8[1:0]
rw	rw	rw	rw	rw	rw										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CONF11[1:0]	MDE11[1:0]	CONF10[1:0]	MDE10[1:0]	CONF9[1:0]	MDE9[1:0]	CONF8[1:0]	MDE8[1:0]	rw	rw	rw	rw	rw	rw	rw	rw

位 31:30 27:26 23:22 19:18 15:14 11:10 7:6 3:2	CONFy[1:0]: 端口 x 配置位 ($y=8\ldots 15$) (Portx configuration bits) 软件通过这些位配置相应的 I/O 端口, 请参考表 7-1 端口位配置表。 在输入模式 ($MDE[1:0]=00$) : 00:模拟输入模式 01:浮空输入模式 (复位后的状态) 10:上拉/下拉输入模式 11:保留 在输出模式 ($MDE[1:0]>00$) : 00:通用推挽输出模式 01:通用开漏输出模式 10:复用功能推挽输出模式 11:复用功能开漏输出模式
位 29:28 25:24 21:20 17:16 13:12 9:8,5:4 1:0	MDEy[1:0]: 端口 x 的模式位 ($y=8\ldots 15$) (Portx Mode bits) 软件通过这些位配置相应的 I/O 端口, 请参考表 7-1 端口位配置表。 00:输入模式 (复位后的状态) 01:输出模式, 较大电流推动/吸入能力 10:输出模式, 适中电流推动/吸入能力 11:输出模式, 极大电流推动/吸入能力

注意: 有些端口寄存器复位值不同, 比如 PB 有些引脚默认是 JTAG/SWD 有上拉输入引脚。

6.5.3 端口输入数据寄存器 (GPIOx_IPTDT) (x=A..E)

地址偏移:0x08

复位值:0x0000XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IPTD T[15]	IPTD T[14]	IPTD T[13]	IPTD T[12]	IPTD T[11]	IPTD T[10]	IPTD T[9]	IPTD T[8]	IPTD T[7]	IPTD T[6]	IPTD T[5]	IPTD T[4]	IPTD T[3]	IPTD T[2]	IPTD T[1]	IPTD T[0]
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
位 31:16		保留, 始终读为 0。													
位 15:0		IPTDTy[15:0]: 端口输入数据 (y=0...15) (Port input data) 这些位为只读并只能以字 (16 位) 的形式读出。读出的值为对应 I/O 口的状态。													

6.5.4 端口输出数据寄存器 (GPIOx_OPTDT) (x=A..E)

地址偏移:0x0C

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTD T[15]	OPTD T[14]	OPTD T[13]	OPTD T[12]	OPTD T[11]	OPTD T[10]	OPTD T[9]	OPT DT[8]	OPT DT[7]	OPT DT[6]	OPT DT[5]	OPT DT[4]	OPT DT[3]	OPT DT[2]	OPT DT[1]	OPT DT[0]
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31:16		保留, 始终读为 0。													
位 15:0		OPTDTy[15:0]: 端口输出数据 (y=0...15) (Port output data) 这些位可读可写并只能以字 (16 位) 的形式操作。 注:对 GPIOx_BSRE (x=A...E), 可以分别地对各个 OPTDT 位进行独立的设置/清除。													

6.5.5 端口位设置/清除寄存器 (GPIOx_BSRE) (x=A..E)

地址偏移:0x10

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BRE															
[15]															
BRE [15]	BRE [14]	BRE [13]	BRE [12]	BRE [11]	BRE [10]	BRE [9]	BRE [8]	BRE [7]	BRE [6]	BRE [5]	BRE [4]	BRE [3]	BRE [2]	BRE [1]	BRE [0]
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BST [15]	BST [14]	BST [13]	BST [12]	BST [11]	BST [10]	BST [9]	BST [8]	BST [7]	BST [6]	BST [5]	BST [4]	BST [3]	BST [2]	BST [1]	BST [0]
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31:16		BREy: 清除端口 x 的位 y (y=0...15) (Portx Reset bity) 这些位只能写入并只能以字 (16 位) 的形式操作。 0:对对应的 OPTDTy 位不产生影响 1:清除对应的 OPTDTy 位为 0 注:如果同时设置了 BSTy 和 MREy 的对应位, BSTy 位起作用。													

位 15:0	BSTy: 设置端口 x 的位 y (y=0...15) (Portx Set bity) 这些位只能写入并只能以字 (16 位) 的形式操作。 0:对对应的 OPTDTy 位不产生影响 1:设置对应的 OPTDTy 位为 1
--------	---

6.5.6 端口位清除寄存器 (IOx_BRE) (x=A..E)

地址偏移:0x14

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRE y[15]	BRE y[14]	BRE y[13]	BRE y[12]	BRE y[11]	BRE y[10]	BRE y[9]	BRE y[8]	BRE y[7]	BRE y[6]	BRE y[5]	BRE y[4]	BRE y[3]	BRE y[2]	BRE y[1]	BRE y[0]
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16	保留。
位 15:0	BREy: 清除端口 x 的位 y (y=0...15) (Portx Reset bity) 这些位只能写入并只能以字 (16 位) 的形式操作。 0:对对应的 OPTDTy 位不产生影响 1:清除对应的 OPTDTy 位为 0

6.5.7 端口配置锁定寄存器 (GPIOx_LOCK) (x=A..E)

当执行正确的写序列设置了位 16 (LOCKK) 时，该寄存器用来锁定端口位的配置。位[15:0]用于锁定 GPIO 端口的配置。在规定的写入操作期间，不能改变 LOCK[15:0]。当对相应的端口位执行了 LOCK 序列后，在下次系统复位之前将不能再更改端口位的配置。

每个锁定位锁定控制寄存器 (CTRLL,CTRLH) 中相应的 4 个位。

地址偏移:0x18

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															LOC KK
res															RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOC K[15]	LOC K[14]	LOC K[13]	LOC K[12]	LOC K[11]	LOC K[10]	LOC K[9]	LOC K[8]	LOC K[7]	LOC K[6]	LOC K[5]	LOC K[4]	LOC K[3]	LOC K[2]	LOC K[1]	LOC K[0]
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:17	保留。
位 16	LOCKK: 锁键 (Lock key) 该位可随时读出，它只可通过锁键写入序列修改。 0:端口配置锁键位未激活 1:端口配置锁键位被激活，下次系统复位前 GPIOx_LOCK 寄存器被锁住。 锁键的写入序列: 写 1->写 0->写 1->读 0->读 1 最后一个读可省略，但可以用来确认锁键已被激活。 注:在操作锁键的写入序列时，不能改变 LOCK[15:0]的值。 操作锁键写入序列中的任何错误将不能激活锁键。

位 15:0	LOCKY :端口 x 的锁位 y (y=0...15) (Portx Lock bit) 这些位可读可写但只能在 LOCKK 位为 0 时写入。 0:不锁定端口的配置 1:锁定端口的配置
--------	--

6.5.8 复用事件控制寄存器 (AFIO_EVCTRL)

地址偏移:0x00

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								EVOEN	PORT[2:0]		PIN[3:0]				
res				rw				rw				rw			

位 31:8	保留。
位 7	EVOEN :允许事件输出 (Event output enable) 该位可由软件读写。当设置该位后, Cortex 的 EVENTOUT 将连接到由 PORT[2:0]和 PIN[3:0]选定的 I/O 口。
位 6:4	PORT[2:0] :端口选择 (Port selection) 选择用于输出 Cortex 的 EVENTOUT 信号的端口: 000:选择 PA 001:选择 PB 010:选择 PC 011:选择 PD 100:选择 PE
位 3:0	PIN[3:0] :引脚选择 (x=A...E) (Pin selection) 选择用于输出 Cortex 的 EVENTOUT 信号的引脚: 0000:选择 Px0 0001:选择 Px1 0010:选择 Px2 0011:选择 Px3 0100:选择 Px4 0101:选择 Px5 0110:选择 Px6 0111:选择 Px7 1000:选择 Px8 1001:选择 Px9 1010:选择 Px10 1011:选择 Px11 1100:选择 Px12 1101:选择 Px13 1110:选择 Px14 1111:选择 Px15

6.5.9 复用重映射和调试I/O配置寄存器 (AFIO_MAP)

地址偏移:0x04

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SPI1_RE_MAP[1]	保留		SWJTAG_CONF[2:0]		保留		ADC1_EXTRG_REG_RE_MAP	ADC1_EXTRG_INJ_RE_MAP	TMR5_CH4_INTLRE						
rw	res		rw	rw	rw	res		rw	rw	rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD01_REMAP	CAN_RE_MAP[1:0]	保留	TMR3_RE_MAP[1:0]	TMR2_RE_MAP[1:0]	TMR1_RE_MAP[1:0]	USART3_RE_MAP[1:0]	保留	USART1_RE_MAP	I2C1_REMAP	SPI1_RE_MAP[0]					

位 31	SPI1_REMAP[1] :SPI1 的重映射 具体定义参考位 0 的 SPI1_REMAP[1:0]。
位 30:27	保留。

位 26:24	SWJTAG_CONF[2:0]:串行线 JTAG 配置 (Serial wire JTAG configuration) 这些位只可由软件写(读这些位, 将返回未定义的数值), 用于配置 SWJ 和跟踪复用功能的 I/O 口。SWJ (串行线 JTAG) 支持 JTAG 或 SWD 访问 Cortex 的调试端口。系统复位后的默认状态是启用 SWJ 但没有跟踪功能, 这种状态下可以通过 JTMS/JTCK 脚上的特定信号选择 JTAG 或 SYSCLKSEL (串行线) 模式。 000:完全 SWJ (JTAG-DP+SW-DP) :复位状态; 001:完全 SWJ (JTAG-DP+SW-DP) 但没有 NJTRST; 010:关闭 JTAG-DP, 启用 SW-DP; 100:关闭 JTAG-DP, 关闭 SW-DP; 其它组合:无作用。
位 23:21	保留。
位 20	保留
位 19	保留
位 18	ADC1_EXTRGREG_REMAP:ADC1 规则转换外部触发重映射 (ADC1 external trigger regular conversion remapping) 该位可由软件置'1'或置'0'。它控制外部触发相连的触发输入。当该位置'0'时, ADC1 规则转换外部触发与 EXTINT11 相连; 当该位置'1'时, ADC1 规则转换外部触发与 TMR1_TRGO 相连。
位 17	ADC1_EXTRGINJ_REMAP:ADC1 注入转换外部触发重映射 (ADC1 External trigger injected conversion remapping) 该位可由软件置'1'或置'0'。它控制外部触发相连的触发输入。当该位置'1'时, ADC1 注入转换外部触发与 TMR1 通道 4 相连。
位 16	TMR5CH4_INTLRE:TMR5 通道 4 内部重映射 (TMR5 channel4 internal remap) 该位可由软件置'1'或置'0'。它控制 TMR5 通道 4 内部映射。当该位置'0'时, TMR5_CH4 与 PA3 相连; 当该位置'1'时, LSI 内部振荡器与 TMR5_CH4 相连, 目的是对 LSI 进行校准。
位 15	PD01_REMAP:端口 D0/端口 D1 映射到 OSC_IN/OSC_OUT (PortD0/PortD1 mappingon OSC_IN/OSC_OUT) 该位可由软件置'1'或置'0'。它控制 PD0 和 PD1 的 GPIO 功能映射。当不使用主振荡器 HSE 时 (系统运行于内部的 8MHz 阻容振荡器), PD0 和 PD1 可以映射到 OSC_IN 和 OSC_OUT 引脚。 0:不进行 PD0 和 PD1 的重映射; 1:PD0 映射到 OSC_IN, PD1 映射到 OSC_OUT。
位 14:13	CAN_REMAP[1:0]:CAN 复用功能重映射 (CAN alternate function remapping) 这些位可由软件置'1'或置'0', 在只有单个 CAN 接口的产品上控制复用功能 CAN_RX 和 CAN_TX 的重映射。 00:CAN_RX 映射到 PA11, CAN_TX 映射到 PA12; 01:未用组合; 10:CAN_RX 映射到 PB8, CAN_TX 映射到 PB9;
位 12	保留

位 11:10	TMR3_REMAP[1:0]: 定时器 3 的重映射 (TMR3 remapping) 这些位可由软件置'1'或置'0'，控制定时器 3 的通道 1 至 4 在 GPIO 端口的映射。 00:没有重映射 (CH1/PA6, CH2/PA7, CH3/PB0, CH4/PB1)； 01:未用组合； 10:部分映射 (CH1/PB4, CH2/PB5, CH3/PB0, CH4/PB1)； 11:完全映射 (CH1/PC6, CH2/PC7, CH3/PC8, CH4/PC9)。 注:重映射不影响在 PD2 上的 TMR3_ETR。
位 9:8	TMR2_REMAP[1:0]: 定时器 2 的重映射 (TMR2 remapping) 这些位可由软件置'1'或置'0'，控制定时器 2 的通道 1 至 4 和外部触发 (ETR) 在 GPIO 端口的映射。 00:没有重映射 (CH1/ETR/PA0, CH2/PA1, CH3/PA2, CH4/PA3)； 01:部分映射 (CH1/ETR/PA15, CH2/PB3, CH3/PA2, CH4/PA3)； 10:部分映射 (CH1/ETR/PA0, CH2/PA1, CH3/PB10, CH4/PB11)； 11:完全映射 (CH1/ETR/PA15, CH2/PB3, CH3/PB10, CH4/PB11)。
位 7:6	TMR1_REMAP[1:0]: 定时器 1 的重映射 (TMR1 remapping) 这些位可由软件置'1'或置'0'，控制定时器 1 的通道 1 至 4、1N 至 3N、外部触发 (ETR) 和刹车输入 (BKIN) 在 GPIO 端口的映射。 00:没有重映射 (ETR/PA12, CH1/PA8, CH2/PA9, CH3/PA10, CH4/PA11, BKIN/PB12, CH1N/PB13, CH2N/PB14, CH3N/PB15)； 01:部分映射 (ETR/PA12, CH1/PA8, CH2/PA9, CH3/PA10, CH4/PA11, BKIN/PA6, CH1N/PA7, CH2N/PB0, CH3N/PB1)； 10~11:未用组合；
位 5:4	USART3_REMAP[1:0]: USART3 的重映射 (USART3 remapping) 这些位可由软件置'1'或置'0'，控制 USART3 的 CTS、RTS、CK、TX 和 RX 复用功能在 GPIO 端口的映射。 00:没有重映射 (TX/PB10, RX/PB11, CK/PB12, CTS/PB13, RTS/PB14)； 01:部分映射 (TX/PC10, RX/PC11, CK/PC12, CTS/PB13, RTS/PB14)； 10: 部分映射(TX/PA7, RX/PA6, CK/PA5, CTS/PB1, RTS/PB0)； 11:未用组合；
位 3	保留
位 2	USART1_REMAP: USART1 的重映射 (USART1 remapping) 该位可由软件置'1'或置'0'，控制 USART1 的 TX 和 RX 复用功能在 GPIO 端口的映射。 0:没有重映射 (TX/PA9, RX/PA10)； 1:重映射 (TX/PB6, RX/PB7)。
位 1	I2C1_REMAP[0]: I2C1 的重映射 (I2C1 remapping) 该位可由软件置'1'或置'0'，控制 I2C1 的 SCL 和 SDA 复用功能在 GPIO 端口的映射。 0:没有重映射 (SCL/PB6, SDA/PB7)； 1:重映射 (SCL/PB8, SDA/PB9)。
位 0	SPI1_REMAP[0]: SPI1 的重映射 SPI1_REMAP[1]设置于位 31。 SPI1_REMAP[1:0]可由软件置'00'，'01'或置'10'，控制 SPI1 的 NSS、SCK、MISO 和 MOSI 复用功能在 GPIO 端口的映射。 00:没有重映射 (NSS/PA4, SCK/PA5, MISO/PA6, MOSI/PA7)。 01:重映射 (NSS/PA15, SCK/PB3, MISO/PB4, MOSI/PB5)。 10~11: 未用组合

6.5.10 复用外部中断配置寄存器1 (AFIO_EXTIC1)

地址偏移:0x08

复位值:0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16												
保留																											
res																											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
EXTINT3[3:0]				EXTINT2[3:0]				EXTINT1[3:0]				EXTINT0[3:0]															
rw				rw				rw				rw															
位 31:16		保留。																									
位 15:0		EXTINTx[3:0]:EXTINTx 配置 (x=0...3) (EXTINTx configuration) 这些位可由软件读写, 用于选择 EXTINTx 外部中断的输入源。 0000:PA[x]引脚 0100:PE[x]引脚 0001:PB[x]引脚 0101:PF[x]引脚 0010:PC[x]引脚 0110:PG[x]引脚 0011:PD[x]引脚																									

6.5.11 复用外部中断配置寄存器2 (AFIO_EXTIC2)

地址偏移:0x0C

复位值:0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16												
保留																											
res																											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
EXTINT7[3:0]				EXTINT6[3:0]				EXTINT5[3:0]				EXTINT4[3:0]															
rw				rw				rw				rw															
位 31:16		保留。																									
位 15:0		EXTINTx[3:0]:EXTINTx 配置 (x=4...7) (EXTINTx configuration) 这些位可由软件读写, 用于选择 EXTINTx 外部中断的输入源。 0000:PA[x]引脚 0100:PE[x]引脚 0001:PB[x]引脚 0101:PF[x]引脚 0010:PC[x]引脚 0110:PG[x]引脚 0011:PD[x]引脚																									

6.5.12 复用外部中断配置寄存器3 (AFIO_EXTIC3)

地址偏移:0x10

复位值:0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTINT11[3:0]				EXTINT10[3:0]				EXTINT9[3:0]				EXTINT8[3:0]			
rw				rw				rw				rw			

位 31:16	保留。
位 15:0	EXTINTx[3:0]:EXTINTx 配置 (x=8...11) (EXTINTx configuration) 这些位可由软件读写, 用于选择 EXTINTx 外部中断的输入源。 0000:PA[x]引脚 0100:PE[x]引脚 0001:PB[x]引脚 0101:PF[x]引脚 0010:PC[x]引脚 0110:PG[x]引脚 0011:PD[x]引脚

6.5.13 复用外部中断配置寄存器4 (AFIO_EXTIC4)

地址偏移:0x14

复位值:0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

保留

res

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

EXTINT15[3:0]	EXTINT14[3:0]	EXTINT13[3:0]	EXTINT12[3:0]
---------------	---------------	---------------	---------------

rw

rw

rw

rw

位 31:16	保留。
位 15:0	EXTINTx[3:0]:EXTINTx 配置 (x=12...15) (EXTINTx configuration) 这些位可由软件读写, 用于选择 EXTINTx 外部中断的输入源。 0000:PA[x]引脚 0100:PE[x]引脚 0001:PB[x]引脚 0101:PF[x]引脚 0010:PC[x]引脚 0110:PG[x]引脚 0011:PD[x]引脚

6.5.14 复用重映射和调试I/O配置寄存器2 (AFIO_MAP2)

地址偏移:0x1C

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

保留	COMP_REMAP_AP	保留													
----	----------------------	----	----	----	----	----	----	----	----	----	----	----	----	----	----

res

rw

rw

rw

rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

保留															
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

res

rw

rw

rw

rw

rw

res

rw

位 31:28	保留。
位 27:26	COMP_REMAP:COMP 内部重映射 (COMP internal remap) 该位可由软件置'1'或置'0'。它控制 COMP 的内部映射。 当该位置'00'时, COMP1_OUT 与 PA0 相连, COMP2_OUT 与 PA2 相连; 当该位置'01'时, COMP1_OUT 与 PA6 相连, COMP2_OUT 与 PA7 相连; 当该位置'10'时, COMP1_OUT 与 PA11 相连, COMP2_OUT 与 PA12 相连; 其它, 保留。
位 25:22	保留
位 21	保留

位 20:19	保留
位 18	保留
位 17	保留
位 16:11	保留。
位 10	保留
位 9	保留
位 8	保留
位 7	保留, 请勿使用;
位 6	保留, 请勿使用;
位 5	保留, 请勿使用;
位 4:1	保留。
位 0	保留

6.5.15 复用重映射和调试I/O配置寄存器3 (AFIO_MAP3)

地址偏移:0x20

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				保留				保留				保留			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				TMR11_GRMP				TMR10_GRMP				TMR9_GRMP			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28	保留, 供以后扩展使用, 请写全 0。
---------	---------------------

位 27:24	保留，供以后扩展使用，请写全 0。
位 23:20	保留，供以后扩展使用，请写全 0。
位 19:16	保留，供以后扩展使用，请写全 0。
位 15:12	保留，供以后扩展使用，请写全 0。
位 11:8	<p>TMR11_GRMP: TMR11 的重映射 (TMR11 remapping) 请参考：TMR11复用功能重映射 0000~1111:如未使用该位，请写全 0。</p>
位 7:4	<p>TMR10_GRMP: TMR10 的重映射 (TMR10 remapping) 请参考：TMR10复用功能重映射 0000~1111:如未使用该位，请写全 0。</p>
位 3:0	<p>TMR9_GRMP: TMR9 的重映射 (TMR9 remapping) 请参考：TMR19复用功能重映射 0000~1111:如未使用该位，请写全 0。</p>

6.5.16 复用重映射和调试I/O配置寄存器4 (AFIO_MAP4)

地址偏移:0x24

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				保留				保留				TMR5_CH4_IRMP	TMR5_GRMP		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				TMR3_GRMP				TMR2_GRMP				TMR1_GRMP			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28	保留，供以后扩展使用，请写全 0。
位 27:24	保留，供以后扩展使用，请写全 0。

位 23:20	保留，供以后扩展使用，请写全 0。
位 19	TMR5CH4_IRMP: TMR5 通道 4 内部重映射 (TMR5 channel4 internal remap) 该位可由软件置'1'或置'0'。它控制 TMR5 通道 4 内部映射。当该位置'0'时，TMR5 CH4 与
位 18:16	TMR5_GRMP: TMR5 的重映射 (TMR5 remapping) 表 7-17 TMR5 复用功能重映射 0000~1111:如未使用该位，请写全 0。
位 15:12	保留，供以后扩展使用，请写全 0。
位 11:8	TMR3_GRMP: TMR3 的重映射 (TMR3 remapping) 这些位可由软件置'1'或置'0'，它控制 TMR3 内部映射。 请参考“定时器复用功能重映射” 0000~1111:如未使用该位，请写全 0。
位 7:4	TMR2_GRMP: TMR2 的重映射 (TMR2 remapping) 这些位可由软件置'1'或置'0'，它控制 TMR2 内部映射。 请参考“定时器复用功能重映射” 0000~1111:如未使用该位，请写全 0。
位 3:0	TMR1_GRMP: TMR1 的重映射 (TMR1 remapping) 这些位可由软件置'1'或置'0'，它控制 TMR1 内部映射。 请参考“定时器复用功能重映射” 0000~1111:如未使用该位，请写全 0。

6.5.17 复用重映射和调试I/O配置寄存器5 (AFIO_MAP5)

地址偏移:0x28

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				保留				SPI2_GRMP				SPI1_GRMP			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				I2C2_GRMP				I2C1_GRMP				保留			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28	保留，供以后扩展使用，请写全 0。
位 27:24	保留，供以后扩展使用，请写全 0。
位 23:20	SPI2_GRMP: SPI2 内部重映射 (SPI2 internal remap) 该位可由软件置'1'或置'0'。它控制 SPI2 内部映射。 0000: SPI2_NSS/I2S2_WS 与 PB12 相连,SPI2_SCK/I2S2_CK 与 PB13 相连,SPI2_MISO 与 PB14 相连, SPI2_MOSI/I2S2_SD 与 PB15 相连,I2S2_MCK 与 PC6 相连； 0001: SPI2_NSS/I2S2_WS 与 PA15 相连,SPI2_SCK/I2S2_CK 与 PB3 相连,SPI2_MISO 与 PB4 相连, SPI2_MOSI/I2S2_SD 与 PB5 相连,I2S2_MCK 与 PC7 相连； 0010~1111:保留，供以后扩展使用，请勿使用。
位 19:16	SPI1_GRMP: SPI1 的重映射 (SPI1 remapping) 这些位可由软件置'1'或置'0'，它控制 SPI1 内部映射。 请参考“SPI 复用功能重映射” 0000~1111:如未使用该位，请写全 0。
位 15:12	保留，供以后扩展使用，请写全 0。

位 11:8	I2C2_GRMP: I2C2 内部重映射 (I2C2 internal remap) 该位可由软件置'1'或置'0'。它控制 I2C2 内部映射。 0000~0011 请参考 1.4.8-“I2C 复用功能重映射” 0100~1111:保留，供以后扩展使用，请勿使用。
位 7:4	I2C1_GRMP: I2C1 的重映射 (I2C1 remapping) I2C1_REMAP[0]该位无实体寄存器，直接映射到 AFIO_MAP 寄存器的 bit1(I2C1_REMAP)，对该位的读写等同于对 AFIO_MAP 寄存器的 bit1(I2C1_REMAP)的读写。 该位可由软件置'1'或置'0'，控制 I2C1 的 SCL 和 SDA 复用功能在 GPIO 端口的映射。 0000: 重映射 (SCL/PB8, SDA/PB9)。 0001: 重映射 SCL/PF6, SDA/PF7 0010~1111:保留，供以后扩展使用，请勿使用。
位 3:0	保留，供以后扩展使用，请写全 0。

6.5.18 复用重映射和调试I/O配置寄存器6 (AFIO_MAP6)

地址偏移:0x2C

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UART4_GRMP				USART3_GRMP				保留				USART1_GRMP			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				SDIO1_GRMP				保留				CAN1_GRMP			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28	UART4_GRMP: UART4 的重映射 (UART4 remapping) 这些位可由软件置'1'或置'0'，控制复用功能 UART4_RX 和 UART_TX 的重映射。 0000:UART4_RX 映射到 PC11, UART4_TX 映射到 PC10; 0001:UART4_RX 映射到 PF5, UART4_TX 映射到 PF4; 0010~1111:保留，供以后扩展使用，请勿使用。
位 27:24	USART3_GRMP: USART3 的重映射 (USART3 remapping) 这些位可由软件置'1'或置'0'，它控制 USART3 内部映射。 请参考“UART/USART 复用功能重映射” 0000~1111:如未使用该位，请写全 0。
位 23:20	保留，供以后扩展使用，请写全 0。
位 19:16	USART1_GRMP: USART1 的重映射 (USART1 remapping) 这些位可由软件置'1'或置'0'，它控制 USART1 内部映射。 请参考“UART/USART 复用功能重映射” 0000~1111:如未使用该位，请写全 0。
位 15:12	保留，供以后扩展使用，请写全 0。
位 11:8	SDIO_GRMP: SDIO 内部重映射 (SDIO internal remap) 该位可由软件置'1'或置'0'。它控制 SDIO 内部映射。 0000~0011 请参考 1.4.11-“SDIO 重映射” 1000~1111:保留，供以后扩展使用，请勿使用。

位 7:4	保留
位 3:0	CAN1_GRMP :CAN1 的重映射 (CAN1 remapping) 这些位可由软件置'1'或置'0'，它控制 CAN1 内部映射。 请参考“CAN 复用功能重映射” 0000~1111:如未使用该位，请写全 0。

6.5.19 复用重映射和调试I/O配置寄存器7 (AFIO_MAP7)

地址偏移:0x30

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		保留		保留	保留		PD01_GRMP	保留		SWJTAG_GRMP					
rw	rw	rw	rw	rw	rw	rw	rw	rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		保留				保留	ADC1_ETR_GRMP	ADC1_ETI_GRMP	保留		保留				
rw	rw	rw	rw	rw	rw	rw	rw	rw							

位 31:29	保留，供以后扩展使用，请写全 0。
位 28	elfash_bist_controller_enable 该位可由软件置'1'或置'0'，控制 elfash_bist_controller 的 clock 和 reset 位 为 1 表示 elfash_bist_controller enable，为 0 表示 elfash_bist_controller dissable
位 27:25	保留，供以后扩展使用，请写全 0。
位 24	保留，供以后扩展使用，请写全 0。
位 23:21	保留，供以后扩展使用，请写全 0。
位 20	PD01_GRMP :端口 D0/端口 D1 映射到 OSC_IN/OSC_OUT(PortD0/PortD1 mapping on OSC_IN/OSC_OUT) 该位可由软件置'1'或置'0'。它控制 PD0 和 PD1 的 GPIO 功能映射。当不使用主振荡器 HSE 时（系统运行于内部的 8MHz 阻容振荡器），PD0 和 PD1 可以映射到 OSC_IN 和 OSC_OUT 引脚。 0:不进行 PD0 和 PD1 的重映射； 1:PD0 映射到 OSC_IN，PD1 映射到 OSC_OUT。
位 19	保留，供以后扩展使用，请写全 0。

位 18:16	SWJTAG_GRMP: 串行线 JTAG 配置 (Serial wire JTAG remapping) 这些位只可由软件写 (读这些位, 将返回未定义的数值), 用于配置 SWJ 和跟踪复用功能的 I/O 口。SWJ (串行线 JTAG) 支持 JTAG 或 SWD 访问 Cortex 的调试端口。系统复位后的默认状态是启用 SWJ 但没有跟踪功能, 这种状态下可以通过 JTMS/JTCK 脚上的特定信号选择 JTAG 或 SYSCLKSEL (串行线) 模式。 000:完全 SWJ (JTAG-DP+SW-DP) :复位状态; 001:完全 SWJ (JTAG-DP+SW-DP) 但没有 NJTRST; 010:关闭 JTAG-DP, 启用 SW-DP; 100:关闭 JTAG-DP, 关闭 SW-DP; 其它组合:无作用。
位 15:12	保留, 供以后扩展使用, 请写全 0。
位 11:10	保留, 供以后扩展使用, 请写全 0。
位 9:6	保留, 供以后扩展使用, 请写全 0。
位 5	ADC1_ETR_GRMP: ADC1 规则转换外部触发重映射 (ADC1 external trigger regular conversion remapping) 该位可由软件置'1'或置'0'。它控制外部触发相连的触发输入。当该位置'0'时, ADC1 规则转换外部触发与 EXTINT11 相连; 当该位置'1'时, ADC1 规则转换外部触发与 TMR1_TRGO 相连。
位 4	ADC1_ETI_GRMP: ADC1 注入转换外部触发重映射 (ADC1 External trigger injected conversion remapping) 该位可由软件置'1'或置'0'。它控制外部触发相连的触发输入。当该位置'1'时, ADC1 注入转换外部触发与 TMR1 通道 4 相连。
位 3	保留
位 2:0	保留

6.5.20 复用重映射和调试I/O配置寄存器8 (AFIO_MAP8)

地址偏移:0x34

复位值:0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								TMR3_- CH1_- COMP [1:0]	TMR2_- CH4_- COMP [1:0]	TMR1_- CH1_- COMP [1:0]	TMR1_- BK1_- COMP [1:0]				
res								rw	rw	rw	rw				

位 31:8	保留。
位 7:6	TMR3_CH1_COMP[1:0]: TMR3 CH1 COMP 选择 (TMR3 CH1 COMP 输出选择) 该位可由软件置'1'或置'0'。它控制 TMR3 通道 1 内部映射。 00, 01:由 TMR3_REMAP 控制选择的信号连接到 TMR3 的通道 1 10: 连接到 COMP 的 TMR3_IC1 11: COMP 的 TMR3_IC1 与 TMR3_REMAP 控制选择的信号或在一起连接到 TMR3 通道 1
位 5:4	TMR2_CH4_COMP[1:0]: TMR2 CH4 COMP 选择 (TMR2 CH4 COMP 输出选择) 该位可由软件置'1'或置'0'。它控制 TMR2 通道 4 内部映射。 00, 01:由 TMR2_REMAP 控制选择的信号连接到 TMR2 的通道 4 10: 由 COMP 的 TMR2_IC4 连接到 TMR2 的通道 4 11: COMP 的 TMR2_IC4 与 TMR2_REMAP 控制选择的信号或在一起连接到 TMR2 通道 4
位 3:2	TMR1_CH1_COMP[1:0]: TMR1 CH1 COMP 选择 (TMR1 CH1 COMP 输出选择) 该位可由软件置'1'或置'0'。它控制 TMR1 通道 1 内部映射。 00, 01:由 TMR1_REMAP 控制选择的信号连接到 TMR1 的通道 1 10: 连接到 COMP 的 TMR1_IC1 11: COMP 的 TMR1_IC1 与 TMR1_REMAP 控制选择的信号或在一起连接到 TMR1 通道 1
位 1:0	TMR1_BK1_COMP[1:0]: TMR1 BK1 COMP 选择 (TMR1 BK1 COMP 输出选择) 该位可由软件置'1'或置'0'。它控制 TMR1 刹车输入 1 内部映射。 00, 01:由 TMR1_REMAP 控制选择的信号连接到 TMR1 的刹车输入 1 10: 由 COMP 的 TMR1_BK1 连接到 TMR1 的刹车输入 1 11: COMP 的 TMR1_BK1 与 TMR1_REMAP 控制选择的信号或在一起连接到 TMR1 刹车输入 1

7 中断和事件

7.1 嵌套向量中断控制器

特性

- 55 个可屏蔽中断通道（不包含 16 个 Cortex™-M4 的中断线）；
- 16 个可编程的优先等级（使用了 4 位中断优先级）；
- 低延迟的异常和中断处理；
- 电源管理控制；
- 系统控制寄存器的实现；

嵌套向量中断控制器（NVIC）和处理器核的接口紧密相连，可以实现低延迟的中断处理和高效地处理晚到的中断。

嵌套向量中断控制器管理着包括内核异常等中断。

7.1.1 系统嘀嗒（SysCNTRick）校准值寄存器

系统嘀嗒校准值固定为 9000，例如：当 HCLK=72 MHz，系统嘀嗒时钟设定为 9MHz（HCLK/8），产生 1ms 时间基准。

7.1.2 中断和异常向量

下面两个表，分别列出了 AT32F415 产品的向量表。

表7-1 AT32F415产品的向量表

位置	优先 级	优先级 类型	名称	说明	地址
-	-	-	-	保留	0x0000_0000
-3	固定		Reset	复位	0x0000_0004
-2	固定		NMI	不可屏蔽中断 RCC 时钟失效检测（CFD）联接到 NMI 向量	0x0000_0008
-1	固定		硬件失效（HardFault）	所有类型的失效	0x0000_000C
0	可设置		存储管理 (MemoryManage)	存储器管理	0x0000_0010
1	可设置		总线错误（BusFault）	预取指失败，存储器访问失败	0x0000_0014
2	可设置		错误应用（UsageFault）	未定义的指令或非法状态	0x0000_0018
-	-	-	-	保留	0x0000_001C ~0x0000_002B
3	可设置		SVCall	通过 SWI 指令的系统服务调用	0x0000_002C
4	可设置		调试监控 (DebugLENonitor)	调试监控器	0x0000_0030
-	-	-	-	保留	0x0000_0034
5	可设置		PendSV	可挂起的系统服务	0x0000_0038
6	可设置		SysCNTRick	系统嘀嗒定时器	0x0000_003C
0	7	可设置	WWDG	窗口定时器中断	0x0000_0040
1	8	可设置	PVD	连到 EXTI 线 16 的电源电压检测（PVD） 中断	0x0000_0044

2	9	可设置	TAMPER	连接到 EXTI 线 21 的侵入检测中断	0x0000_0048
3	10	可设置	ERTC	连接到 EXTI 线 22 的实时时钟 (ERTC) 全局中断	0x0000_004C
4	11	可设置	EFLASH	闪存全局中断	0x0000_0050
5	12	可设置	RCC	复位和时钟控制 (RCC) 中断	0x0000_0054
6	13	可设置	EXTINT0	EXTI 线 0 中断	0x0000_0058
7	14	可设置	EXTINT1	EXTI 线 1 中断	0x0000_005C
8	15	可设置	EXTINT2	EXTI 线 2 中断	0x0000_0060
9	16	可设置	EXTINT3	EXTI 线 3 中断	0x0000_0064
10	17	可设置	EXTINT4	EXTI 线 4 中断	0x0000_0068
11	18	可设置	DMA1 通道 1	DMA1 通道 1 全局中断	0x0000_006C
12	19	可设置	DMA1 通道 2	DMA1 通道 2 全局中断	0x0000_0070
13	20	可设置	DMA1 通道 3	DMA1 通道 3 全局中断	0x0000_0074
14	21	可设置	DMA1 通道 4	DMA1 通道 4 全局中断	0x0000_0078
15	22	可设置	DMA1 通道 5	DMA1 通道 5 全局中断	0x0000_007C
16	23	可设置	DMA1 通道 6	DMA1 通道 6 全局中断	0x0000_0080
17	24	可设置	DMA1 通道 7	DMA1 通道 7 全局中断	0x0000_0084
18	25	可设置	ADC1	ADC1 的全局中断	0x0000_0088
19	26	可设置	CAN1_TX	CAN1 发送中断	0x0000_008C
20	27	可设置	CAN1_RXS0	CAN1 接收 0 中断	0x0000_0090
21	28	可设置	CAN1_RXS1	CAN1 接收 1 中断	0x0000_0094
22	29	可设置	CAN1_SCE	CAN1 SCE 中断	0x0000_0098
23	30	可设置	EXTINT9_5	EXTI 线[9: 5]中断	0x0000_009C
24	31	可设置	TMR1_BRK_TMR9	TMR1 刹车中断和 TMR9 全局中断	0x0000_00A0
25	32	可设置	TMR1_OV_TMR10	TMR1 更新中断和 TMR10 全局中断	0x0000_00A4
26	33	可设置	TMR1_TRG_COM_TMR11	TMR1 触发和通信中断和 TMR11 全局中断	0x0000_00A8
27	34	可设置	TMR1_CC	TMR1 捕获比较中断	0x0000_00AC
28	35	可设置	TMR2	TMR2 全局中断	0x0000_00B0
29	36	可设置	TMR3	TMR3 全局中断	0x0000_00B4
30	37	可设置	TMR4	TMR4 全局中断	0x0000_00B8
31	38	可设置	I2C1_EV	I ² C1 事件中断	0x0000_00BC
32	39	可设置	I2C1_ER	I ² C1 错误中断	0x0000_00C0
33	40	可设置	I2C2_EV	I ² C2 事件中断	0x0000_00C4
34	41	可设置	I2C2_ER	I ² C2 错误中断	0x0000_00C8
35	42	可设置	SPI1	SPI1 全局中断	0x0000_00CC
36	43	可设置	SPI2	SPI2 全局中断	0x0000_00D0

37	44	可设置	USART1	USART1 全局中断	0x0000_00D4
38	45	可设置	USART2	USART2 全局中断	0x0000_00D8
39	46	可设置	USART3	USART3 全局中断	0x0000_00DC
40	47	可设置	EXTINT15_10	EXTI 线[15: 10]中断	0x0000_00E0
41	48	可设置	ERTCAlarm	连到 EXTI 线 17 的 ERTC 闹钟中断	0x0000_00E4
42	49	可设置	保留		0x0000_00E8
43	50	可设置	保留		0x0000_00EC
44	51	可设置	保留		0x0000_00F0
45	52	可设置	保留		0x0000_00F4
46	53	可设置	保留		0x0000_00F8
47	54	可设置	保留		0x0000_00FC
48	55	可设置	保留		0x0000_0100
49	56	可设置	SDIO	SDIO 全局中断	0x0000_0104
50	57	可设置	TMR5	TMR5 全局中断	0x0000_0108
51	58	可设置	保留		0x0000_010C
52	59	可设置	UART4	UART4 全局中断	0x0000_0110
53	60	可设置	UART5	UART5 全局中断	0x0000_0114
54	61	可设置	保留		0x0000_0118
55	62	可设置	保留		0x0000_011C
56	63	可设置	DMA2 通道 1	DMA2 通道 1 全局中断	0x0000_0120
57	64	可设置	DMA2 通道 2	DMA2 通道 2 全局中断	0x0000_0124
58	65	可设置	DMA2 通道 3	DMA2 通道 3 全局中断	0x0000_0128
59	66	可设置	DMA2 通道 4_5	DMA2 通道 4 和 DMA2 通道 5 全局中断	0x0000_012C
60	67	可设置	保留		0x0000_0130
61	68	可设置	保留		0x0000_0134
62	69	可设置	保留		0x0000_0138
63	70	可设置	保留		0x0000_013C
64	71	可设置	保留		0x0000_0140
65	72	可设置	保留		0x0000_0144
66	73	可设置	保留		0x0000_0148
67	74	可设置	USBOTG	USBOTG 中断	0x0000_014C
68	75	可设置	保留		0x0000_0150
69	76	可设置	保留		0x0000_0154
70	77	可设置	COMP1	连到 EXTI 线 19 的 COMP1 中断	0x0000_0158
71	78	可设置	COMP2	连到 EXTI 线 20 的 COMP2 中断	0x0000_015C

72	79	可设置	ACC	ACC 中断	0x0000_0160
73	80	可设置	保留		0x0000_0164
74	81	可设置	保留		0x0000_0168
75	82	可设置	DMA2 通道 6_7	DMA2 通道 6 和 DMA2 通道 7 全局中断	0x0000_016C

7.2 外部中断/事件控制器 (EXTI)

它有 23 个能产生事件/中断请求的边沿检测器。每个输入线可以独立地配置输入类型(脉冲或挂起)和对应的触发事件(上升沿或下降沿或者双边沿都触发)。每个输入线都可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求。

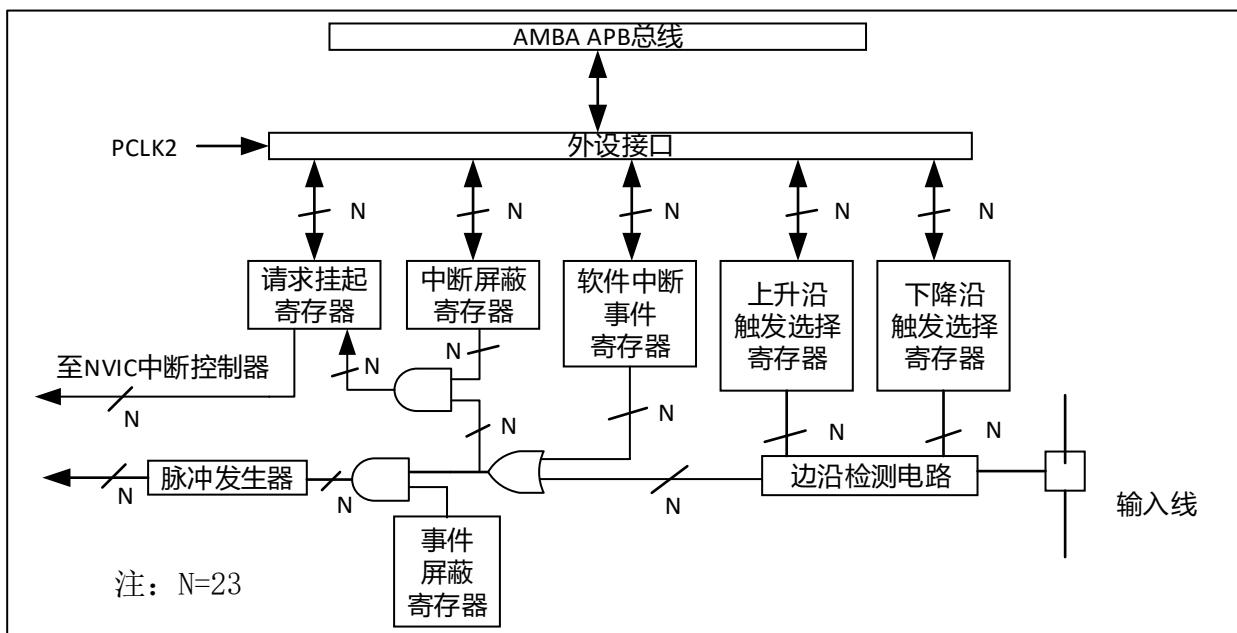
7.2.1 主要特性

EXTI 控制器的主要特性如下：

- 每个中断/事件都有独立的触发和屏蔽
- 每个中断线都有专用的状态位
- 支持多达 23 个软件的中断/事件请求
- 检测脉冲宽度低于 APB2 时钟宽度的外部信号。参见数据手册中电气特性部分的相关参数。

7.2.2 框图

图 7-1 外部中断/事件控制器框图



7.2.3 唤醒事件管理

AT32F415 可以处理外部或内部事件来唤醒内核 (WFE)。唤醒事件可以通过下述配置产生：

- 在外设的控制寄存器使能一个中断，但不在 NVIC 中使能，同时在 Cortex™-M4 的系统控制寄存器中使能 SEVONPEND 位。当 CPU 从 WFE 恢复后，需要清除相应外设的中断挂起位和外设 NVIC 中断通道挂起位（在 NVIC 中断清除挂起寄存器中）。
- 配置一个外部或内部 EXTI 线为事件模式，当 CPU 从 WFE 恢复后，因为对应事件线的挂起位没有被置位，不必清除相应外设的中断挂起位或 NVIC 中断通道挂起位。

使用外部 I/O 端口作为唤醒事件，请参见 [7.2.4 节的功能说明](#)。

7.2.4 功能说明

要产生中断，必须先配置好并使能中断线。根据需要的边沿检测设置 2 个触发寄存器，同时在中断屏蔽寄存器的相应位写'1'允许中断请求。当外部中断线上发生了期待的边沿时，将产生一个中断请求，对应的挂起位也随之被置'1'。在挂起寄存器的对应位写'1'，将清除该中断请求。

如果需要产生事件，必须先配置好并使能事件线。根据需要的边沿检测通过设置 2 个触发寄存器，同时在事件屏蔽寄存器的相应位写'1'允许事件请求。当事件线上发生了需要的边沿时，将产生一个事件请求脉冲，对应的挂起位不被置'1'。

通过在软件中断/事件寄存器写'1'，也可以通过软件产生中断/事件请求。

硬件中断选择

通过下面的过程来配置 23 个线路做为中断源：

- 配置 23 个中断线的屏蔽位（`EXTI_INTEN`）
- 配置所选中断线的触发选择位（`EXTI_RTRSEL` 和 `EXTI_FTRSEL`）；
- 配置对应到外部中断控制器（`EXTI`）的 NVIC 中断通道的使能和屏蔽位，使得 20 个中断线中的请求可以被正确地响应。

硬件事件选择

通过下面的过程，可以配置 23 个线路为事件源

- 配置 23 个事件线的屏蔽位（`EXTI_EVTEN`）
- 配置事件线的触发选择位（`EXTI_RTRSEL` 和 `EXTI_FTRSEL`）

软件中断/事件的选择

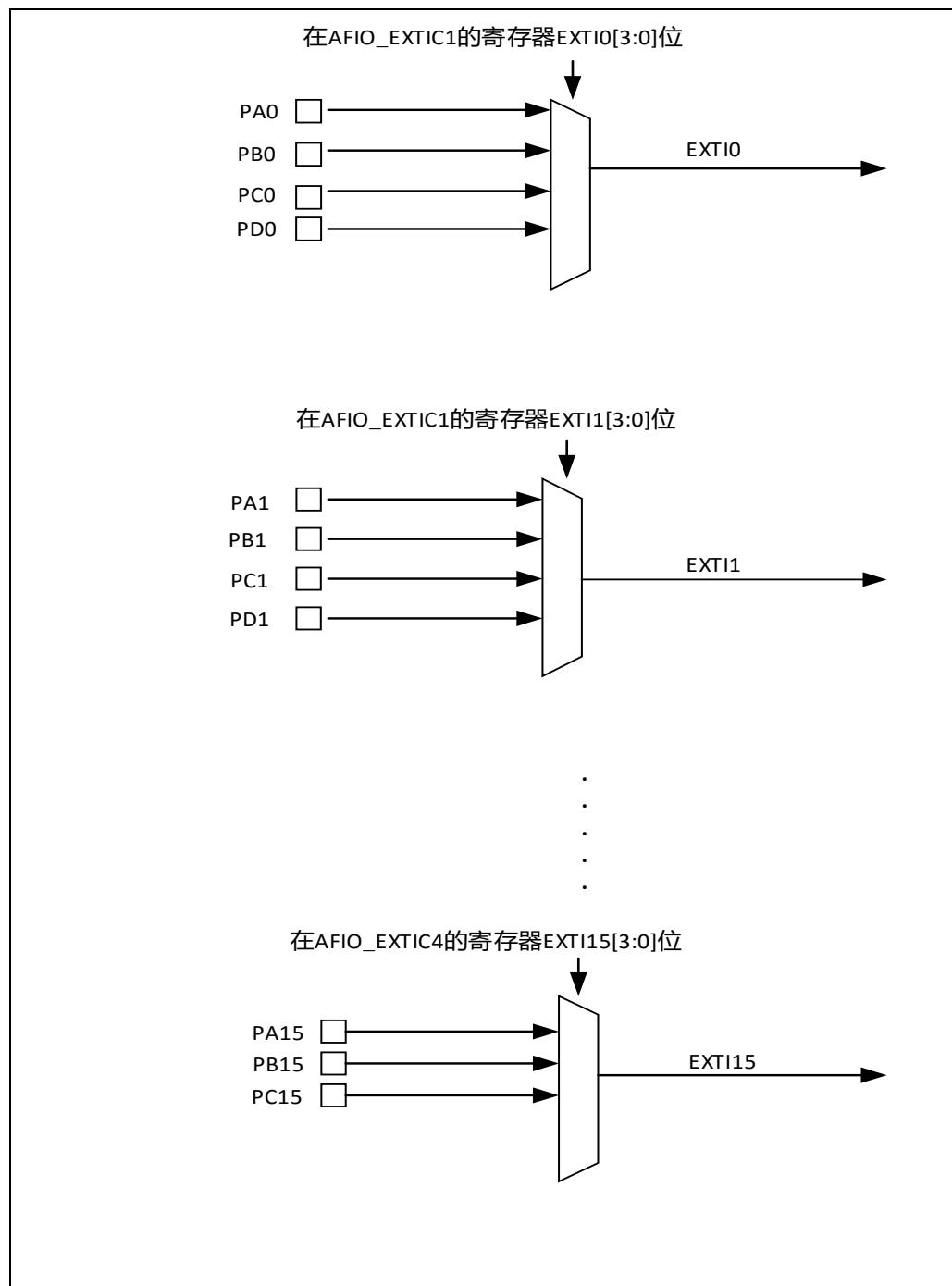
23 个线路可以被配置成软件中断/事件线。下面是产生软件中断的过程：

- 配置 23 个中断/事件线屏蔽位（`EXTI_INTEN`, `EXTI_EVTEN`）
- 设置软件中断寄存器的请求位（`EXTI_SWIE`）

7.2.5 外部中断/事件线路映像

55 通用 I/O 端口以下图的方式连接到 16 个外部中断/事件线上：

图 7-2 外部中断通用 I/O 映像



通过 AFIO_EXTICx 配置 GPIO 线上的外部中断/事件，必须先使能 AFIO 时钟。参见 [3.3.7 节](#)。

另外四个 EXTI 线的连接方式如下：

- EXTI 线 16 连接到 PVD 输出
- EXTI 线 17 连接到 ERTC 闹钟事件
- EXTI 线 18 连接到 USB OTG FS 唤醒事件
- EXTI 线 19 连接到 COMP1 唤醒事件
- EXTI 线 20 连接到 COMP2 唤醒事件
- EXTI 线 21 连接到 ERTC 入侵和时间戳事件
- EXTI 线 22 连接到 ERTC 唤醒事件

7.3 EXTI寄存器描述

必须以字（32位）的方式操作这些外设寄存器。

下表列出了 EXTI 寄存器的映像和复位值。所有寄存器中的位 19 为保留位。

表 7-2 外部中断/事件控制器寄存器映像和复位值

偏移	寄存器	35	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	EXTI_INTEN	保留										MR[22: 0]																					
												0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x04	EXTI_EVTEN	保留										MR[22: 0]																					
												0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x08	EXTI_RTRSEL	保留										TR[22: 0]																					
												0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x0C	EXTI_FTRSEL	保留										TR[22: 0]																					
												0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x10	EXTI_SWIE	保留										SWIE[22: 0]																					
												0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x14	EXTI_PND	保留										PR[22: 0]																					
												0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

7.3.1 中断屏蔽寄存器 (EXTI_INTEN)

偏移地址: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																			
																保留	MR22	MR21	MR20	MR19	MR18	MR17	MR16											
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																			
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0																			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			
位 31: 23		保留，必须始终保持为复位状态（0）。																																

位 22: 0	MRx: 线 x 上的中断屏蔽 (Interrupt Mask on line x) 0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。
---------	---

7.3.2 事件屏蔽寄存器 (EXTI_EVTEN)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16					
保留														MR22	MR21	MR20	MR19	MR18	MR17	MR16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
MR15	MR14	MR13	MR12	MR11	MR10	MR9	MR8	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0					
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 31: 23		保留, 必须始终保持为复位状态 (0)。																		
位 22: 0		MRx: 线 x 上的事件屏蔽 (Event Mask on line x) 0: 屏蔽来自线 x 上的事件请求; 1: 开放来自线 x 上的事件请求。																		

7.3.3 上升沿触发选择寄存器 (EXTI_RTRSEL)

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16					
保留														TR22	TR21	TR20	TR19	TR18	TR17	TR16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0					
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 31: 23		保留, 必须始终保持为复位状态 (0)。																		
位 22: 0		TRx: 线 x 上的上升沿触发事件配置位 (Rising trigger event configuration bit of line x) 0: 禁止输入线 x 上的上升沿触发 (中断和事件) 1: 允许输入线 x 上的上升沿触发 (中断和事件)																		

注意: 外部唤醒线是边沿触发的, 这些线上不能出现毛刺信号。在写 EXTI_RTRSEL 寄存器时, 在外部中断线上的上升沿信号不能被识别, 挂起位也不会被置位。在同一中断线上, 可以同时设置上升沿和下降沿触发。即任一边沿都可触发中断。

7.3.4 下降沿触发选择寄存器 (EXTI_FTRSEL)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												TR22	TR21	TR20	TR19
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31: 23 保留, 必须始终保持为复位状态 (0)。

位 22: 0
TRx: 线 x 上的下降沿触发事件配置位 (Falling trigger event configuration bit of line x)
0: 禁止输入线 x 上的下降沿触发 (中断和事件)
1: 允许输入线 x 上的下降沿触发 (中断和事件)

注意: 外部唤醒线是边沿触发的, 这些线上不能出现毛刺信号。在写 EXTI_FTRSEL 寄存器时, 在外部中断线上的下降沿信号不能被识别, 挂起位不会被置位。在同一中断线上, 可以同时设置上升沿和下降沿触发。即任一边沿都可触发中断。

7.3.5 软件中断事件寄存器 (EXTI_SWIE)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												SW IER22	SW IER21	SW IER20	SW IER19
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SW IER15	SW IER14	SW IER13	SW IER12	SW IER11	SW IER10	SW IER9	SW IER8	SW IER7	SW IER6	SW IER5	SW IER4	SW IER3	SW IER2	SW IER1	SW IER0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31: 23 保留, 必须始终保持为复位状态 (0)。

位 22: 0
SWIERx: 线 x 上的软件中断 (Software interrupt on line x)
当该位为'0'时, 写'1'将设置 EXTI_PND 中相应的挂起位。如果在 EXTI_INTEN 和 EXTI_EVTEN 中允许产生该中断, 则此时将产生一个中断。
注: 通过清除 EXTI_PND 的对应位 (写入'1'), 可以清除该位为'0'。

7.3.6 挂起寄存器 (EXTI_PND)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16			
保留												PR22	PR21	PR20	PR19	PR18	PR17	PR16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
PR15	PR14	PR13	PR12	PR11	PR10	PR9	PR8	PR7	PR6	PR5	PR4	PR3	PR2	PR1	PR0			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 31: 23		保留，必须始终保持为复位状态（0）。																
位 22: 0		PRx: 挂起位（Pending bit） 0: 没有发生触发请求 1: 发生了选择的触发请求当在外部中断线上发生了选择的边沿事件，该位被置'1'。在该位中写入'1'可以清除它。																

8 DMA控制器 (DMA)

8.1 DMA简介

直接存储器存取 (DMA) 用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。无须 CPU 干预，数据可以通过 DMA 快速地移动，这就节省了 CPU 的资源来做其他操作。

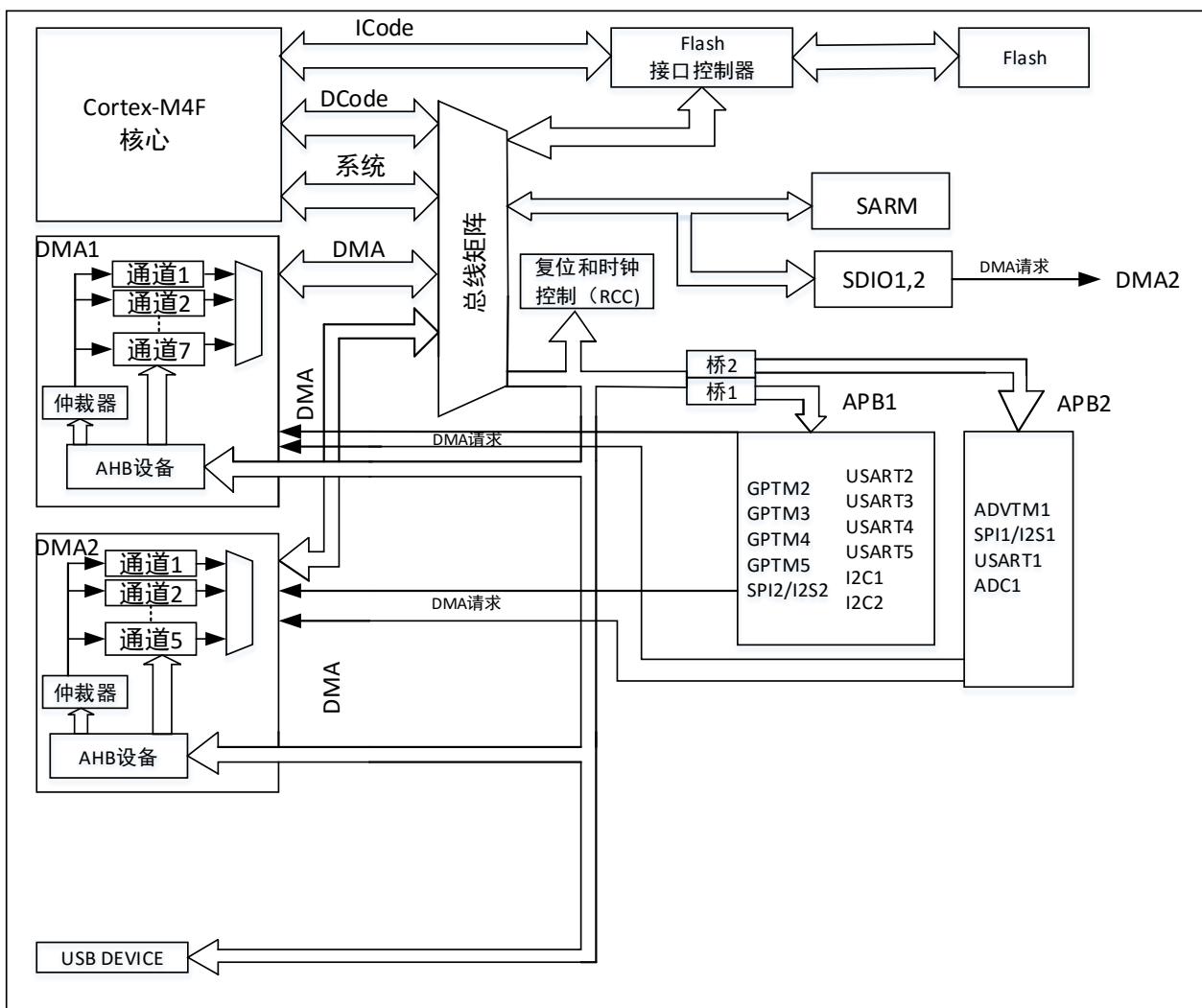
两个 DMA 控制器有 14 个通道 (DMA1 有 7 个通道, DMA2 有 7 个通道)，每个通道专门用来管理来自于一个或多个外设对存储器访问的请求。还有一个仲裁器来协调各个 DMA 请求的优先权。

8.2 DMA主要特性

- 14个独立的可配置的通道（请求）： DMA1有7个通道， DMA2有7个通道
- 每个通道都直接连接专用的硬件DMA请求，每个通道都同样支持软件触发。这些功能通过软件来配置
- 在同一个DMA模块上，多个请求间的优先权可以通过软件编程设置（共有四级：很高、高、中等和低），优先权设置相等时由硬件决定（请求0优先于请求1，依此类推）
- 独立数据源和目标数据区的传输宽度（字节、半字、全字），模拟打包和拆包的过程。源和目标地址必须按数据传输宽度对齐
- 支持循环的缓冲器管理
- 每个通道都有3个事件标志（DMA半传输、DMA传输完成和DMA传输出错），这3个事件标志逻辑或成为一个单独的中断请求
- 存储器和存储器间的传输
- 外设和存储器、存储器和外设之间的传输
- 闪存、SRAM、外设的SRAM、APB1、APB2和AHB外设均可作为访问的源和目标。
- 可编程的数据传输数目：最大为65535

下面为功能框图：

图 8-1 DMA 框图



注意：根据不同型号，图中 DMA 外设可能会有所减少。

8.3 功能描述

DMA 控制器和 Cortex™-M4 核心共享系统数据总线，执行直接存储器数据传输。当 CPU 和 DMA 同时访问相同的目标（RAM 或外设）时，DMA 请求会暂停 CPU 访问系统总线达若干个周期，总线仲裁器执行循环调度，以保证 CPU 至少可以得到一半的系统总线（存储器或外设）带宽。

8.3.1 DMA 处理

在发生一个事件后，外设向 DMA 控制器发送一个请求信号。DMA 控制器根据通道的优先权处理请求。当 DMA 控制器开始访问发出请求的外设时，DMA 控制器立即发送给它一个应答信号。当从 DMA 控制器得到应答信号时，外设立即释放它的请求。一旦外设释放了这个请求，DMA 控制器同时撤销应答信号。如果有更多的请求时，外设可以启动下一个周期。

总之，每次 DMA 传送由 3 个操作组成：

- 从外设数据寄存器或者从当前外设/存储器地址寄存器指示的存储器地址取数据，第一次传输时的开始地址是 DMA_CPBAX 或 DMA_CMBAX 寄存器指定的外设基地址或存储器单元
- 存数据到外设数据寄存器或者当前外设/存储器地址寄存器指示的存储器地址，第一次传输时的开始地址是 DMA_CPBAX 或 DMA_CMBAX 寄存器指定的外设基地址或存储器单元
- 执行一次 DMA_TCNTx 寄存器的递减操作，该寄存器包含未完成的操作数目

8.3.2 仲裁器

仲裁器根据通道请求的优先级来启动外设/存储器的访问。

优先权管理分 2 个阶段：

- 软件：每个通道的优先权可以在 DMA_CHCTRLx 寄存器中设置，有 4 个等级
 - 最高优先级
 - 高优先级
 - 中等优先级
 - 低优先级
- 硬件：如果 2 个请求有相同的软件优先级，则较低编号的通道比较高编号的通道有较高的优先权。举个例子，通道 2 优先于通道 4

注意：DMA1 控制器拥有高于 DMA2 控制器的优先级。

8.3.3 DMA 通道

每个通道都可以在有固定地址的外设寄存器和存储器地址之间执行 DMA 传输。DMA 传输的数据量是可编程的，最大达到 65535。包含要传输的数据项数量的寄存器，在每次传输后递减。

可编程的数据量

外设和存储器的传输数据量可以通过 DMA_CHCTRLx 寄存器中的 PWIDTH 和 MWIDTH 编程。

指针增量

通过设置 DMA_CHCTRLx 寄存器中的 PINC 和 MINC 标志位，外设和存储器的指针在每次传输后可以有选择地完成自动增量。当设置为增量模式时，下一个要传输的地址将是前一个地址加上增量值，增量值取决于所选的数据宽度为 1、2 或 4。第一个传输的地址是存放在 DMA_CPBAX/DMA_CMBAx 寄存器中地址。在传输过程中，这些寄存器保持它们初始的数值，软件不能改变和读出当前正在传输的地址（它在内部的当前外设/存储器地址寄存器中）。

当通道配置为非循环模式时，传输结束后（即传输计数变为 0）将不再产生 DMA 操作。要开始新的 DMA 传输，需要在关闭 DMA 通道的情况下，在 DMA_TCNTx 寄存器中重新写入传输数目。

注意：如果一个 DMA 通道关闭使能，DMA 寄存器值不会被复位。DMA 通道寄存器（DMA_CCRx, DMA_CPARx 和 DMA_CMARx）保持上一次的设置值。

在循环模式下，最后一次传输结束时，DMA_TCNTx 寄存器的内容会自动地被重新加载为其初始数值，内部的当前外设/存储器地址寄存器也被重新加载为 DMA_CPBAX/DMA_CMBAx 寄存器设定的初始地址。

通道配置过程

下面是配置 DMA 通道 x 的过程（ax 代表通道号）：

1. 在 DMA_CPBAX 寄存器中设置外设寄存器的地址。发生外设数据传输请求时，这个地址将是数据传输的源或目标。
2. 在 DMA_CMBAx 寄存器中设置数据存储器的地址。发生外设数据传输请求时，传输的数据将从这个地址读出或写入这个地址。
3. 在 DMA_TCNTx 寄存器中设置要传输的数据量。在每个数据传输后，这个数值递减。
4. 在 DMA_CHCTRLx 寄存器的 CHPL[1: 0] 位中设置通道的优先级。
5. 在 DMA_CHCTRLx 寄存器中设置数据传输的方向、循环模式、外设和存储器的增量模式、外设和存储器的数据宽度、传输一半产生中断或传输完成产生中断。
6. 设置 DMA_CHCTRLx 寄存器的 ENABLE 位，启动该通道。

一旦启动了 DMA 通道，它既可响应连到该通道上的外设的 DMA 请求。

当传输一半的数据后，半传输标志（HTIF）被置 1，当设置了允许半传输中断位（HTIE）时，将产生一个中断请求。在数据传输结束后，传输完成标志（TCIF）被置 1，当设置了允许传输完成中断位

(TCIE) 时，将产生一个中断请求。

循环模式

循环模式用于处理循环缓冲区和连续的数据传输（如 ADC 的扫描模式）。在 DMA_CHCTRLx 寄存器中的 CIRM 位用于开启这一功能。当启动了循环模式，数据传输的数目变为 0 时，将会自动地被恢复成配置通道时设置的初值，DMA 操作将会继续进行。

存储器到存储器模式

DMA 通道的操作可以在没有外设请求的情况下进行，这种操作就是存储器到存储器模式。

当设置了 DMA_CHCTRLx 寄存器中的 MEMTOMEM 位之后，在软件设置了 DMA_CHCTRLx 寄存器中的 CHEN 位启动 DMA 通道时，DMA 传输将马上开始。当 DMA_TCNTx 寄存器变为 0 时，DMA 传输结束。存储器到存储器模式不能与循环模式同时使用。

8.3.4 可编程的数据传输宽度、对齐方式和数据大小端

当 PWIDTH 和 MWIDTH 不相同时，DMA 模块按照下表进行数据对齐。

表 8-1 可编程的数据传输宽度和大小端操作（当 PINC = MINC = 1）

源端宽度	目标宽度	传输数目	源：地址/数据	传输操作	目标：地址/数据
8	8	4	0x0 / B0 0x1 / B1 0x2 / B2 0x3 / B3	1: 在 0x0 读 B0[7: 0], 在 0x0 写 B0[7: 0] 2: 在 0x1 读 B1[7: 0], 在 0x1 写 B1[7: 0] 3: 在 0x2 读 B2[7: 0], 在 0x2 写 B2[7: 0] 4: 在 0x3 读 B3[7: 0], 在 0x3 写 B3[7: 0]	0x0 / B0 0x1 / B1 0x2 / B2 0x3 / B3
8	16	4	0x0 / B0 0x1 / B1 0x2 / B2 0x3 / B3	1: 在 0x0 读 B0[7: 0], 在 0x0 写 00B0[15: 0] 2: 在 0x1 读 B1[7: 0], 在 0x2 写 00B1[15: 0] 3: 在 0x2 读 B2[7: 0], 在 0x4 写 00B2[15: 0] 4: 在 0x3 读 B3[7: 0], 在 0x6 写 00B3[15: 0]	0x0 / 00B0 0x2 / 00B1 0x4 / 00B2 0x6 / 00B3
8	32	4	0x0 / B0 0x1 / B1 0x2 / B2 0x3 / B3	1: 在 0x0 读 B0[7: 0], 在 0x0 写 000000B0[31: 0] 2: 在 0x1 读 B1[7: 0], 在 0x4 写 000000B1[31: 0] 3: 在 0x2 读 B2[7: 0], 在 0x8 写 000000B2[31: 0] 4: 在 0x3 读 B3[7: 0], 在 0xC 写 000000B3[31: 0]	0x0 / 000000B0 0x4 / 000000B1 0x8 / 000000B2 0xC / 000000B3
16	8	4	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6	1: 在 0x0 读 B1B0[15: 0], 在 0x0 写 B0[7: 0] 2: 在 0x2 读 B3B2[15: 0], 在 0x1 写 B2[7: 0] 3: 在 0x4 读 B5B4[15: 0], 在 0x2 写 B4[7: 0] 4: 在 0x6 读 B7B6[15: 0], 在 0x3 写 B6[7: 0]	0x0 / B0 0x1 / B2 0x2 / B4 0x3 / B6
16	16	4	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6	1: 在 0x0 读 B1B0[15: 0], 在 0x0 写 B1B0[15: 0] 2: 在 0x2 读 B3B2[15: 0], 在 0x2 写 B3B2[15: 0] 3: 在 0x4 读 B5B4[15: 0], 在 0x4 写 B5B4[15: 0] 4: 在 0x6 读 B7B6[15: 0], 在 0x6 写 B7B6[15: 0]	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6
16	32	4	0x0 / B1B0 0x2 / B3B2 0x4 / B5B4 0x6 / B7B6	1: 在 0x0 读 B1B0[15: 0], 在 0x0 写 0000B1B0[31: 0] 2: 在 0x2 读 B3B2[15: 0], 在 0x4 写 0000B3B2[31: 0] 3: 在 0x4 读 B5B4[15: 0], 在 0x8 写 0000B5B4[31: 0] 4: 在 0x6 读 B7B6[15: 0], 在 0xC 写 0000B7B6[31: 0]	0x0 / 0000B1B0 0x4 / 0000B3B2 0x8 / 0000B5B4 0xC / 0000B7B6
32	8	4	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDBC	1: 在 0x0 读 B3B2B1B0[31: 0], 在 0x0 写 B0[7: 0] 2: 在 0x4 读 B7B6B5B4[31: 0], 在 0x1 写 B4[7: 0] 3: 在 0x8 读 BBBAB9B8[31: 0], 在 0x2 写 B8[7: 0] 4: 在 0xC 读 BFBEBDBC[31: 0], 在 0x3 写 BC[7: 0]	0x0 / B0 0x1 / B4 0x2 / B8 0x3 / BC
32	16	4	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDBC	1: 在 0x0 读 B3B2B1B0[31: 0], 在 0x0 写 B1B0[15: 0] 2: 在 0x4 读 B7B6B5B4[31: 0], 在 0x2 写 B5B4[15: 0] 3: 在 0x8 读 BBBAB9B8[31: 0], 在 0x4 写 B9B8[15: 0] 4: 在 0xC 读 BFBEBDBC[31: 0], 在 0x6 写 BDBC[15: 0]	0x0 / B1B0 0x2 / B5B4 0x4 / B9B8 0x6 / BDBC
32	32	4	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDBC	1: 在 0x0 读 B3B2B1B0[31: 0], 在 0x0 写 B3B2B1B0[31: 0] 2: 在 0x4 读 B7B6B5B4[31: 0], 在 0x4 写 B7B6B5B4[31: 0] 3: 在 0x8 读 BBBAB9B8[31: 0], 在 0x8 写 BBBAB9B8[31: 0] 4: 在 0xC 读 BFBEBDBC[31: 0], 在 0xC 写 BFBEBDBC[31: 0]	0x0 / B3B2B1B0 0x4 / B7B6B5B4 0x8 / BBBAB9B8 0xC / BFBEBDBC

操作一个不支持字节或半字写的 AHB 设备

当 DMA 模块开始一个 AHB 的字节或半字写操作时，数据将在 HWDATA[31: 0]总线中未使用的部分重复。因此，如果 DMA 以字节或半字写入不支持字节或半字写操作的 AHB 设备时（即 HSIZE 不适于该模块），不会发生错误，DMA 将按照下面两个例子写入 32 位 HWDATA 数据：

- 当 HSIZE= 半字时，写入半字 ’0xABCD’，DMA 将设置 HWDATA 总线为 ’0xABCDABCD’
- 当 HSIZE= 字节时，写入字节 ’0xAB’，DMA 将设置 HWDATA 总线为 ’0xABABABAB’

假定 AHB/APB 桥是一个 AHB 的 32 位从设备，它不处理 HSIZE 参数，它将按照下述方式把任何 AHB 上的字节或半字按 32 位传送到 APB 上：

- 一个 AHB 上对地址 0x0（或 0x1、0x2 或 0x3）的写字节数据 ’0xB0’ 操作，将转换到 APB 上对地址 0x0 的写字数据 ’0xB0B0B0B0’ 操作
- 一个 AHB 上对地址 0x0（或 0x2）的写半字数据 ’0xB1B0’ 操作，将转换到 APB 上对地址 0x0 的写半字数据 ’0xB1B0B1B0’ 操作

例如，如果要写入 APB 后备寄存器（与 32 位地址对齐的 16 位寄存器），需要配置存储器数据源宽度（MWIDTH）为 ’16 位’，外设目标数据宽度（PWIDTH）为 ’32 位’。

8.3.5 错误管理

读写一个保留的地址区域，将会产生 DMA 传输错误。当在 DMA 读写操作时发生 DMA 传输错误时，硬件会自动地清除发生错误的通道所对应的通道配置寄存器（DMA_CHCTRLx）的 CHEN 位，该通道操作被停止。此时，在 DMA_IFR 寄存器中对应该通道的传输错误中断标志位（ERRIF）将被置位，如果在 DMA_CHCTRLx 寄存器中设置了传输错误中断允许位，则将产生中断。

8.3.6 中断

每个 DMA 通道都可以在 DMA 传输过半、传输完成和传输错误时产生中断。为应用的灵活性考虑，通过设置寄存器的不同位来打开这些中断。

表 8-2 DMA 中断请求

中断事件	事件标志位	使能控制位
传输过半	HTIF	HTIE
传输完成	TCIF	TCIE
传输错误	ERRIF	ERRIE

注意： DMA2 通道 4 和 DMA2 通道 5 的中断被映射在同一个中断向量上。

8.3.7 DMA 固定请求映像

DMA1 控制器

从外设（TMRx[x=1、2、3、4]、ADC1、SPI1、SPI2/I2S2、I2Cx[x=1、2]和 USARTx[x=1、2、3]）产生的 7 个请求，通过逻辑或输入到 DMA1 控制器，这意味着同时只能有一个请求有效。参见下图的 DMA1 请求映像。

外设的 DMA 请求，可以通过设置相应外设寄存器中的控制位，被独立地开启或关闭。

图 8-2 DMA1 请求映像

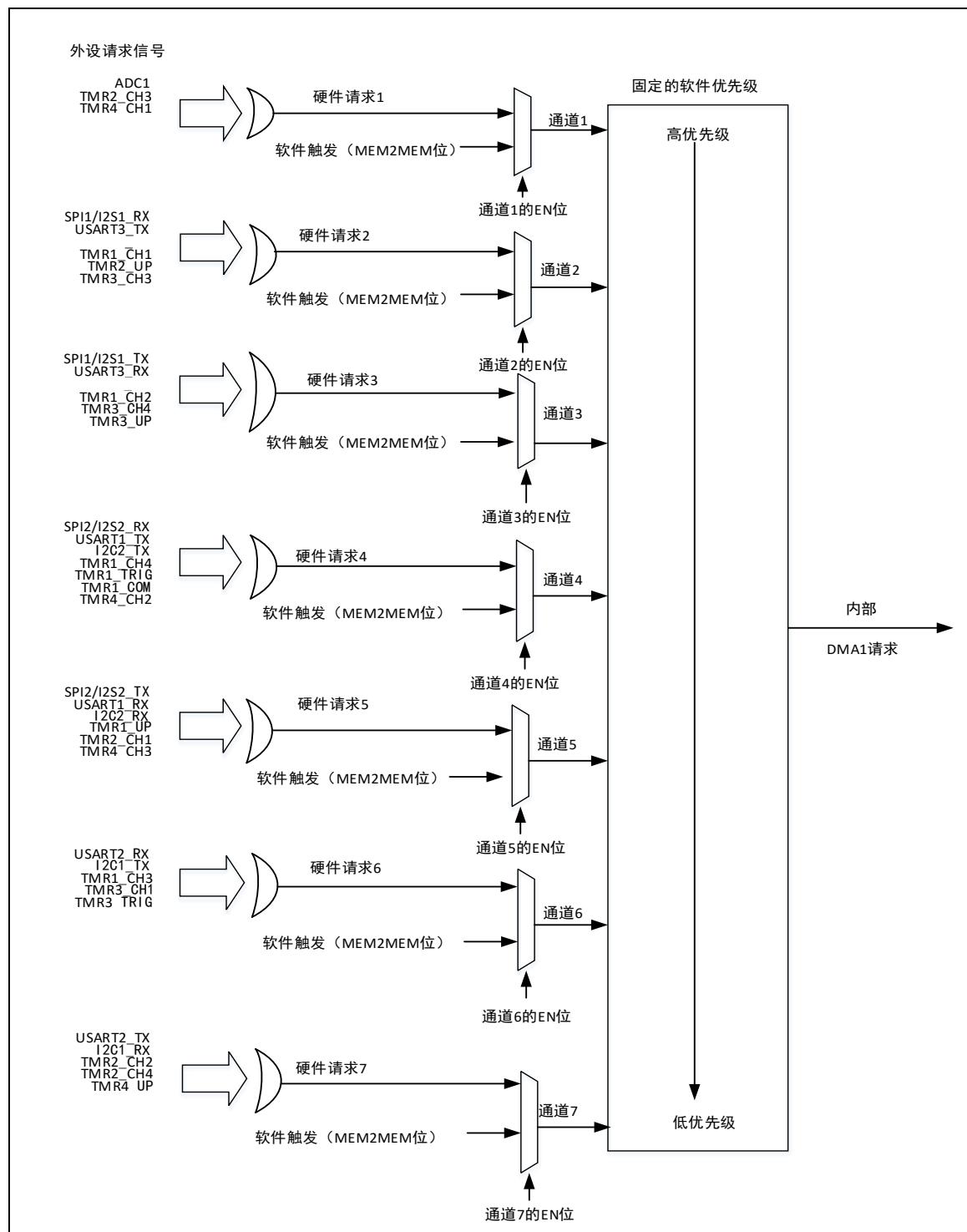


表 8-3 各个通道的 DMA1 请求一览

外设	通道 1	通道 2	通道 3	通道 4	通道 5	通道 6	通道 7
ADC1	ADC1						
SPI/I ² S		SPI1/I2S1_RX	SPI1/I2S1_TX	SPI2/I2S2_RX	SPI2/I2S2_TX		
USART		USART3_TX	USART3_RX	USART1_TX	USART1_RX	USART2_RX	USART2_TX

I ² C				I2C2_TX	I2C2_RX	I2C1_TX	I2C1_RX
TMR1		TMR1_CH1	TMR1_CH2	TMR1_CH4 TMR1_TRIG TMR1_COM	TMR1_UP	TMR1_CH3	
TMR2	TMR2_CH3	TMR2_UP			TMR2_CH1		TMR2_CH2 TMR2_CH4
TMR3		TMR3_CH3	TMR3_CH4 TMR3_UP			TMR3_CH1 TMR3_TRIG	
TMR4	TMR4_CH1			TMR4_CH2	TMR4_CH3		TMR4_UP

DMA2 控制器

从外设 (TMRx[5]、UART4 和 SDIO) 产生的 5 个请求，经逻辑或输入到 DMA2 控制器，这意味着同时只能有一个请求有效。参见下图的 DMA2 请求映像。

外设的 DMA 请求，可以通过设置相应外设寄存器中的 DMA 控制位，被独立地开启或关闭。

图 8-3 DMA2 请求映像

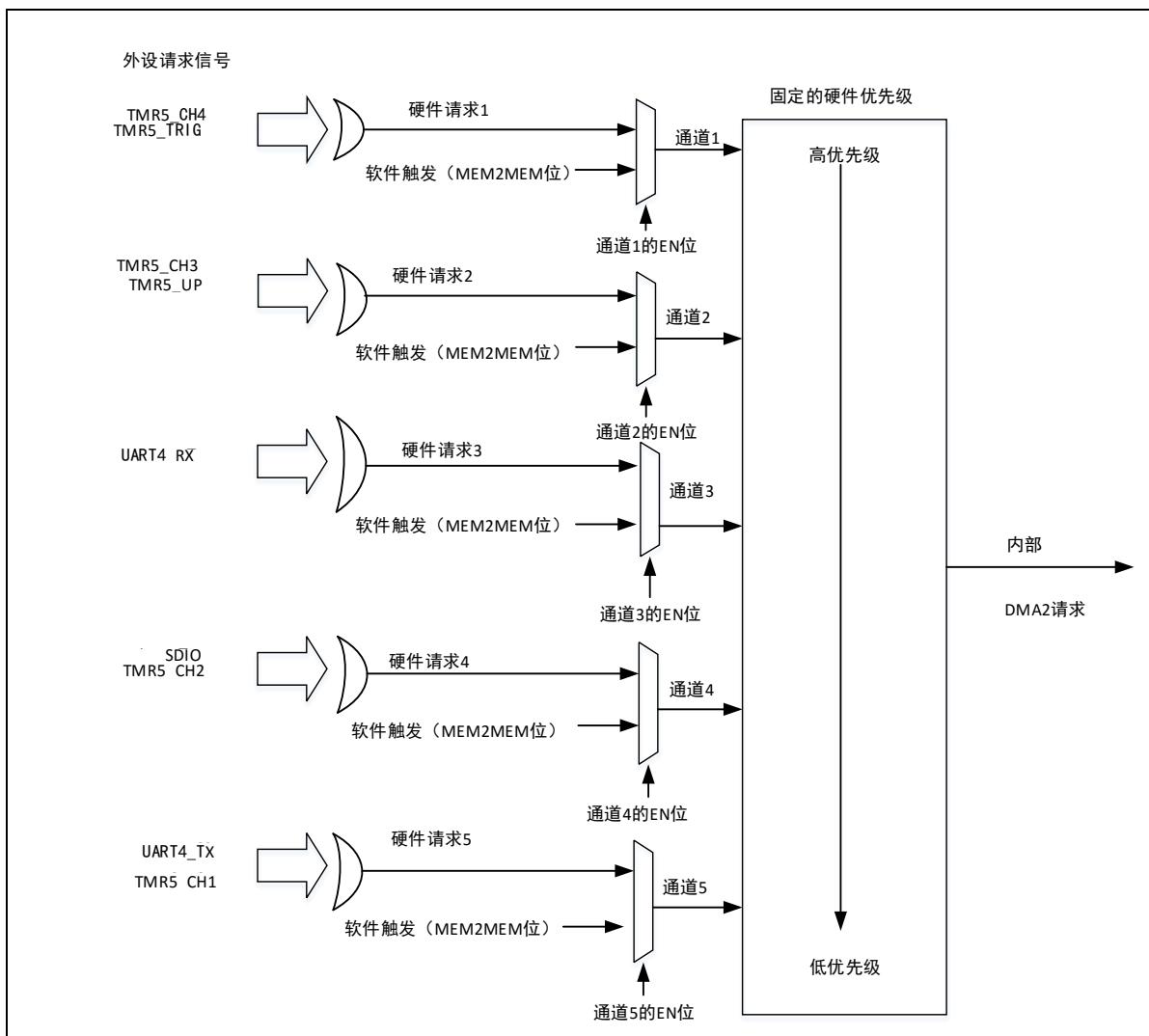


表 8-4 各个通道的 DMA2 请求一览

外设	通道 1	通道 2	通道 3	通道 4	通道 5
UART4			UART4_RX		UART4_TX
SDIO				SDIO	

TMR5	TMR5_CH4 TMR5_TRIG	TMR5_CH3 TMR5_UP		TMR5_CH2	TMR5_CH1
------	-----------------------	---------------------	--	----------	----------

8.3.8 DMA弹性请求映像

当 DMA_FLEX_EN 设定弹性模式时，每个通道的请求来源由 CHx_SRC 来设定[x=1、2、3、4、5、6、7]。CHx_SRC 设定值对应 DMA 来源见下表：

表 8-4 各个信道的 DMA 弹性请求一览

CHx_SRC 设定值	DMA 来源	CHx_SRC 设定值	DMA 来源	CHx_SRC 设定值	DMA 来源
0	No select	40	reserved	80	TIM4_CH1
1	ADC1	41	I2C1_RX	81	TIM4_CH2
2	reserved	42	I2C1_TX	82	TIM4_CH3
3	reserved	43	I2C2_RX	83	TIM4_CH4
4	reserved	44	I2C2_TX	84	reserved
5	reserved	45	reserved	85	TIM5_TRIGGER
6	reserved	46	reserved	86	reserved
7	reserved	47	reserved	87	TIM5_UP
8	reserved	48	reserved	88	TIM5_CH1
9	SPI1_RX	49	SDIO	89	TIM5_CH2
10	SPI1_TX	50	reserved	90	TIM5_CH3
11	SPI2_RX	51	reserved	91	TIM5_CH4
12	SPI2_TX	52	reserved	92	reserved
13	reserved	53	TIM1_TRIGGER	93	reserved
14	reserved	54	TIM1_COMMON	94	reserved
15	reserved	55	TIM1_UP	95	reserved
16	reserved	56	TIM1_CH1	96	reserved
17	reserved	57	TIM1_CH2	97	reserved
18	reserved	58	TIM1_CH3	98	reserved
19	reserved	59	TIM1_CH4	99	reserved
20	reserved	60	reserved	100	reserved
21	reserved	61	TIM2_TRIGGER	101	reserved
22	reserved	62	reserved	102	reserved
23	reserved	63	TIM2_UP	103	reserved
24	reserved	64	TIM2_CH1	104	reserved
25	UART1_RX	65	TIM2_CH2	105	reserved
26	UART1_TX	66	TIM2_CH3	106	reserved
27	UART2_RX	67	TIM2_CH4	107	reserved
28	UART2_TX	68	reserved	108	reserved
29	UART3_RX	69	TIM3_TRIGGER	109	reserved
30	UART3_TX	70	reserved	110	reserved
31	UART4_RX	71	TIM3_UP	111	reserved
32	UART4_TX	72	TIM3_CH1	112	reserved
33	UART5_RX	73	TIM3_CH2	113	reserved

34	UART5_TX	74	TIM3_CH3	114	reserved
35	reserved	75	TIM3_CH4	115	reserved
36	reserved	76	reserved	116	reserved
37	reserved	77	TIM4_TRIG	117	reserved
38	reserved	78	reserved	118	reserved
39	reserved	79	TIM4_UP	119	reserved

8.4 DMA寄存器

可以用字(8位)、半字(16位)或字(32位)的方式操作这些外设寄存器。

注意：在以下列举的所有寄存器中，所有与通道 6 和通道 7 相关的位，对 DMA2 固定请求映像都不适用，因为 DMA2 固定请求映像只有 5 个通道。对于 DMA2 弹性请求映像，则可以支持到 7 个通道。

表8-5 DMA寄存器映像和复位值

028h	DMA_CMBA2	MA[31: 0]																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
02Ch		保留																							
030h	DMA_CHCTRL3	保留																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
034h	DMA_TCNT3	保留								CNT[15: 0]															
	复位值	0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0															
038h	DMA_CPBA3	PA[31: 0]																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
03Ch	DMA_CMBA3	MA[31: 0]																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
040h		保留																							
044h	DMA_CHCTRL4	保留																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
048h	DMA_TCNT4	保留								CNT[15: 0]															
	复位值	0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0															
04Ch	DMA_CPBA4	PA[31: 0]																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
050h	DMA_CMBA4	MA[31: 0]																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
054h		保留																							
058h	DMA_CHCTRL5	保留																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
05Ch	DMA_TCNT5	保留								CNT[15: 0]															
	复位值	0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0															
060h	DMA_CPBA5	PA[31: 0]																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
064h	DMA_CMBA5	MA[31: 0]																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
068h		保留																							
06Ch	DMA_CHCTRL6	保留																							
	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																							
070h	DMA_TCNT6	保留								CNT[15: 0]															
	复位值	0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0															

074h	DMA_CPBAA6	PA[31: 0]																			
	复位值	0 0																			
078h	DMA_CMBAA6	MA[31: 0]																			
	复位值	0 0																			
07Ch	保留																				
080h	DMA_CHCTRL7	保留																			
	复位值	0 0																			
084h	DMA_TCNT7	保留										CNT[15: 0]									
	复位值	0 0										0 0									
088h	DMA_CPBAA7	PA[31: 0]																			
	复位值	0 0																			
08Ch	DMA_CMBAA7	MA[31: 0]																			
	复位值	0 0																			
090h~09Ch	保留																				
0A0h	DMA_SRC_SEL0	CH4_SRC				CH3_SRC				CH2_SRC				CH1_SRC							
	复位值	0 0 0 0 0 0 0 0 0				0 0 0 0 0 0 0 0 0				0 0 0 0 0 0 0 0 0				0 0 0 0 0 0 0 0 0							
0A4h	DMA_SRC_SEL1	保留				CH7_SRC				CH6_SRC				CH5_SRC							
	复位值	0 0 0 0 0 0 0 0 0				0 0 0 0 0 0 0 0 0				0 0 0 0 0 0 0 0 0				0 0 0 0 0 0 0 0 0							

8.4.1 DMA中断状态寄存器 (DMAISTS)

偏移地址: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				ERR IF7	HTI F7	TCI F7	GI F7	ERR IF6	HT IF6	TC IF6	GI F6	ERR IF5	HT IF5	TCI F5	GI F5
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERR IF4	HT IF4	TC IF4	GI F4	ER RIF3	HT IF3	TC IF3	GI F3	ERR IF2	HT IF2	TC IF2	GI F2	ER RIF1	HT IF1	TC IF1	GI F1
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31: 28	保留, 始终读为 0。
位 27, 23, 19, 15, 11, 7, 3	ERRIFx: 通道 x 的传输错误标志 (x = 1 ... 7) (Channel x transfer error flag) 硬件设置这些位。在 DMA_ICLR 寄存器的相应位写入'1'可以清除这里对应的标志位。 0: 在通道 x 没有传输错误 (TE) ; 1: 在通道 x 发生了传输错误 (TE) 。
位 26, 22, 18, 14, 10, 6, 2	HTIFx: 通道 x 的半传输标志 (x = 1 ... 7) (Channel x half transfer flag) 硬件设置这些位。在 DMA_ICLR 寄存器的相应位写入'1'可以清除这里对应的标志位。 0: 在通道 x 没有半传输事件 (HT) ; 1: 在通道 x 产生了半传输事件 (HT) 。

位 25, 21, 17, 13, 9, 5, 1	TCIFx: 通道 x 的传输完成标志 ($x = 1 \dots 7$) (Channel x transfer complete flag) 硬件设置这些位。在 DMA_ICLR 寄存器的相应位写入'1'可以清除这里对应的标志位。 0: 在通道 x 没有传输完成事件 (TC) ; 1: 在通道 x 产生了传输完成事件 (TC) 。
位 24, 20, 16, 12, 8, 4, 0	GIFx: 通道 x 的全局中断标志 ($x = 1 \dots 7$) (Channel x global interrupt flag) 硬件设置这些位。在 DMA_ICLR 寄存器的相应位写入'1'可以清除这里对应的标志位。 0: 在通道 x 没有 TE、HT 或 TC 事件; 1: 在通道 x 产生了 TE、HT 或 TC 事件。

8.4.2 DMA中断标志清除寄存器 (DMA_ICLR)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
				CERR IF7	CHTI F7	CTCI F7	CGI F7	CERR IF6	CHTI F6	CTCI F6	CGI F6	CERR IF5	CHTI F5	CTCI F5	CGI F5
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CERR IF4	CHTI F4	CTCI F4	CGI F4	CERR IF3	CHTI F3	CTCI F3	CGI F3	CERR IF2	CHTI F2	CTCI F2	CGI F2	CERR IF1	CHTI F1	CTCI F1	CGI F1
rw	rw	rw	rw												

位 31: 28	保留, 始终读为 0。
位 27, 23, 19, 15, 11, 7, 3	CERRIFx: 清除通道 x 的传输错误标志 ($x = 1 \dots 7$) (Channel x transfer error clear) 这些位由软件设置和清除。 0: 不起作用 1: 清除 DMAISTS 寄存器中的对应 ERRIF 标志。
位 26, 22, 18, 14, 10, 6, 2	CHTIFx: 清除通道 x 的半传输标志 ($x = 1 \dots 7$) (Channel x half transfer clear) 这些位由软件设置和清除。 0: 不起作用 1: 清除 DMAISTS 寄存器中的对应 HTIF 标志。
位 25, 21, 17, 13, 9, 5, 1	CTCIFx: 清除通道 x 的传输完成标志 ($x = 1 \dots 7$) (Channel x transfer complete clear) 这些位由软件设置和清除。 0: 不起作用 1: 清除 DMAISTS 寄存器中的对应 TCIF 标志。
位 24, 20, 16, 12, 8, 4, 0	CGIFx: 清除通道 x 的全局中断标志 ($x = 1 \dots 7$) (Channel x global interrupt clear) 这些位由软件设置和清除。 0: 不起作用 1: 清除 DMAISTS 寄存器中的对应的 GIF、ERRIF、HTIF 和 TCIF 标志。

8.4.3 DMA通道x配置寄存器 (DMA_CHCTRLx) ($x = 1 \dots 7$)

偏移地址: 0x08 + 20 x (通道编号 - 1)

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	MEM TO MEM	CHPL[1:00]	MWIDTH [1: 0]	PWIDTH [1: 0]	MIN C	PINC	CIR M	DIR	ERRI E	HTIE	TCIE	CHE N			

RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
位 31: 15	保留, 始终读为 0。													
位 14	MEMTOMEM: 存储器到存储器模式I (Memory to memory mode) 该位由软件设置和清除。 0: 非存储器到存储器模式; 1: 启动存储器到存储器模式。													
位 13: 12	CHPL[1: 0]: 通道优先级 (Channel priority level) 这些位由软件设置和清除。 00: 低 01: 中 10: 高 11: 最高													
位 11: 10	MWIDTH[1: 0]: 存储器数据宽度 (Memory size) 这些位由软件设置和清除。 00: 8 位 01: 16 位 10: 32 位 11: 保留													
位 9: 8	PWIDTH[1: 0]: 外设数据宽度 (Peripheral size) 这些位由软件设置和清除。 00: 8 位 01: 16 位 10: 32 位 11: 保留													
位 7	MINC: 存储器地址增量模式 (Memory increment mode) 该位由软件设置和清除。 0: 不执行存储器地址增量操作 1: 执行存储器地址增量操作													
位 6	PINC: 外设地址增量模式 (Peripheral increment mode) 该位由软件设置和清除。 0: 不执行外设地址增量操作 1: 执行外设地址增量操作													
位 5	CIRM: 循环模式 (Circular mode) 该位由软件设置和清除。 0: 不执行循环操作 1: 执行循环操作													
位 4	DIR: 数据传输方向 (Data transfer direction) 该位由软件设置和清除。 0: 从外设读 1: 从存储器读													
位 3	ERRIE: 允许传输错误中断 (Transfer error interrupt enable) 该位由软件设置和清除。 0: 禁止 TE 中断 1: 允许 TE 中断													
位 2	HTIE: 允许半传输中断 (Half transfer interrupt enable) 该位由软件设置和清除。 0: 禁止 HT 中断 1: 允许 HT 中断													
位 1	TCIE: 允许传输完成中断 (Transfer complete interrupt enable) 该位由软件设置和清除。 0: 禁止 TC 中断 1: 允许 TC 中断													

位 0	CHEN: 允许传输完成中断 (Transfer complete interrupt enable) 该位由软件设置和清除。 0: 禁止 TC 中断 1: 允许 TC 中断
-----	---

8.4.4 DMA通道x传输数量寄存器 (DMA_TCNTx) (x = 1…7)

偏移地址: 0x0C + 20 x (通道编号 - 1)

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15: 0]															

rw rw

位 31: 16	保留, 始终读为 0。
位 15: 0	CNT[15: 0]: 数据传输数量 (Number of data to transfer) 数据传输数量为 0 至 65535。这个寄存器只能在通道不工作 (DMA_CHCTRLx 的 CHEN=0) 时写入。通道开启后该寄存器变为只读, 指示剩余的待传输字节数目。寄存器内容在每次 DMA 传输后递减。 数据传输结束后, 寄存器的内容或者变为 0; 或者当该通道配置为自动重加载模式时, 寄存器的内容将被自动重新加载为之前配置时的数值。 当寄存器的内容为 0 时, 无论通道是否开启, 都不会发生任何数据传输。

8.4.5 DMA通道x外设地址寄存器 (DMA_CPBAX) (x = 1…7)

偏移地址: 0x10 + 20 x (通道编号 - 1)

复位值: 0x0000 0000

当开启通道 (DMA_CHCTRLx 的 CHEN=1) 时不能写该寄存器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PA[31: 0]															

rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
PA[31: 0]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA[31: 0]															

位 31: 0	PA[31: 0]: 外设地址 (Peripheral address) 外设数据寄存器的地址, 作为数据传输的源或目标。 当 PWIDTH='01' (16 位), 不使用 PA[0]位。操作自动地与半字地址对齐。 当 PWIDTH='10' (32 位), 不使用 PA[1: 0]位。操作自动地与字地址对齐。
---------	---

8.4.6 DMA通道x存储器地址寄存器 (DMA_CMBAx) (x = 1…7)

偏移地址: 0x14 + 20 x (通道编号 - 1)

复位值: 0x0000 0000

当开启通道 (DMA_CHCTRLx 的 CHEN=1) 时不能写该寄存器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[31: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 0 MA[31: 0]: 储存器地址 储存器地址作为数据传输的源或目标。 当 MWIDTH='01' (16 位), 不使用 MA[0]位。操作自动地与半字地址对齐。 当 MWIDTH='10' (32 位), 不使用 MA[1: 0]位。操作自动地与字地址对齐。															

8.4.7 通道来源寄存器0 (DMA_SRC_SEL0)

偏移地址: 0xA0

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CH4_SRC								CH3_SRC							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CH2_SRC								CH1_SRC							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31:24 CH4_SRC: CH4 来源的选择位 当 DMA_FLEX_EN=1 时, 有 CH4_SRC 选择 CH4 来源, 详见 8.3.8 DMA 弹性请求映像															
位 23:16 CH3_SRC: CH3 来源的选择位 当 DMA_FLEX_EN=1 时, 有 CH3_SRC 选择 CH3 来源, 详见 8.3.8 DMA 弹性请求映像															
位 15:8 CH2_SRC: CH2 来源的选择位 当 DMA_FLEX_EN=1 时, 有 CH2_SRC 选择 CH2 来源, 详见 8.3.8 DMA 弹性请求映像															
位 7:0 CH1_SRC: CH1 来源的选择位 当 DMA_FLEX_EN=1 时, 有 CH1_SRC 选择 CH1 来源, 详见 8.3.8 DMA 弹性请求映像															

8.4.8 通道来源寄存器1 (DMA_SRC_SEL1)

偏移地址: 0xA4

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
res								DMA_FLEX_EN	CH7_SRC							
15	14	13	12	11	10	9	8	rw	rw	rw	rw	rw	rw	rw	rw	
CH6_SRC								CH5_SRC								
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 31:24 DMA_FLEX_EN: DMA 请求映像模式选择位。 0: DMA 请求映像模式为固定模式 1: DMA 请求映像模式为弹性模式																

位 23:16	CH7_SRC: CH7 来源的选择位 当 DMA_FLEX_EN=1 时，有 CH7_SRC 选择 CH7 来源，详见 8.3.8 DMA 弹性请求映像
位 15:8	CH6_SRC: CH6 来源的选择位 当 DMA_FLEX_EN=1 时，有 CH6_SRC 选择 CH6 来源，详见 8.3.8 DMA 弹性请求映像
位 7:0	CH5_SRC: CH5 来源的选择位 当 DMA_FLEX_EN=1 时，有 CH5_SRC 选择 CH5 来源，详见 8.3.8 DMA 弹性请求映像

9 定时器 (TIMER)

9.1 通用定时器 (TMR2到TMR5)

9.1.1 TMRx简介

通用定时器是一个通过可编程预分频器驱动的 16 位自动装载计数器构成。它适用于多种场合，包括测量输入信号的脉冲长度（输入捕获）或者产生输出波形（输出比较和 PWM）。

使用定时器预分频器和 RCC 时钟控制器预分频器，脉冲长度和波形周期可以在几个微秒到几个毫秒间调整。

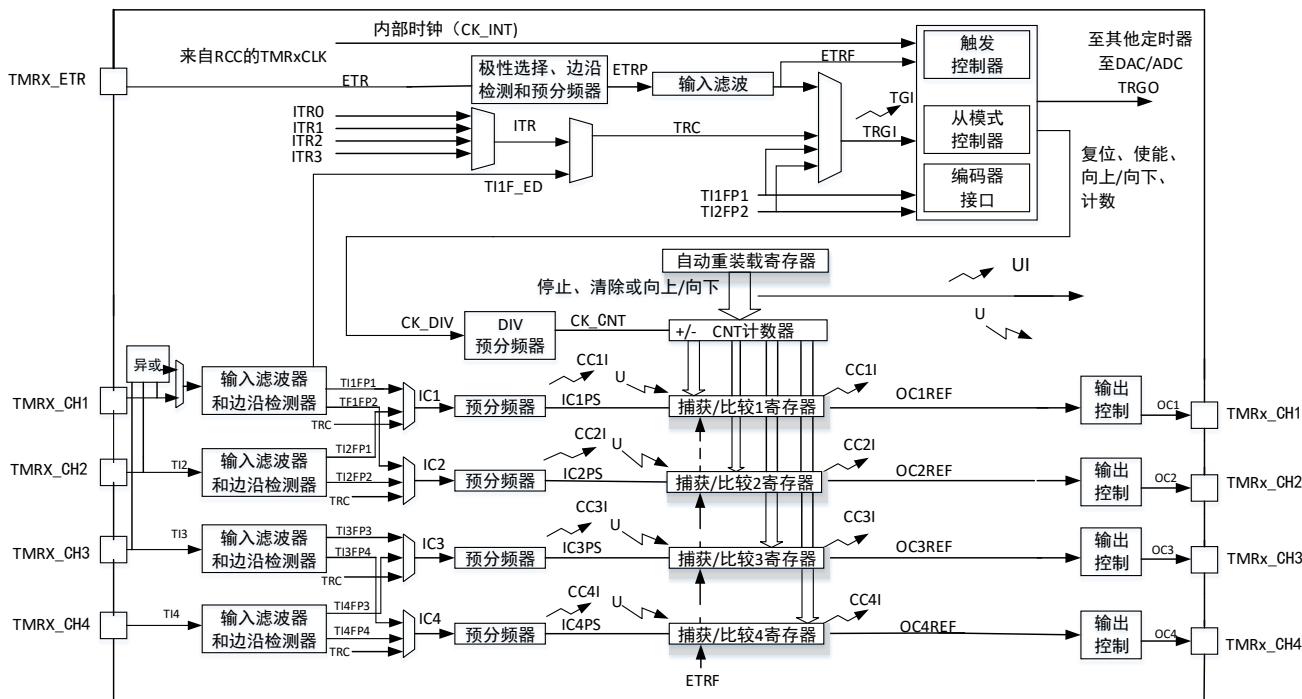
每个定时器都是完全独立的，没有互相共享任何资源。它们可以一起同步操作，参见 [9.2.3.15 节](#)。

9.1.2 TMRx主要功能

通用 TMRx (TMR2、TMR3、TMR4 和 TMR5) 定时器功能包括：

- 16位向上、向下、向上/向下自动装载计数器
- 注意： TMR2 和 TMR5 可选 32 位，详见 [9.2.4.1 节 TMRx_CTRL1 寄存器](#)
- 16位可编程（可以实时修改）预分频器，计数器时钟频率的分频系数为1~65536之间的任意数值
- 4个独立通道：
 - 输入捕获
 - 输出比较
 - PWM生成（边缘或中间对齐模式）
 - 单脉冲模式输出
- 使用外部信号控制定时器和定时器互连的同步电路
- 如下事件发生时产生中断/DMA：
 - 更新：计数器向上溢出/向下溢出，计数器初始化（通过软件或者内部/外部触发）
 - 触发事件（计数器启动、停止、初始化或者由内部/外部触发计数）
 - 输入捕获
 - 输出比较
- 支持针对定位的增量（正交）编码器和霍尔传感器电路
- 触发输入作为外部时钟或者按周期的电流管理

图 9-1 通用定时器框图



注意： 根据控制位的设定，在 U 事件时传送预加载寄存器的内容至工作寄存器

事件

中断和 DMA 输出

9.1.3 TMRx 功能描述

9.1.3.1 时基单元

可编程通用定时器的主要部分是一个 16 位计数器和与其相关的自动装载寄存器。这个计数器可以向上计数、向下计数或者向上向下双向计数。此计数器时钟由预分频器分频得到。

计数器、自动装载寄存器和预分频器寄存器可以由软件读写，在计数器运行时仍可以读写。

时基单元包含：

- 计数器寄存器（TMRx_CNT）
- 预分频器寄存器（TMRx_DIV）
- 自动装载寄存器（TMRx_AR）

自动装载寄存器是预先装载的，写或读自动重装载寄存器将访问预装载寄存器。根据在 TMRx_CTRL1 寄存器中的自动装载预装载使能位（ARPEN）的设置，预装载寄存器的内容被立即或在每次的更新事件 UEV 时传送到影子寄存器。当计数器达到溢出条件（向下计数时的下溢条件）并当 TMRx_CTRL1 寄存器中的 UEVDIS 位等于‘0’时，产生更新事件。更新事件也可以由软件产生。随后会详细描述每一种配置下更新事件的产生。

计数器由预分频器的时钟输出 CK_CNT 驱动，仅当设置了计数器 TMRx_CTRL1 寄存器中的计数器使能位（CNTEN）时，CK_CNT 才有效。（有关计数器使能的细节，请参见控制器的从模式描述）。

注意： 真正的计数器使能信号 CNT_EN 是在 CNTEN 的一个时钟周期后被设置。

预分频器

预分频器可以将计数器的时钟频率按 1 到 65536 之间的任意值分频。它是基于一个（在 TMRx_DIV 寄存器中的）16 位寄存器控制的 16 位计数器。这个控制寄存器带有缓冲器，它能够在工作时被改变。新的预分频器参数在下一次更新事件到来时被采用。

[图 9-12](#) 和 [图 9-13](#) 给出了在预分频器运行时，更改计数器参数的例子。

图 9-2 当预分频器的参数从 1 变到 2 时，计数器的时序图

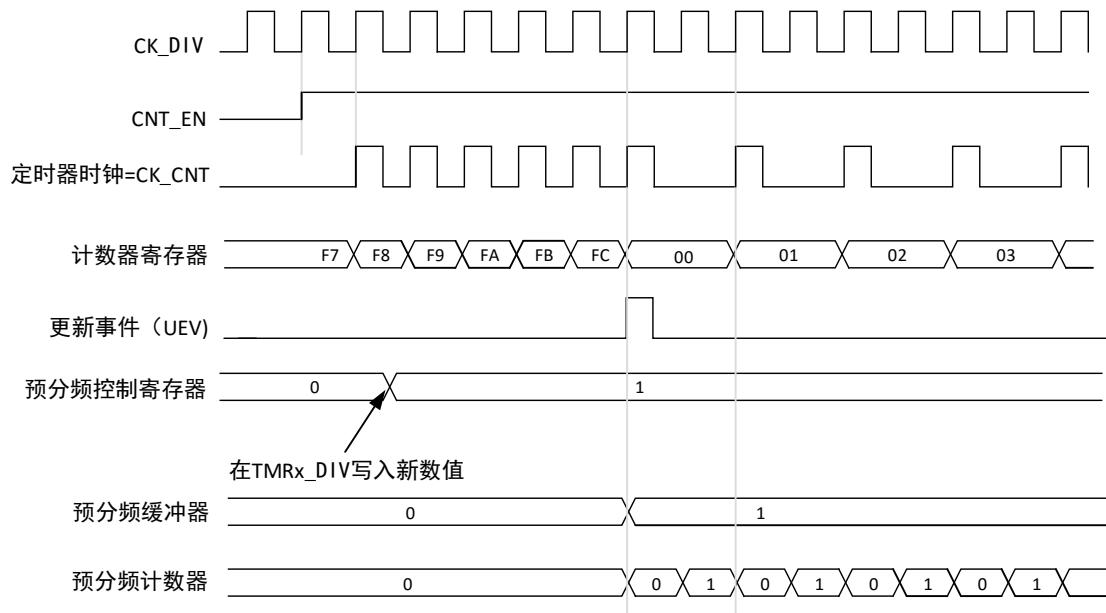
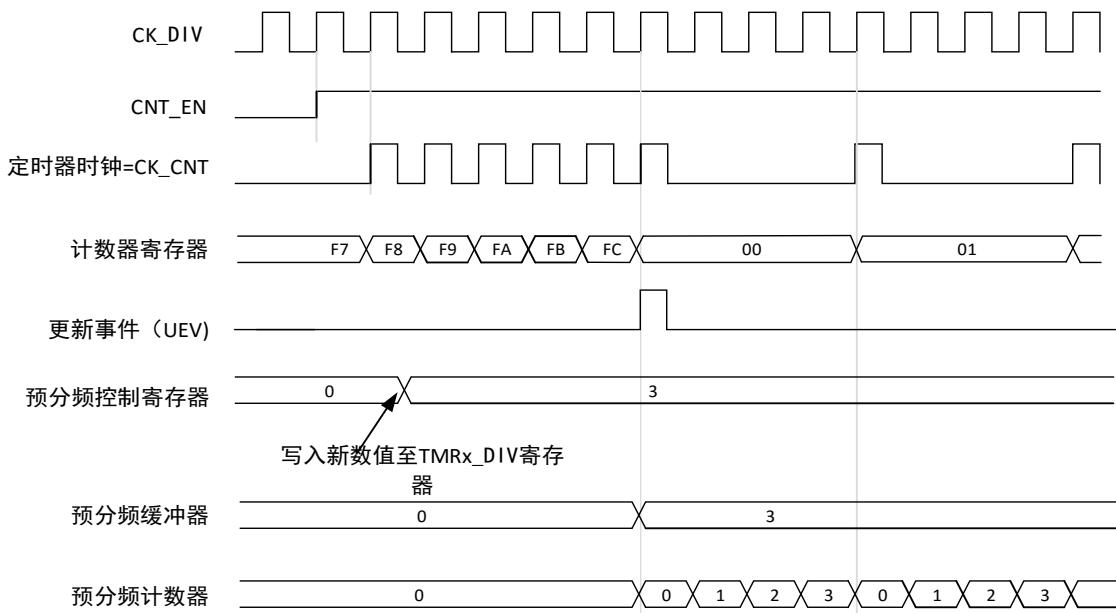


图 10-3 当预分频器的参数从 1 变到 4 时，计数器的时序图



9.1.3.2 计数器模式

向上计数模式

在向上计数模式中，计数器从 0 计数到自动加载值（TMRx_AR 寄存器的内容），然后重新从 0 开始计数并且产生一个计数器溢出事件。

每次计数器溢出时可以产生更新事件，在 TMRx_EVEG 寄存器中（通过软件方式或者使用从模式控制器）设置 UEVG 位也同样可以产生一个更新事件。

设置 TMRx_CTRL1 寄存器中的 UEVDIS 位，可以禁止更新事件；这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。在 UEVDIS 位被清‘0’之前，将不产生更新事件。但是在应该产生更新事件时，计数器仍会被清‘0’，同时预分频器的计数也被清 0（但预分频系数不变）。此外，如果设置了 TMRx_CTRL1 寄存器中的 UEVRD 位（选择更新请求），设置 UEVG 位将产生一个更新事件 UEV，但硬件不设置 UEVIF 标志（即不产生中断或 DMA 请求）；这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

当发生一个更新事件时，所有的寄存器都被更新，硬件同时（依据 UEVRS 位）设置更新标志位（TMRx_STS 寄存器中的 UEVIF 位）。

- 预分频器的缓冲区被置入预装载寄存器的值（TMRx_DIV 寄存器的内容）。
- 自动装载影子寄存器被重新置入预装载寄存器的值（TMRx_AR）。

下图给出一些例子，当 TMRx_AR=0x36 时计数器在不同时钟频率下的动作。

图9-4 计数器时序图，内部时钟分频因子为1

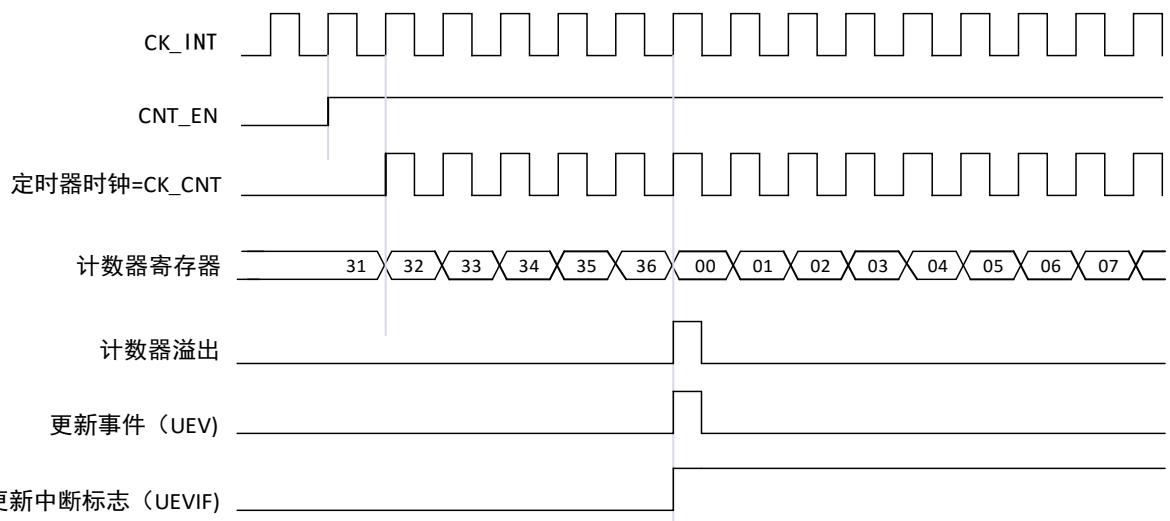


图9-5 计数器时序图，内部时钟分频因子为2

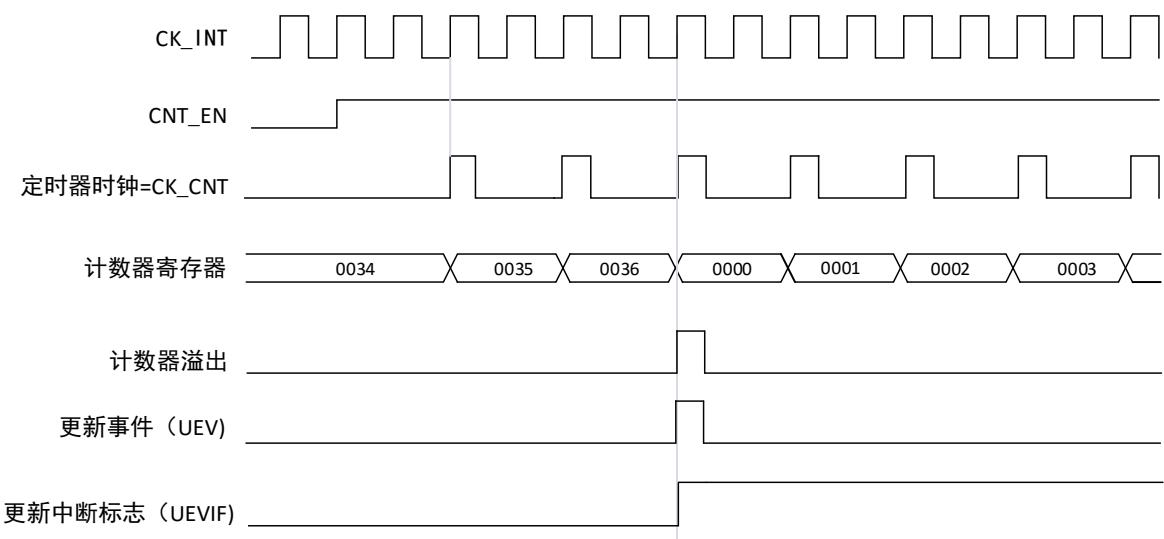


图9-6 计数器时序图，内部时钟分频因子为4

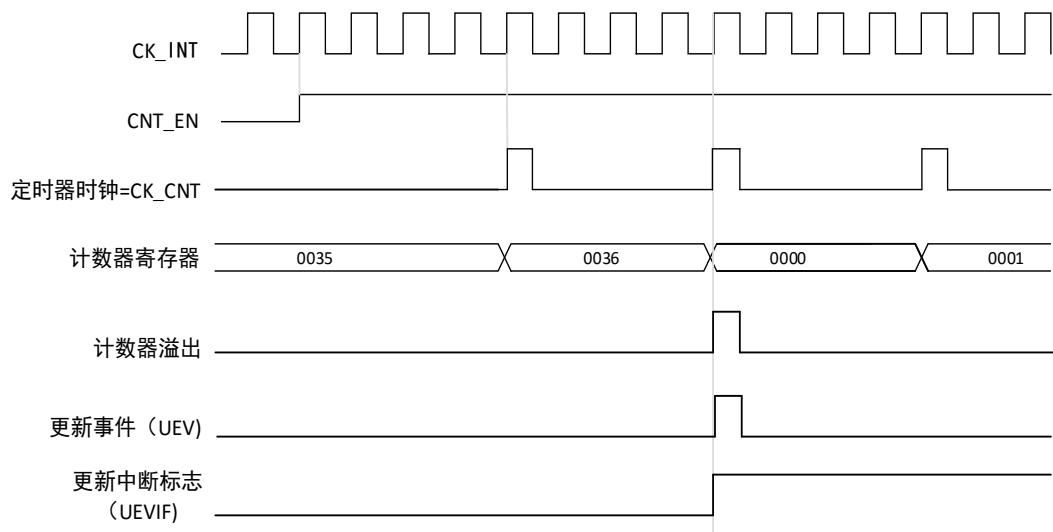


图9-7 计数器时序图，内部时钟分频因子为N

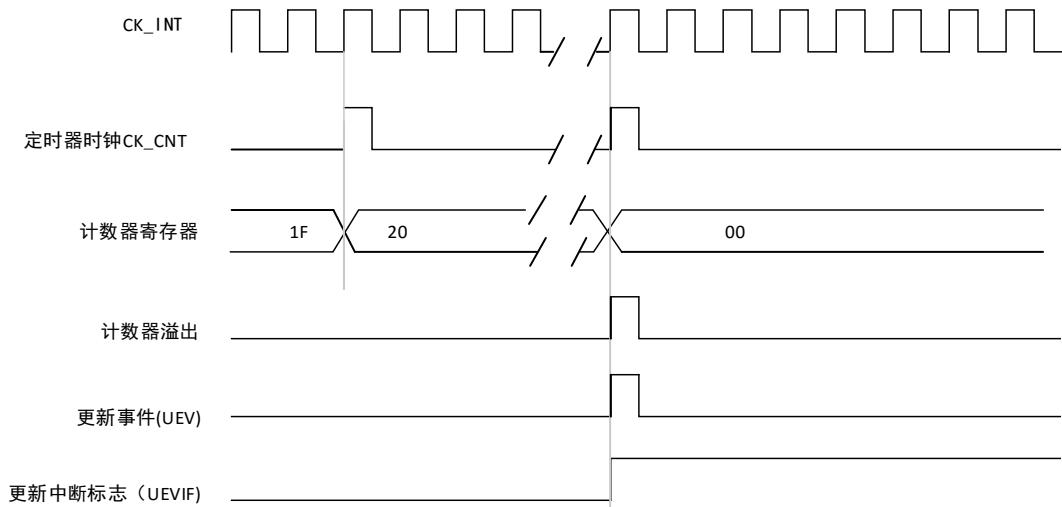


图9-8 计数器时序图，当ARPEN=0时的更新事件（没有预装入了TMRx_AR）

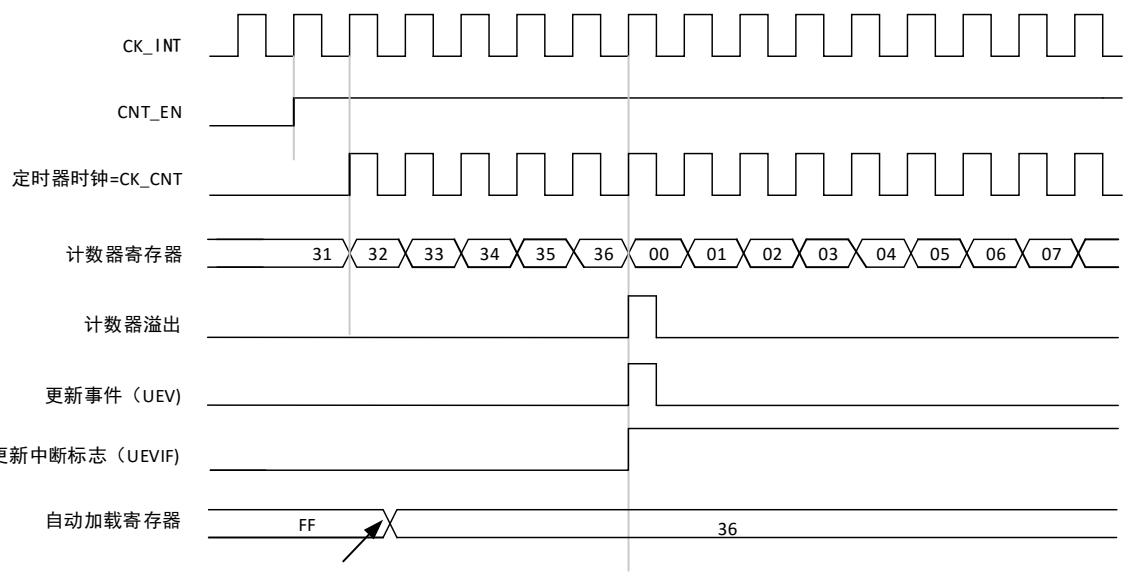
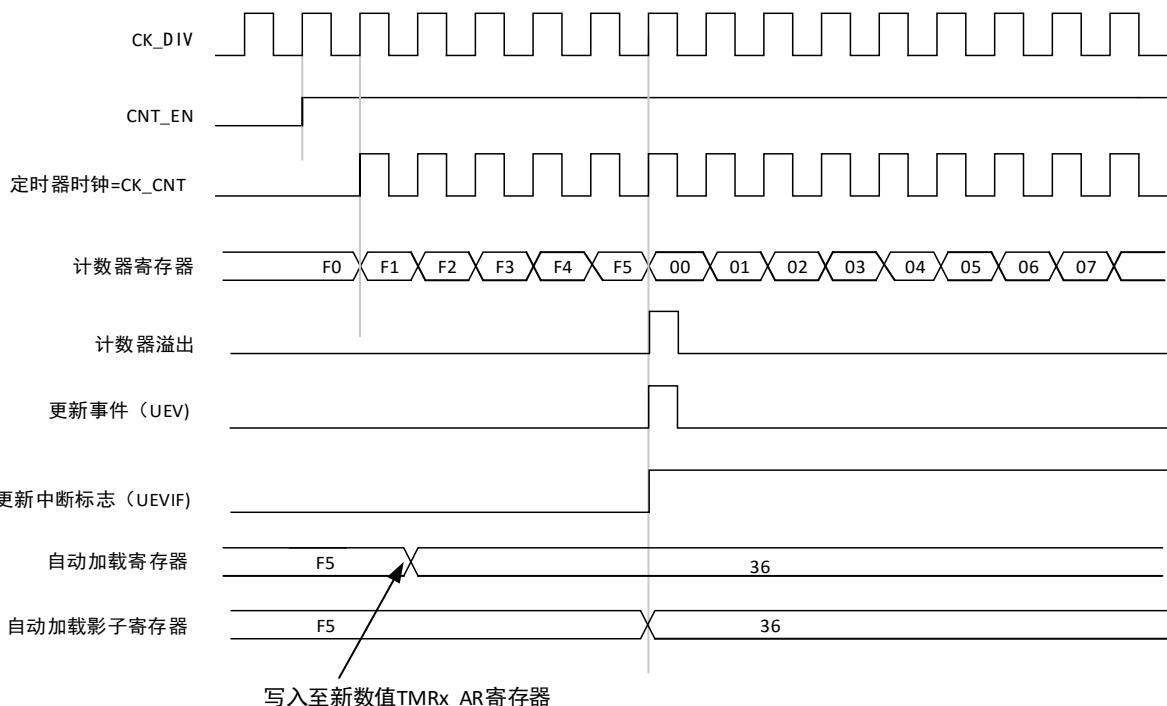


图9-9 计数器时序图，当ARPEN=1时的更新事件（预装入了TMRx_AR）



向下计数模式

在向下模式中，计数器从自动装入的值（TMRx_AR 寄存器的值）开始向下计数到 0，然后从自动装入的值重新开始并且产生一个计数器向下溢出事件。

每次计数器溢出时可以产生更新事件，在 TMRx_EVEG 寄存器中（通过软件方式或者使用从模式控制器）设置 UEVG 位，也同样可以产生一个更新事件。

设置 TMRx_CTRL1 寄存器的 UEVDIS 位可以禁止 UEV 事件。这样可以避免向预装载寄存器中写入新值时更新影子寄存器。因此 UEVDIS 位被清为'0'之前不会产生更新事件。然而，计数器仍会从当前自动加载值重新开始计数，同时预分频器的计数器重新从 0 开始（但预分频系数不变）。此外，如果设置了 TMRx_CTRL1 寄存器中的 UEVRS 位（选择更新请求），设置 UEVG 位将产生一个更新事件 UEV 但不设置 UEVIF 标志（因此不产生中断和 DMA 请求），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

当发生更新事件时，所有的寄存器都被更新，并且（根据 UEVRS 位的设置）更新标志位（TMRx_STS 寄存器中的 UEVIF 位）也被设置。

- 预分频器的缓存器被置入预装载寄存器的值（TMRx_DIV 寄存器的值）。
- 当前的自动加载寄存器被更新为预装载值（TMRx_AR 寄存器中的内容）。

注意： 自动装载在计数器重载入之前被更新，因此下一个周期将是预期的值。

以下是一些当 TMRx_AR=0x36 时，计数器在不同时钟频率下的操作例子。

图9-10 计数器时序图，内部时钟分频因子为1

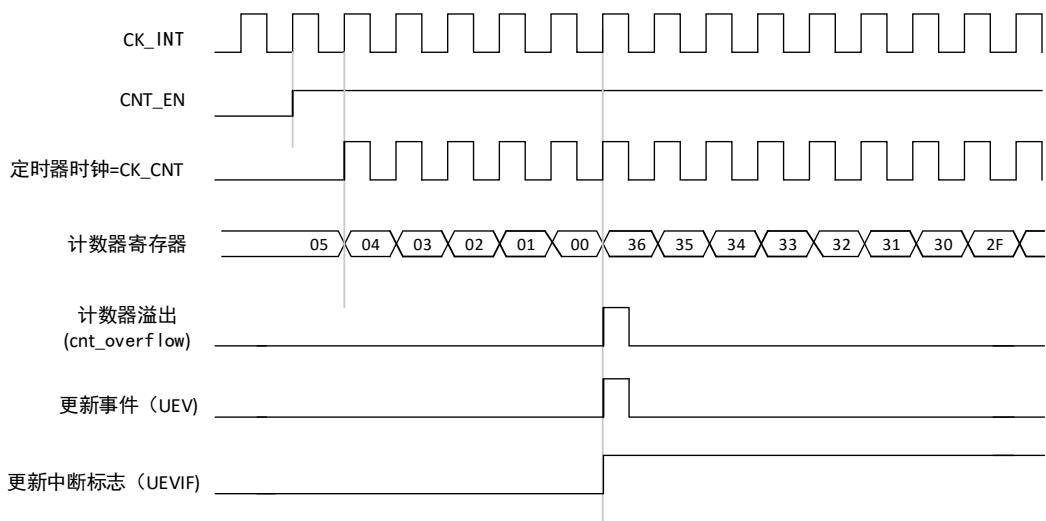


图9-11 计数器时序图，内部时钟分频因子为2

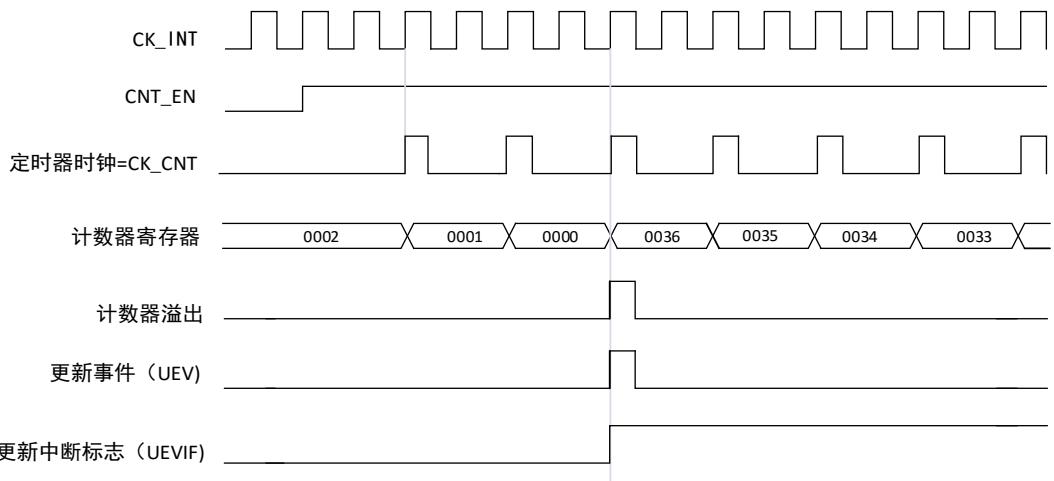


图9-12 计数器时序图，内部时钟分频因子为4

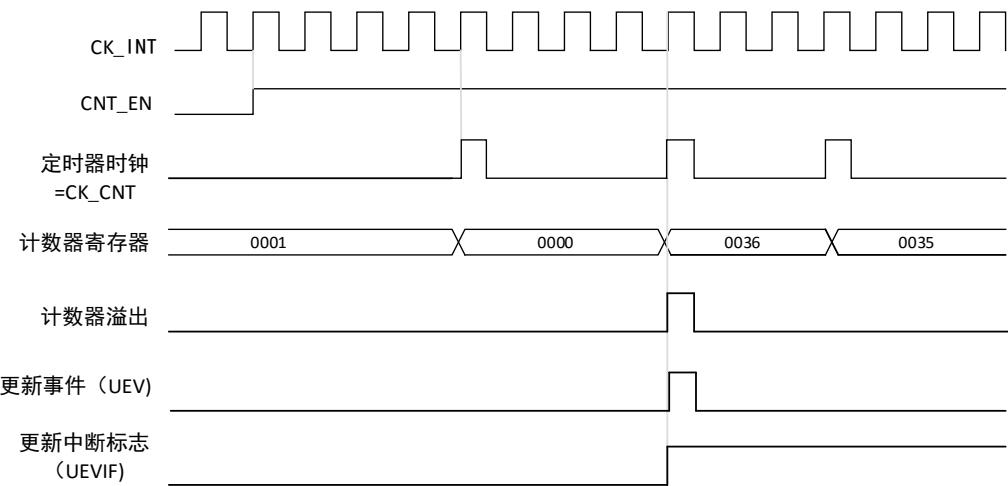


图9-13 计数器时序图，内部时钟分频因子为N

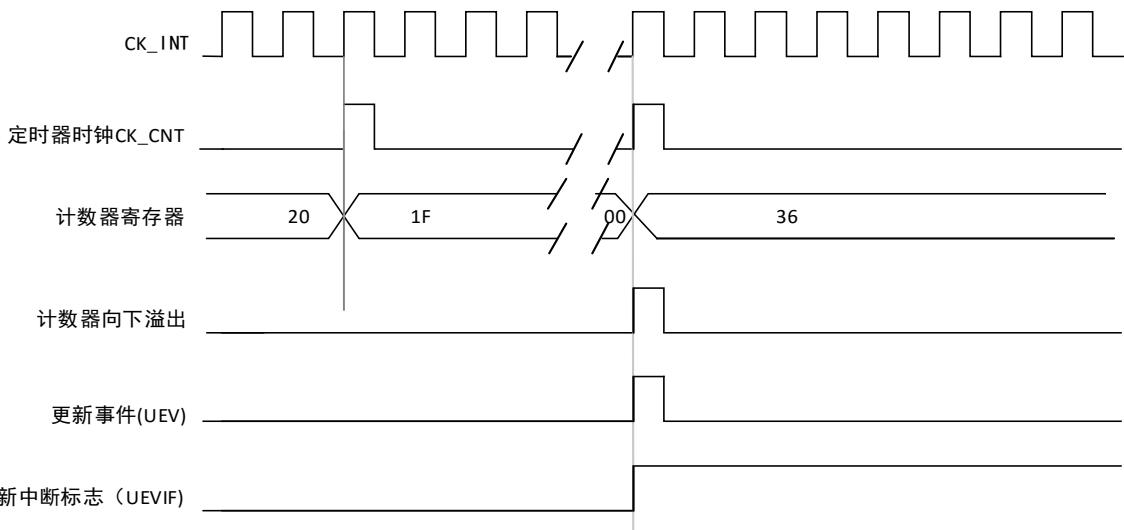
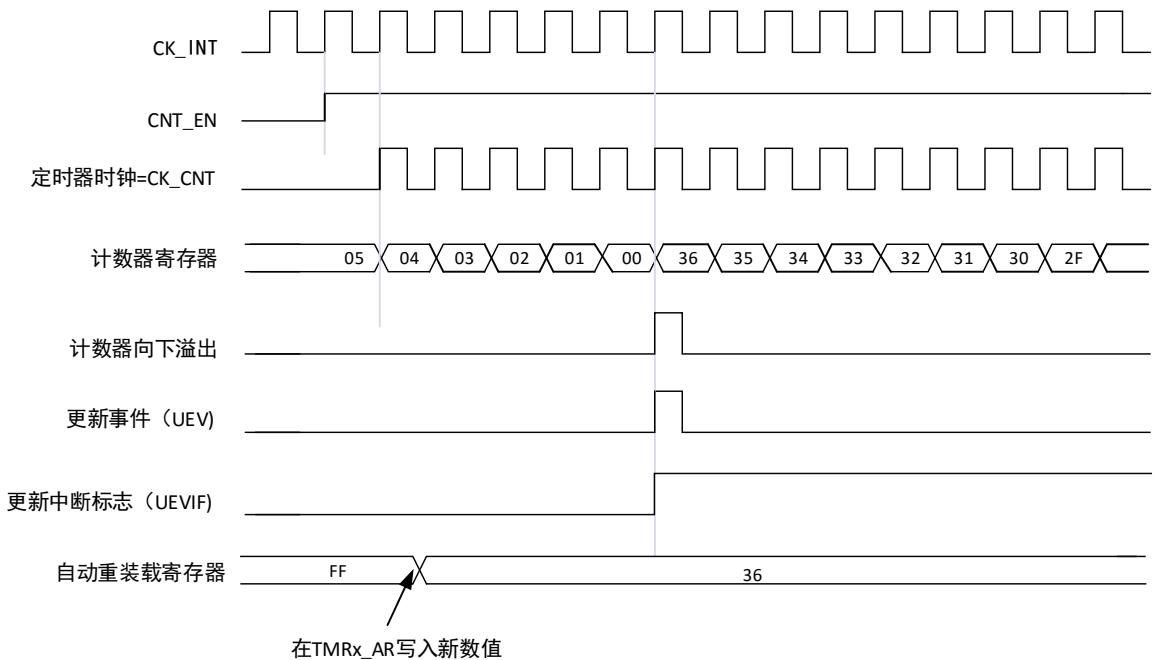


图 9-14 计数器时序图，当 ARPEN=0 时的更新事件



中央对齐模式（向上/向下计数）

在中央对齐模式，计数器从 0 开始计数到自动加载的值 (TMRx_AR 寄存器) -1，产生一个计数器溢出事件，然后向下计数到 1 并且产生一个计数器下溢事件；然后再从 0 开始重新计数。

在这个模式，不能写入 TMRx_CTRL1 中的 DIR 方向位。它由硬件更新并指示当前的计数方向。

可以在每次计数上溢和每次计数下溢时产生更新事件；也可以通过（软件或者使用从模式控制器）。设置 TMRx_EVEG 寄存器中的 UEVG 位产生更新事件。然后，计数器重新从 0 开始计数，预分频器也重新从 0 开始计数。

设置 TMRx_CTRL1 寄存器中的 UEVDIS 位可以禁止 UEV 事件。这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。因此 UEVDIS 位被清为'0'之前不会产生更新事件。然而，计数器仍会根据当前自动重加载的值，继续向上或向下计数。此外，如果设置了 TMRx_CTRL1 寄存器中的 UEVRS 位（选择更新请求），设置 UEVG 位将产生一个更新事件 UEV 但不设置 UEVIF 标志（因此不产生中断和 DMA 请求），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

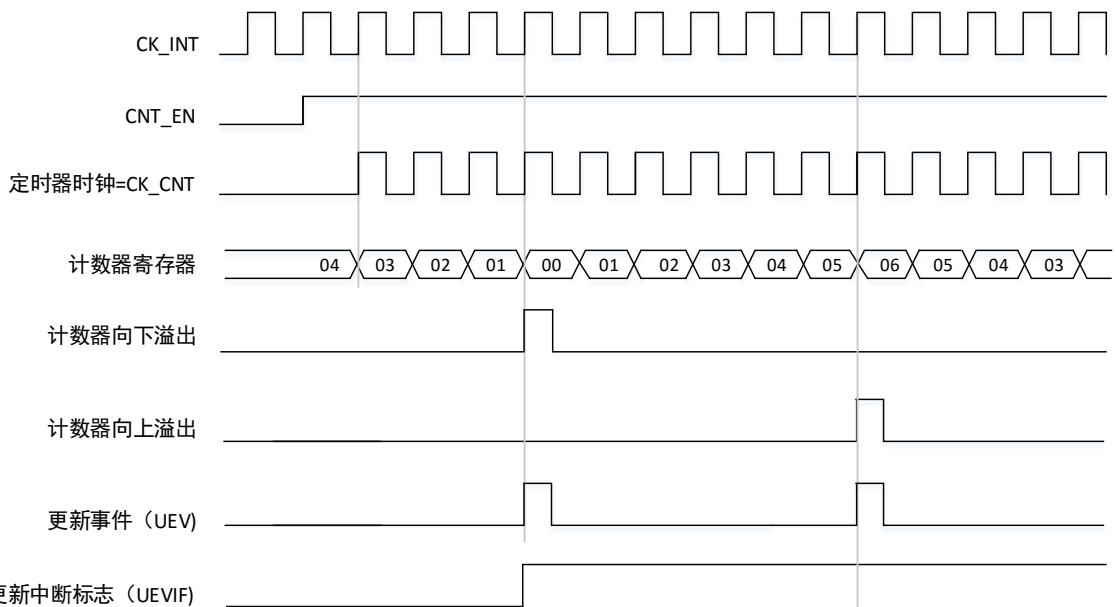
当发生更新事件时，所有的寄存器都被更新，并且（根据 UEVRS 位的设置）更新标志位 (TMRx_STS 寄存器中的 UEVIF 位) 也被设置。

- 预分频器的缓存器被加载为预装载 (TMRx_DIV 寄存器) 的值。
- 当前的自动加载寄存器被更新为预装载值 (TMRx_AR 寄存器中的内容)。

注意：如果因为计数器溢出而产生更新，自动重装载将在计数器重载入之前被更新，因此下一个周期将是预期的值（计数器被装载为新的值）。

以下是一些计数器在不同时钟频率下的操作的例子：

图 9-15 计数器时序图，内部时钟分频因子为 1， $\text{TMRx_AR}=0x6$



注意：这里使用了中心对齐模式 1（寄存器的配置详见 [9.2.4.1 节](#)）。

图 9-16 计数器时序图，内部时钟分频因子为 2

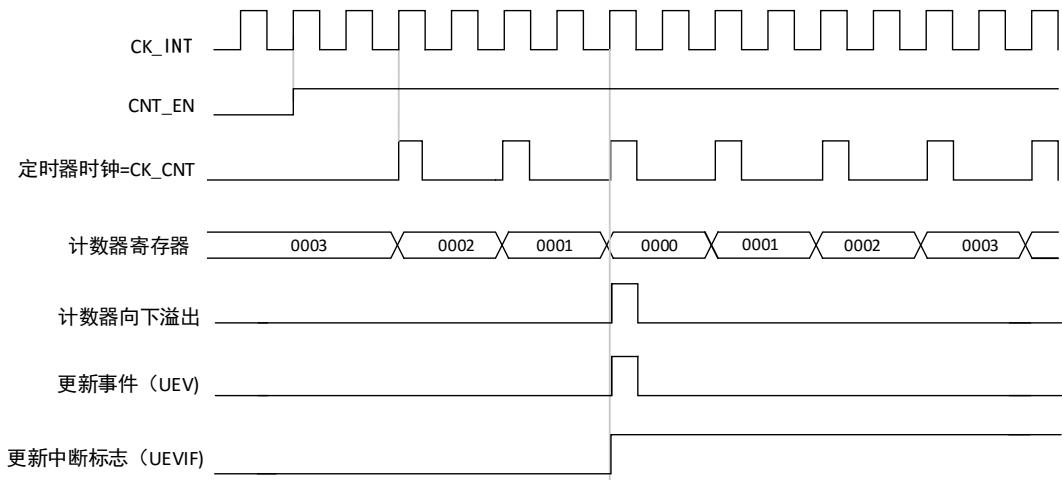


图 9-17 计数器时序图，内部时钟分频因子为 4，TMRx_AR=0x36

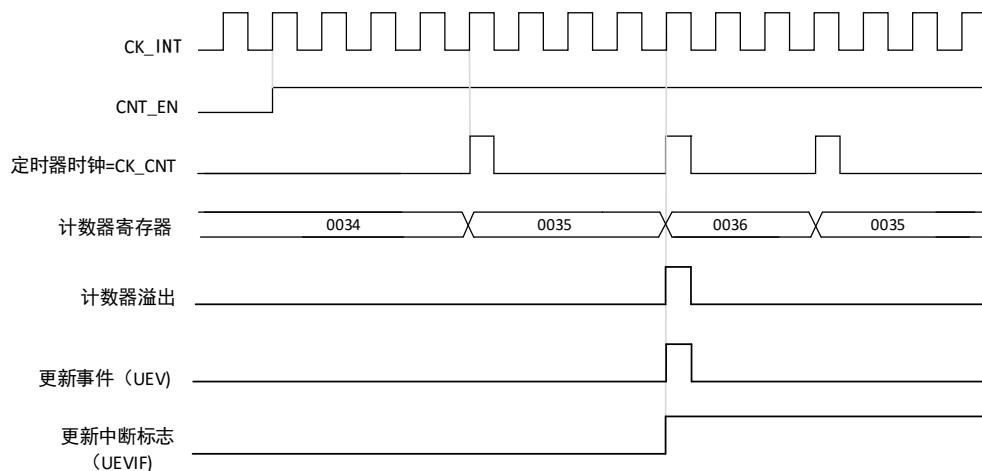


图 9-18 计数器时序图，内部时钟分频因子为 N

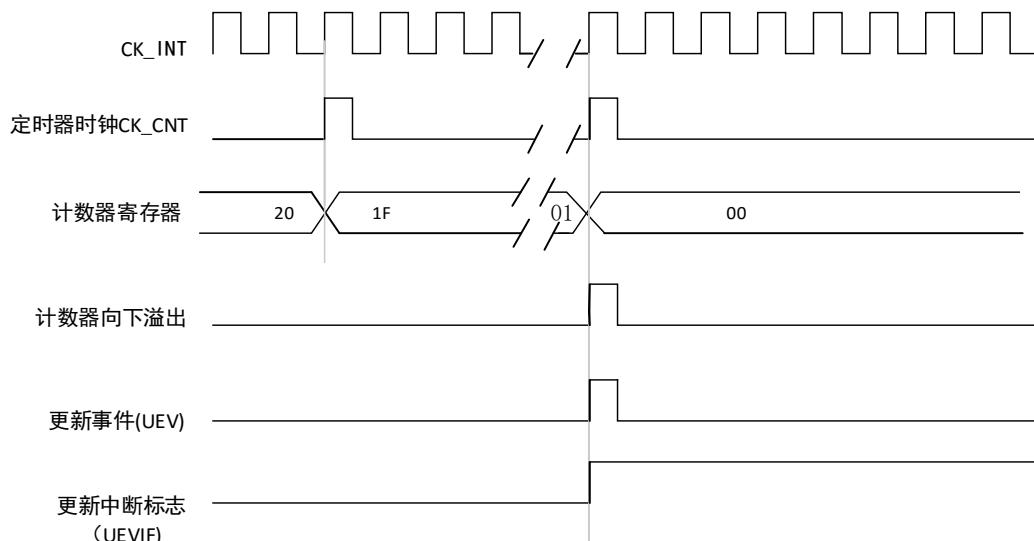


图 9-19 计数器时序图，ARPEN=1时的更新事件（计数器下溢）

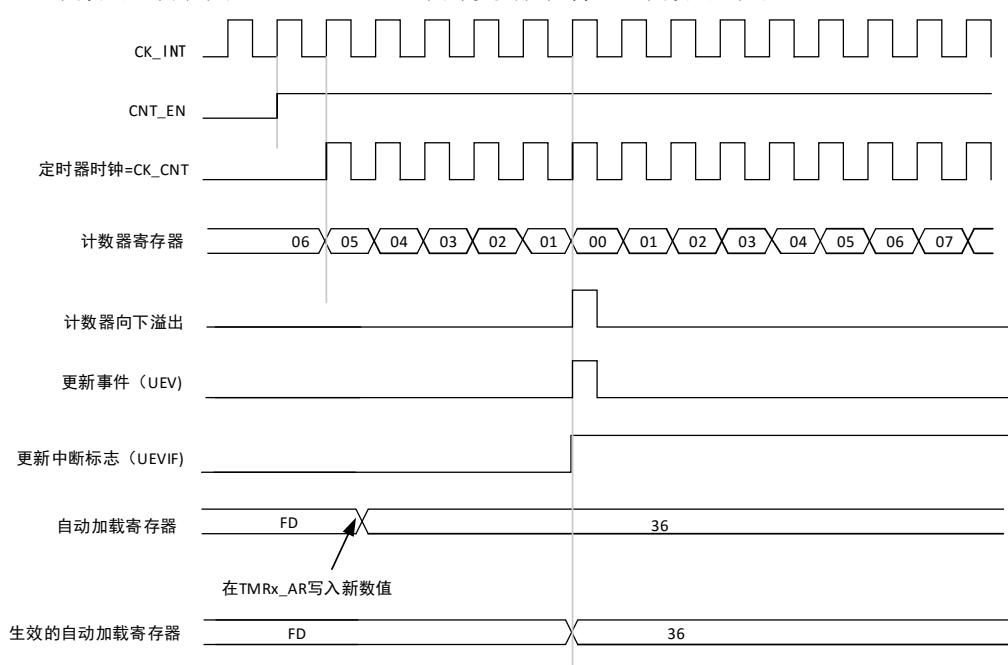
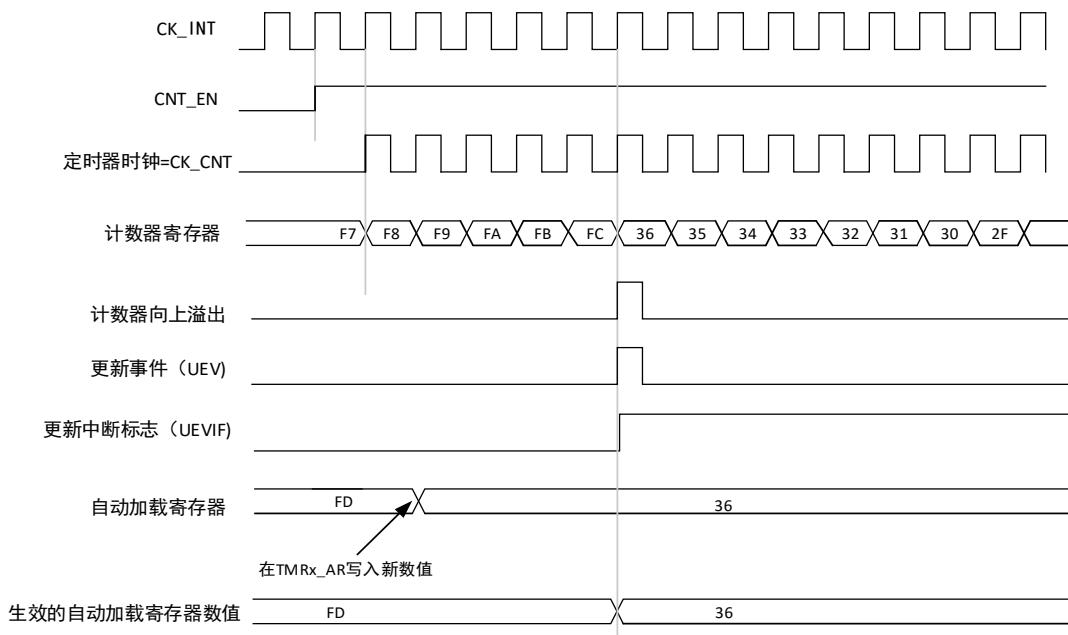


图 9-20 计数器时序图，ARPEN=1时的更新事件（计数器溢出）



9.1.3.3 时钟选择

计数器时钟可由下列时钟源提供：

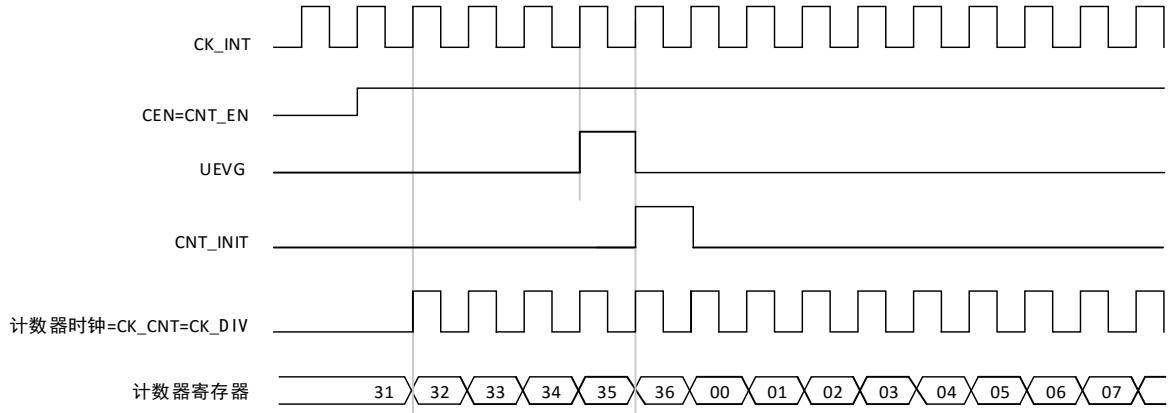
- 内部时钟 (**CK_INT**)
- 外部时钟模式1：外部输入脚 (**TIx**)
- 外部时钟模式2：外部触发输入 (**ETR**)
- 内部触发输入 (**ITRx**)：使用一个定时器作为另一个定时器的预分频器，如可以配置一个定时器 Timer1 而作为另一个定时器 Timer2 的预分频器。参见 [9.2.3.15](#)。

内部时钟源 (**CK_INT**)

如果禁止了从模式控制器 (TMRx_SMC 寄存器的 **SMSEL=000**)，则 **CNTEN**、**DIR** (TMRx_CTRL1 寄存器) 和 **UEVG** 位 (TMRx_EVEG 寄存器) 是事实上的控制位，并且只能被软件修改 (**UEVG** 位仍被自动清除)。只要 **CNTEN** 位被写成'1'，预分频器的时钟就由内部时钟 **CK_INT** 提供。

下图显示了控制电路和向上计数器在一般模式下，不带预分频器时的操作。

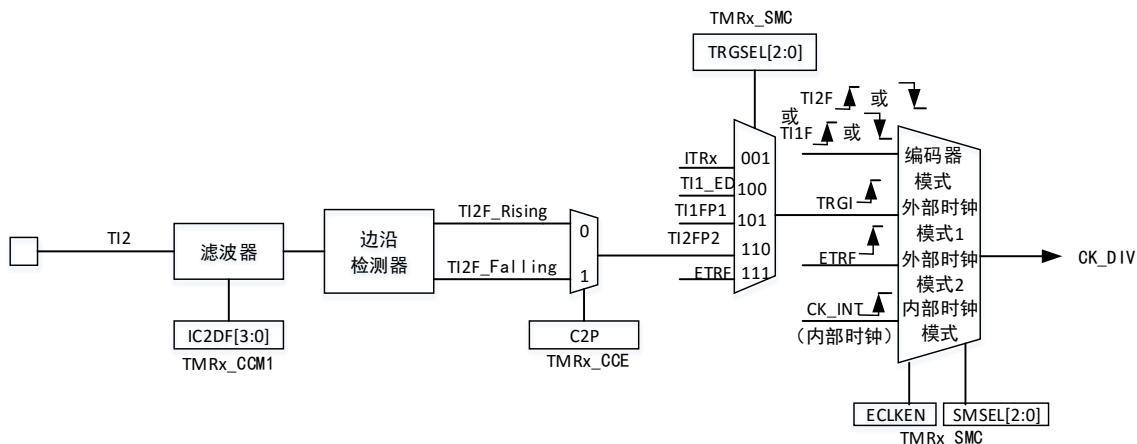
图 9-21 一般模式下的控制电路，内部时钟分频因子为1



外部时钟源模式 1

当 TMRx_SMC 寄存器的 **SMSEL=111** 时，此模式被选中。计数器可以在选定输入端的每个上升沿或下降沿计数。

图 9-22 TI2 外部时钟连接例子



例如，要配置向上计数器在 TI2 输入端的上升沿计数，使用下列步骤：

1. 配置 TMRx_CCM1 寄存器 C2SEL='01'，配置通道 2 检测 TI2 输入的上升沿。
2. 配置 TMRx_CCM1 寄存器的 IC2DF[3: 0]，选择输入滤波器带宽（如果不需要滤波器，保持 IC2DF=0000）。

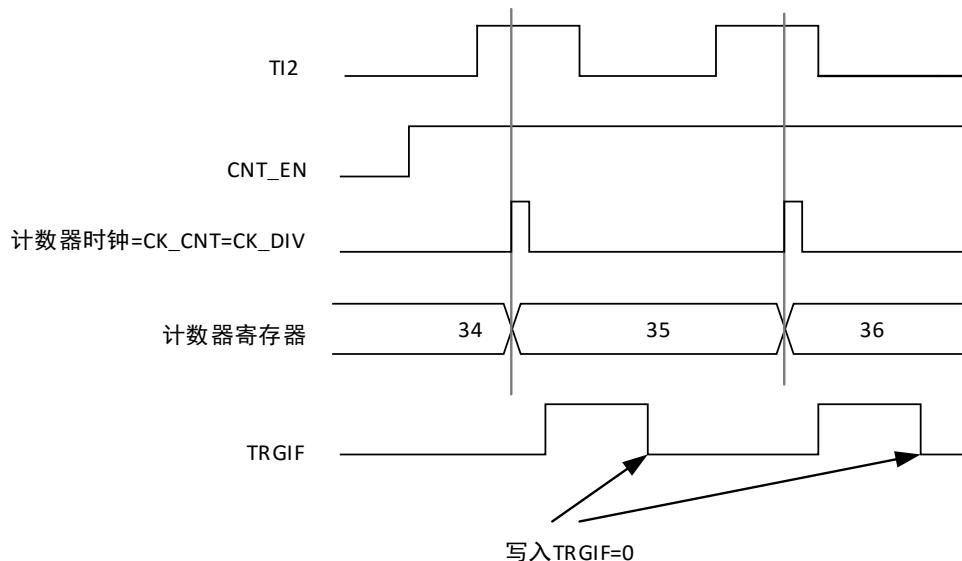
注意：捕获预分频器不用作触发，所以不需要对它进行配置

3. 配置 TMRx_CCE 寄存器的 C2P='0'，选定上升沿极性
4. 配置 TMRx_SMC 寄存器的 SMSEL='111'，选择定时器外部时钟模式 1
5. 配置 TMRx_SMC 寄存器中的 TRGSEL='110'，选定 TI2 作为触发输入源
6. 设置 TMRx_CTRL1 寄存器的 CNTEN='1'，启动计数器

当上升沿出现在 TI2，计数器计数一次，且 TRGIF 标志被设置。

在 TI2 的上升沿和计数器实际时钟之间的延时，取决于在 TI2 输入端的重新同步电路。

图 9-23 外部时钟模式 1 下的控制电路



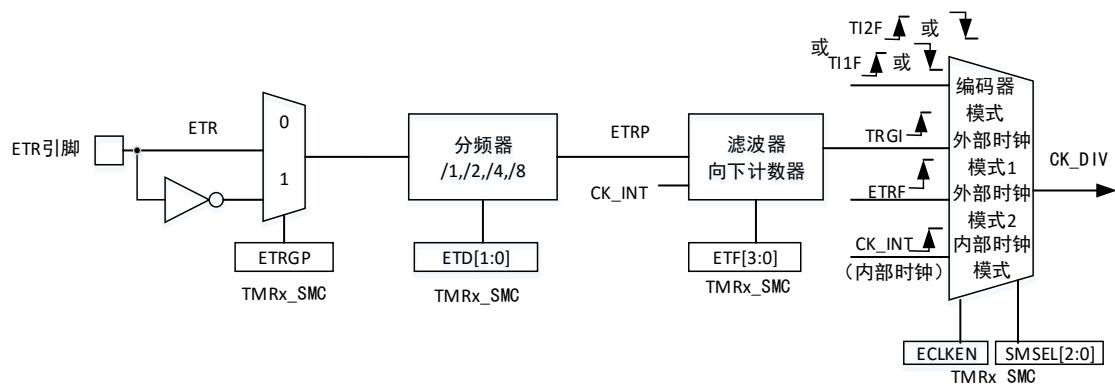
外部时钟源模式 2

选定此模式的方法为：令 TMRx_SMC 寄存器中的 ECLKEN=1

计数器能够在外部触发 ETR 的每一个上升沿或下降沿计数。

下图是外部触发输入的框图。

图 9-24 外部触发输入框图



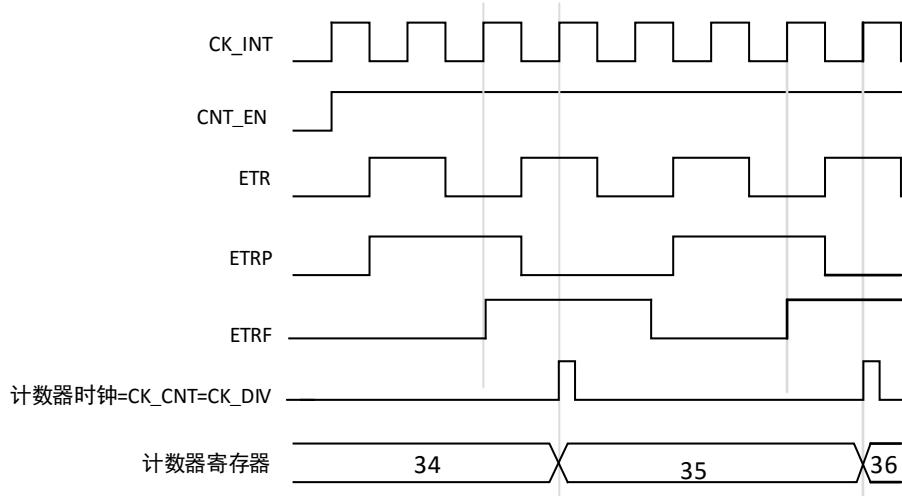
例如，要配置在 ETR 下每 2 个上升沿计数一次的向上计数器，使用下列步骤：

1. 本例中不需要滤波器，置 TMRx_SMC 寄存器中的 ETDF[3: 0]=0000，
2. 设置预分频器，置 TMRx_SMC 寄存器中的 ETD[1: 0]=01，
3. 设置在 ETR 的上升沿检测，置 TMRx_SMC 寄存器中的 ETRGP=0，
4. 开启外部时钟模式 2，置 TMRx_SMC 寄存器中的 ECLKEN=1，
5. 启动计数器，置 TMRx_CTRL1 寄存器中的 CNTEN=1

计数器在每 2 个 ETR 上升沿计数一次。

在 ETR 的上升沿和计数器实际时钟之间的延时取决于在 ETRP 信号端的重新同步电路。

图 9-25 外部时钟模式 2下的控制电路

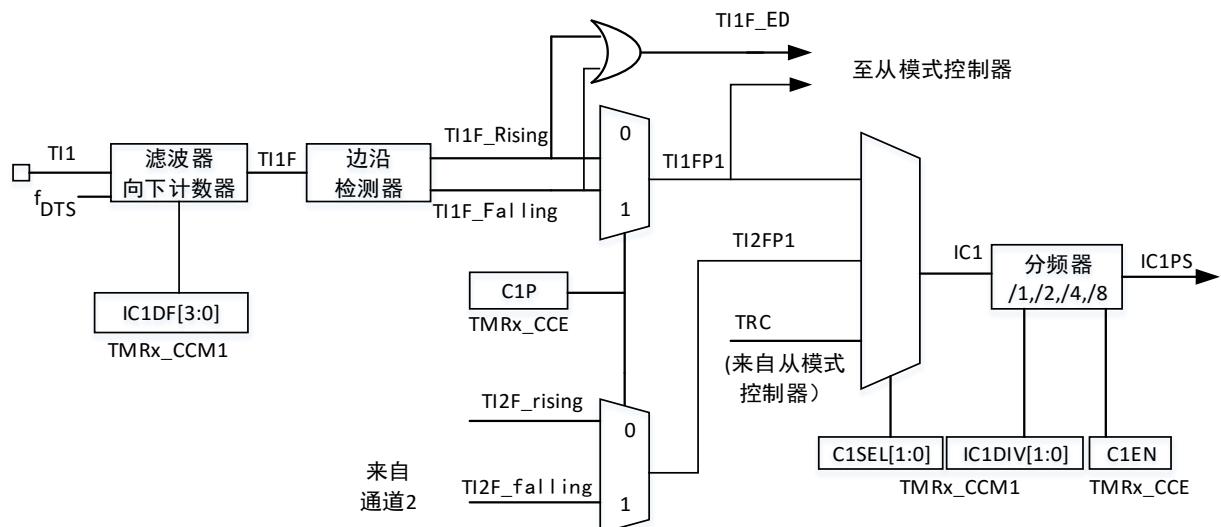


9.1.3.4 捕获/比较通道

每一个捕获/比较通道都是围绕着一个捕获/比较寄存器（包含影子寄存器），包括捕获的输入部分（数字滤波、多路复用和预分频器），和输出部分（比较器和输出控制）。下面几张图是一个捕获/比较通道概览。

输入部分对相应的 Tlx 输入信号采样，并产生一个滤波后的信号 Tlx_F 。然后，一个带极性选择的边缘检测器产生一个信号 (Tlx_FPx)，它可以作为从模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器。

图 9-26 捕获/比较通道（如：通道 1 输入部分）



输出部分产生一个中间波形 OCxRef（高有效）作为基准，链的末端决定最终输出信号的极性。

图 9-27 捕获/比较通道 1 的主电路

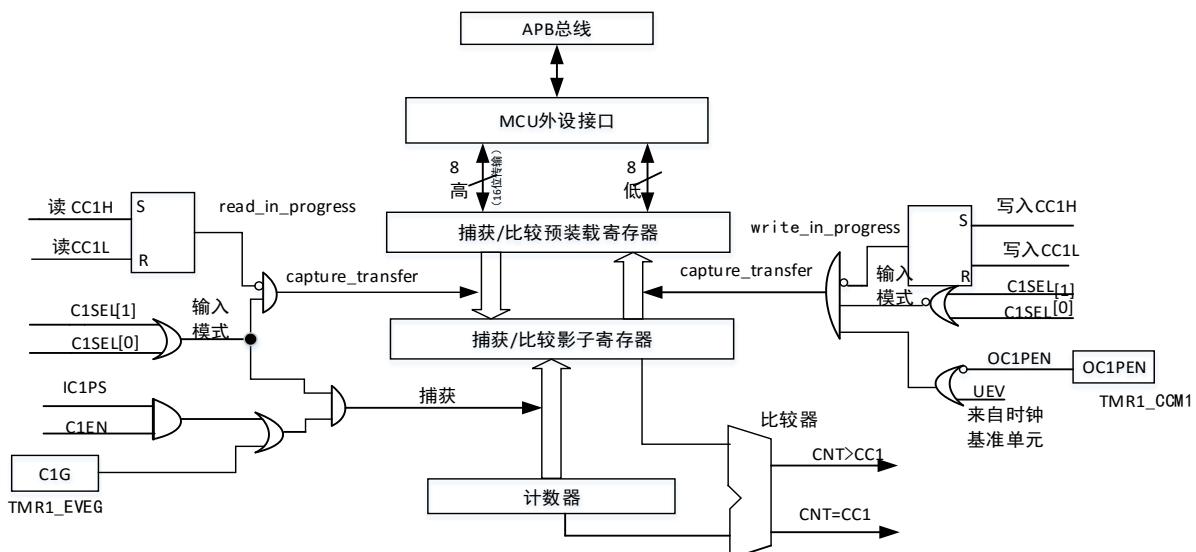
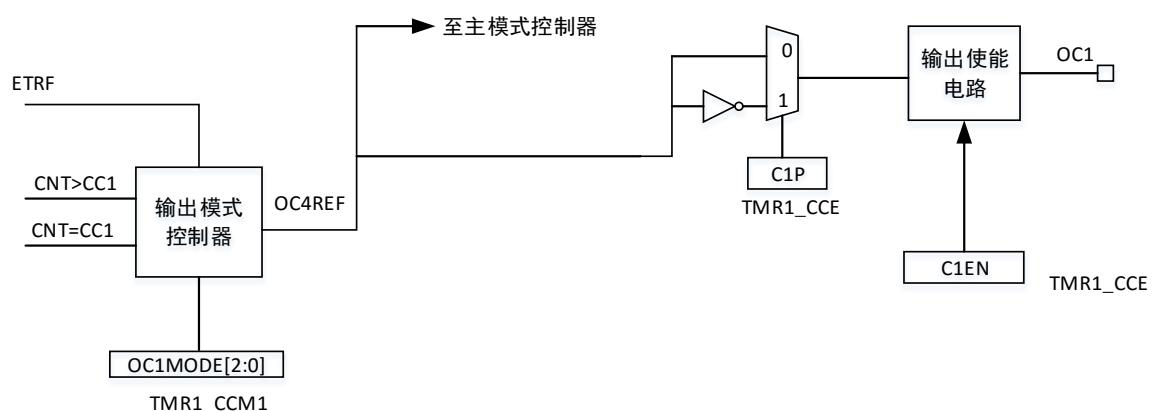


图 9-28 捕获/比较通道的输出部分（通道 1）



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。读写过程仅操作预装载寄存器。

在捕获模式下，捕获发生在影子寄存器上，然后再复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。

9.1.3.5 输入捕获模式

在输入捕获模式下，当检测到 ICx 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 ($TMRx_CCx$) 中。当捕获事件发生时，相应的 $CxIF$ 标志 ($TMRx_STS$ 寄存器) 被置'1'，如果使能了中断或者 DMA 操作，则将产生中断或者 DMA 操作。如果捕获事件发生时 $CxIF$ 标志已经为高，那么重复捕获标志 $CxOF$ ($TMRx_STS$ 寄存器) 被置'1'。写 $CxIF=0$ 可清除 $CxIF$ ，或读取存储在 $TMRx_CCx$ 寄存器中的捕获数据也可清除 $CxIF$ 。写 $CxOF=0$ 可清除 $CxOF$ 。

以下例子说明如何在 $TI1$ 输入的上升沿时捕获计数器的值到 $TMRx_CC1$ 寄存器中，步骤如下：

- 选择有效输入端： $TMRx_CC1$ 必须连接到 $TI1$ 输入，所以写入 $TMRx_CC1$ 寄存器中的 $C1SEL=01$ ，只要 $C1SEL$ 不为 '00'，通道被配置为输入，并且 $TM1_CC1$ 寄存器变为只读。
- 根据输入信号的特点，配置输入滤波器为所需的带宽（即输入为 TIx 时，输入滤波器控制位是 $TMRx_CCMx$ 寄存器中的 $ICxDF$ 位）。假设输入信号在最多 5 个内部时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期。因此我们可以（以 f_{DTS} 频率）连续采样 8 次，以确认在 $TI1$ 上一次真实的边沿变换，即在 $TMRx_CCM1$ 寄存器中写入 $IC1DF=0011$ 。
- 选择 $TI1$ 通道的有效转换边沿，在 $TMRx_CCE$ 寄存器中写入 $C1P=0$ （上升沿）。
- 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止（写 $TMRx_CCM1$ 寄存器的 $IC1DIV=00$ ）。
- 设置 $TMRx_CCE$ 寄存器的 $C1EN=1$ ，允许捕获计数器的值到捕获寄存器中。
- 如果需要，通过设置 $TMRx_DIE$ 寄存器中的 $C1IE$ 位允许相关中断请求，通过设置 $TMRx_DIE$ 寄存器中的 $C1DE$ 位允许 DMA 请求。

当发生一个输入捕获时：

- 产生有效的电平转换时，计数器的值被传送到 $TMRx_CC1$ 寄存器。
- $C1IF$ 标志被设置（中断标志）。当发生至少 2 个连续的捕获时，而 $C1IF$ 未曾被清除， $C1OF$ 也被置'1'。
- 如设置了 $C1IE$ 位，则会产生一个中断。
- 如设置了 $C1DE$ 位，则还会产生一个 DMA 请求。

为了处理捕获溢出，建议在读出捕获溢出标志之前读取数据，这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的捕获溢出信息。

注意： 设置 $TMRx_EVEG$ 寄存器中相应的 CxG 位，可以通过软件产生输入捕获中断和/或 DMA 请求。

9.1.3.6 PWM 输入模式

该模式是输入捕获模式的一个特例，除下列区别外，操作与输入捕获模式相同：

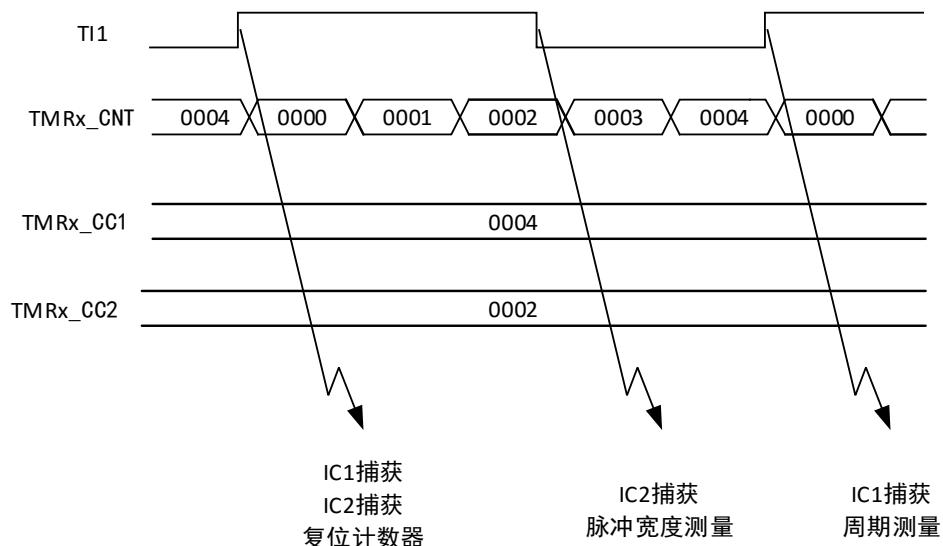
- 两个 ICx 信号被映射至同一个 TIx 输入。
- 这 2 个 ICx 信号为边沿有效，但是极性相反。
- 其中一个 $TIxFP$ 信号被作为触发输入信号，而从模式控制器被配置成复位模式。

例如，你需要测量输入到 $TI1$ 上的 PWM 信号的长度 ($TMRx_CC1$ 寄存器) 和占空比 ($TMRx_CC2$ 寄存器)，具体步骤如下（取决于 CK_INT 的频率和预分频器的值）。

- 选择 $TMRx_CC1$ 的有效输入：置 $TMRx_CCM1$ 寄存器的 $C1SEL=01$ （选择 $TI1$ ）。
- 选择 $TI1FP1$ 的有效极性（用来捕获数据到 $TMRx_CC1$ 中和清除计数器）：置 $C1P=0$ （上升沿有效）。
- 选择 $TMRx_CC2$ 的有效输入：置 $TMRx_CCM1$ 寄存器的 $C2SEL=10$ （选择 $TI1$ ）。

- 选择 TI1FP2 的有效极性（捕获数据到 TMRx_CC2）：置 C2P=1（下降沿有效）。
- 选择有效的触发输入信号：置 TMRx_SMC 寄存器中的 TRGSEL=101（选择 TI1FP1）。
- 配置从模式控制器为复位模式：置 TMRx_SMC 中的 SMSEL=100。
- 使能捕获：置 TMRx_CCE 寄存器中 C1EN=1 且 C2EN=1。

图 9-29 PWM 输入模式时序



由于只有 TI1FP1 和 TI2FP2 连到了从模式控制器，所以 PWM 输入模式只能使用 TMRx_CH1/TMRx_CH2 信号。

9.1.3.7 强置输出模式

在输出模式（TMRx_CCMx 寄存器中 CxSEL=00）下，输出比较信号（OCxREF 和相应的 OCx）能够直接由软件强置为有效或无效状态，而不依赖于输出比较寄存器和计数器间的比较结果。

置 TMRx_CCMx 寄存器中相应的 OCxMODE=101，即可强置输出比较信号（OCxREF/OCx）为有效状态。这样 OCxREF 被强置为高电平（OCxREF 始终为高电平有效），同时 OCx 得到 CxP 极性位相反的值。

例如：CxP=0（OCx 高电平有效），则 OCx 被强置为高电平。

置 TMRx_CCMx 寄存器中的 OCxMODE=100，可强置 OCxREF 信号为低。

该模式下，在 TMRx_CCx 影子寄存器和计数器之间的比较仍然在进行，相应的标志也会被修改。因此仍然会产生相应的中断和 DMA 请求。这将会在下面的输出比较模式一节中介绍。

9.1.3.8 输出比较模式

此项功能是用来控制一个输出波形，或者指示一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时，输出比较功能做如下操作：

- 将输出比较模式（TMRx_CCMx 寄存器中的 OCxMODE 位）和输出极性（TMRx_CCE 寄存器中的 CxP 位）定义的值输出到对应的引脚上。在比较匹配时，输出引脚可以保持它的电平（OCxMODE=000）、被设置成有效电平（OCxMODE=001）、被设置成无效电平（OCxMODE=010）或进行翻转（OCxMODE=011）。
- 设置中断状态寄存器中的标志位（TMRx_STS 寄存器中的 CxIF 位）。
- 若设置了相应的中断屏蔽（TMRx_DIE 寄存器中的 CxIE 位），则产生一个中断。
- 若设置了相应的使能位（TMRx_DIE 寄存器中的 CxDE 位，TMRx_CTRL2 寄存器中的 CDSEL 位选择 DMA 请求功能），则产生一个 DMA 请求。

TMRx_CCMx 中的 OCxPEN 位选择 TMRx_CCx 寄存器是否需要使用预装载寄存器。

在输出比较模式下，更新事件 UEV 对 OCxREF 和 OCx 输出没有影响。

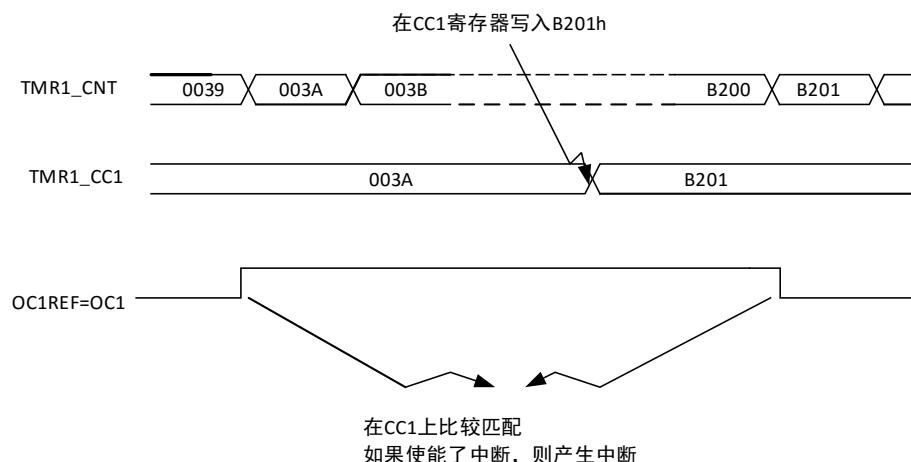
同步的精度可以达到计数器的一个计数周期。输出比较模式（在单脉冲模式下）也能用来输出一个单脉冲。

输出比较模式的配置步骤：

1. 选择计数器时钟（内部，外部，预分频器）。
2. 将相应的数据写入 TMRx_AR 和 TMRx_CCx 寄存器中。
3. 如果要产生一个中断请求和/或一个 DMA 请求，设置 CxEI 位和/或 CxDI 位。
4. 选择输出模式，例如当计数器 CNT 与 CCx 匹配时翻转 OCx 的输出引脚，CCx 预装载未用，开启 OCx 输出且高电平有效，则必须设置 OCxMODE='011'、OCxPEN='0'、CxP='0' 和 CxEN='1'。
5. 设置 TMRx_CTRL1 寄存器的 CNTEN 位启动计数器

TMRx_CCx 寄存器能够在任何时候通过软件进行更新以控制输出波形，条件是未使用预装载寄存器（OCxPEN='0'，否则 TMRx_CCx 影子寄存器只能在发生下一次更新事件时被更新）。下图给出了一个例子。

图 9-30 输出比较模式，翻转 OC1



9.1.3.9 PWM 模式

脉冲宽度调制模式可以产生一个由 TMRx_AR 寄存器确定频率、由 TMRx_CCx 寄存器确定占空比的信号。

在 TMRx_CCMx 寄存器中的 OCxMODE 位写入'110'（PWM 模式 1）或'111'（PWM 模式 2），能够独立地设置每个 OCx 输出通道产生一路 PWM。必须设置 TMRx_CCMx 寄存器 OCxPEN 位以使能相应的预装载寄存器，最后还要设置 TMRx_CTRL1 寄存器的 ARPEN 位，（在向上计数或中心对称模式中）使能自动重装载的预装载寄存器。

仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 TMRx_EVEG 寄存器中的 UEVG 位来初始化所有的寄存器。OCx 的极性可以通过软件在 TMRx_CCE 寄存器中的 CxP 位设置，它可以设置为高电平有效或低电平有效。TMRx_CCE 寄存器中的 CxEN 位控制 OCx 输出使能。详见 [TMRx_CCE 寄存器](#) 的描述。

在 PWM 模式（模式 1 或模式 2）下，TMRx_CNT 和 TMRx_CCx 始终在进行比较，（依据计数器的计数方向）以确定是否符合 TMRx_CCx \leq TMRx_CNT 或者 TMRx_CNT \leq TMRx_CCx。然而为了与 OCREF_CLR 的功能（在下一个 PWM 周期之前，ETR 信号上的一个外部事件能够清除 OCxREF）一致，OCxREF 信号只能在下述条件下产生：

- 当比较的结果改变
- 当输出比较模式（TMRx_CCMx 寄存器中的 OCxMODE 位）从“冻结”（无比较，OCxMODE='000'）切换到某个 PWM 模式（OCxMODE='110' 或 '111'）。

这样在运行中可以通过软件强置 PWM 输出。

根据 **TMRx_CTRL1** 寄存器中 **CMSEL** 位的状态，定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

PWM 边沿对齐模式

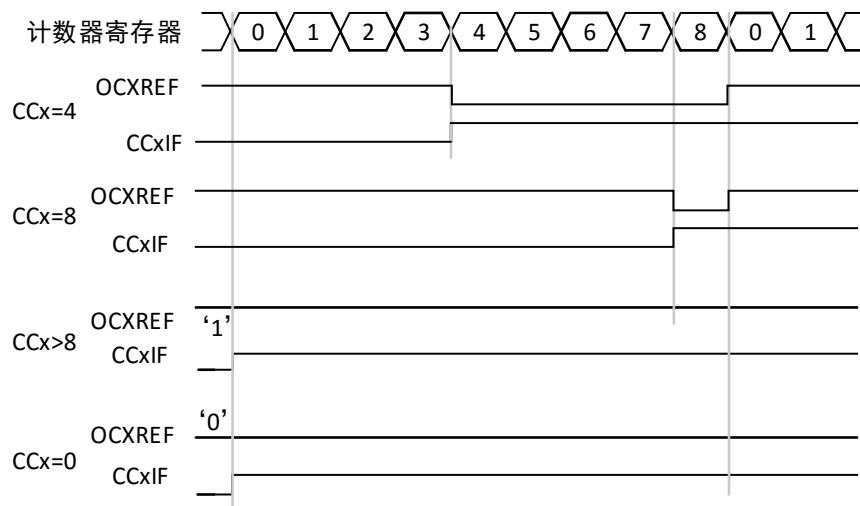
向上计数配置

当 **TMRx_CTRL1** 寄存器中的 **DIR** 位为低的时候执行向上计数。参看 [9.2.3.2 节](#)。

下面是一个 PWM 模式 1 的例子。当 **TMRx_CNT < TMRx_CCx** 时 PWM 信号参考 **OCxREF** 为高，否则为低。如果 **TMRx_CCx** 中的比较值大于自动重装载值 (**TMRx_AR**)，则 **OCxREF** 保持为'1'。

如果比较值为 0，则 **OCxREF** 保持为'0'。下图为 **TMRx_AR=8** 时边沿对齐的 PWM 波形实例。

图 9-31 边沿对齐的 PWM 波形 (AR=8)



向下计数的配置

当 **TMRx_CTRL1** 寄存器的 **DIR** 位为高时执行向下计数。参看 [9.2.3.2 节](#)。

在 PWM 式 1，当 **TMRx_CNT > TMRx_CCx** 时参考信号 **OCxREF** 为低，否则高。如果 **TMRx_CCx** 中的比较值大于 **TMRx_AR** 中的自动重装载值，则 **OCxREF** 保持为'1'。该模式下不能产生 0% 的 PWM 波形。

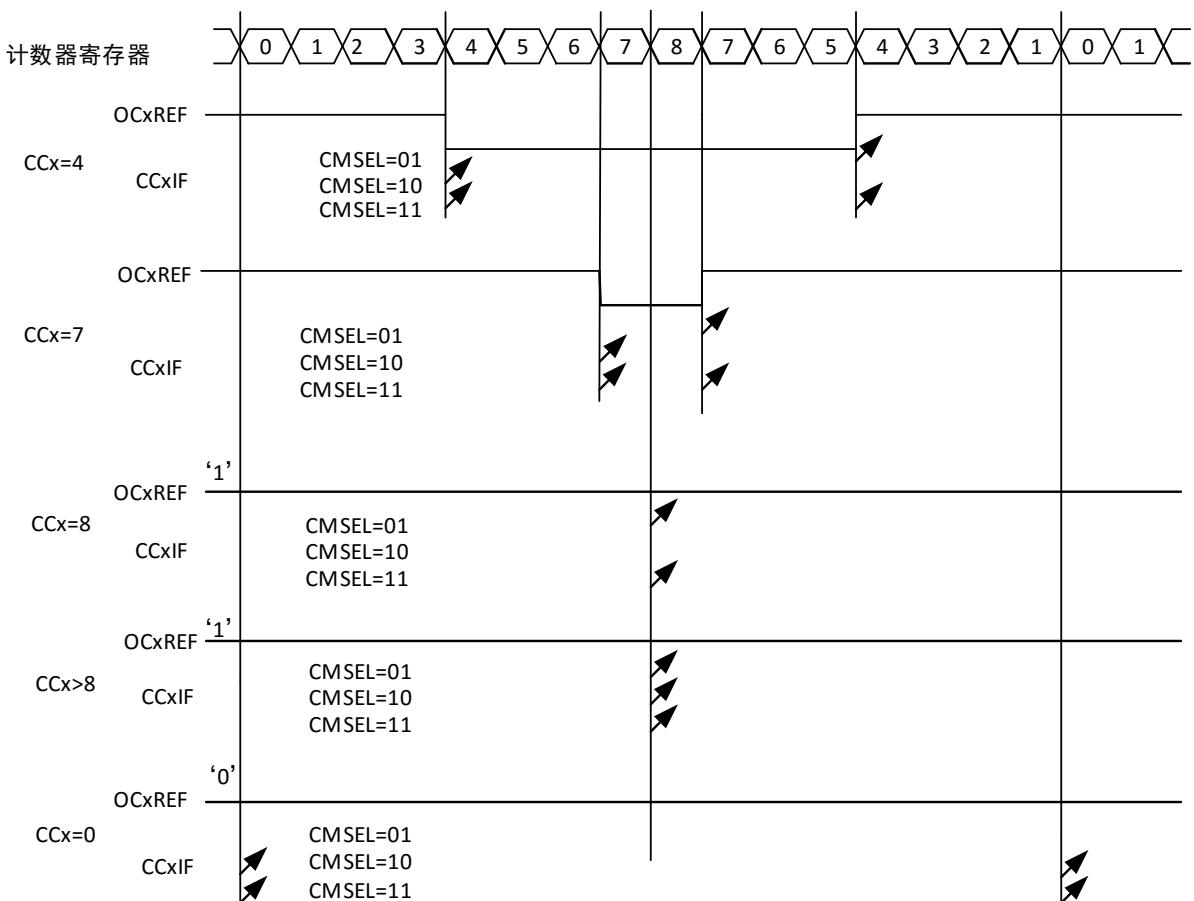
PWM 中央对齐模式

当 **TMRx_CTRL1** 寄存器中的 **CMSEL** 位不为'00'时，为中央对齐模式（所有其他的配置对 **OCxREF/OCx** 信号都有相同的作用）。根据不同的 **CMSEL** 位设置，比较标志可以在计数器向上计数时被置'1'、在计数器向下计数时被置'1'、或在计数器向上和向下计数时被置'1'。**TMRx_CTRL1** 寄存器中的计数方向位 (**DIR**) 由硬件更新，不要用软件修改它。参看 [9.2.3.2 节](#) 的中央对齐模式。

下图给出了一些中央对齐的 PWM 波形的例子

- **TMRx_AR=8**
- **PWM 模式 1**
- **TMRx_CTRL1** 寄存器中的 **CMSEL=01**，在中央对齐模式 1 时，当计数器向下计数时设置比较标志。

图 9-32 中央对齐的 PWM 波形 (AP=8)



使用中央对齐模式的提示:

- 进入中央对齐模式时，使用当前的向上/向下计数配置；这就意味着计数器向上还是向下计数取决于 TMRx_CTRL1 寄存器中 DIR 位的当前值。此外，软件不能同时修改 DIR 和 CMSEL 位。
- 不推荐当运行在中央对齐模式时改写计数器，因为这会产生不可预知的结果。特别地：
 - 如果写入计数器的值大于自动重加载的值 (TMRx_CNT > TMRx_AR)，则方向不会被更新。例如，如果计数器正在向上计数，它就会继续向上计数。
 - 如果将 0 或者 TMRx_AR 的值写入计数器，方向被更新，但不产生更新事件 UEV。
- 使用中央对齐模式最保险的方法，就是在启动计数器之前产生一个软件更新（设置 TMRx_EVEG 位中的 UEVG 位），不要在计数进行过程中修改计数器的值。

9.1.3.10 单脉冲模式

单脉冲模式 (OPM) 是前述众多模式的一个特例。这种模式允许计数器响应一个激励，并在一个程序可控的延时之后，产生一个脉宽可程序控制的脉冲。

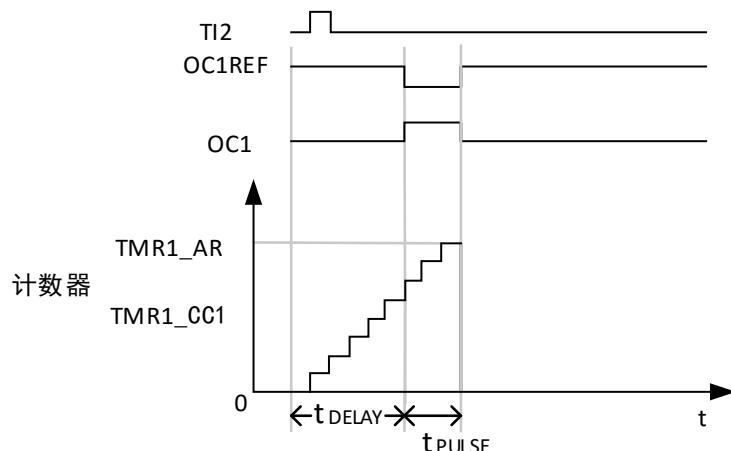
可以通过从模式控制器启动计数器，在输出比较模式或者 PWM 模式下产生波形。设置 TMRx_CTRL1 寄存器中的 OPMODE 位将选择单脉冲模式，这样可以让计数器自动地在产生下一个更新事件 UEV 时停止。

仅当比较值与计数器的初始值不同时，才能产生一个脉冲。启动之前（当定时器正在等待触发），必须如下配置：

向上计数方式: $CNT < CCx \leq AR$ (特别地, $0 < CCx$)，

向下计数方式: CNT > CCx。

图 9-33 单脉冲模式的例子



例如，你需要在从 TI2 输入脚上检测到一个上升沿开始，延迟 t_{DELAY} 之后，在 OC1 上产生一个长度为 t_{PULSE} 的正脉冲。

假定 TI2FP2 作为触发 1：

- 置 TMRx_CCM1 寄存器中的 C2SEL='01'，把 TI2FP2 映像到 TI2。
- 置 TMRx_CCE 寄存器中的 C2P='0'，使 TI2FP2 能够检测上升沿。
- 置 TMRx_SMC 寄存器中的 TRGSEL='110'，TI2FP2 作为从模式控制器的触发 (TRGI)。
- 置 TMRx_SMC 寄存器中的 SMSEL='110' (触发模式)，TI2FP2 被用来启动计数器。

OPM 波形由写入比较寄存器的数值决定（要考虑时钟频率和计数器预分频器）

- t_{DELAY} 由写入 TMRx_CC1 寄存器中的值定义。
- t_{PULSE} 由自动装载值和比较值之间的差值定义 ($TMRx_AR - TMRx_CC1$)。
- 假定当发生比较匹配时要产生从 '0' 到 '1' 的波形，当计数器到达预装载值时要产生一个从 '1' 到 '0' 的波形；首先要置 TMRx_CCM1 寄存器的 OC1MODE='111'，进入 PWM 模式 2；根据需要有选择地使能预装载寄存器：置 TMRx_CCM1 中的 OC1PEN='1' 和 TMRx_CTRL1 寄存器中的 ARPEN；然后在 TMRx_CC1 寄存器中填写比较值，在 TMRx_AR 寄存器中填写自动装载值，修改 UEVG 位来产生一个更新事件，然后等待在 TI2 上的一个外部触发事件。本例中，C1P='0'。

在这个例子中，TMRx_CTRL1 寄存器中的 DIR 和 CMSEL 位应该置低。因为只需一个脉冲，所以必须设置 TMRx_CTRL1 寄存器中的 OPMODE='1'，在下一个更新事件（当计数器从自动装载值翻转到 0 时停止计数）。

特殊情况：OCx 快速使能：

在单脉冲模式下，在 TIx 输入脚的边沿检测逻辑设置 CNTEN 位以启动计数器。然后计数器和比较值间的比较操作产生了输出的转换。但是这些操作需要一定的时钟周期，因此它限制了可得到的最小延时 t_{DELAY} 。

如果要以最小延时输出波形，可以设置 TMRx_CCMx 寄存器中的 OCxFEN 位；此时 OCxREF (和 OCx) 被强制响应激励而不再依赖比较的结果，输出的波形与比较匹配时的波形一样。OCxFEN 只在通道配置为 PWM1 和 PWM2 模式时起作用。

9.1.3.11 在外部事件时清除 OCxREF 信号

对于一个给定的通道，设置 TMRx_CCMx 寄存器中对应的 CxDIS 位为 '1'，能够用 ETRF 输入端的高电平把 OCxREF 信号拉低，OCxREF 信号将保持为低直到发生下一次的更新事件 UEV。

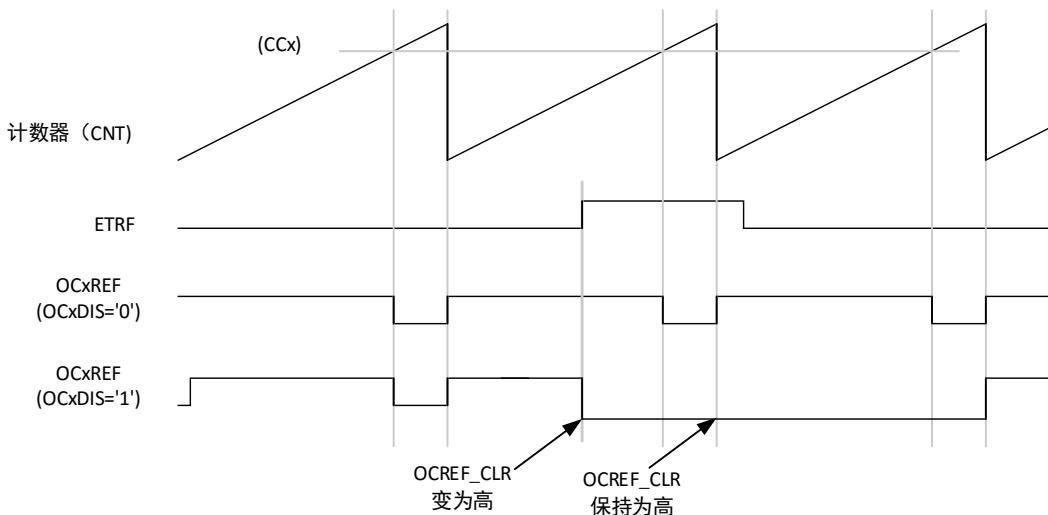
该功能只能用于输出比较和 PWM 模式，而不能用于强置模式。

例如，OCxREF 信号可以联到一个比较器的输出，用于控制电流。这时，ETR 必须配置如下：

1. 外部触发预分频器必须处于关闭：TMRx_SMC 寄存器中的 ETD[1: 0]='00'。
2. 必须禁止外部时钟模式 2：TMRx_SMC 寄存器中的 ECLKEN='0'。
3. 外部触发极性（ETRGP）和外部触发滤波器（ETDF）可以根据需要配置。

下图显示了当 ETRF 输入变为高时，对应不同 CxDIS 的值，OCxREF 信号的动作。在这个例子中，定时器 TMRx 被置于 PWM 模式。

图 9-34 清除 TMRx 的 OCxREF



9.1.3.12 编码器接口模式

选择编码器接口模式的方法是：如果计数器只在 TI2 的边沿计数，则置 TMRx_SMC 寄存器中的 SMSEL=001；如果只在 TI1 边沿计数，则置 SMSEL=010；如果计数器同时在 TI1 和 TI2 边沿计数，则置 SMSEL=011。

通过设置 TMRx_CCE 寄存器中的 C1P 和 C2P 位，可以选择 TI1 和 TI2 极性；如果需要，还可以对输入滤波器编程。

两个输入 TI1 和 TI2 被用来作为增量编码器的接口。参看表 9-2，假定计数器已经启动（TMRx_CTRL1 寄存器中的 CNTEN='1'），计数器由每次在 TI1FP1 或 TI2FP2 上的有效跳变驱动。TI1FP1 和 TI2FP2 是 TI1 和 TI2 在通过输入滤波器和极性控制后的信号；如果没有滤波和变相，则 TI1FP1=TI1，TI2FP2=TI2。根据两个输入信号的跳变顺序，产生了计数脉冲和方向信号。依据两个输入信号的跳变顺序，计数器向上或向下计数，同时硬件对 TMRx_CTRL1 寄存器的 DIR 位进行相应的设置。

不管计数器是依靠 TI1 计数、依靠 TI2 计数或者同时依靠 TI1 和 TI2 计数。在任一输入端（TI1 或者 TI2）的跳变都会重新计算 DIR 位。

编码器接口模式基本上相当于使用了一个带有方向选择的外部时钟。这意味着计数器只在 0 到 TMRx_AR 寄存器的自动装载值之间连续计数（根据方向，或是 0 到 AR 计数，或是 AR 到 0 计数）。所以在开始计数之前必须配置 TMRx_AR；同样，捕获器、比较器、预分频器、触发输出特性等仍工作如常。

在这个模式下，计数器依照增量编码器的速度和方向被自动的修改，因此计数器的内容始终指示着编码器的位置。计数方向与相连的传感器旋转的方向对应。下表列出了所有可能的组合，假设 TI1 和 TI2 不同时变换。

表 9-1 计数方向与编码器信号的关系

有效边沿	相对信号的电平 (TI1FP1 对应 TI2, TI2FP2 对应 TI1)	TI1FP1 信号		TI2FP2 信号	
		上升	下降	上升	下降
仅在 TI1 计数	高	向下计数	向上计数	不计数	不计数

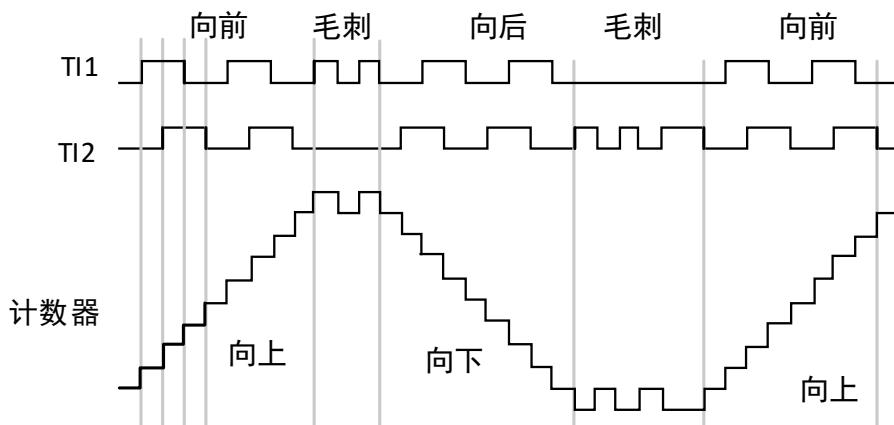
	低	向上计数	向下计数	不计数	不计数
仅在 TI2 计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在 TI1 和 TI2 上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

一个外部的增量编码器可以直接与 MCU 连接而不需要外部接口逻辑。但是，一般会使用比较将编码器的差动输出转换到数字信号，这大大增加了抗噪声干扰能力。编码器输出的第三个信号表示机械零点，可以把它连接到一个外部中断输入并触发一个计数器复位。

下图是一个计数器操作的实例，显示了计数信号的产生和方向控制。它还显示了当选择了双边沿时，输入抖动是如何被抑制的；抖动可能会在传感器的位置靠近一个转换点时产生。在这个例子中，我们假定配置如下：

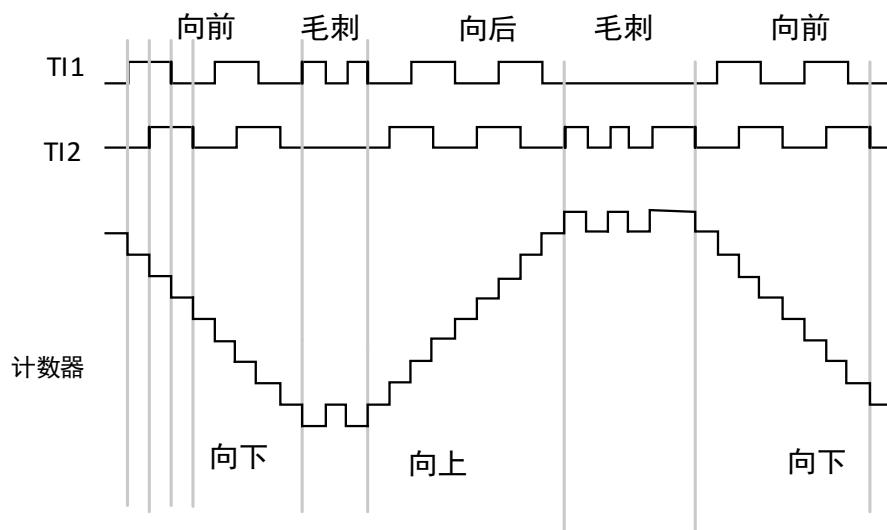
- C1SEL='01' （TMRx_CCM1寄存器，IC1FP1映射到TI1）。
- C2SEL='01' （TMRx_CCM1寄存器，IC2FP2映射到TI2）。
- C1P='0' （TMRx_CCE寄存器，IC1FP1不反相，IC1FP1=TI1）。
- C2P='0' （TMRx_CCE寄存器，IC2FP2不反相，IC2FP2=TI2）。
- SMSEL='011' （TMRx_SMC寄存器，所有的输入均在上升沿和下降沿有效）。
- CNTEN='1' （TMRx_CTRL1寄存器，计数器使能）。

图9-35 编码器模式下的计数器操作实例



下图为当 IC1FP1 极性反相时计数器的操作实例（C1P='1'，其他配置与上例相同）

图 9-36 IC1FP1 反相的编码器接口模式实例



当定时器配置成编码器接口模式时，提供传感器当前位置的信息。使用第二个配置在捕获模式的定时器，可以测量两个编码器事件的间隔，获得动态的信息（速度，加速度，减速度）。指示机械零点的编码器输出可被用做此目的。根据两个事件间的间隔，可以按照固定的时间读出计数器。如果可能的话，你可以把计数器的值锁存到第三个输入捕获寄存器（捕获信号必须是周期的并且可以由另一个定时器产生）；也可以通过一个由实时时钟产生的 DMA 请求来读取它的值。

9.1.3.13 定时器输入异或功能

TMRx_CTRL2 寄存器中的 TI1SEL 位，允许通道 1 的输入滤波器连接到一个异或门的输出端，异或门的 3 个输入端为 TMRx_CH1、TMRx_CH2 和 TMRx_CH3。

异或输出能够被用于所有定时器的输入功能，如触发或输入捕获。本章的 [9.4.3.18 节](#)给出了此特性用于连接霍尔传感器的例子。

9.1.3.14 定时器和外部触发的同步

TMRx 定时器能够在多种模式下和一个外部的触发同步：复位模式、门控模式和触发模式。

从模式：复位模式

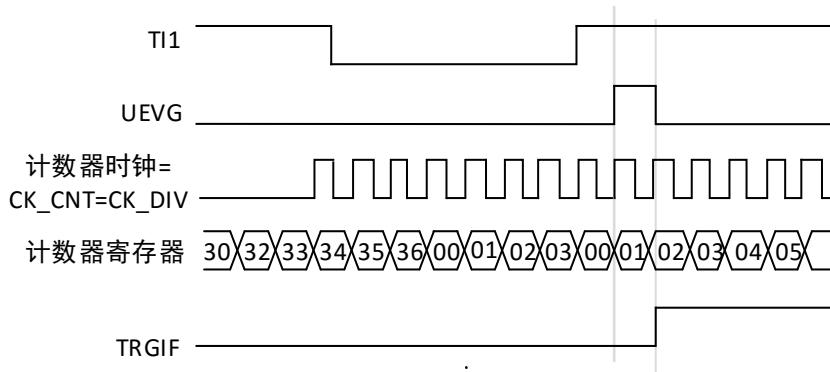
在发生一个触发输入事件时，计数器和它的预分频器能够重新被初始化；同时，如果 TMRx_CTRL1 寄存器的 UEVRS 位为低，还会产生一个更新事件 UEV；然后所有的预装载寄存器（TMRx_AR，TMRx_CC_x）都会被更新。

在下面的例子中，TI1 输入端的上升沿导致向上计数器被清零：

- 配置通道 1 以检测 TI1 的上升沿。配置输入滤波器的带宽（在本例中，不需要任何滤波器，因此保持 IC1DF=0000）。触发操作中不使用捕获预分频器，所以不需要配置它。C1SEL 位只选择输入捕获源，即 TMRx_CCM1 寄存器中 C1SEL=01。置 TMRx_CCE 寄存器中 C1P=0 以确定极性（只检测上升沿）。
- 置 TMRx_SMC 寄存器中 SMSEL=100，配置定时器为复位模式；置 TMRx_SMC 寄存器中 TRGSEL =101，选择 TI1 作为输入源。
- 置 TMRx_CTRL1 寄存器中 CNTEN=1，启动计数器。

计数器开始依据内部时钟计数，然后正常运转直到 TI1 出现一个上升沿；此时，计数器被清零然后从 0 重新开始计数。同时，触发标志（TMRx_STS 寄存器中的 TRGIF 位）被设置，根据 TMRx_DIE 寄存器中 TRGIE（中断使能）位和 TRGDE（DMA 使能）位的设置，产生一个中断请求或一个 DMA 请求。下图显示当自动重装载寄存器 TMRx_AR=0x36 时的动作。在 TI1 上升沿和计数器的实际复位之间的延时，取决于 TI1 输入端的重同步电路。

图 9-37 复位模式下的控制电路



从模式：门控模式

按照选中的输入端电平使能计数。

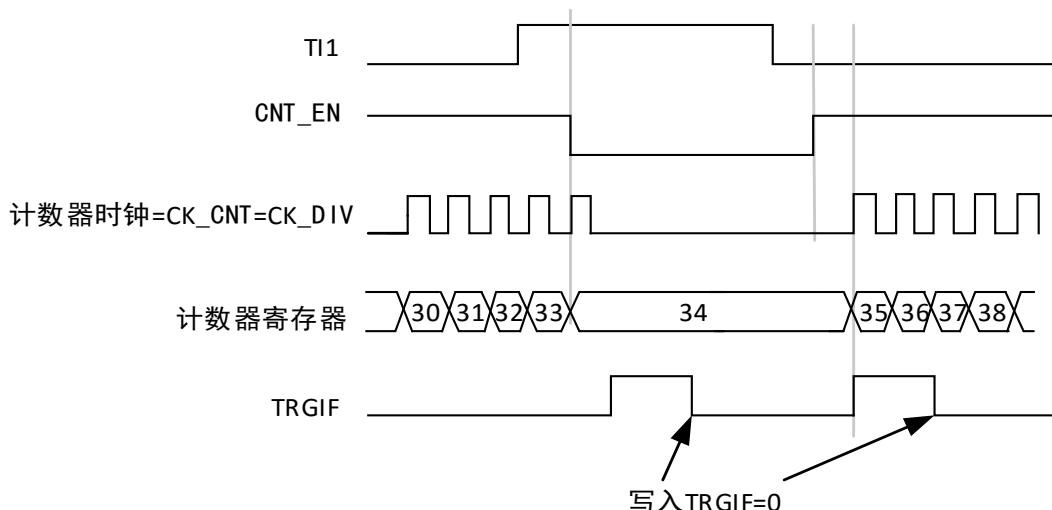
在如下的例子中，计数器只在 **TI1** 为低时向上计数：

- 配置通道1以检测TI1上的低电平。配置输入滤波器带宽（本例中，不需要滤波，所以保持IC1DF=0000）。触发操作中不使用捕获预分频器，所以不需要配置。C1SEL位用于选择输入捕获源，置TMRx_CCM1寄存器中C1SEL=01。置TMRx_CCE寄存器中C1P=1以确定极性（只检测低电平）。
- 置TMRx_SMC寄存器中SMSEL=101，配置定时器为门控模式；置TMRx_SMC寄存器中TRGSEL=101，选择TI1作为输入源。
- 置TMRx_CTRL1寄存器中CNTEN=1，启动计数器。在门控模式下，如果CNTEN=0，则计数器不能启动，不论触发输入电平如何。

只要 **TI1** 为低，计数器开始依据内部时钟计数，在 **TI1** 变高时停止计数。当计数器开始或停止时都设置 TMRx_STS 中的 TRGIF 标置。

TI1 上升沿和计数器实际停止之间的延时，取决于 **TI1** 输入端的重同步电路。

图 9-38 门控模式下的控制电路



从模式：触发模式

输入端上选中的事件使能计数器。

在下面的例子中，计数器在 **TI2** 输入的上升沿开始向上计数：

- 配置通道2检测TI2的上升沿。配置输入滤波器带宽（本例中，不需要任何滤波器，保持IC2DF=0000）。触发操作中不使用捕获预分频器，不需要配置。C2SEL位只用于选择输入捕获源，置TMRx_CCM1寄存器中C2SEL=01。置TMRx_CCE寄存器

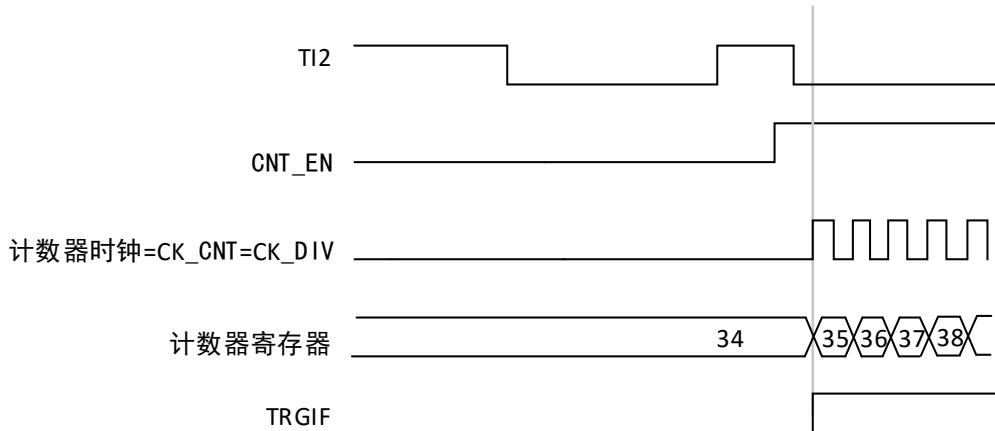
中 C2P=0 以确定极性（只检测低电平）。

- 置 TMRx_SMC 寄存器中 SMSEL=110，配置定时器为触发模式；置 TMRx_SMC 寄存器中 TRGSEL=110，选择 TI2 作为输入源。

当 TI2 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时设置 TRGIF 标志。

TI2 上升沿和计数器启动计数之间的延时，取决于 TI2 输入端的重同步电路。

图 9-39 触发器模式下的控制电路



从模式：外部时钟模式 2 + 触发模式

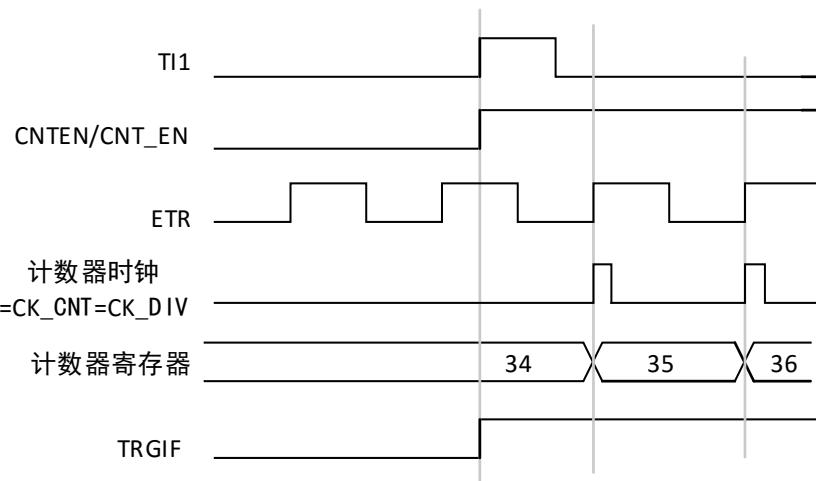
外部时钟模式 2 可以与另一种从模式（外部时钟模式 1 和编码器模式除外）一起使用。这时，ETR 信号被用作外部时钟的输入，在复位模式、门控模式或触发模式时可以选择另一个输入作为触发输入。不建议使用 TMRx_SMC 寄存器的 TRGSEL 位选择 ETR 作为 TRGI。

下面的例子中，TI1 上出现一个上升沿之后，计数器即在 ETR 的每一个上升沿向上计数一次：

1. 通过 TMRx_SMC 寄存器配置外部触发输入电路：
 - ETDF=0000：没有滤波
 - ETD=00：不用预分频器
 - ETRGP=0：检测 ETR 的上升沿，置 ECLKEN=1 使能外部时钟模式 2
2. 按如下配置通道 1，检测 TI 的上升沿：
 - IC1DF=0000：没有滤波
 - 触发操作中不使用捕获预分频器，不需要配置
 - 置 TMRx_CCM1 寄存器中 C1SEL=01，选择输入捕获源
 - 置 TMRx_CCE 寄存器中 C1P=0 以确定极性（只检测上升沿）
3. 置 TMRx_SMC 寄存器中 SMSEL=110，配置定时器为触发模式。置 TMRx_SMC 寄存器中 TRGSEL=101，选择 TI1 作为输入源。

当 TI1 上出现一个上升沿时，TRGIF 标志被设置，计数器开始在 ETR 的上升沿计数。ETR 信号的上升沿和计数器实际复位间的延时，取决于 ETRP 输入端的重同步电路。

图 9-40 外部时钟模式2+触发模式下的控制电路



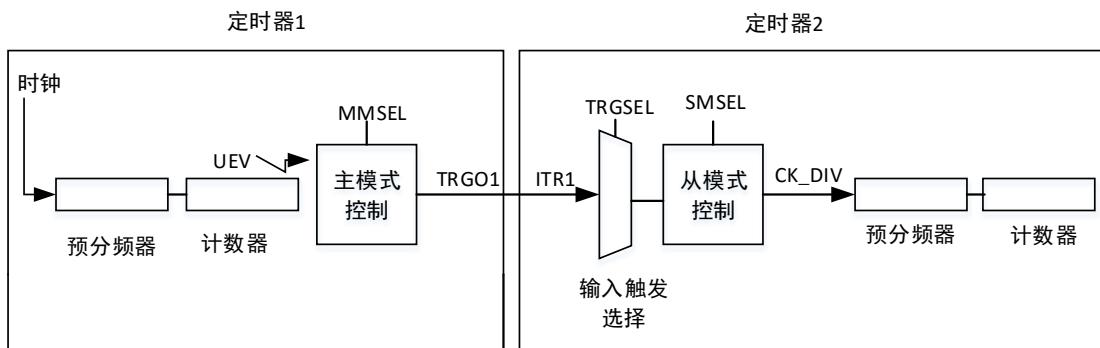
9.1.3.15 定时器同步

所有 TMRx 定时器在内部相连，用于定时器同步或链接。当一个定时器处于主模式时，它可以对另一个处于从模式的定时器的计数器进行复位、启动、停止或提供时钟等操作。

下图显示了触发选择和主模式选择模块的概况。

使用一个定时器作为另一个定时器的预分频器

图 9-41 主/从定时器的例子



如：可以配置定时器 1 作为定时器 2 的预分频器。参考图 9-51，进行下述操作：

- 配置定时器 1 为主模式，它可以在每一个更新事件 UEV 时输出一个周期性的触发信号。在 TMR1_CTRL2 寄存器的 MMSEL='010' 时，每当产生一个更新事件时在 TRGO1 上输出一个上升沿信号。
- 连接定时器 1 的 TRGO1 输出至定时器 2，设置 TMR2_SMC 寄存器的 TRGSEL='000'，配置定时器 2 为使用 ITR1 作为内部触发的从模式。
- 然后把从模式控制器置于外部时钟模式 1 (TMR2_SMC 寄存器的 SMSEL=111)；这样定时器 2 即可由定时器 1 周期性的上升沿(即定时器 1 的计数器溢出)信号驱动。
- 最后，必须设置相应 (TMRx_CTRL1 寄存器) 的 CNTEN 位分别启动两个定时器。

注意：如果 OCx 已被选中为定时器 1 的触发输出 (MMSEL=1xx)，它的上升沿用于驱动定时器 2 的计数器。

使用一个定时器使能另一个定时器

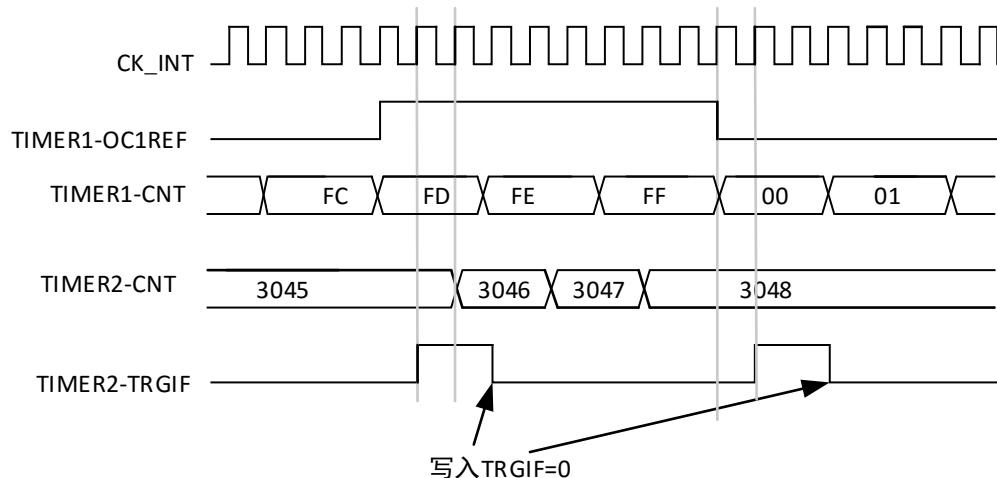
在这个例子中，定时器 2 的使能由定时器 1 的输出比较控制。参考图 9-51 的连接。只当定时器 1 的 OC1REF 为高时，定时器 2 才对分频后的内部时钟计数。两个定时器的时钟频率都是由预分频器对 CK_INT 除以 3 ($f_{CK_CNT}=f_{CK_INT}/3$) 得到。

- 配置定时器 1 为主模式，送出它的输出比较参考信号 (OC1REF) 为触发输出 (TMR1_CTRL2 寄存器的 MMSEL=100)

- 配置定时器1的OC1REF波形（TMR1_CCM1寄存器）
- 配置定时器2从定时器1获得输入触发（TMR2_SMC寄存器的TRGSEL=000）
- 配置定时器2为门控模式（TMR2_SMC寄存器的SMSEL=101）
- 置TMR2_CTRL1寄存器的CNTEN=1以使能定时器2
- 置TMR1_CTRL1寄存器的CNTEN=1以启动定时器1

注意： 定时器2的时钟不与定时器1的时钟同步，这个模式只影响定时器2计数器的使能信号。

图9-42 定时器1的OC1REF控制定时器2

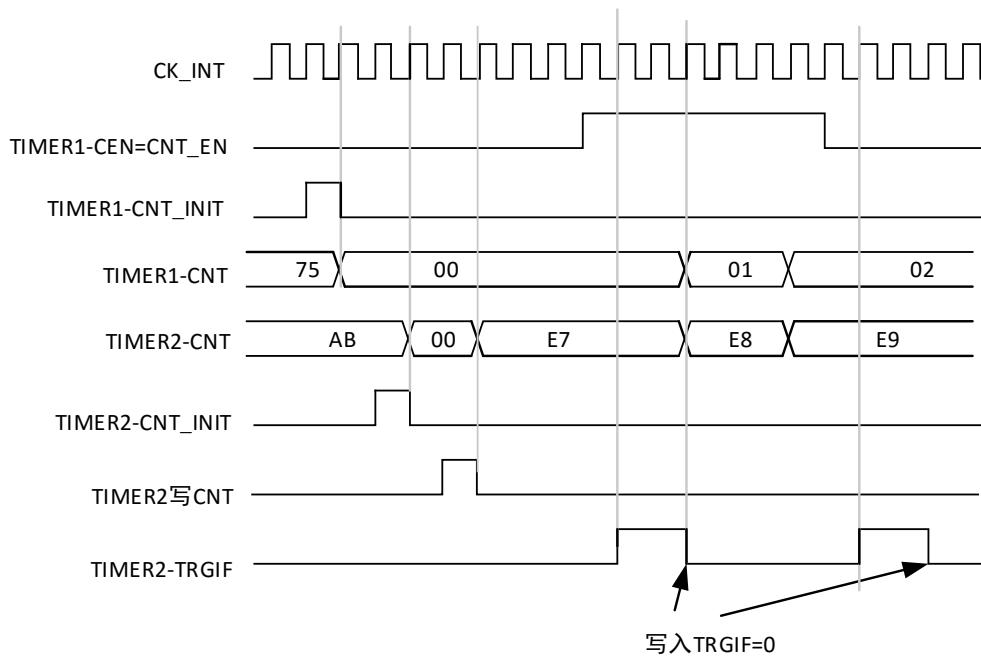


在图9-52的例子中，在定时器2启动之前，它们的计数器和预分频器未被初始化，因此它们从当前的数值开始计数。可以在启动定时器1之前复位2个定时器，使它们从给定的数值开始，即在定时器计数器中写入需要的任意数值。写TMRx_EVEG寄存器的UEVG位即可复位定时器。

在下一个例子中，需要同步定时器1和定时器2。定时器1是主模式并从0开始，定时器2是从模式并从0xE7开始；2个定时器的预分频器系数相同。写'0'到TMR1_CTRL1的CNTEN位将禁止定时器1，定时器2随即停止。

- 配置定时器1为主模式，送出输出比较1参考信号（OC1REF）做为触发输出（TMR1_CTRL2寄存器的MMSEL=100）。
- 配置定时器1的OC1REF波形（TMR1_CCM1寄存器）。
- 配置定时器2从定时器1获得输入触发（TMR2_SMC寄存器的TRGSEL=000）
- 配置定时器2为门控模式（TMR2_SMC寄存器的SMSEL=101）
- 置TMR1_EVEG寄存器的UEVG='1'，复位定时器1。
- 置TMR2_EVEG寄存器的UEVG='1'，复位定时器2。
- 写'0xE7'至定时器2的计数器（TMR2_CNT），初始化它为0xE7。
- 置TMR2_CTRL1寄存器的CNTEN='1'以使能定时器2。
- 置TMR1_CTRL1寄存器的CNTEN='1'以启动定时器1。
- 置TMR1_CTRL1寄存器的CNTEN='0'以停止定时器1。

图 9-43 通过使能定时器 1 可以控制定时器 2

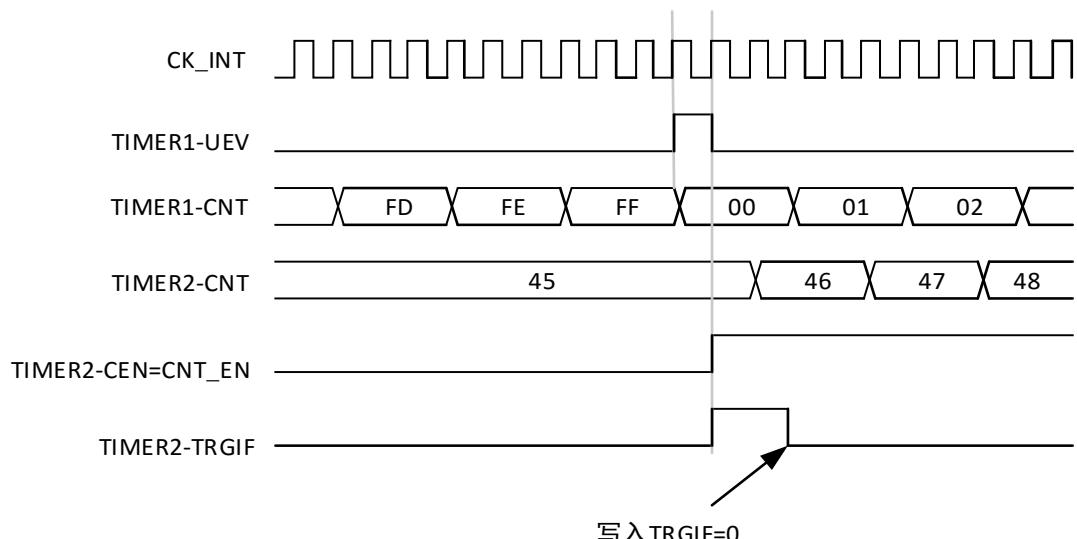


使用一个定时器去启动另一个定时器

在这个例子中，使用定时器 1 的更新事件使能定时器 2。参考图 9-51 的连接。一旦定时器 1 产生更新事件，定时器 2 即从它当前的数值（可以是非 0）按照分频的内部时钟开始计数。在收到触发信号时，定时器 2 的 CNTEN 位被自动地置'1'，同时计数器开始计数直到写'0'到 TMR2_CTRL1 寄存器的 CNTEN 位。两个定时器的时钟频率都是由预分频器对 CK_INT 除以 3 ($f_{CK_CNT}=f_{CK_INT}/3$)。

- 配置定时器 1 为主模式，送出它的更新事件 (UEV) 做为触发输出 (TMR1_CTRL2 寄存器的 MMSEL=010)。
- 配置定时器 1 的周期 (TMR1_AR 寄存器)。
- 配置定时器 2 从定时器 1 获得输入触发 (TMR2_SMC 寄存器的 TRGSEL=000)
- 配置定时器 2 为触发模式 (TMR2_SMC 寄存器的 SMSEL=110)
- 置 TMR1_CTRL1 寄存器的 CNTEN=1 以启动定时器 1。

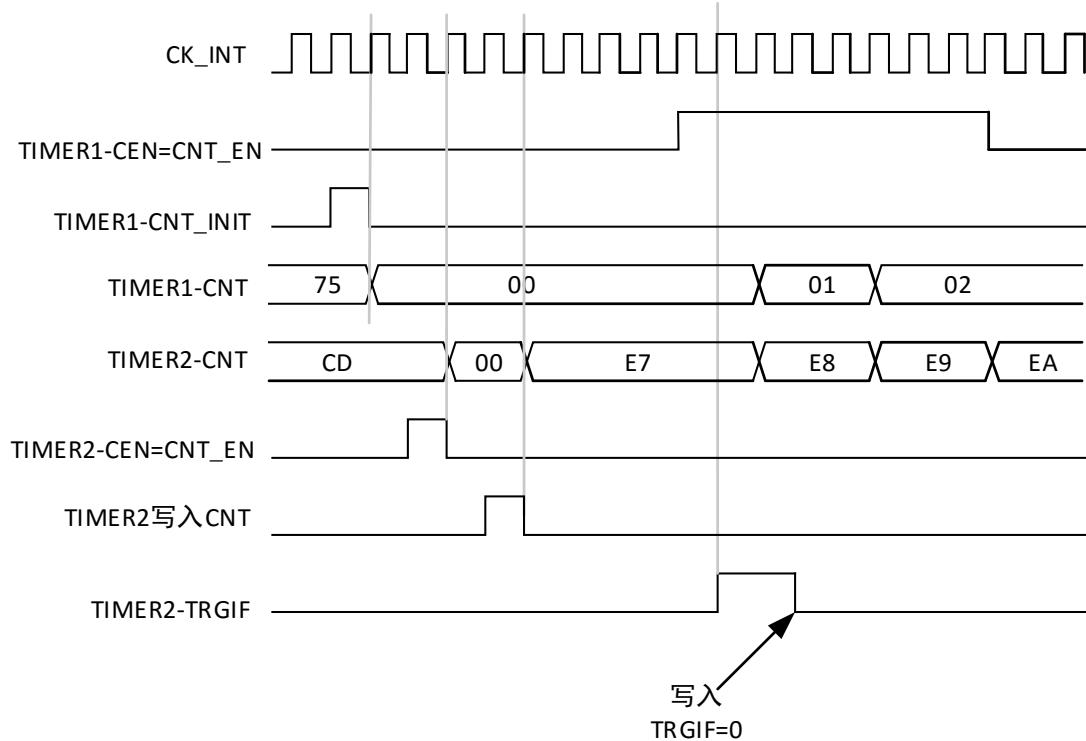
图 9-44 使用定时器 1 的更新触发定时器 2



在上一个例子中，可以在启动计数之前初始化两个计数器。图 9-55 显示在与上例相同配置情况下，

使用触发模式而不是门控模式（TMR2_SMC 寄存器的 SMSEL=110）的动作。

图 9-45 利用定时器 1 的使能触发定时器 2



使用一个定时器作为另一个的预分频器

这个例子使用定时器 1 作为定时器 2 的预分频器。参考[图 9-51](#)的连接，配置如下：

- 配置定时器 1 为主模式，送出它的更新事件 UEV 做为触发输出（TMR1_CTRL2 寄存器的 MMSEL='010'）。然后每次计数器溢出时输出一个周期信号。
- 配置定时器 1 的周期（TMR1_AR 寄存器）。
- 配置定时器 2 从定时器 1 获得输入触发（TMR2_SMC 寄存器的 TRGSEL=000）。
- 配置定时器 2 使用外部时钟模式（TMR2_SMC 寄存器的 SMSEL=111）。
- 置 TMR1_CTRL2 寄存器的 CNTEN=1 以启动定时器 2。
- 置 TMR1_CTRL1 寄存器的 CNTEN=1 以启动定时器 1。

使用一个外部触发同步地启动 2 个定时器。

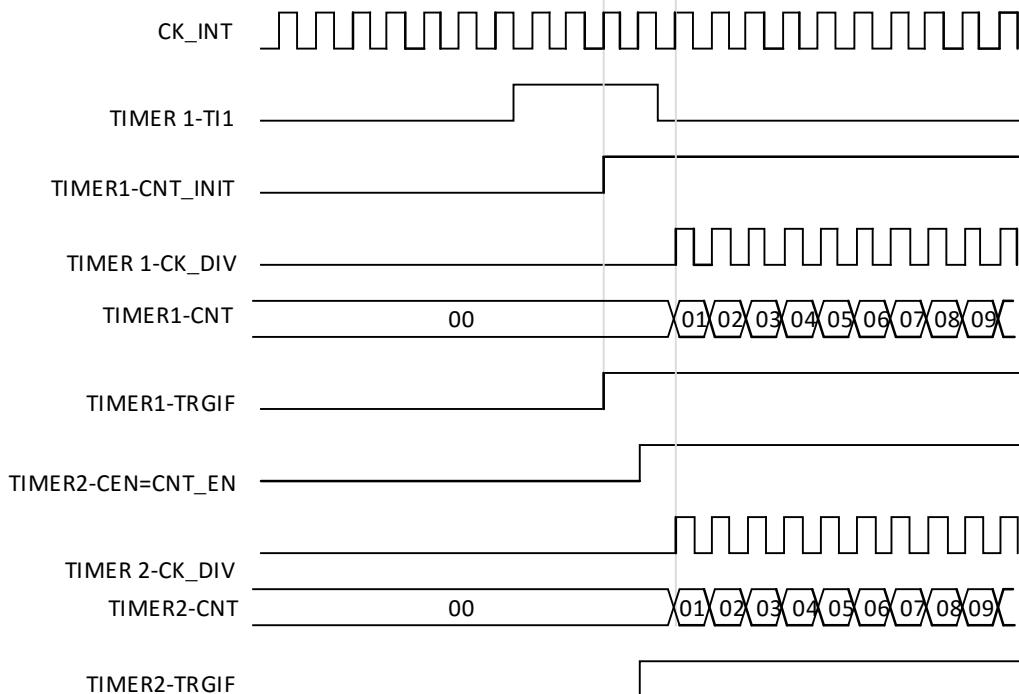
这个例子中当定时器 1 的 TI1 输入上升时使能定时器 1，使能定时器 1 的同时使能定时器 2，参见[图 9-51](#)。为保证计数器的对齐，定时器 1 必须配置为主/从模式（对于 TI1 为从，对于定时器 2 为主）：

- 配置定时器 1 为主模式，送出它的使能做为触发输出（TMR1_CTRL2 寄存器的 MMSEL='001'）。
- 配置定时器 1 为从模式，从 TI1 获得输入触发（TMR1_SMC 寄存器的 TRGSEL='100'）。
- 配置定时器 1 为触发模式（TMR1_SMC 寄存器的 SMSEL='110'）。
- 配置定时器 1 为主/从模式，TMR1_SMC 寄存器的 MSMODE='1'。
- 配置定时器 2 从定时器 1 获得输入触发（TMR2_SMC 寄存器的 TRGSEL=000）。
- 配置定时器 2 为触发模式（TMR2_SMC 寄存器的 SMSEL='110'）。当定时器 1 的 TI1 上出现一个上升沿时，两个定时器同步地按照内部时钟开始计数，两个 TRGIF 标志也同时被设置。

注意： 在这个例子中，在启动之前两个定时器都被初始化（设置相应的 UEVG 位），两个计数器都从 0 开始，但可以通过写入任意一个计数器寄存器（TMRx_CNT）在

定时器间插入一个偏移。下图中能看到主/从模式下在定时器 1 的 CNT_EN 和 CK_DIV 之间有个延迟。

图 9-46 使用定时器 1 的 TI1 输入触发定时器 1 和定时器 2



9.1.3.16 调试模式

当微控制器进入调试模式 (Cortex™-M4 核心停止), 根据 DBG 模块中 DBG_TMRx_STOP 的设置, TMRx 计数器或者继续正常操作, 或者停止。详见随后[第 18.2.2 节: 支持定时器、看门狗、bxCAN 和 I2C 的调试](#)。

9.1.4 TMRx 寄存器描述

可以用半字 (16 位) 或字 (32 位) 的方式操作这些外设寄存器。

下表中将 TMRx 的所有寄存器映射到一个 16 位可寻址 (编址) 空间。

表 9-2 TMRx – 寄存器图和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	TMRx_CTRL1	保留																NEMW	CLKDIV[1: 0]	ARPEN	CMSEL[1: 0]	DIR	OPMODE	UVERS	UEVDIS	CNTEN	0						
		复位值																0	0	0	0	0	0	0	0	0	0						
0x04	TMRx_CTRL2	保留																TI1SEL	MMSEL[2: 0]	MMSEL[2: 0]	CDSEL	保留	保留										
		复位值																0	0	0	0	0	0	0	0	0	0						
0x08	TMRx_SMC	保留																ETRGP	ECLKEN	ETD[1: 0]	ETDF[3: 0]	MSMODE	TRGSEL[2: 0]	保留	SMSEL[2: 0]	0	0	0					
		复位值																0	0	0	0	0	0	0	0	0	0						

9.1.4.1 控制寄存器1 (TMRx_CTRL1)

偏移地址: 0x00

复位值: 0x0000

位 15: 11	保留, 始终读为 0。
位 10	<p>PMEN: 增强模式使能 (Plus Mode Enable) 开启 TMRx 增强模式, 该模式下 TMRx_CNT, TMRx_AR, TMRx_CC1/2/3/4 由 16 位扩展为 32 位。 0: 不开启增强模式; 1: 开启增强模式。 注: TMR2 和 TMR5 才具有此功能, 其它 TMR 设置此位无效。</p>
位 9: 8	<p>CLKDIV[1: 0]: 时钟分频因子 (Clock division) 定义在定时器时钟 (CK_INT) 频率与数字滤波器 (ETR, TIx) 使用的采样频率之间的分频比例。</p> <p>00: $t_{DTS} = t_{CK_INT}$ 01: $t_{DTS} = 2 \times t_{CK_INT}$ 10: $t_{DTS} = 4 \times t_{CK_INT}$ 11: 保留</p>
位 7	<p>ARPEN: 自动重装载预装载允许位 (Auto-reload preload enable) 0: TMRx_AR 寄存器没有缓冲; 1: TMRx_AR 寄存器被装入缓冲器。</p>
位 6: 5	<p>CMSEL[1: 0]: 选择中央对齐模式 (Center-aligned mode selection) 00: 边沿对齐模式。计数器依据方向位 (DIR) 向上或向下计数。 01: 中央对齐模式 1。计数器交替地向上和向下计数。配置为输出的通道 (TMRx_CCMx 寄存器中 CxSEL=00) 的输出比较中断标志位, 只在计数器向下计数时被设置。 10: 中央对齐模式 2。计数器交替地向上和向下计数。配置为输出的通道 (TMRx_CCMx 寄存器中 CxSEL=00) 的输出比较中断标志位, 只在计数器向上计数时被设置。 11: 中央对齐模式 3。计数器交替地向上和向下计数。配置为输出的通道 (TMRx_CCMx 寄存器中 CxSEL=00) 的输出比较中断标志位, 在计数器向上和向下计数时均被设置。 注: 在计数器开启时 (CNTEN=1), 不允许从边沿对齐模式转换到中央对齐模式。</p>
位 4	<p>DIR: 方向 (Direction) 0: 计数器向上计数; 1: 计数器向下计数。 注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。</p>

位 3	OPMODE: 单脉冲模式 (One pulse mode) 0: 在发生更新事件时, 计数器不停止; 1: 在发生下一次更新事件 (清除 CNTEN 位) 时, 计数器停止。
位 2	UEVRS: 更新请求源 (Update request source) 软件通过该位选择 UEV 事件的源 0: 如果使能了更新中断或 DMA 请求, 则下述任一事件产生更新中断或 DMA 请求: - 计数器溢出/下溢 - 设置 UEVG 位 - 从模式控制器产生的更新 1: 如果使能了更新中断或 DMA 请求, 则只有计数器溢出/下溢才产生更新中断或 DMA 请求。
位 1	UEVDIS: 禁止更新 (Update disable) 软件通过该位允许/禁止 UEV 事件的产生 0: 允许 UEV。更新 (UEV) 事件由下述任一事件产生: - 计数器溢出/下溢 - 设置 UEVG 位 - 从模式控制器产生的更新 具有缓存的寄存器被装入它们的预装载值。 1: 禁止 UEV。不产生更新事件, 影子寄存器 (AR、DIV、CCx) 保持它们的值。如果设置 UEVG 位或从模式控制器发出了一个硬件复位, 则计数器和预分频器被重新初始化。
位 0	CNTEN: 使能计数器 0: 禁止计数器; 1: 使能计数器。 注: 在软件设置了 CNTEN 位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置 CNTEN 位。 在单脉冲模式下, 当发生更新事件时, CNTEN 被自动清除。

9.1.4.2 控制寄存器2 (TMRx_CTRL2)

偏移地址: 0x04

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				TI1SEL EL		MMSEL[2: 0]			CDS EL		保留				
res		rw		rw		rw		rw		rw		res			

位 15: 8	保留, 始终读为 0。
位 7	TI1SEL: TI1 选择 (TI1 selection) 0: TMRx_CH1 引脚连到 TI1 输入; 1: TMRx_CH1、TMRx_CH2 和 TMRx_CH3 引脚经异或后连到 TI1 输入。 见本章 10.4.3.18 的与霍尔传感器的接口一节。

位 6: 4	MMSEL[2: 0]: 主模式选择 (Master mode selection) 这 3 位用于选择在主模式下送到从定时器的同步信息 (TRGO)。可能的组合如下: 000: 复位 – TMRx_EVEG 寄存器的 UEVG 位被用于作为触发输出 (TRGO)。如果是触发输入产生的复位 (从模式控制器处于复位模式)，则 TRGO 上的信号相对实际的复位会有一个延迟。 001: 使能 – 计数器使能信号 CNT_EN 被用于作为触发输出 (TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过 CNTEEN 控制位和门控模式下的触发输入信号的逻辑或产生。 当计数器使能信号受控于触发输入时，TRGO 上会有一个延迟，除非选择了主/从模式(见 TMRx_SMC 寄存器中 MSMODE 位的描述)。 010: 更新 – 更新事件被选为触发输入 (TRGO)。例如，一个主定时器的时钟可以被用作一个从定时器的预分频器。 011: 比较脉冲 – 在发生一次捕获或一次比较成功时，当要设置 C1IF 标志时 (即使它已经为高)，触发输出送出一个正脉冲 (TRGO)。 100: 比较 – OC1REF 信号被用于作为触发输出 (TRGO)。 101: 比较 – OC2REF 信号被用于作为触发输出 (TRGO)。 110: 比较 – OC3REF 信号被用于作为触发输出 (TRGO)。 111: 比较 – OC4REF 信号被用于作为触发输出 (TRGO)。
	CDSEL: 捕获/比较的 DMA 选择 0: 当发生 CCx 事件时，送出 CCx 的 DMA 请求； 1: 当发生更新事件时，送出 CCx 的 DMA 请求。
	位 2: 0 保留，始终读为 0。

9.1.4.3 从模式控制寄存器 (TMRx_SMC)

偏移地址: 0x08

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETR GP	ECL KEN	ETD[1: 0]		ETDF[3: 0]		MSM ODE	TRGSEL[2: 0]	保留	SMSEL[2: 0]						
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	res	rw	rw	rw

位 15	ETRGP: 外部触发极性 (External trigger polarity) 该位选择是用 ETR 还是 ETR 的反相来作为触发操作 0: ETR 不反相，高电平或上升沿有效； 1: ETR 被反相，低电平或下降沿有效。
位 14	ECLKEN: 外部时钟使能位 (External clock enable) 该位启用外部时钟模式 2 0: 禁止外部时钟模式 2； 1: 使能外部时钟模式 2。计数器由 ETRF 信号上的任意有效边沿驱动。 注 1: 设置 ECLKEN 位与选择外部时钟模式 1 并将 TRGI 连到 ETRF (SMSEL=111 和 TRGSEL=111) 具有相同功效。 注 2: 下述从模式可以与外部时钟模式 2 同时使用：复位模式、门控模式和触发模式；但是，这时 TRGI 不能连到 ETRF (TRGSEL 位不能是'111')。 注 3: 外部时钟模式 1 和外部时钟模式 2 同时被使能时，外部时钟的输入是 ETRF。
位 13: 12	ETD[1: 0]: 外部触发预分频 (External trigger prescaler) 外部触发信号 ETRP 的频率必须最多是 CK_INT 频率的 1/4。当输入较快的外部时钟时，可以使用预分频降低 ETRP 的频率。 00: 关闭预分频； 01: ETRP 频率除以 2； 10: ETRP 频率除以 4； 11: ETRP 频率除以 8。

位 11: 8	<p>ETDF[3: 0]: 外部触发滤波 (External trigger filter) 这些位定义了对 ETRP 信号采样的频率和对 ETRP 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，它记录到 N 个事件后会产生一个输出的跳变。</p> <table border="0"> <tbody> <tr> <td>0000: 无滤波器，以 f_{DTS} 采样</td><td>1000: 采样频率 $f_{SAMPLING} = f_{DTS}/8, N=6$</td></tr> <tr> <td>0001: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=2$</td><td>1001: 采样频率 $f_{SAMPLING} = f_{DTS}/8, N=8$</td></tr> <tr> <td>0010: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=4$</td><td>1010: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=5$</td></tr> <tr> <td>0011: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=8$</td><td>1011: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=6$</td></tr> <tr> <td>0100: 采样频率 $f_{SAMPLING} = f_{DTS}/2, N=6$</td><td>1100: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=8$</td></tr> <tr> <td>0101: 采样频率 $f_{SAMPLING} = f_{DTS}/2, N=8$</td><td>1101: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=5$</td></tr> <tr> <td>0110: 采样频率 $f_{SAMPLING} = f_{DTS}/4, N=6$</td><td>1110: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=6$</td></tr> <tr> <td>0111: 采样频率 $f_{SAMPLING} = f_{DTS}/4, N=8$</td><td>1111: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=8$</td></tr> </tbody> </table>	0000: 无滤波器，以 f_{DTS} 采样	1000: 采样频率 $f_{SAMPLING} = f_{DTS}/8, N=6$	0001: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=2$	1001: 采样频率 $f_{SAMPLING} = f_{DTS}/8, N=8$	0010: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=4$	1010: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=5$	0011: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=8$	1011: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=6$	0100: 采样频率 $f_{SAMPLING} = f_{DTS}/2, N=6$	1100: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=8$	0101: 采样频率 $f_{SAMPLING} = f_{DTS}/2, N=8$	1101: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=5$	0110: 采样频率 $f_{SAMPLING} = f_{DTS}/4, N=6$	1110: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=6$	0111: 采样频率 $f_{SAMPLING} = f_{DTS}/4, N=8$	1111: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=8$
0000: 无滤波器，以 f_{DTS} 采样	1000: 采样频率 $f_{SAMPLING} = f_{DTS}/8, N=6$																
0001: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=2$	1001: 采样频率 $f_{SAMPLING} = f_{DTS}/8, N=8$																
0010: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=4$	1010: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=5$																
0011: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=8$	1011: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=6$																
0100: 采样频率 $f_{SAMPLING} = f_{DTS}/2, N=6$	1100: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=8$																
0101: 采样频率 $f_{SAMPLING} = f_{DTS}/2, N=8$	1101: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=5$																
0110: 采样频率 $f_{SAMPLING} = f_{DTS}/4, N=6$	1110: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=6$																
0111: 采样频率 $f_{SAMPLING} = f_{DTS}/4, N=8$	1111: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=8$																
位 7	<p>MSMODE: 主/从模式 (Master/slave mode) 0: 无作用； 1: 触发输入 (TRGI) 上的事件被延迟了，以允许在当前定时器 (通过 TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。</p>																
位 6: 4	<p>TRGSEL[2: 0]: 触发选择 (Trigger selection) 这 3 位选择用于同步计数器的触发输入。</p> <table border="0"> <tbody> <tr> <td>000: 内部触发 0 (ITR0)， TMR1</td> <td>100: TI1 的边沿检测器 (TI1F_ED)</td> </tr> <tr> <td>001: 内部触发 1 (ITR1)， TMR2</td> <td>101: 滤波后的定时器输入 1 (TI1FP1)</td> </tr> <tr> <td>010: 内部触发 2 (ITR2)， TMR3</td> <td>110: 滤波后的定时器输入 2 (TI2FP2)</td> </tr> <tr> <td>011: 内部触发 3 (ITR3)， TMR4</td> <td>111: 外部触发输入 (ETRF)</td> </tr> </tbody> </table> <p>关于每个定时器中 ITRx 的细节，参见表 10-4。 注：这些位只能在未用到（如 SMSEL=000）时被改变，以避免在改变时产生错误的边沿检测。</p>	000: 内部触发 0 (ITR0)， TMR1	100: TI1 的边沿检测器 (TI1F_ED)	001: 内部触发 1 (ITR1)， TMR2	101: 滤波后的定时器输入 1 (TI1FP1)	010: 内部触发 2 (ITR2)， TMR3	110: 滤波后的定时器输入 2 (TI2FP2)	011: 内部触发 3 (ITR3)， TMR4	111: 外部触发输入 (ETRF)								
000: 内部触发 0 (ITR0)， TMR1	100: TI1 的边沿检测器 (TI1F_ED)																
001: 内部触发 1 (ITR1)， TMR2	101: 滤波后的定时器输入 1 (TI1FP1)																
010: 内部触发 2 (ITR2)， TMR3	110: 滤波后的定时器输入 2 (TI2FP2)																
011: 内部触发 3 (ITR3)， TMR4	111: 外部触发输入 (ETRF)																
位 3	保留，始终读为 0。																
位 2: 0	<p>SMSEL[2: 0]: 从模式选择 (Slave mode selection) 当选择了外部信号，触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关（见输入控制寄存器和控制寄存器的说明）</p> <table border="0"> <tbody> <tr> <td>000: 关闭从模式 – 如果 CNTEN=1，则预分频器直接由内部时钟驱动。</td> <td></td> </tr> <tr> <td>001: 编码器模式 1 – 根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿向上/下计数。</td> <td></td> </tr> <tr> <td>010: 编码器模式 2 – 根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿向上/下计数。</td> <td></td> </tr> <tr> <td>011: 编码器模式 3 – 根据另一个信号的输入电平，计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。</td> <td></td> </tr> <tr> <td>100: 复位模式 – 选中的触发输入 (TRGI) 的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。</td> <td></td> </tr> <tr> <td>101: 门控模式 – 当触发输入 (TRGI) 为高时，计数器的时钟开启。一旦触发输入变为低，则计数器停止（但不复位）。计数器的启动和停止都是受控的。</td> <td></td> </tr> <tr> <td>110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动（但不复位），只有计数器的启动是受控的。</td> <td></td> </tr> <tr> <td>111: 外部时钟模式 1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。</td> <td></td> </tr> </tbody> </table> <p>注：如果 TI1F_EN 被选为触发输入 (TRGSEL=100) 时，不要使用门控模式。这是因为，TI1F_ED 在每次 TI1F 变化时输出一个脉冲，然而门控模式是要检查触发输入的电平。</p>	000: 关闭从模式 – 如果 CNTEN=1，则预分频器直接由内部时钟驱动。		001: 编码器模式 1 – 根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿向上/下计数。		010: 编码器模式 2 – 根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿向上/下计数。		011: 编码器模式 3 – 根据另一个信号的输入电平，计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。		100: 复位模式 – 选中的触发输入 (TRGI) 的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。		101: 门控模式 – 当触发输入 (TRGI) 为高时，计数器的时钟开启。一旦触发输入变为低，则计数器停止（但不复位）。计数器的启动和停止都是受控的。		110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动（但不复位），只有计数器的启动是受控的。		111: 外部时钟模式 1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。	
000: 关闭从模式 – 如果 CNTEN=1，则预分频器直接由内部时钟驱动。																	
001: 编码器模式 1 – 根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿向上/下计数。																	
010: 编码器模式 2 – 根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿向上/下计数。																	
011: 编码器模式 3 – 根据另一个信号的输入电平，计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。																	
100: 复位模式 – 选中的触发输入 (TRGI) 的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。																	
101: 门控模式 – 当触发输入 (TRGI) 为高时，计数器的时钟开启。一旦触发输入变为低，则计数器停止（但不复位）。计数器的启动和停止都是受控的。																	
110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动（但不复位），只有计数器的启动是受控的。																	
111: 外部时钟模式 1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。																	

表 10-3 TMRx 内部触发连接⁽¹⁾

从定时器	ITR0 (TRGSEL = 000)	ITR1 (TRGSEL = 001)	ITR2 (TRGSEL = 010)	ITR3 (TRGSEL = 011)
TMR2	TMR1	USB_SOF	TMR3	TMR4
TMR3	TMR1	TMR2	TMR5	TMR4
TMR4	TMR1	TMR2	TMR3	X
TMR5	TMR2	TMR3	TMR4	X

注意：如果某个产品中没有相应的定时器，则对应的触发信号 ITRx 也不存在。

9.1.4.4 DMA/中断使能寄存器 (TMRx_DIE)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TRG DE	保留	C4D E	C3D E	C2D E	C1D E	UEV DE	保留	TRG IE	保留	C4I E	C3I E	C2I E	C1I E	UEV IE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15	保留, 始终读为 0。
位 14	TRGDE: 允许触发 DMA 请求 (Trigger DMA request enable) 0: 禁止触发 DMA 请求; 1: 允许触发 DMA 请求。
位 13	保留, 始终读为 0。
位 12	C4DE: 允许捕获/比较 4 的 DMA 请求 (Capture/Compare 4 DMA request enable) 0: 禁止捕获/比较 4 的 DMA 请求; 1: 允许捕获/比较 4 的 DMA 请求。
位 11	C3DE: 允许捕获/比较 3 的 DMA 请求 (Capture/Compare 3 DMA request enable) 0: 禁止捕获/比较 3 的 DMA 请求; 1: 允许捕获/比较 3 的 DMA 请求。
位 10	C2DE: 允许捕获/比较 2 的 DMA 请求 (Capture/Compare 2 DMA request enable) 0: 禁止捕获/比较 2 的 DMA 请求; 1: 允许捕获/比较 2 的 DMA 请求。
位 9	C1DE: 允许捕获/比较 1 的 DMA 请求 (Capture/Compare 1 DMA request enable) 0: 禁止捕获/比较 1 的 DMA 请求; 1: 允许捕获/比较 1 的 DMA 请求。
位 8	UEVDE: 允许更新的 DMA 请求 (Update DMA request enable) 0: 禁止更新的 DMA 请求; 1: 允许更新的 DMA 请求。
位 7	保留, 始终读为 0。
位 6	TRGIE: 触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
位 5	保留, 始终读为 0。
位 4	C4IE: 允许捕获/比较 4 中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较 4 中断; 1: 允许捕获/比较 4 中断。
位 3	C3IE: 允许捕获/比较 3 中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较 3 中断; 1: 允许捕获/比较 3 中断。
位 2	C2IE: 允许捕获/比较 2 中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较 2 中断; 1: 允许捕获/比较 2 中断。
位 1	C1IE: 允许捕获/比较 1 中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较 1 中断; 1: 允许捕获/比较 1 中断。

位 0	UEVIE: 允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。
-----	--

9.1.4.5 状态寄存器 (TMRx_STS)

偏移地址: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	C4OF F	C3OF F	C2OF F	C1OF F	保留	TRGIF	保留	C4IF F	C3IF F	C2IF F	C1IF F	UEVIF			
res	rw	rw	rw	rw	res	rw	res	rw	rw	rw	rw	rw	rw	rw	rw

位 15: 13	保留, 始终读为 0。
位 12	C4OF: 捕获/比较 4 重复捕获标记 (Capture/Compare 4 overcapture flag) 参见 C1OF 描述。
位 11	C3OF: 捕获/比较 3 重复捕获标记 (Capture/Compare 3 overcapture flag) 参见 C1OF 描述。
位 10	C2OF: 捕获/比较 2 重复捕获标记 (Capture/Compare 2 overcapture flag) 参见 C1OF 描述。
位 9	C1OF: 捕获/比较 1 重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置'1'。写'0'可清除该位。 0: 无重复捕获产生; 1: 当计数器的值被捕获到 TMRx_CC1 寄存器时, C1IF 的状态已经为'1'。
位 8: 7	保留, 始终读为 0。
位 6	TRGIF: 触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在 TRGI 输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置'1'。它由软件清'0'。 0: 无触发器事件产生; 1: 触发器中断等待响应。
位 5	保留, 始终读为 0。
位 4	C4IF: 捕获/比较 4 中断标记 (Capture/Compare 4 interrupt flag) 参考 C1IF 描述。
位 3	C3IF: 捕获/比较 3 中断标记 (Capture/Compare 3 interrupt flag) 参考 C1IF 描述。
位 2	C2IF: 捕获/比较 2 中断标记 (Capture/Compare 2 interrupt flag) 参考 C1IF 描述。
位 1	C1IF: 捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag) 如果通道 CC1 配置为输出模式: 当计数器值与比较值匹配时该位由硬件置'1', 但在中心对称模式下除外 (参考 TMRx_CTRL1 寄存器 的 CMSEL 位)。它由软件清'0'。 0: 无匹配发生; 1: TMRx_CNT 的值与 TMRx_CC1 的值匹配。 如果通道 CC1 配置为输入模式: 当捕获事件发生时该位由硬件置'1', 它由软件清'0'或通过读 TMRx_CC1 清'0'。 0: 无输入捕获产生; 1: 计数器值已被捕获 (拷贝) 至 TMRx_CC1 (在 IC1 上检测到与所选极性相同的边沿)。

位 0	<p>UEVIF: 更新中断标记 (Update interrupt flag) 当产生更新事件时该位由硬件置'1'。它由软件清'0'。</p> <p>0: 无更新事件产生; 1: 更新中断等待响应。当寄存器被更新时该位由硬件置'1': - 若 TMRx_CTRL1 寄存器的 UEVDIS=0、UEVRS=0, 当 TMRx_EVEG 寄存器的 UEVG=1 时产生更新事件 (软件对计数器 CNT 重新初始化); - 若 TMRx_CTRL1 寄存器的 UEVDIS=0、UEVRS=0, 当计数器 CNT 被触发事件重初始化时产生更新事件。(参考同步控制寄存器的说明)</p>
-----	--

9.1.4.6 事件产生寄存器 (TMRx_EVEG)

偏移地址: 0x14

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									TRG G	保留	C4G	C3G	C2G	C1G	UEV G
res									rw	res	rw	rw	rw	rw	rw

位 15: 7	保留, 始终读为 0。
位 6	<p>TRGG: 产生触发事件 (Trigger generation) 该位由软件置'1', 用于产生一个触发事件, 由硬件自动清'0'。</p> <p>0: 无动作; 1: TMRx_STS 寄存器的 TRGIF=1, 若开启对应的中断和 DMA, 则产生相应的中断和 DMA。</p>
位 5	保留, 始终读为 0。
位 4	<p>C4G: 产生捕获/比较 4 事件 (Capture/compare 4 generation) 参考 C1G 描述。</p>
位 3	<p>C3G: 产生捕获/比较 3 事件 (Capture/compare 3 generation) 参考 C1G 描述。</p>
位 2	<p>C2G: 产生捕获/比较 2 事件 (Capture/compare 2 generation) 参考 C1G 描述。</p>
位 1	<p>C1G: 产生捕获/比较 1 事件 (Capture/compare 1 generation) 该位由软件置'1', 用于产生一个捕获/比较事件, 由硬件自动清'0'。</p> <p>0: 无动作; 1: 在通道 CC1 上产生一个捕获/比较事件: 若通道 CC1 配置为输出: 设置 C1IF=1, 若开启对应的中断和 DMA, 则产生相应的中断和 DMA。 若通道 CC1 配置为输入: 当前的计数器值捕获至 TMRx_CC1 寄存器; 设置 C1IF=1, 若开启对应的中断和 DMA, 则产生相应的中断和 DMA。若 C1IF 已经为 1, 则设置 C1OF=1。</p>
位 0	<p>UEVG: 产生更新事件 (Update generation) 该位由软件置'1', 由硬件自动清'0'。</p> <p>0: 无动作; 1: 重新初始化计数器, 并产生一个更新事件。注意预分频器的计数器也被清'0' (但是预分频系数不变)。若在中心对称模式下或 DIR=0 (向上计数) 则计数器被清'0', 若 DIR=1 (向下计数) 则计数器取 TMRx_AR 的值。</p>

9.1.4.7 捕获/比较模式寄存器1 (TMRx_CCM1)

偏移地址: 0x18

复位值: 0x0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CxSEL 定义。该寄存器其它位的作用在输入和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输出模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式：

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2 DIS	OC2MODE[2: 0]	OC2 PEN	OC2 FEN	C2SEL[1: 0]	OC1 DIS	OC1MODE[2: 0]	OC1 PEN	OC1 FEN	C1SEL[1: 0]						
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 15	OC2DIS: 输出比较 2 清 0 使能 (Output compare 2 clear enable)
位 14: 12	OC2MODE[2: 0]: 输出比较 2 模式 (Output compare 2 mode)
位 11	OC2PEN: 输出比较 2 预装载使能 (Output compare 2 preload enable)
位 10	OC2FEN: 输出比较 2 快速使能 (Output compare 2 fast enable)
位 9: 8	C2SEL[1: 0]: 捕获/比较 2 选择 (Capture/Compare 2 selection) 该位定义通道的方向（输入/输出），及输入脚的选择： 00: CC2 通道被配置为输出； 01: CC2 通道被配置为输入，IC2 映射在 TI2 上； 10: CC2 通道被配置为输入，IC2 映射在 TI1 上； 11: CC2 通道被配置为输入，IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时（由 TMRx_SMC 寄存器的 TRGSEL 位选择）。 注：C2SEL 仅在通道关闭时（TMRx_CCE 寄存器的 C2EN='0'）才是可写的。
位 7	OC1DIS: 输出比较 1 清 0 使能 (Output compare 1 clear enable) 0: OC1REF 不受 ETRF 输入的影响； 1: 一旦检测到 ETRF 输入高电平，清除 OC1REF=0。
位 6: 4	OC1MODE[2: 0]: 输出比较 1 模式 (Output compare 1 enable) 该 3 位定义了输出参考信号 OC1REF 的动作，而 OC1REF 决定了 OC1 的值。OC1REF 是高电平有效，而 OC1 的有效电平取决于 C1P 位。 000: 冻结。输出比较寄存器 TMRx_CC1 与计数器 TMRx_CNT 间的比较对 OC1REF 不起作用； 001: 匹配时设置通道 1 为有效电平。当计数器 TMRx_CNT 的值与捕获 / 比较寄存器 1 (TMRx_CC1) 相同时，强制 OC1REF 为高。 010: 匹配时设置通道 1 为无效电平。当计数器 TMRx_CNT 的值与捕获 / 比较寄存器 1 (TMRx_CC1) 相同时，强制 OC1REF 为低。 011: 翻转。当 TMRx_CC1=TMRx_CNT 时，翻转 OC1REF 的电平。 100: 强制为无效电平。强制 OC1REF 为低。 101: 强制为有效电平。强制 OC1REF 为高。 110: PWM 模式 1— 在向上计数时，一旦 TMRx_CNT<TMRx_CC1 时通道 1 为有效电平，否则为无效电平；在向下计数时，一旦 TMRx_CNT>TMRx_CC1 时通道 1 为无效电平 (OC1REF=0)，否则为有效电平 (OC1REF=1)。 111: PWM 模式 2— 在向上计数时，一旦 TMRx_CNT<TMRx_CC1 时通道 1 为无效电平，否则为有效电平；在向下计数时，一旦 TMRx_CNT>TMRx_CC1 时通道 1 为有效电平，否则为无效电平。 注：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，OC1REF 电平才改变。
位 3	OC1PEN: 输出比较 1 预装载使能 (Output compare 1 preload enable) 0: 禁止 TMRx_CC1 寄存器的预装载功能，可随时写入 TMRx_CC1 寄存器，并且新写入的数值立即起作用。 1: 开启 TMRx_CC1 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TMRx_CC1 的预装载值在更新事件到来时被传送至当前寄存器中。 注：仅在单脉冲模式下（TMRx_CTRL1 寄存器的 OPMODE='1'），可以在未确认预装载寄存器情况下使用 PWM 模式，否则其动作不确定。

位 2	OC1FEN: 输出比较 1 快速使能 (Output compare 1 fast enable) 该位用于加快 CC 输出对触发器输入事件的响应。 0: 根据计数器与 CC1 的值, CC1 正常操作, 即使触发器是打开的。当触发器的输入出现一个有效沿时, 激活 CC1 输出的最小延时为 5 个时钟周期。 1: 输入到触发器的有效沿的作用就像发生了一次比较匹配。因此, OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。 该位只在通道被配置成 PWM1 或 PWM2 模式时起作用。
位 1: 0	C1SEL[1: 0]: 捕获/比较 1 选择 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出; 01: CC1 通道被配置为输入, IC1 映射在 TI1 上; 10: CC1 通道被配置为输入, IC1 映射在 TI2 上; 11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C1SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C1EN='0') 才是可写的。

输入捕获模式:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				IC2DF[3: 0]	IC2DIV[1: 0]	C2SEL[1: 0]		IC1DF[3: 0]	IC1DIV[1: 0]		C1SEL[1: 0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15: 12	IC2DF[3: 0]: 输入捕获 2 滤波器 (Input capture 2 filter)														
位 11: 10	IC2DIV[1: 0]: 输入/捕获 2 预分频器 (input capture 2 prescaler)														
位 9: 8	C2SEL[1: 0]: 捕获/比较 2 选择 (Capture/compare 2 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出; 01: CC2 通道被配置为输入, IC2 映射在 TI2 上; 10: CC2 通道被配置为输入, IC2 映射在 TI1 上; 11: CC2 通道被配置为输入, IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C2SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C2EN='0') 才是可写的。														
位 7: 4	IC1DF[3: 0]: 输入捕获 1 滤波器 (Input capture 1 filter) 这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变: 0000: 无滤波器, 以 f_{DTS} 采样 0001: 采样频率 $f_{SAMPLING} = f_{CK_INT}$, N=2 0010: 采样频率 $f_{SAMPLING} = f_{CK_INT}$, N=4 0011: 采样频率 $f_{SAMPLING} = f_{CK_INT}$, N=8 0100: 采样频率 $f_{SAMPLING} = f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMPLING} = f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMPLING} = f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMPLING} = f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMPLING} = f_{DTS}/8$, N=6 1001: 采样频率 $f_{SAMPLING} = f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMPLING} = f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMPLING} = f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMPLING} = f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMPLING} = f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMPLING} = f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMPLING} = f_{DTS}/32$, N=8														
位 3: 2	IC1DIV[1: 0]: 输入/捕获 1 预分频器 (Input capture 1 prescaler) 这 2 位定义了 CC1 输入 (IC1) 的预分频系数。 一旦 C1EN='0' (TMRx_CCE 寄存器中), 则预分频器复位。 00: 无预分频器, 捕获输入上检测到的每一个边沿都触发一次捕获; 01: 每 2 个事件触发一次捕获; 10: 每 4 个事件触发一次捕获; 11: 每 8 个事件触发一次捕获。														

位 1: 0	C1SEL[1: 0]: 捕获/比较 1 选择 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出)，及输入脚的选择： 00: CC1 通道被配置为输出； 01: CC1 通道被配置为输入，IC1 映射在 TI1 上； 10: CC1 通道被配置为输入，IC1 映射在 TI2 上； 11: CC1 通道被配置为输入，IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C1SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C1EN='0') 才是可写的。
--------	---

9.1.4.8 捕获/比较模式寄存器2 (TMRx_CCM2)

偏移地址: 0x1C

复位值: 0x0000 参看以上 CCM1 寄存器的描述

输出比较模式:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4 DIS	OC4MODE[2: 0]	OC4 PEN	OC4 FEN	C4SEL[1: 0]	OC3 DIS	OC3MODE[2: 0]	OC3 PEN	OC3 FEN	C3SEL[1: 0]						
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15	OC4DIS: 输出比较 4 清 0 使能 (Output compare 4 clear enable)
位 14: 12	OC4MODE[2: 0]: 输出比较 4 模式 (Output compare 4 mode)
位 11	OC4PEN: 输出比较 4 预装载使能 (Output compare 4 preload enable)
位 10	OC4FEN: 输出比较 4 快速使能 (Output compare 4 fast enable)
位 9: 8	C4SEL[1: 0]: 捕获/比较 4 选择 (Capture/Compare 4 selection) 这 2 位定义通道的方向 (输入/输出)，及输入脚的选择： 00: CC4 通道被配置为输出； 01: CC4 通道被配置为输入，IC4 映射在 TI4 上； 10: CC4 通道被配置为输入，IC4 映射在 TI3 上； 11: CC4 通道被配置为输入，IC4 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C4SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C4EN='0') 才是可写的。
位 7	OC3DIS: 输出比较 3 清 0 使能 (Output compare 3 clear enable)
位 6: 4	OC3MODE[2: 0]: 输出比较 3 模式 (Output compare 3 mode)
位 3	OC3PEN: 输出比较 3 预装载使能 (Output compare 3 preload enable)
位 2	OC3FEN: 输出比较 3 快速使能 (Output compare 3 fast enable)
位 1: 0	C3SEL[1: 0]: 捕获/比较 3 选择 (Capture/Compare 3 selection) 这 2 位定义通道的方向 (输入/输出)，及输入脚的选择： 00: CC3 通道被配置为输出； 01: CC3 通道被配置为输入，IC3 映射在 TI3 上； 10: CC3 通道被配置为输入，IC3 映射在 TI4 上； 11: CC3 通道被配置为输入，IC3 映射在 TRGI 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C3SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C3EN='0') 才是可写的。

输入捕获模式:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

IC4DF[3: 0]				IC4DIV[1: 0]		C4SEL[1: 0]		IC3DF[3: 0]				IC3DIV[1: 0]		C3SEL[1: 0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 12		IC4DF[3: 0]: 输入捕获 4 滤波器 (Input capture 4 filter)													
位 11: 10		IC4DIV[1: 0]: 输入/捕获 4 预分频器 (input capture 4 prescaler)													
位 9: 8		C4SEL[1: 0]: 捕获/比较 4 选择 (Capture/compare 4 selection) 这 2 位定义通道的方向 (输入/输出)，及输入脚的选择： 00: CC4 通道被配置为输出； 01: CC4 通道被配置为输入，IC4 映射在 TI4 上； 10: CC4 通道被配置为输入，IC4 映射在 TI3 上； 11: CC4 通道被配置为输入，IC4 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 <small>注: C4SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C4EN='0') 才是可写的。</small>													
位 7: 4		IC3DF[3: 0]: 输入捕获 3 滤波器 (Input capture 3 filter)													
位 3: 2		IC3DIV[1: 0]: 输入/捕获 3 预分频器 (Input capture 3 prescaler)													
位 1: 0		C3SEL[1: 0]: 捕获/比较 3 选择 (Capture/Compare 3 selection) 这 2 位定义通道的方向 (输入/输出)，及输入脚的选择： 00: CC3 通道被配置为输出； 01: CC3 通道被配置为输入，IC3 映射在 TI3 上； 10: CC3 通道被配置为输入，IC3 映射在 TI4 上； 11: CC3 通道被配置为输入，IC3 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 <small>注: C3SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C3EN='0') 才是可写的。</small>													

9.1.4.9 捕获/比较使能寄存器 (TMRx_CCE)

偏移地址: 0x20

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	C4P	C4EN	保留	C3P	C3EN	保留	C2P	C2EN	保留	C1P	C1EN	res	rw	rw	res

位 15: 14	保留，始终读为 0。
位 13	C4P: 输入/捕获 4 输出极性 (Capture/Compare 4 output polarity) 参考 C1P 的描述。
位 12	C4EN: 输入/捕获 4 输出使能 (Capture/Compare 4 output enable) 参考 C1EN 的描述。
位 11: 10	保留，始终读为 0。
位 9	C3P: 输入/捕获 3 输出极性 (Capture/Compare 3 output polarity) 参考 C1P 的描述。
位 8	C3EN: 输入/捕获 3 输出使能 (Capture/Compare 3 output enable) 参考 C1EN 的描述。
位 7: 6	保留，始终读为 0。
位 5	C2P: 输入/捕获 2 输出极性 (Capture/Compare 2 output polarity) 参考 C1P 的描述。
位 4	C2EN: 输入/捕获 2 输出使能 (Capture/Compare 2 output enable) 参考 C1EN 的描述。

位 3: 2	保留, 始终读为 0。
位 1	<p>C1P: 输入/捕获 1 输出极性 (Capture/Compare 1 output polarity) CC1 通道配置为输出: 0: OC1 高电平有效 1: OC1 低电平有效 CC1 通道配置为输入: 该位选择是 IC1 还是 IC1 的反相信号作为触发或捕获信号。 0: 不反相: 捕获发生在 IC1 的上升沿; 当用作外部触发器时, IC1 不反相。 1: 反相: 捕获发生在 IC1 的下降沿; 当用作外部触发器时, IC1 反相。</p>
位 0	<p>C1EN: 输入/捕获 1 输出使能 (Capture/Compare 1 output enable) CC1 通道配置为输出: 0: 关闭 - OC1 禁止输出。 1: 开启 - OC1 信号输出到对应的输出引脚。 CC1 通道配置为输入: 该位决定了计数器的值是否能捕获入 TMRx_CC1 寄存器。 0: 捕获禁止; 1: 捕获使能。</p>

表 10-4 标准 OCx 通道的输出控制位

CxEN 位	OCx 输出状态
0	禁止输出 (OCx=0, OCx_EN=0)
1	OCx = OCxREF + 极性, OCx_EN=1

注意: 连接到标准 OCx 通道的外部 I/O 引脚状态, 取决于 OCx 通道状态和 GPIO 以及 AFIO 寄存器。

9.1.4.10 计数器 (TMRx_CNT)

偏移地址: 0x24

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT[31: 16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 16 CNT[31: 16]: 计数器的值 (Counter value) 当 TMR2 或 TMR5 开启增强模式时 (TMR_CTRL1 中的 PMEN 位), CNT 被扩展为 32 位。															
位 15: 0 CNT[15: 0]: 计数器的值 (Counter value)															

9.1.4.11 预分频器 (TMRx_DIV)

偏移地址: 0x28

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV[15: 0]															
2020.07.16															

rw rw

位 15: 0	DIV[15: 0]: 预分频器的值 (Prescaler value) 计数器的时钟频率 CK_CNT 等于 $f_{CK_DIV}/(DIV[15: 0]+1)$ 。 DIV 包含了当更新事件产生时装入当前预分频器寄存器的值。
---------	--

9.1.4.12 自动重装载寄存器 (TMRx_AR)

偏移地址: 0x2C

复位值: 0x0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

AR[31: 16]

rw
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AR[15: 0]

rw rw

位 31: 16	AR[31: 16]: 自动重装载的值 (Auto reload value) 当 TMR2 或 TMR5 开启增强模式时 (TMR_CTRL1 中的 PMEN 位)，AR 被扩展为 32 位。
位 15: 0	AR[15: 0]: 自动重装载的值 (Auto reload value) AR 包含了将要传送至实际的自动重装载寄存器的数值。当自动重装载的值为空时，计数器不工作。 详细参考 10.2.3.1 节：有关 AR 的更新和动作。

9.1.4.13 捕获/比较寄存器1 (TMRx_CC1)

偏移地址: 0x34

复位值: 0x0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

CC1[31: 16]

rw
15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CC1[15: 0]

rw rw

位 31: 16	CC1[31: 16]: 捕获/比较 1 的值 (Capture/Compare 1 value) 当 TMR2 或 TMR5 开启增强模式时 (TMR_CTRL1 中的 PMEN 位)，CC1 被扩展为 32 位。
位 15: 0	CC1[15: 0]: 捕获/比较 1 的值 (Capture/Compare 1 value) 若 CC1 通道配置为输出： CC1 包含了装入当前捕获/比较 1 寄存器的值 (预装载值)。 如果在 TMRx_CCM1 寄存器 (OC1PEN 位) 中未选择预装载特性，写入的数值会被立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比寄存器 1 中。 当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较，并在 OC1 端口上产生输出信号。 若 CC1 通道配置为输入： CC1 包含了由上一次输入捕获 1 事件 (IC1) 传输的计数器值。

9.1.4.14 捕获/比较寄存器2 (TMRx_CC2)

偏移地址: 0x38

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
CC2[31: 16]																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CC2[15: 0]																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 31: 16		CC2[31: 16]: 捕获/比较 2 的值 (Capture/Compare 2 value) 当 TMR2 或 TMR5 开启增强模式时 (TMR_CTRL1 中的 PMEN 位)，CC2 被扩展为 32 位。														
位 15: 0		CC2[15: 0]: 捕获/比较 2 的值 (Capture/Compare 2 value) 若 CC2 通道配置为输出: CC2 包含了装入当前捕获/比较 2 寄存器的值 (预装载值)。 如果在 TMRx_CCM2 寄存器 (OC2PEN 位) 中未选择预装载特性，写入的数值会被立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 2 寄存器中。当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较，并在 OC2 端口上产生输出信号。 若 CC2 通道配置为输入: CC2 包含了由上一次输入捕获 2 事件 (IC2) 传输的计数器值。														

9.1.4.15 捕获/比较寄存器3 (TMRx_CC3)

偏移地址: 0x3C

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
CC3[31: 16]																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CC3[15: 0]																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 31: 16		CC3[31: 16]: 捕获/比较 3 的值 (Capture/Compare3 value) 当 TMR2 或 TMR5 开启增强模式时 (TMR_CTRL1 中的 PMEN 位)，CC3 被扩展为 32 位。														
位 15: 0		CC3[15: 0]: 捕获/比较 3 的值 (Capture/Compare 3 value) 若 CC3 通道配置为输出: CC3 包含了装入当前捕获/比较 3 寄存器的值 (预装载值)。 如果在 TMRx_CCM3 寄存器 (OC3PEN 位) 中未选择预装载特性，写入的数值会被立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较寄存器 3 中。当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较，并在 OC3 端口上产生输出信号。 若 CC3 通道配置为输入: CC3 包含了由上一次输入捕获 3 事件 (IC3) 传输的计数器值。														

9.1.4.16 捕获/比较寄存器4 (TMRx_CC4)

偏移地址: 0x40

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
CC4[31: 16]																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CC4[15: 0]																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 31: 16		CC4[31: 16]: 捕获/比较 4 的值 (Capture/Compare4 value) 当 TMR2 或 TMR5 开启增强模式时 (TMR_CTRL1 中的 PMEN 位)，CC4 被扩展为 32 位。														
位 15: 0		CC4[15: 0]: 捕获/比较 4 的值 (Capture/Compare 4value) 若 CC4 通道配置为输出： CC4 包含了装入当前捕获/比较 4 寄存器的值 (预装载值)。 如果在 TMRx_CCM4 寄存器 (OC4PEN 位) 中未选择预装载特性，写入的数值会被立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较寄存器 4 中。当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较，并在 OC4 端口上产生输出信号。 若 CC4 通道配置为输入： CC4 包含了由上一次输入捕获 4 事件 (IC4) 传输的计数器值。														

9.1.4.17 DMA控制寄存器 (TMRx_DMAC)

偏移地址: 0x48

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
保留		DBLEN[4: 0]				保留		ADDR[4: 0]								
res	rw	rw	rw	rw	rw	rw	res	rw	rw	rw	rw	rw	rw	rw	rw	
位 15: 13		保留，始终读为 0。														
位 12: 8		DBLEN[4: 0]: DMA 连续传送长度 (DMA burst length) 这些位定义了 DMA 在连续模式下的传送长度 (当对 TMRx_DMABA 寄存器进行读或写时，定时器则进行一次连续传送)，即：定义传输的字节数目： 00000: 1 个字节 00001: 2 个字节 00010: 3 个字节 10001: 18 个字节														
位 7: 5		保留，始终读为 0。														
位 4: 0		ADDR[4: 0]: DMA 基址 (DMA base address) 这些位定义了 DMA 在连续模式下的基址 (当对 TMRx_DMABA 寄存器进行读或写时)，ADDR 定义为从 TMRx_CTRL1 寄存器所在地址开始的偏移量： 00000: TMRx_CTRL1, 00001: TMRx_CTRL2, 00010: TMRx_SMC,														

9.1.4.18 连续模式的DMA地址 (TMRx_DMABA)

偏移地址: 0x4C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMABA[15: 0]															

rw rw

位 15: 0	DMABA[15: 0]: DMA 连续传送寄存器 (DMA register for burst accesses) 对 TMRx_DMABA 寄存器的读或写会导致对以下地址所在寄存器的存取操作： TMRx_CTRL1 地址 + ADDR + DMA 索引，其中： “TMRx_CTRL1 地址”是控制寄存器 1 (TMRx_CTRL1) 所在的地址； “ADDR”是 TMRx_DMAC 寄存器中定义的基地址； “DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TMRx_DMAC 寄存器中定义的 DBLEN。
---------	---

9.2 通用定时器（TMR9到TMR11）

9.2.1 TMRx简介

通用定时器是一个通过可编程预分频器驱动的 16 位自动装载计数器构成。它适用于多种场合，包括测量输入信号的脉冲长度（输入捕获）或者产生输出波形（输出比较和 PWM）。

使用定时器预分频器和 RCC 时钟控制器预分频器，脉冲长度和波形周期可以在几个微秒到几个毫秒间调整。

每个定时器都是完全独立的，没有互相共享任何资源。它们可以一起同步操作，参见 [10.3.3.12 节](#)。

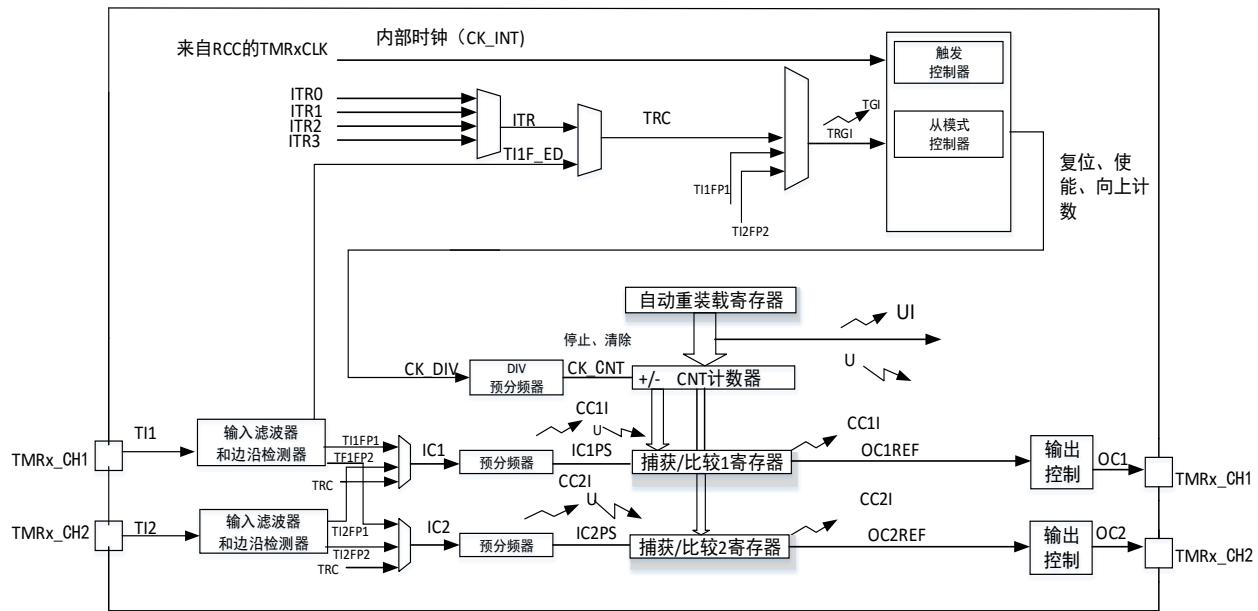
9.2.2 TMRx主要功能

9.2.2.1 TMR9主要功能

通用 TMRx（TMR9）定时器功能包括：

- 16位向上自动装载计数器
- 16位可编程（可以实时修改）预分频器，计数器时钟频率的分频系数为1~65536之间的任意数值
- 2个独立通道：
 - 输入捕获
 - 输出比较
 - PWM生成（边缘对齐模式）
 - 单脉冲模式输出
- 使用外部信号控制定时器和定时器互连的同步电路
- 如下事件发生时产生中断：
 - 更新：计数器向上溢出，计数器初始化（通过软件或者内部）
 - 触发事件（计数器启动、停止、初始化或者由内部触发计数）
 - 输入捕获
 - 输出比较

图 10-47 通用定时器 TMR9/12 框图



注意： 根据控制位的设定，在 U 事件时传送预加载寄存器的内容至工作寄存器

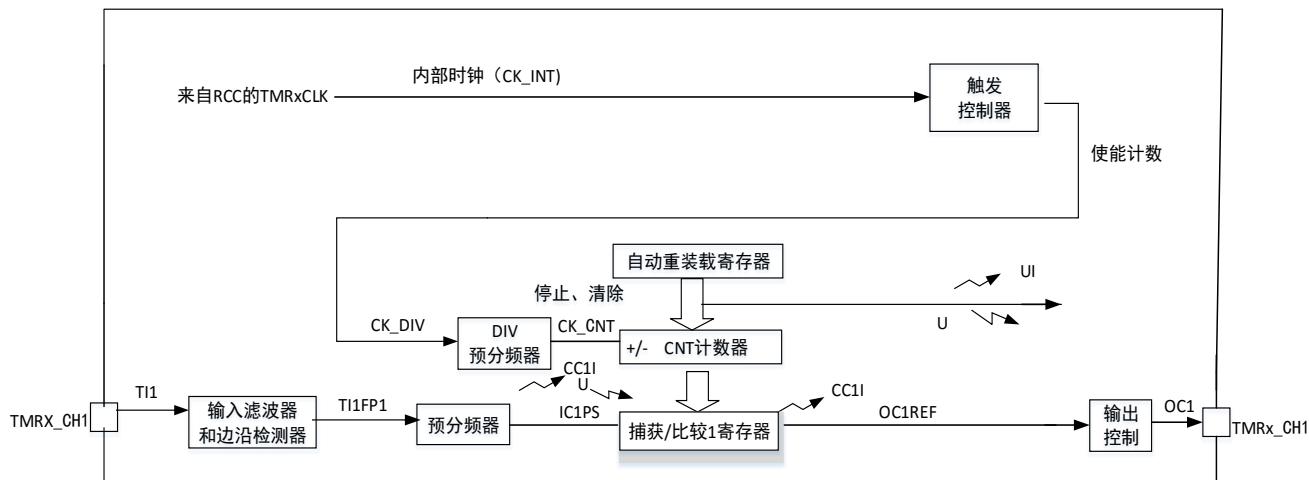


9.2.2.2 TMR10、TMR11 主要功能

通用 TMRx (TMR10、TMR11) 定时器功能包括：

- 16位向上自动装载计数器
- 16位可编程（可以实时修改）预分频器，计数器时钟频率的分频系数为1~65536之间的任意数值
- 1个独立通道：
 - 输入捕获
 - 输出比较
 - PWM生成（边缘对齐模式）
 - 单脉冲模式输出
- 如下事件发生时产生中断：
 - 更新：计数器向上溢出，计数器初始化（通过软件或者内部触发）
 - 输入捕获
 - 输出比较

图 10-48 通用定时器 TMR10/11 框图



注意： 根据控制位的设定，在 U 事件时传送预加载寄存器的内容至工作寄存器
 ↓ 事件
 ↗ 中断和 DMA 输出

9.2.3 TMRx 功能描述

9.2.3.1 时基单元

可编程通用定时器的主要部分是一个 16 位计数器和与其相关的自动装载寄存器。这个计数器可以向上计数。此计数器时钟由预分频器分频得到。

计数器、自动装载寄存器和预分频器寄存器可以由软件读写，在计数器运行时仍可以读写。

时基单元包含：

- 计数器寄存器 (TMRx_CNT)
- 预分频器寄存器 (TMRx_DIV)
- 自动装载寄存器 (TMRx_AR)

自动装载寄存器是预先装载的，写或读自动重装载寄存器将访问预装载寄存器。根据在 TMRx_CTRL1 寄存器中的自动装载预装载使能位 (ARPEN) 的设置，预装载寄存器的内容被立即或在每次的更新事件 UEV 时传送到影子寄存器。当计数器达到溢出条件并当 TMRx_CTRL1 寄存器中的 UEVDIS 位等于'0'时，产生更新事件。更新事件也可以由软件产生。随后会详细描述每一种配置下更新事件的产生。

计数器由预分频器的时钟输出 CK_CNT 驱动，仅当设置了计数器 TMRx_CTRL1 寄存器中的计数器使能位 (CNTEN) 时，CK_CNT 才有效。（有关计数器使能的细节，请参见控制器的从模式描述）。

注意： 真正的计数器使能信号 CNT_EN 是在 CNTEN 的一个时钟周期后被设置。

预分频器

预分频器可以将计数器的时钟频率按 1 到 65536 之间的任意值分频。它是基于一个（在 TMRx_DIV 寄存器中的）16 位寄存器控制的 16 位计数器。这个控制寄存器带有缓冲器，它能够在工作时被改变。新的预分频器参数在下一次更新事件到来时被采用。

[图 10-59](#) 和 [图 10-60](#) 给出了在预分频器运行时，更改计数器参数的例子。

图 10-49 当预分频器的参数从 1 变到 2 时，计数器的时序图

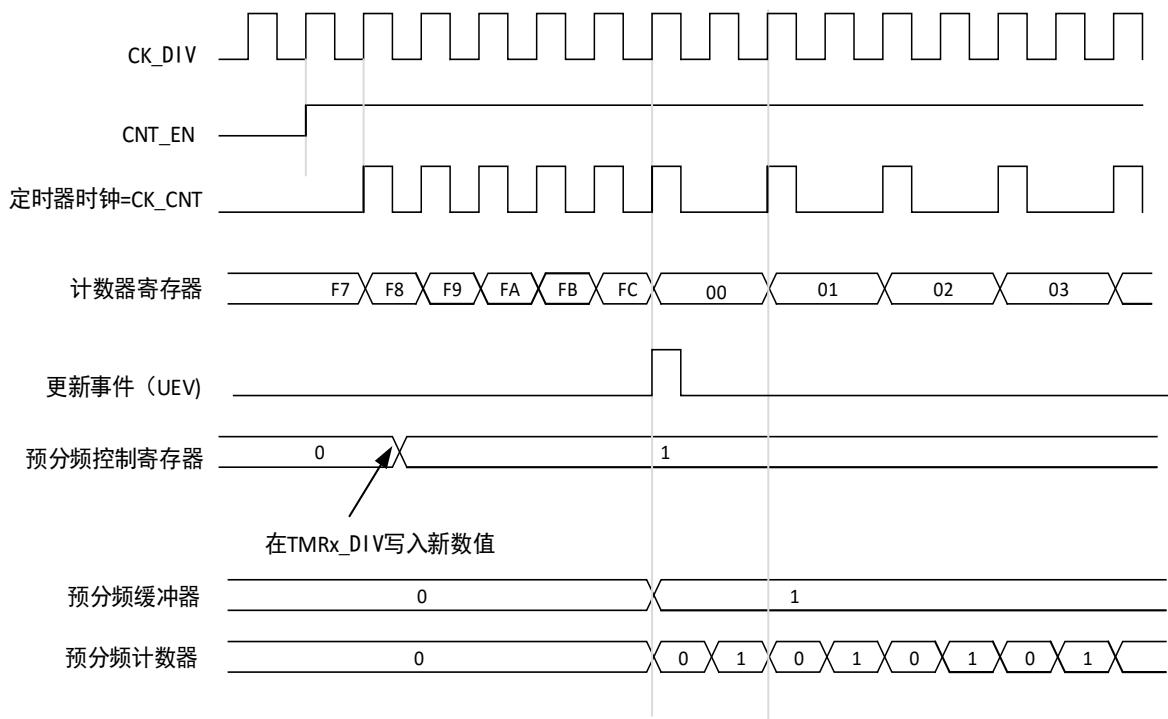
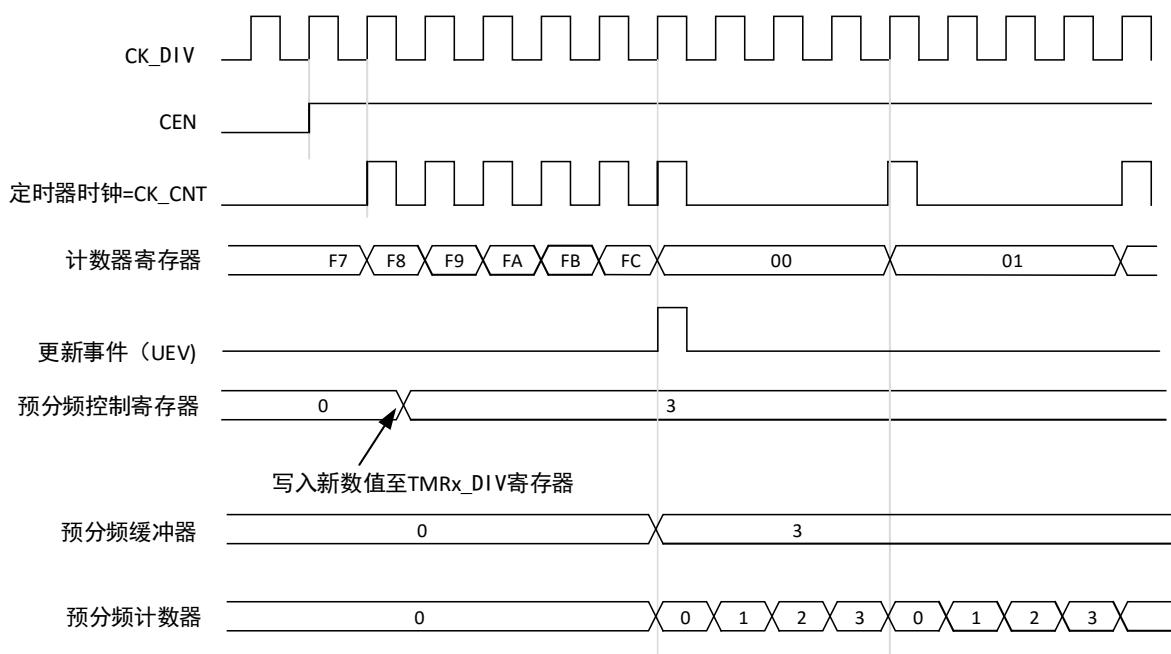


图 10-50 当预分频器的参数从 1 变到 4 时，计数器的时序图



9.2.3.2 计数器模式

向上计数模式

在向上计数模式中，计数器从 0 计数到自动加载值（TMRx_AR 计数器的内容），然后重新从 0 开始计数并且产生一个计数器溢出事件。

每次计数器溢出时可以产生更新事件，在 TMRx_EVEG 寄存器中（通过软件方式,TMR9 和 12 还可以使用从模式控制器）设置 UEVG 位也同样可以产生一个更新事件。

设置 TMRx_CTRL1 寄存器中的 UEVDIS 位，可以禁止更新事件；这样可以避免在向预装载寄存器中

写入新值时更新影子寄存器。在 UEVDIS 位被清'0'之前，将不产生更新事件。但是在应该产生更新事件时，计数器仍会被清'0'，同时预分频器的计数也被清 0（但预分频系数不变）。此外，如果设置了 TMRx_CTRL1 寄存器中的 UEVRS 位（选择更新请求），设置 UEVG 位将产生一个更新事件 UEV，但硬件不设置 UEVIF 标志（即不产生中断或 DMA 请求）；这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

当发生一个更新事件时，所有的寄存器都被更新，硬件同时（依据 UEVRS 位）设置更新标志位（TMRx_STS 寄存器中的 UEVIF 位）。

- 预分频器的缓冲区被置入预装载寄存器的值（TMRx_DIV 寄存器的内容）。
- 自动装载影子寄存器被重新置入预装载寄存器的值（TMRx_AR）。

下图给出一些例子，当 TMRx_AR=0x36 时计数器在不同时钟频率下的动作。

图 10-51 计数器时序图，内部时钟分频因子为 1

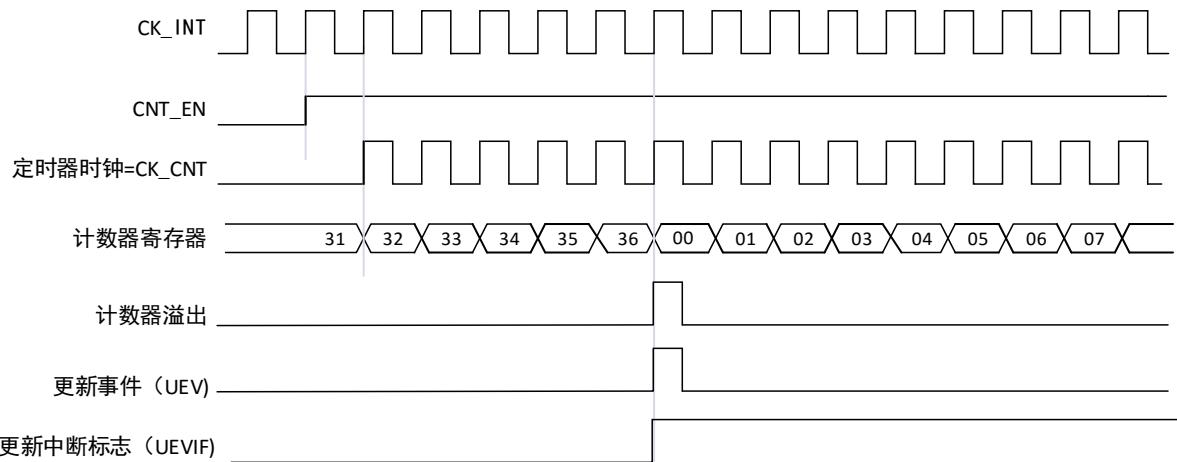


图 10-52 计数器时序图，内部时钟分频因子为 2

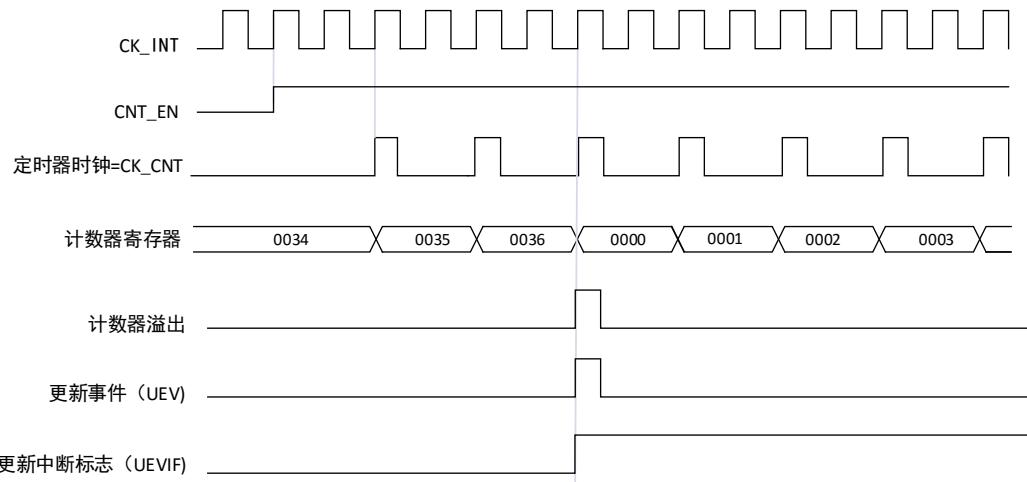


图 10-53 计数器时序图，内部时钟分频因子为 4

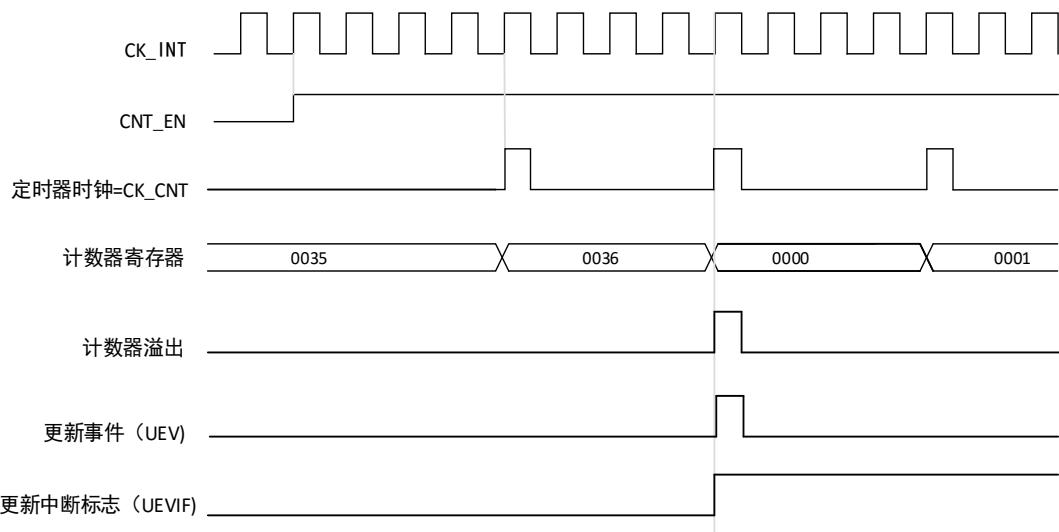


图 10-54 计数器时序图，内部时钟分频因子为 N

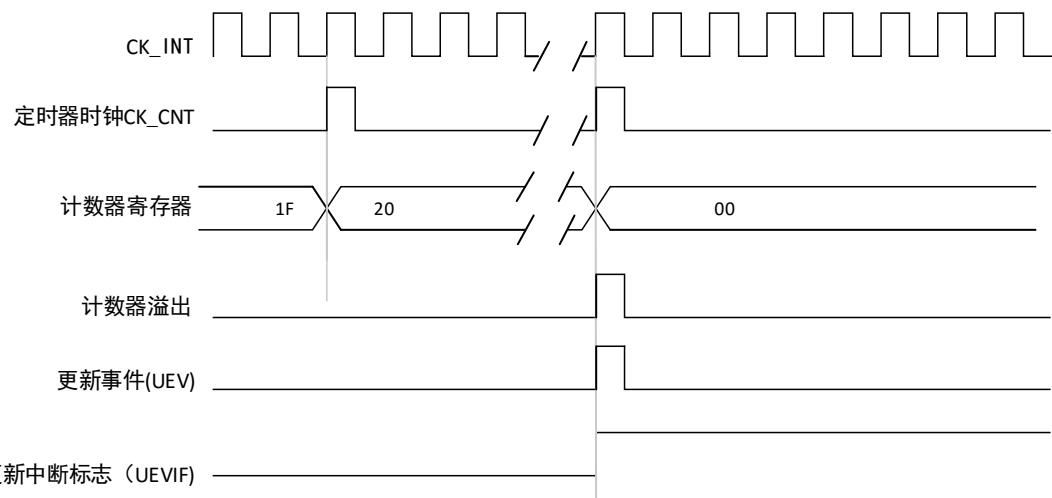


图 10-55 计数器时序图，当 ARPEN=0 时的更新事件 (TMRx_AR 没有预装入)

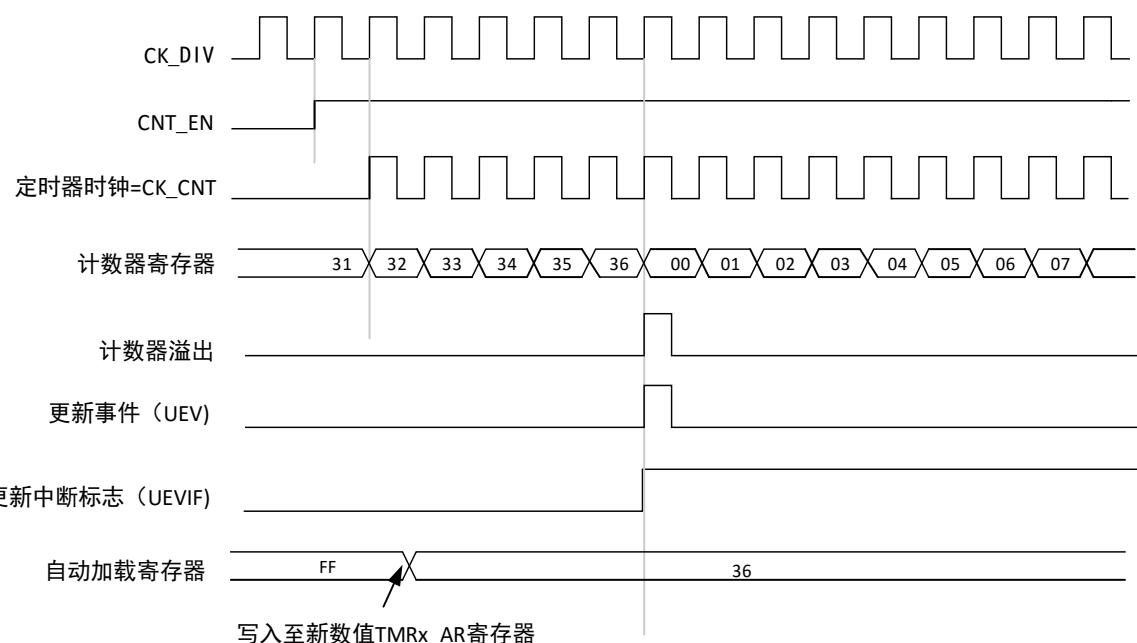
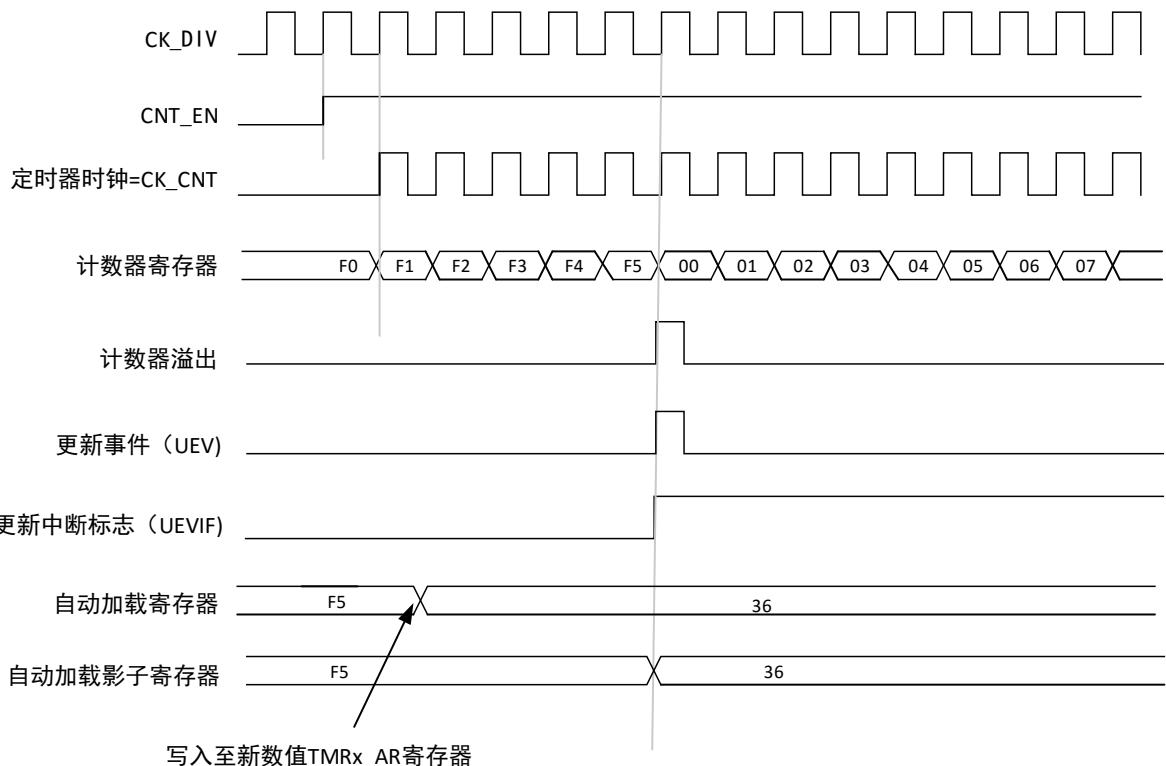


图 10-56 计数器时序图，当 ARPEN=1 时的更新事件 (预装入了 TMRx_AR)



9.2.3.3 时钟选择

计数器时钟可由下列时钟源提供：

- 内部时钟（CK_INT）
- 外部时钟模式1（仅对TMR9）：外部输入脚（Tlx）
- 内部触发输入（ITRx）（仅对TMR9）：连接另外一个定时器的触发信号。如可以配置一个定时器Timer1而作为另一个定时器Timer2的预分频器。参见[10.3.3.12](#)。

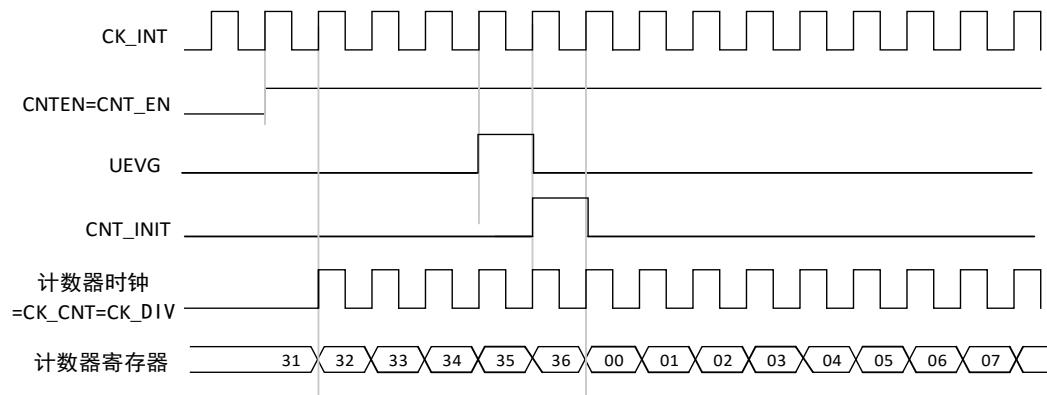
内部时钟源（CK_INT）

对于TMR10/TMR11，内部时钟源是默认的时钟源。

对于TMR9，如果禁止了从模式控制器（TMRx_SMC寄存器的SMSEL=000），则CNTEN、DIR（TMRx_CTRL1寄存器）和UEVG位（TMRx_EVEG寄存器）是事实上的控制位，并且只能被软件修改（UEVG位仍被自动清除）。只要CNTEN位被写成'1'，预分频器的时钟就由内部时钟CK_INT提供。

下图显示了控制电路和向上计数器在一般模式下，不带预分频器时的操作。

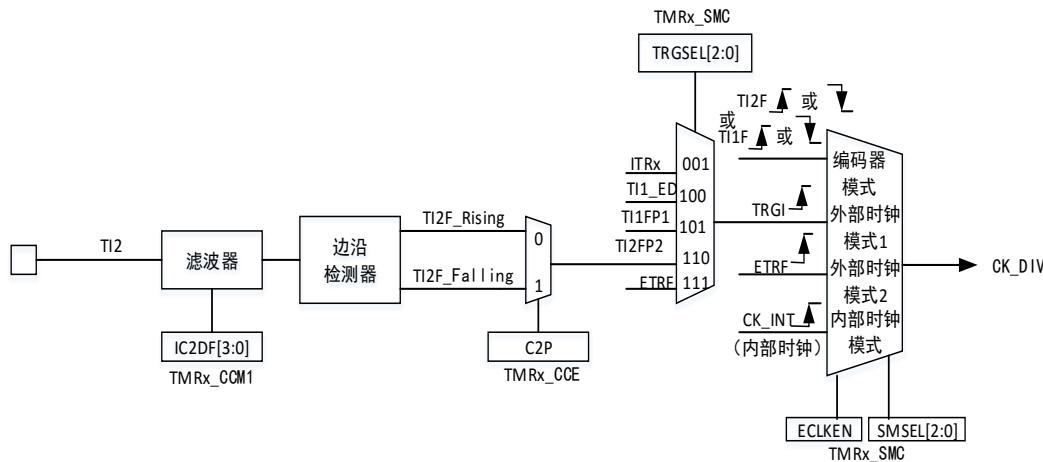
图 10-57 一般模式下的控制电路，内部时钟分频因子为1



外部时钟源模式 1 (TMR9)

当 TMRx_SMC 寄存器的 SMSEL=111 时，此模式被选中。计数器可以在选定输入端的每个上升沿或下降沿计数。

图 10-58 TI2 外部时钟连接例子



例如，要配置向上计数器在 T12 输入端的上升沿计数，使用下列步骤：

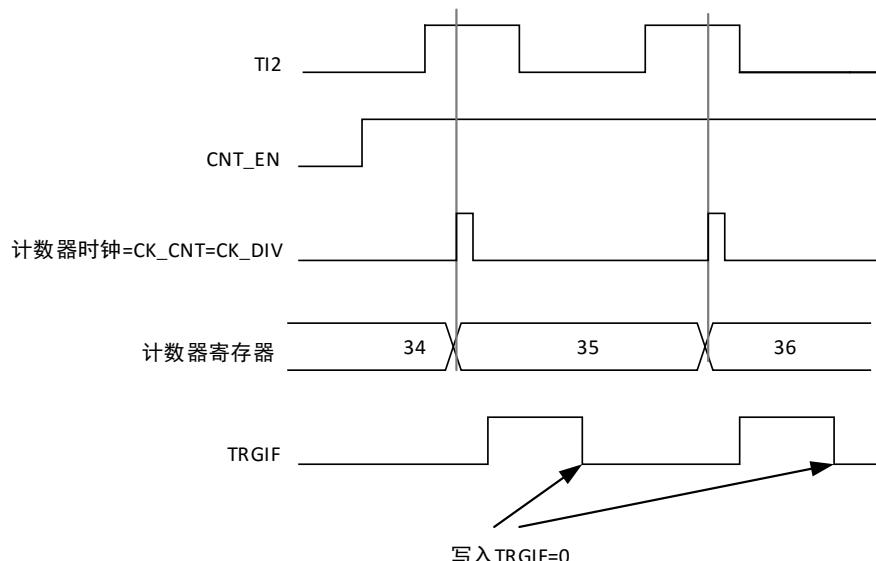
1. 配置 TMRx_CCM1 寄存器 C2SEL='01'，配置通道 2 检测 T12 输入的上升沿；
2. 配置 TMRx_CCM1 寄存器的 IC2DF[3: 0]，选择输入滤波器带宽（如果不需要滤波器，保持 IC2DF=0000）；

注意：捕获预分频器不用作触发，所以不需要对它进行配置；

3. 配置 TMRx_CCE 寄存器的 C2P='0'，选定上升沿极性；
4. 配置 TMRx_SMC 寄存器的 SMSEL='111'，选择定时器外部时钟模式 1；
5. 配置 TMRx_SMC 寄存器中的 TRGSEL='110'，选定 T12 作为触发输入源；
6. 设置 TMRx_CTRL1 寄存器的 CNTEN='1'，启动计数器

当上升沿出现在 T12，计数器计数一次，且 TRGIF 标志被设置。在 T12 的上升沿和计数器实际时钟之间的延时，取决于在 T12 输入端的重新同步电路。

图 10-59 外部时钟模式 1 下的控制电路

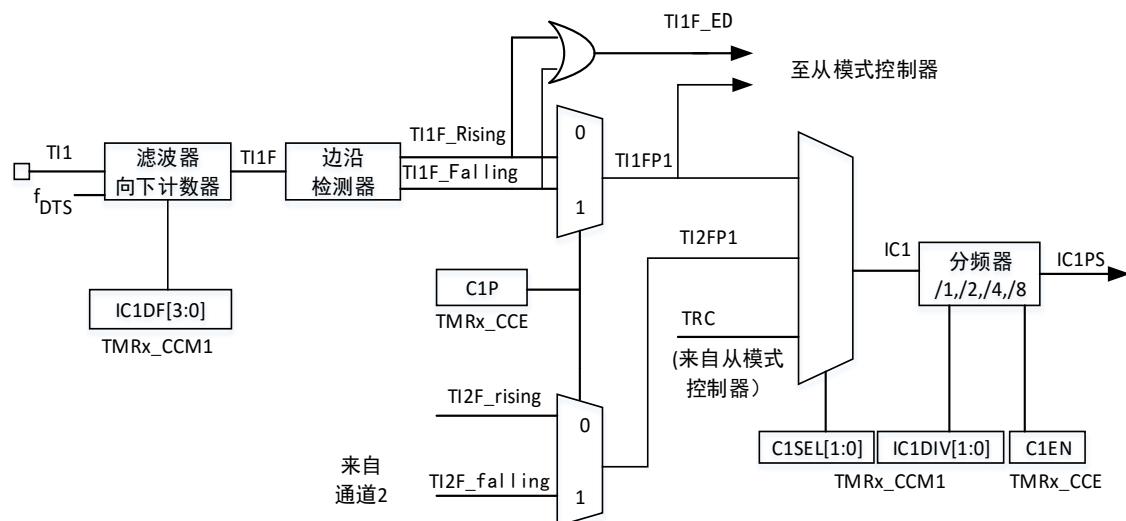


9.2.3.4 捕获/比较通道

每一个捕获/比较通道都是围绕着一个捕获/比较寄存器（包含影子寄存器），包括捕获的输入部分（数字滤波、多路复用和预分频器）和输出部分（比较器和输出控制）。

下面几张图是一个捕获/比较通道概览。输入部分对相应的 TIx 输入信号采样，并产生一个滤波后的信号 TIxF 。然后，一个带极性选择的边缘检测器产生一个信号 (TIxFPx)，它可以作为从模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器。

图 10-60 捕获/比较通道（如：通道 1 输入部分）



输出部分产生一个中间波形 OCxRef （高有效）作为基准，链的末端决定最终输出信号的极性。

图 10-61 捕获/比较通道 1 的主电路

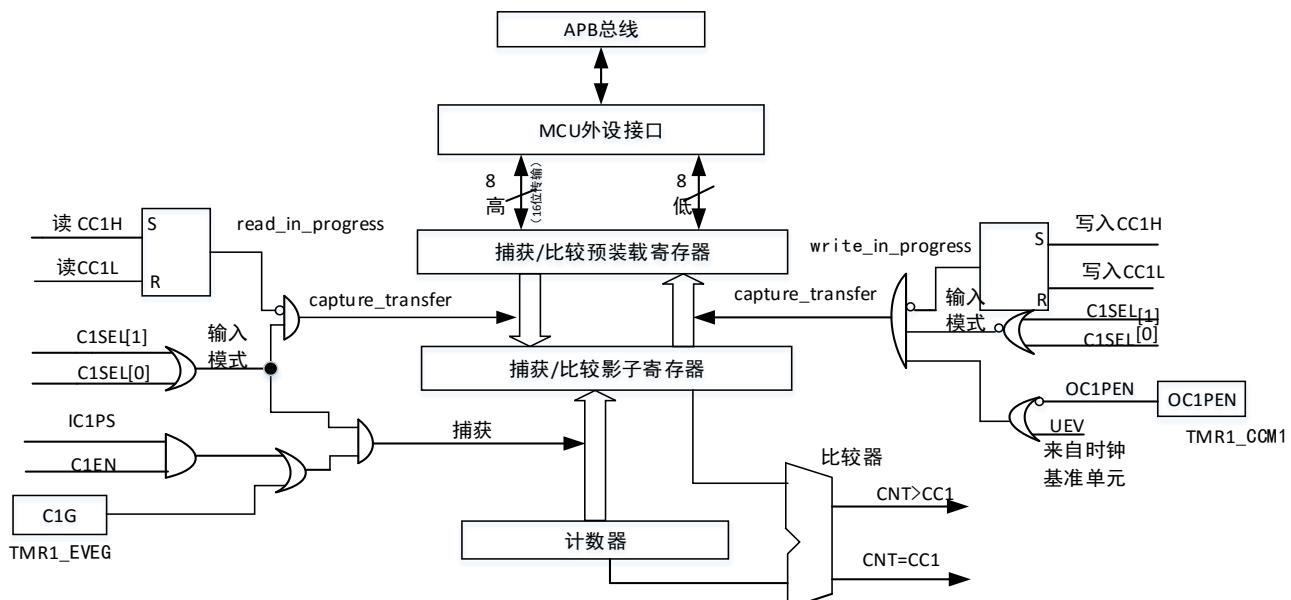
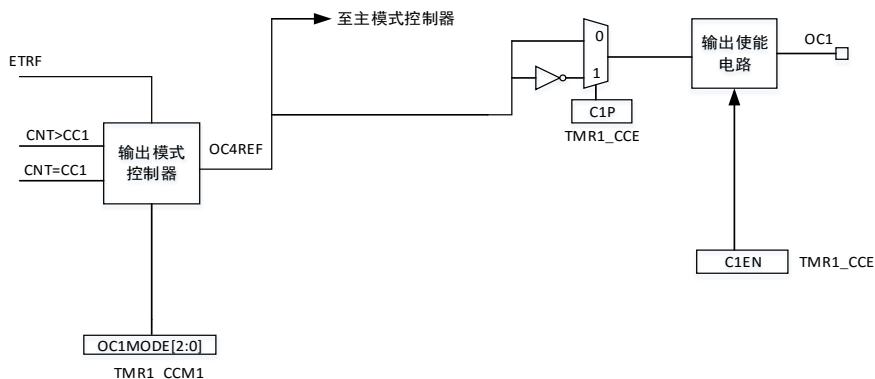


图 10-62 捕获/比较通道的输出部分（通道 1）



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。读写过程仅操作预装载寄存器。

在捕获模式下，捕获发生在影子寄存器上，然后再复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。

9.2.3.5 输入捕获模式

在输入捕获模式下，当检测到 ICx 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 (TMRx_CCx) 中。当捕获事件发生时，相应的 CxIF 标志 (TMRx_STS 寄存器) 被置'1'，如果使能了中断或者 DMA 操作，则将产生中断或者 DMA 操作。如果捕获事件发生时 CxIF 标志已经为高，那么重复捕获标志 CxOF (TMRx_STS 寄存器) 被置'1'。写 $\text{CxIF}=0$ 可清除 CxIF ，或读取存储在 TMRx_CCx 寄存器中的捕获数据也可清除 CxIF 。写 $\text{CxOF}=0$ 可清除 CxOF 。

以下例子说明如何在 TI1 输入的上升沿时捕获计数器的值到 TMRx_CC1 寄存器中，步骤如下：

- 选择有效输入端： TMRx_CC1 必须连接到 TI1 输入，所以写入 TMRx_CC1 寄存器中的 $\text{C1SEL}=01$ ，只要 C1SEL 不为'00'，通道被配置为输入，并且 TM1_CC1 寄存器变为只读。
- 根据输入信号的特点，配置输入滤波器为所需的带宽（即输入为 TIx 时，输入滤波器控制位是 TMRx_CCMx 寄存器中的 ICxDf 位）。假设输入信号在最多 5 个内部时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期。因此我们可以（以 f_{DTS} 频率）连续采样 8 次，以确认在 TI1 上一次真实的边沿变换，即在 TMRx_CCM1 寄存器中写入 $\text{IC1DF}=0011$ 。
- 选择 TI1 通道的有效转换边沿，在 TMRx_CCE 寄存器中写入 $\text{C1P}=0$ （上升沿）。
- 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止（写 TMRx_CCM1 寄存器的 $\text{IC1DIV}=00$ ）。
- 设置 TMRx_CCE 寄存器的 $\text{C1EN}=1$ ，允许捕获计数器的值到捕获寄存器中。
- 如果需要，通过设置 TMRx_DIE 寄存器中的 C1IE 位允许相关中断请求。

当发生一个输入捕获时：

- 产生有效的电平转换时，计数器的值被传送到 TMRx_CC1 寄存器。
- C1IF 标志被设置（中断标志）。当发生至少 2 个连续的捕获时，而 C1IF 未曾被清除， C1OF 也被置'1'。
- 如设置了 C1IE 位，则会产生一个中断。
- 为了处理捕获溢出，建议在读出捕获溢出标志之前读取数据，这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的捕获溢出信息。

注意：设置 TMRx_EVEG 寄存器中相应的 CxG 位，可以通过软件产生输入捕获中断。

9.2.3.6 PWM输入模式（仅 TMR9）

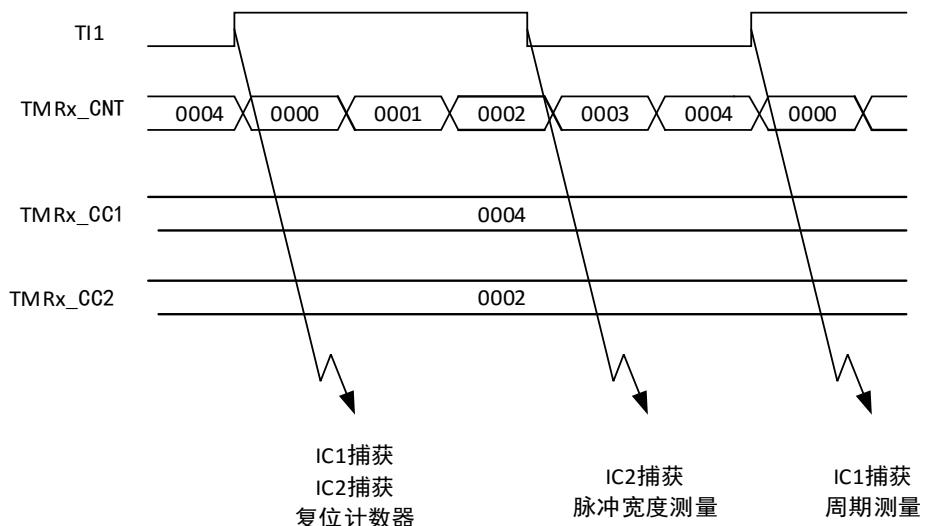
该模式是输入捕获模式的一个特例，除下列区别外，操作与输入捕获模式相同：

- 两个ICx信号被映射至同一个TIx输入。
- 这2个ICx信号为边沿有效，但是极性相反。
- 其中一个TIxFP信号被作为触发输入信号，而从模式控制器被配置成复位模式。

例如，你需要测量输入到 TI1 上的 PWM 信号的长度 (TMRx_CC1 寄存器) 和占空比 (TMRx_CC2 寄存器)，具体步骤如下 (取决于 CK_INT 的频率和预分频器的值)。

- 选择 TMRx_CC1 的有效输入：置 TMRx_CCM1 寄存器的 C1SEL=01 (选择 TI1)。
- 选择 TI1FP1 的有效极性 (用来捕获数据到 TMRx_CC1 中和清除计数器)：置 C1P=0 (上升沿有效)。
- 选择 TMRx_CC2 的有效输入：置 TMRx_CCM1 寄存器的 C2SEL=10 (选择 TI1)。
- 选择 TI1FP2 的有效极性 (捕获数据到 TMRx_CC2)：置 C2P=1 (下降沿有效)。
- 选择有效的触发输入信号：置 TMRx_SMC 寄存器中的 TRGSEL=101 (选择 TI1FP1)。
- 配置从模式控制器为复位模式：置 TMRx_SMC 中的 SMSEL=100。
- 使能捕获：置 TMRx_CCE 寄存器中 C1EN=1 且 C2EN=1。

图 10-63 PWM 输入模式时序



9.2.3.7 强置输出模式

在输出模式 (TMRx_CCMx 寄存器中 CxSEL=00) 下，输出比较信号 (OCxREF 和相应的 OCx) 能够直接由软件强置为有效或无效状态，而不依赖于输出比较寄存器和计数器间的比较结果。

置 TMRx_CCMx 寄存器中相应的 OCxMODE=101，即可强置输出比较信号 (OCxREF/OCx) 为有效状态。这样 OCxREF 被强置为高电平 (OCxREF 始终为高电平有效)，同时 OCx 得到 CxP 极性位相反的值。

例如：CxP=0 (OCx 高电平有效)，则 OCx 被强置为高电平。

置 TMRx_CCMx 寄存器中的 OCxMODE=100，可强置 OCxREF 信号为低。

该模式下，在 TMRx_CCx 影子寄存器和计数器之间的比较仍然在进行，相应的标志也会被修改。因此仍然会产生相应的中断和 DMA 请求。这将会在下面的输出比较模式一节中介绍。

9.2.3.8 输出比较模式

此项功能是用来控制一个输出波形，或者指示一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时，输出比较功能做如下操作：

- 将输出比较模式（TMRx_CCMx 寄存器中的 OCxMODE 位）和输出极性（TMRx_CCE 寄存器中的 CxP 位）定义的值输出到对应的引脚上。在比较匹配时，输出引脚可以保持它的电平（OCxMODE=000）、被设置成有效电平（OCxMODE=001）、被设置成无效电平（OCxMODE=010）或进行翻转（OCxMODE=011）。
- 设置中断状态寄存器中的标志位（TMRx_STS 寄存器中的 CxIF 位）。
- 若设置了相应的中断屏蔽（TMRx_DIE 寄存器中的 CxIE 位），则产生一个中断。

TMRx_CCMx 中的 OCxPEN 位选择 TMRx_CCx 寄存器是否需要使用预装载寄存器。

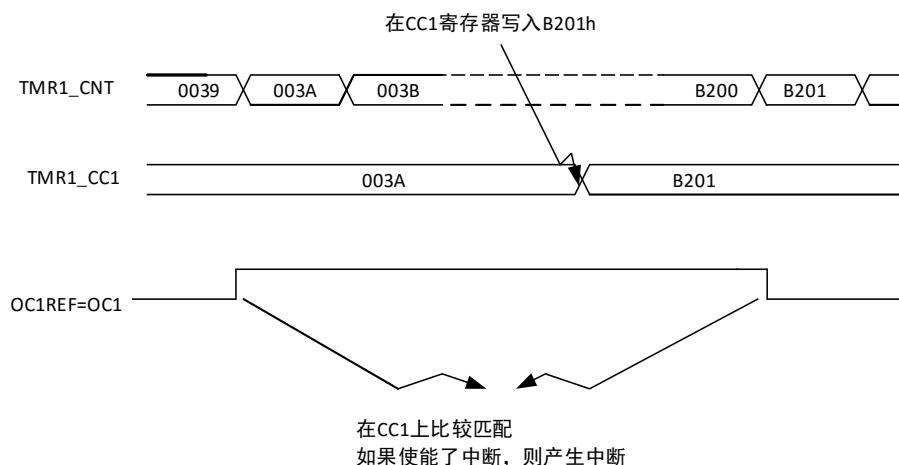
在输出比较模式下，更新事件 UEV 对 OCxREF 和 OCx 输出没有影响。同步的精度可以达到计数器的一个计数周期。输出比较模式（在单脉冲模式下）也能用来输出一个单脉冲。

输出比较模式的配置步骤：

1. 选择计数器时钟（内部，外部，预分频器）。
2. 将相应数据写入 TMRx_AR 和 TMRx_CCx 寄存器中。
3. 如果要产生一个中断请求和/或一个 DMA 请求，设置 CxIE 位和/或 CxDE 位。
4. 选择输出模式，例如当计数器 CNT 与 CCx 匹配时翻转 OCx 的输出引脚，CCx 预装载未用，开启 OCx 输出且高电平有效，则必须设置 OCxMODE='011'、OCxPEN='0'、CxP='0' 和 CxEN='1'。
5. 设置 TMRx_CTRL1 寄存器的 CNTEN 位启动计数器

TMRx_CCx 寄存器能够在任何时候通过软件进行更新以控制输出波形，条件是未使用预装载寄存器（OCxPEN='0'，否则 TMRx_CCx 影子寄存器只能在发生下一次更新事件时被更新）。下图给出了一个例子。

图 10-64 输出比较模式，翻转 OC1



9.2.3.9 PWM模式

脉冲宽度调制模式可以产生一个由 TMRx_AR 寄存器确定频率、由 TMRx_CCx 寄存器确定占空比的信号。

在 TMRx_CCMx 寄存器中的 OCxMODE 位写入'110'（PWM 模式 1）或'111'（PWM 模式 2），能够独立地设置每个 OCx 输出通道产生一路 PWM。必须设置 TMRx_CCMx 寄存器 OCxPEN 位以使能相应的预装载寄存器，最后还要设置 TMRx_CTRL1 寄存器的 ARPEN 位，（在向上计数或中心对称模式中）使能自动重装载的预装载寄存器。

仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 TMRx_EVEG 寄存器中的 UEVG 位来初始化所有的寄存器。OCx 的极性可以通过软件在 TMRx_CCE 寄存器中的 CxP 位设置，它可以设置为高电平有效或低电平有效。TMRx_CCE 寄存器中的 CxEN 位控制 OCx 输出使能。详见 TMRx_CCE 寄存器的描述。

在 PWM 模式（模式 1 或模式 2）下， TMRx_CNT 和 TMRx_CCx 始终在进行比较，以确定是否符合 $\text{TMRx_CCx} \leq \text{TMRx_CNT}$ 或者 $\text{TMRx_CNT} \leq \text{TMRx_CCx}$ 。

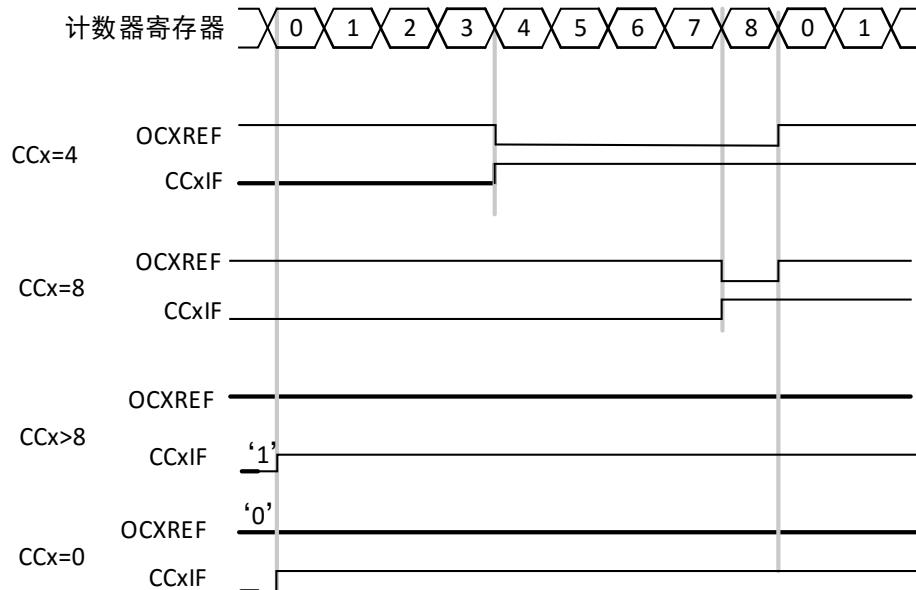
定时器在边沿对齐模式仅当计数器向上计数时能够产生 PWM。

PWM 边沿对齐模式

下面是一个 PWM 模式 1 的例子。当 $\text{TMRx_CNT} < \text{TMRx_CCx}$ 时 PWM 信号参考 OCxREF 为高，否则为低。如果 TMRx_CCx 中的比较值大于自动重装载值 (TMRx_AR)，则 OCxREF 保持为'1'。

如果比较值为 0，则 OCxREF 保持为'0'。下图为 $\text{TMRx_AR}=8$ 时边沿对齐的 PWM 波形实例。

图 10-65 边沿对齐的 PWM 波形 ($\text{AR}=8$)



9.2.3.10 单脉冲模式

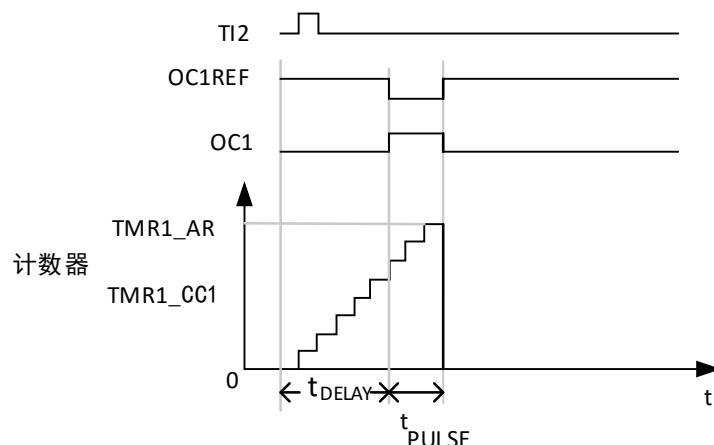
单脉冲模式 (OPM) 是前述众多模式的一个特例。这种模式允许计数器响应一个激励，并在一个程序可控的延时之后，产生一个脉宽可程序控制的脉冲。

可以通过从模式控制器启动计数器，在输出比较模式或者 PWM 模式下产生波形。设置 TMRx_CTRL1 寄存器中的 OPMODE 位将选择单脉冲模式，这样可以让计数器自动地在产生下一个更新事件 UEV 时停止。

仅当比较值与计数器的初始值不同时，才能产生一个脉冲。启动之前（当定时器正在等待触发），必须如下配置：

$\text{CNT} < \text{CCx} \leq \text{AR}$ (特别地， $0 < \text{CCx}$)。

图 10-66 单脉冲模式的例子



例如，你需要在从 TI2 输入脚上检测到一个上升沿开始，延迟 t_{DELAY} 之后，在 OC1 上产生一个长度

为 t_{PULSE} 的正脉冲。

假定 TI2FP2 作为触发 1:

- 置 TMRx_CCM1 寄存器中的 C2SEL='01'，把 TI2FP2 映像到 TI2。
- 置 TMRx_CCE 寄存器中的 C2P='0'，使 TI2FP2 能够检测上升沿。
- 置 TMRx_SMC 寄存器中的 TRGSEL='110'，TI2FP2 作为从模式控制器的触发 (TRGI)。
- 置 TMRx_SMC 寄存器中的 SMSEL='110' (触发模式)，TI2FP2 被用来启动计数器。

OPM 波形由写入比较寄存器的数值决定 (要考虑时钟频率和计数器预分频器)

- t_{DELAY} 由写入 TMRx_CC1 寄存器中的值定义。
- t_{PULSE} 由自动装载值和比较值之间的差值定义 ($TMRx_AR - TMRx_CC1$)。
- 假定当发生比较匹配时要产生从 '0' 到 '1' 的波形，当计数器到达预装载值时要产生一个从 '1' 到 '0' 的波形；首先要置 TMRx_CCM1 寄存器的 OC1MODE='111'，进入 PWM 模式 2；根据需要有选择地使能预装载寄存器：置 TMRx_CCM1 中的 OC1PEN='1' 和 TMRx_CTRL1 寄存器中的 ARPEN；然后在 TMRx_CC1 寄存器中填写比较值，在 TMRx_AR 寄存器中填写自动装载值，修改 UEVG 位来产生一个更新事件，然后等待在 TI2 上的一个外部触发事件。本例中，C1P='0'。

在这个例子中，因为只需一个脉冲，所以必须设置 TMRx_CTRL1 寄存器中的 OPMODE='1'，在下一个更新事件 (当计数器从自动装载值翻转到 0) 时停止计数。

当 OPMODE='0' 的时候，退出单脉冲模式。

特殊情况：OCx 快速使能：

在单脉冲模式下，在 TIx 输入脚的边沿检测逻辑设置 CNTEN 位以启动计数器。然后计数器和比较值间的比较操作产生了输出的转换。但是这些操作需要一定的时钟周期，因此它限制了可得到的最小延时 t_{DELAY} 。

如果要以最小延时输出波形，可以设置 TMRx_CCMx 寄存器中的 OCxFEN 位；此时 OCxREF (和 OCx) 被强制响应激励而不再依赖比较的结果，输出的波形与比较匹配时的波形一样。OCxFEN 只在通道配置为 PWM1 和 PWM2 模式时起作用。

9.2.3.11 定时器和外部触发的同步 (仅 TMR9)

TMRx 定时器能够在多种模式下和一个外部的触发同步：复位模式、门控模式和触发模式。

从模式：复位模式

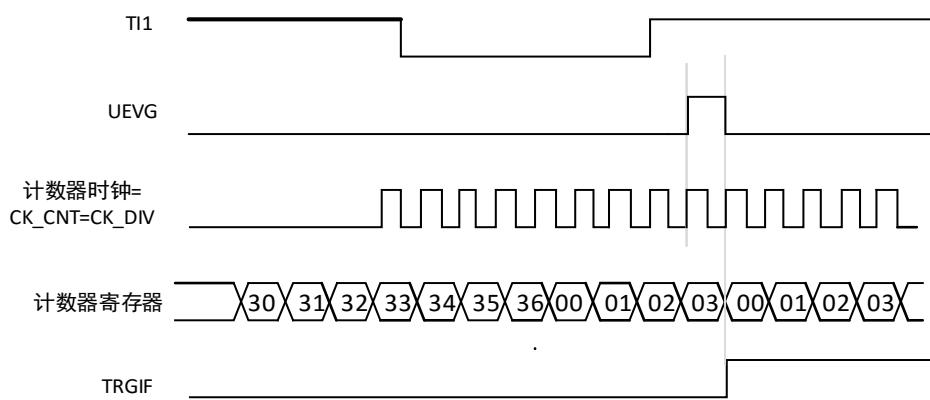
在发生一个触发输入事件时，计数器和它的预分频器能够重新被初始化；同时，如果 TMRx_CTRL1 寄存器的 UEVRS 位为低，还会产生一个更新事件 UEV；然后所有的预装载寄存器 (TMRx_AR, TMRx_CCx) 都会被更新。

在下面的例子中，TI1 输入端的上升沿导致向上计数器被清零：

- 配置通道 1 以检测 TI1 的上升沿。配置输入滤波器的带宽 (在本例中，不需要任何滤波器，因此保持 IC1DF=0000)。触发操作中不使用捕获预分频器，所以不需要配置它。C1SEL 位只选择输入捕获源，即 TMRx_CCM1 寄存器中 C1SEL=01。置 TMRx_CCE 寄存器中 C1P=0 以确定极性 (只检测上升沿)。
- 置 TMRx_SMC 寄存器中 SMSEL=100，配置定时器为复位模式；置 TMRx_SMC 寄存器中 TRGSEL =101，选择 TI1 作为输入源。
- 置 TMRx_CTRL1 寄存器中 CNTEN=1，启动计数器。

计数器开始依据内部时钟计数，然后正常运转直到 TI1 出现一个上升沿；此时，计数器被清零然后从 0 重新开始计数。同时，触发标志 (TMRx_STS 寄存器中的 TRGIF 位) 被设置，根据 TMRx_DIE 寄存器中 TRGIE (中断使能) 位的设置，产生一个中断请求。下图显示当自动重装载寄存器 TMRx_AR=0x36 时的动作。在 TI1 上升沿和计数器的实际复位之间的延时，取决于 TI1 输入端的重同步电路。

图 10-67 复位模式下的控制电路



从模式：门控模式

按照选中的输入端电平使能计数。

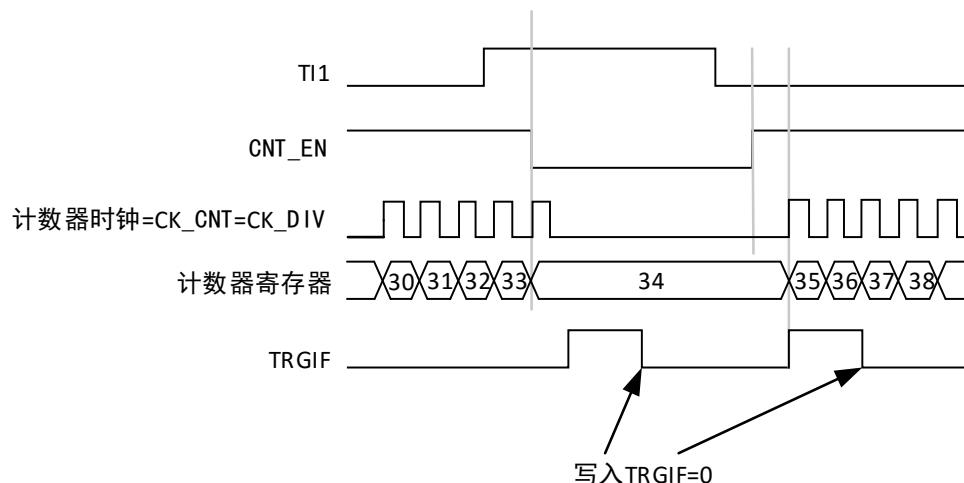
在如下的例子中，计数器只在 TI1 为低时向上计数：

- 配置通道1以检测TI1上的低电平。配置输入滤波器带宽（本例中，不需要滤波，所以保持IC1DF=0000）。触发操作中不使用捕获预分频器，所以不需要配置。C1SEL位用于选择输入捕获源，置TMRx_CCM1寄存器中C1SEL=01。置TMRx_CCE寄存器中C1P=1以确定极性（只检测低电平）。
- 置TMRx_SMC寄存器中SMSEL=101，配置定时器为门控模式；置TMRx_SMC寄存器中TRGSEL=101，选择TI1作为输入源。
- 置TMRx_CTRL1寄存器中CNTEN=1，启动计数器。在门控模式下，如果CNTEN=0则计数器不能启动，不论触发输入电平如何。

只要 TI1 为低，计数器开始依据内部时钟计数，在 TI1 变高时停止计数。当计数器开始或停止时都设置 TMRx_STS 中的 TRGIF 标置。

TI1 上升沿和计数器实际停止之间的延时，取决于 TI1 输入端的重同步电路。

图 10-68 门控模式下的控制电路



从模式：触发模式

输入端上选中的事件使能计数器。

在下面的例子中，计数器在 TI2 输入的上升沿开始向上计数：

- 配置通道2检测TI2的上升沿。配置输入滤波器带宽（本例中，不需要任何滤波器，保持IC2DF=0000）。触发操作中不使用捕获预分频器，不需要配置。C2SEL位只用于选择输入捕获源，置TMRx_CCM1寄存器中C2SEL=01。置TMRx_CCE寄存器

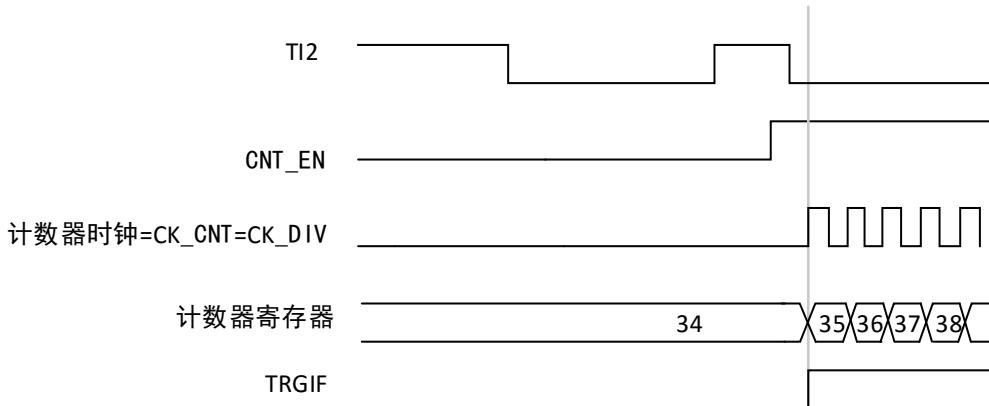
中 C2P=1 以确定极性（只检测低电平）。

- 置 TMRx_SMC 寄存器中 SMSEL=110，配置定时器为触发模式；置 TMRx_SMC 寄存器中 TRGSEL=110，选择 TI2 作为输入源。

当 TI2 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时设置 TRGIF 标志。

TI2 上升沿和计数器启动计数之间的延时，取决于 TI2 输入端的重同步电路。

图 10-69 触发器模式下的控制电路



9.2.3.12 定时器同步（仅 TMR9）

所有 TMRx 定时器在内部相连，用于定时器同步或链接。详细内容请参考 [10.2.3.15](#)。

注意：在接受主定时器的触发信号前，必须先使能从定时器的时钟，当接收来自主定时器触发时，不要在运行时改变它。

9.2.3.13 调试模式

当微控制器进入调试模式（Cortex™-M4 核心停止），根据 DBG 模块中 DBG_TMRx_STOP 的设置，TMRx 计数器或者继续正常操作，或者停止。详见随后[第 22.2.2 节：支持定时器、看门狗、bxCAN 和 I2C 的调试](#)。

9.2.4 TMR9 寄存器描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

下表中将 TMRx 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表 10-5 TMRx – 寄存器图和复位值

偏移	寄存器	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
0x00	TMRx_CTRL1	保留	CLKDIV[1: 0] 0 0 0
	0x0000		ARPN 0 0 0
0x08	TMRx_SMC	保留	TRGSEL[2: 0] 0 0 0
	0x0000		SMSEL[2: 0] 0 0 0
0x0C	TMRx_DIE	保留	TRGIE 0
	0x0000		C2IE 0 C1IE 0 UEVIE 0

0x10	TMRx_STS	保留								C2OF 0	C1OF 0	C2OF 0	C1OF 0	C2IF 0	C1IF 0	UEVIF 0			
	0x0000																		
0x14	TMRx_EVEG	保留								TRGG 0	保留	保留	C2G 0	C1G 0	C2IF 0	C1IF 0			
	0x0000																		
0x18	TMRx_CCM1 输出 比较模式	保留								OC2MODE[2: 0] 0 0 0	C2SEL[1: 0] 0 0 0	保留 0 0 0	OC1MODE[2: 0] 0 0 0	C1SEL[1: 0] 0 0 0	OC1PEN 0 0 0	C1IFEN 0 0 0	C2IF 0 0 0		
	0x0000																		
	TMRx_CCM1 输入 捕获模式	保留								IC2DF[3: 0] 0 0 0 0	IC2DIV[1: 0] 0 0 0 0	CC2PEN 0 0 0 0	CC2FFEN 0 0 0 0	C2SEL[1: 0] 0 0 0 0	IC1DF[3: 0] 0 0 0 0	C1DIV[1: 0] 0 0 0 0	C1PEN 0 0 0 0	C1IFEN 0 0 0 0	C1IF 0 0 0 0
	0x0000																		
0x1C		保留																	
0x20	TMRx_CCE	保留								C2NP 0	C2P 0	保留 0 0 0	C2NEN 0 0 0	C1NP 0 0 0	C1P 0 0 0	C1EN 0 0 0	保留 0 0 0		
	0x0000																		
0x24	TMRx_CNT	保留								CNT[15: 0]									
	0x0000									0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
0x28	TMRx_DIV	保留								DIV[15: 0]									
	0x0000									0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
0x2C	TMRx_AR	保留								AR[15: 0]									
	0x0000									0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
0x34	TMRx_CC1	保留								CC1[15: 0]									
	0x0000									0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
0x38	TMRx_CC2	保留								CC2[15: 0]									
	0x0000									0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		

9.2.4.1 控制寄存器 1 (TMRx_CTRL1)

偏移地址: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES		RW													

位 15: 10	保留, 始终读为 0。
----------	-------------

位 9: 8	CLKDIV[1: 0]: 时钟分频因子 (Clock division) 定义在定时器时钟 (CK_INT) 频率与数字滤波器 (ETR, TIx) 使用的采样频率之间的分频比例。 00: $t_{DTS} = t_{CK_INT}$ 01: $t_{DTS} = 2 \times t_{CK_INT}$ 10: $t_{DTS} = 4 \times t_{CK_INT}$ 11: 保留
位 7	ARPEN: 自动重装载预装载允许位 (Auto-reload preload enable) 0: TMRx_AR 寄存器没有缓冲; 1: TMRx_AR 寄存器被装入缓冲器。
位 6: 4	保留, 始终读为 0。
位 3	OPMODE: 单脉冲模式 (One pulse mode) 0: 在发生更新事件时, 计数器不停止; 1: 在发生下一次更新事件 (清除 CNTEN 位) 时, 计数器停止。
位 2	UEVRS: 更新请求源 (Update request source) 软件通过该位选择 UEV 事件的源 0: 如果使能了更新中断, 则下述任一事件产生更新中断: - 计数器溢出 - 设置 UEVG 位 1: 如果使能了更新中断请求, 则只有计数器溢出才产生更新中断。
位 1	UEVDIS: 禁止更新 (Update disable) 软件通过该位允许/禁止 UEV 事件的产生 0: 允许 UEV。更新 (UEV) 事件由下述任一事件产生: - 计数器溢出 - 设置 UEVG 位 1: 禁止 UEV。不产生更新事件, 影子寄存器 (AR、DIV、CCx) 保持它们的值。如果设置了 UEVG 位或从模式控制器发出了一个硬件复位, 则计数器和预分频器被重新初始化。
位 0	CNTEN: 使能计数器 0: 禁止计数器; 1: 使能计数器。 在单脉冲模式下, 当发生更新事件时, CNTEN 被自动清除。

9.2.4.2 从模式控制寄存器 (TMRx_SMC)

偏移地址: 0x08

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								TRGSEL[2: 0]		保留		SMSEL[2: 0]			
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RES	RW	RW	RW	RW
位 15: 7															
保留, 始终读为 0。															
位 6: 4															
TRGSEL[2: 0]: 触发选择 (Trigger selection) 这 3 位选择用于同步计数器的触发输入。 000: 内部触发 0 (ITR0) 100: TI1 的边沿检测器 (TI1F_ED) 001: 内部触发 1 (ITR1) 101: 滤波后的定时器输入 1 (TI1FP1) 010: 内部触发 2 (ITR2) 110: 滤波后的定时器输入 2 (TI2FP2) 011: 内部触发 3 (ITR3) 111: 保留 关于每个定时器中 ITRx 的细节, 参见表 10-7。 注: 这些位只能在未用到 (如 SMSEL=000) 时被改变, 以避免在改变时产生错误的边沿检测。															
位 3															
保留, 始终读为 0。															

位 2: 0	SMSEL[2: 0]: 从模式选择 (Slave mode selection) 当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明)
	000: 关闭从模式 – 如果 CNTEN=1, 则预分频器直接由内部时钟驱动。
	001: 保留。
	010: 保留。
	011: 保留。
	100: 复位模式 – 选中的触发输入 (TRGI) 的上升沿重新初始化计数器, 并且产生一个更新寄存器的信号。
	101: 门控模式 – 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (但不复位)。计数器的启动和停止都是受控的。
	110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动 (但不复位), 只有计数器的启动是受控的。
	111: 外部时钟模式 1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。
	注 1: 如果 TI1F_EN 被选为触发输入 (TRGSEL=100) 时, 不要使用门控模式。这是因为, TI1F_ED 在每次 TI1F 变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。 注 2: 在接收主定时器事件之前必须先使能从定时器, 而且在接受主定时器触发信号期间不可以改变从定时器的时钟。

表 10-6 TMRx 内部触发连接 (1)

从定时器	ITR0 (TRGSEL = 000)	ITR1 (TRGSEL = 001)	ITR2 (TRGSEL = 010)	ITR3 (TRGSEL = 011)
TMR9	TMR2_TRGO	TMR3_TRGO	TMR10_OC	TMR11_OC

注意: 如果某个产品中没有相应的定时器, 则对应的触发信号 ITRx 也不存在。

9.2.4.3 DMA/中断使能寄存器 (TMRx_DIE)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	C2I E	C1I E	UEV IE							
保留								TRG IE	保留													
位 15: 7	保留, 始终读为 0。																					
位 6	TRGIE: 触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。																					
位 5: 3	保留, 始终读为 0。																					
位 2	C2IE: 允许捕获/比较 2 中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较 2 中断; 1: 允许捕获/比较 2 中断。																					
位 1	C1IE: 允许捕获/比较 1 中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较 1 中断; 1: 允许捕获/比较 1 中断。																					
位 0	UEVIE: 允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。																					

9.2.4.4 状态寄存器 (TMRx_STS)

偏移地址: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES		保留		C2OF F	C1OF F		保留		TRGIF		保留		C2IF F	C1IF F	UEVIF IF

位 15: 11	保留, 始终读为 0。
位 10	C2OF: 捕获/比较 2 重复捕获标记 (Capture/Compare 2 overcapture flag) 参见 C1OF 描述。
位 9	C1OF: 捕获/比较 1 重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置'1'。写'0'可清除该位。 0: 无重复捕获产生; 1: 当计数器的值被捕获到 TMRx_CC1 寄存器时, C1IF 的状态已经为'1'。
位 8: 7	保留, 始终读为 0。
位 6	TRGIF: 触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在 TRGI 输入端检测到有效 边沿, 或门控模式下的任一边沿) 时由硬件对该位置'1'。它由软件清'0'。 0: 无触发器事件产生; 1: 触发器中断等待响应。
位 5: 3	保留, 始终读为 0。
位 2	C2IF: 捕获/比较 2 中断标记 (Capture/Compare 2 interrupt flag) 参考 C1IF 描述。
位 1	C1IF: 捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag) 如果通道 CC1 配置为输出模式: 当计数器值与比较值匹配时该位由硬件置'1', 但在中心对称模式下除外 (参考 TMRx_CTRL1 寄存器的 CMSEL 位)。它由软件清'0'。 当 TMRx_CC1 的值比 TMRx_AR 的值大的时候, CC1F 位在计数器溢出后置高。 0: 无匹配发生; 1: TMRx_CNT 的值与 TMRx_CC1 的值匹配。 如果通道 CC1 配置为输入模式: 当捕获事件发生时该位由硬件置'1', 它由软件清'0'或通过读 TMRx_CC1 清'0'。 0: 无输入捕获产生; 1: 计数器值已被捕获 (拷贝) 至 TMRx_CC1 (在 IC1 上检测到与所选极性相同的边沿)。
位 0	UEVIF: 更新中断标记 (Update interrupt flag) 当产生更新事件时该位由硬件置'1'。它由软件清'0'。 0: 无更新事件产生; 1: 更新中断等待响应。当寄存器被更新时该位由硬件置'1': - 若 TMRx_CTRL1 寄存器的 UEVDIS=0、UEVRS=0, 当 TMRx_EVEG 寄存器的 UEVG=1 时产生更新事件 (软件对计数器 CNT 重新初始化); - 若 TMRx_CTRL1 寄存器的 UEVDIS=0、UEVRS=0, 当计数器 CNT 被触发事件重初始化时产生更新事件。 当 UEVDIS=0, 计数器计数溢出时设置该位。

9.2.4.5 事件产生寄存器 (TMRx_EVEG)

偏移地址: 0x14

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES		保留			TRGG G		保留		C2G	C1G	UEVG G				
位 15: 7	保留, 始终读为 0。														

位 6	TRGG: 产生触发事件 (Trigger generation) 该位由软件置'1', 用于产生一个触发事件, 由硬件自动清'0'。 0: 无动作; 1: TMRx_STS 寄存器的 TRGIF=1, 若开启对应的中断, 则产生相应的中断。
位 5: 3	保留, 始终读为 0。
位 2	C2G: 产生捕获/比较 2 事件 (Capture/compare 2 generation) 参考 C1G 描述。
位 1	C1G: 产生捕获/比较 1 事件 (Capture/compare 1 generation) 该位由软件置'1', 用于产生一个捕获/比较事件, 由硬件自动清'0'。 0: 无动作; 1: 在通道 CC1 上产生一个捕获/比较事件: 若通道 CC1 配置为输出: 设置 C1IF=1, 若开启对应的中断, 则产生相应的中断。 若通道 CC1 配置为输入: 当前的计数器值捕获至 TMRx_CC1 寄存器; 设置 C1IF=1, 若开启对应的中断, 则产生相应的中断。若 C1IF 已经为 1, 则设置 C1OF=1。
位 0	UEVG: 产生更新事件 (Update generation) 该位由软件置'1', 由硬件自动清'0'。 0: 无动作; 1: 重新初始化计数器, 并产生一个更新事件。注意预分频器的计数器也被清'0' (但是预分频系数不变)。计数器被清'0'。

9.2.4.6 捕获/比较模式寄存器1 (TMRx_CCM1)

偏移地址: 0x18

复位值: 0x0000

通道可用于输入 (捕获模式) 或输出 (比较模式), 通道的方向由相应的 CxSEL 定义。该寄存器其它位的作用在输入和输出模式下不同。OCxx 描述了通道在输出模式下的功能, ICxx 描述了通道在输出模式下的功能。因此必须注意, 同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式:

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	OC2MODE[2: 0]	OC2 PEN	OC2 FEN	C2SEL[1: 0]	保留	OC1MODE[2: 0]	OC1 PEN	OC1 FEN	C1SEL[1: 0]							
RES	RW	RW	RW	RW	RW	RW	RW	RW	RES	RW						

位 15	OC2DIS: 保留。
位 14: 12	OC2MODE[2: 0]: 输出比较 2 模式 (Output compare 2 mode)
位 11	OC2PEN: 输出比较 2 预装载使能 (Output compare 2 preload enable)
位 10	OC2FEN: 输出比较 2 快速使能 (Output compare 2 fast enable)
位 9: 8	C2SEL[1: 0]: 捕获/比较 2 选择 (Capture/Compare 2 selection) 该位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出; 01: CC2 通道被配置为输入, IC2 映射在 TI2 上; 10: CC2 通道被配置为输入, IC2 映射在 TI1 上; 11: CC2 通道被配置为输入, IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 <i>注: C2SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C2EN='0') 才是可写的。</i>
位 7	保留。

位 6: 4	<p>OC1MODE[2: 0]: 输出比较 1 模式 (Output compare 1 enable) 该 3 位定义了输出参考信号 OC1REF 的动作，而 OC1REF 决定了 OC1 的值。OC1REF 是高电平 有效，而 OC1 的有效电平取决于 C1P 位。 000: 冻结。输出比较寄存器 TMRx_CC1 与计数器 TMRx_CNT 间的比较对 OC1REF 不起作用； 001: 匹配时设置通道 1 为有效电平。当计数器 TMRx_CNT 的值与捕获 / 比较寄存器 1 (TMRx_CC1) 相同时，强制 OC1REF 为高。 010: 匹配时设置通道 1 为无效电平。当计数器 TMRx_CNT 的值与捕获 / 比较寄存器 1 (TMRx_CC1) 相同时，强制 OC1REF 为低。 011: 翻转。当 TMRx_CC1=TMRx_CNT 时，翻转 OC1REF 的电平。 100: 强制为无效电平。强制 OC1REF 为低。 101: 强制为有效电平。强制 OC1REF 为高。 110: PWM 模式 1— 在向上计数时，一旦 TMRx_CNT<TMRx_CC1 时通道 1 为有效电平，否则为无效电平。 111: PWM 模式 2— 在向上计数时，一旦 TMRx_CNT<TMRx_CC1 时通道 1 为无效电平，否则为有效电平。 注 1: 在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，OC1REF 电平才改变。 </p>
位 3	<p>OC1PEN: 输出比较 1 预装载使能 (Output compare 1 preload enable) 0: 禁止 TMRx_CC1 寄存器的预装载功能，可随时写入 TMRx_CC1 寄存器，并且新写入的数值立即起作用。 1: 开启 TMRx_CC1 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TMRx_CC1 的 预装载值在更新事件到来时被传送至当前寄存器中。 注: 仅在单脉冲模式下 (TMRx_CTRL1 寄存器的 OPMODE='1')，可以在未确认预装载寄存器情况下使用 PWM 模式，否则其动作不确定。 </p>
位 2	<p>OC1FEN: 输出比较 1 快速使能 (Output compare 1 fast enable) 该位用于加快 CC 输出对触发器输入事件的响应。 0: 根据计数器与 CC1 的值，CC1 正常操作，即使触发器是打开的。当触发器的输入出现一个有效沿时，激活 CC1 输出的最小延时为 5 个时钟周期。 1: 输入到触发器的有效沿的作用就像发生了一次比较匹配。因此，OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。 该位只在通道被配置成 PWM1 或 PWM2 模式时起作用。 </p>
位 1: 0	<p>C1SEL[1: 0]: 捕获/比较 1 选择 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出)，及输入脚的选择： 00: CC1 通道被配置为输出； 01: CC1 通道被配置为输入，IC1 映射在 TI1 上； 10: CC1 通道被配置为输入，IC1 映射在 TI2 上； 11: CC1 通道被配置为输入，IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C1SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C1EN='0') 才是可写的。 </p>

输入捕获模式:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2DF[3: 0]		IC2DIV[1: 0]	C2SEL[1: 0]	IC1DF[3: 0]		IC1DIV[1: 0]	C1SEL[1: 0]								
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
位 15: 12	IC2DF[3: 0]: 输入捕获 2 滤波器 (Input capture 2 filter)														
位 11: 10	IC2DIV[1: 0]: 输入/捕获 2 预分频器 (input capture 2 prescaler)														

位 9: 8	<p>C2SEL[1: 0]: 捕获/比较 2 选择 (Capture/compare 2 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出; 01: CC2 通道被配置为输入, IC2 映射在 TI2 上; 10: CC2 通道被配置为输入, IC2 映射在 TI1 上; 11: CC2 通道被配置为输入, IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C2SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C2EN='0') 才是可写的。</p>
位 7: 4	<p>IC1DF[3: 0]: 输入捕获 1 滤波器 (Input capture 1 filter) 这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变: 0000: 无滤波器, 以 f_{DTS} 采样 0001: 采样频率 $f_{SAMPLING} = f_{CK_INT}$, N=2 0010: 采样频率 $f_{SAMPLING} = f_{CK_INT}$, N=4 0011: 采样频率 $f_{SAMPLING} = f_{CK_INT}$, N=8 0100: 采样频率 $f_{SAMPLING} = f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMPLING} = f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMPLING} = f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMPLING} = f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMPLING} = f_{DTS}/8$, N=6 1001: 采样频率 $f_{SAMPLING} = f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMPLING} = f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMPLING} = f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMPLING} = f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMPLING} = f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMPLING} = f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMPLING} = f_{DTS}/32$, N=8</p>
位 3: 2	<p>IC1DIV[1: 0]: 输入/捕获 1 预分频器 (Input capture 1 prescaler) 这 2 位定义了 CC1 输入 (IC1) 的预分频系数。 一旦 C1EN='0' (TMRx_CCE 寄存器中), 则预分频器复位。 00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获; 01: 每 2 个事件触发一次捕获; 10: 每 4 个事件触发一次捕获; 11: 每 8 个事件触发一次捕获。</p>
位 1: 0	<p>C1SEL[1: 0]: 捕获/比较 1 选择 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出; 01: CC1 通道被配置为输入, IC1 映射在 TI1 上; 10: CC1 通道被配置为输入, IC1 映射在 TI2 上; 11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C1SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C1EN='0') 才是可写的。</p>

9.2.4.7 捕获/比较使能寄存器 (TMRx_CCE)

偏移地址: 0x20

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								C2NP	保留	C2P	C2EN	C1NP	保留	C1P	C1EN
RES								RW	RES	RW	RW	RW	RES	RW	RW

位 15: 8	保留, 始终读为 0。
位 7	C2NP: 输入/捕获 2 互补输出极性 (Capture/Compare 2 output polarity) 参考 C1NP 的描述。
位 6	保留, 始终读为 0。
位 5	C2P: 输入/捕获 2 输出极性 (Capture/Compare 2 output polarity) 参考 C1P 的描述。

位 4	C2EN: 输入/捕获 2 输出使能 (Capture/Compare 2 output enable) 参考 C1EN 的描述。
位 3	C1NP: 输入/捕获 1 互补输出极性 (Capture/Compare 1 complementary output polarity) CC1 通道配置为输出: C1NP 必须保持清除。 CC1 通道配置为输入: C1NP 结合 C1P 定义 TI1FP1/TI2FP1 极性 (参考 C1P 描述)
位 2	保留, 始终读为 0。
位 1	C1P: 输入/捕获 1 输出极性 (Capture/Compare 1 output polarity) CC1 通道配置为输出: 0: OC1 高电平有效 1: OC1 低电平有效 CC1 通道配置为输入: CC1NP/CC1P 位选择 TI1FP1 和 TI2FP1 的极性信号作为触发或捕获信号。 00: 不反相/上升沿。电路 TIxFP1 上升沿敏感 (捕获, 触发中的复位, 外部时钟或触发模式), TIxFP1 不反相 (触发中的门控模式)。 01: 反相/下降沿。电路对 TIxFP1 下降沿敏感 (捕获, 触发中的复位, 外部时钟或触发模式), TIxFP1 反相 (触发中的门控模式)。 10: 保留。 11: 不反相/双沿。电路同时对 TIxFP1 上升沿和下降沿敏感 (捕获, 触发中的复位, 外部时钟或触发模式), TIxFP1 是不反相 (触发中门控模式)。
位 0	C1EN: 输入/捕获 1 输出使能 (Capture/Compare 1 output enable) CC1 通道配置为输出: 0: 关闭— OC1 禁止输出。 1: 开启— OC1 信号输出到对应的输出引脚。 CC1 通道配置为输入: 该位决定了计数器的值是否能捕获入 TMRx_CC1 寄存器。 0: 捕获禁止; 1: 捕获使能。

表 10-7 标准 OCx 通道的输出控制位

CxEN 位	OCx 输出状态
0	禁止输出 (OCx=0, OCx_EN=0)
1	OCx = OCxREF + 极性, OCx_EN=1

注意: 连接到标准 OCx 通道的外部 I/O 引脚状态, 取决于 OCx 通道状态和 GPIO 以及 AFIO 寄存器。

9.2.4.8 计数器 (TMRx_CNT)

偏移地址: 0x24

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15: 0]															
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
位 15: 0		CNT[15: 0]: 计数器的值 (Counter value)													

9.2.4.9 预分频器 (TMRx_DIV)

偏移地址: 0x28

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV[15: 0]															
2020.07.16															

RW RW

位 15: 0	DIV[15: 0]: 预分频器的值 (Prescaler value) 计数器的时钟频率 CK_CNT 等于 $f_{CK_DIV} / (\text{DIV}[15: 0] + 1)$ 。 DIV 包含了当更新事件产生时装入当前预分频器寄存器的值。
---------	--

9.2.4.10 自动重装载寄存器 (TMRx_AR)

偏移地址: 0x2C

复位值: 0x0000

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AR[15: 0]

RW RW

位 15: 0	AR[15: 0]: 自动重装载的值 (Auto reload value) AR 包含了将要传送至实际的自动重装载寄存器的数值。 详细参考 10.3.3.1 节 : 有关 AR 的更新和动作当自动重装载的值为空时, 计数器不工作。
---------	---

9.2.4.11 捕获/比较寄存器1 (TMRx_CC1)

偏移地址: 0x34

复位值: 0x0000

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CC1[15: 0]

RW RW

位 15: 0	CC1[15: 0]: 捕获/比较 1 的值 (Capture/Compare 1 value) 若 CC1 通道配置为输出: CC1 包含了装入当前捕获/比较 1 寄存器的值 (预装载值)。 如果在 TMRx_CCM1 寄存器 (OC1PEN 位) 中未选择预装载特性, 写入的数值会被立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较寄存器 1 中。 当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较, 并在 OC1 端口上产生输出信号。 若 CC1 通道配置为输入: CC1 包含了由上一次输入捕获 1 事件 (IC1) 传输的计数器值。
---------	---

9.2.4.12 捕获/比较寄存器2 (TMRx_CC2)

偏移地址: 0x38

复位值: 0x0000

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

CC2[15: 0]

RW RW

位 15: 0	<p>CC2[15: 0]: 捕获/比较 2 的值 (Capture/Compare 2 value) 若 CC2 通道配置为输出: CC2 包含了装入当前捕获/比较 2 寄存器的值 (预装载值)。 如果在 TMRx_CCM2 寄存器 (OC2PEN 位) 中未选择预装载特性, 写入的数值会被立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较寄存器 2 中。 当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较, 并在 OC2 端口上产生输出信号。 若 CC2 通道配置为输入: CC2 包含了由上一次输入捕获 2 事件 (IC2) 传输的计数器值。</p>
---------	--

9.2.5 TMR10、TMR11寄存器描述

可以用半字 (16 位) 或字 (32 位) 的方式操作这些外设寄存器。

下表中将 TMRx 的所有寄存器映射到一个 16 位可寻址 (编址) 空间。

表 10-8 TMRx – 寄存器图和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0														
0x00	TMRx_CTRL1	保留																保留		保留		UEVRS		UEVDIS		CNTEN		0																			
	复位值	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0																			
0x0C	TMRx_DIE	保留																保留		C1IE		0 0		UEVIE		0 0		0 0																			
	复位值	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0																			
0x10	TMRx_STS	保留																C1OF		保留		C1IF		0 0		UEVIF		0 0																			
	复位值	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0																			
0x14	TMRx_EVEG	保留																C1G		UEVG		0 0		C1E		0 0		UEVGF		0 0																	
	复位值	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0																			
0x18	TMRx_CCM1 输出 比较模式	保留																OC1MODE[2 : 0]		OC1PEN		OC1FEN		C1SEL[1: 0]		0 0		C1SEL[1: 0]		0 0																	
	复位值	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0																			
0x20	TMRx_CCE	保留																C1NP		保留		C1P		C1EN		0 0		0 0																			
	复位值	0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0		0 0 0 0																			
0x24	TMRx_CNT	保留								CNT[15: 0]																0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																					
	复位值	0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																					
0x28	TMRx_DIV	保留								DIV[15: 0]																0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																					

	复位值			0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
0x2C	TMRx_AR	保留		AR[15: 0]
	复位值			0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
0x34	TMRx_CC1	保留		CC1[15: 0]
	复位值			0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

9.2.5.1 控制寄存器1 (TMRx_CTRL1)

偏移地址: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		CLKDIV [1: 0]		ARP EN	保留		UEV RS	UEV DIS	CNT EN						
res		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15: 10	保留, 始终读为 0。
位 9: 8	CLKDIV[1: 0]: 时钟分频因子 (Clock division) 定义在定时器时钟 (CK_INT) 频率与数字滤波器 (ETR, TIx) 使用的采样频率之间的分频比例。 00: $t_{DTS} = t_{CK_INT}$ 01: $t_{DTS} = 2 \times t_{CK_INT}$ 10: $t_{DTS} = 4 \times t_{CK_INT}$ 11: 保留
位 7	ARPEN: 自动重装载预装载允许位 (Auto-reload preload enable) 0: TMRx_AR 寄存器没有缓冲; 1: TMRx_AR 寄存器被装入缓冲器。
位 6: 3	保留, 始终读为 0。
位 2	UEVRS: 更新请求源 (Update request source) 软件通过该位选择 UEV 事件的源 0: 如果使能了更新中断, 则下述任一事件产生更新中断: - 计数器溢出 - 设置 UEVG 位 1: 如果使能了更新中断, 则只有计数器溢出才产生更新中断。
位 1	UEVDIS: 禁止更新 (Update disable) 软件通过该位允许/禁止 UEV 事件的产生 0: 允许 UEV。更新 (UEV) 事件由下述任一事件产生: - 计数器溢出 - 设置 UEVG 位 1: 禁止 UEV。不产生更新事件, 影子寄存器 (AR、DIV、CCx) 保持它们的值。如果设置了 UEVG 位或从模式控制器发出了一个硬件复位, 则计数器和预分频器被重新初始化。
位 0	CNTEN: 使能计数器 0: 禁止计数器; 1: 使能计数器。 在单脉冲模式下, 当发生更新事件时, CNTEN 被自动清除。

9.2.5.2 DMA/中断使能寄存器 (TMRx_DIE)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
								保留													
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw						
位 15: 2		保留, 始终读为 0。																			
位 1		C1IE: 允许捕获/比较 1 中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较 1 中断; 1: 允许捕获/比较 1 中断。																			
位 0		UEVIE: 允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。																			

9.2.5.3 状态寄存器 (TMRx_STS)

偏移地址: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
								保留													
res		rw	rw	rw	rw	rw	res		rw	res	rw	rw	rw	rw	rw						
位 15: 10		保留, 始终读为 0。																			
位 9		C1OF: 捕获/比较 1 重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置'1'。写'0'可清除该位。 0: 无重复捕获产生; 1: 当计数器的值被捕获到 TMRx_CC1 寄存器时, C1IF 的状态已经为'1'。																			
位 8: 2		保留, 始终读为 0。																			
位 1		C1IF: 捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag) 如果通道 CC1 配置为输出模式: 当计数器值与比较值匹配时该位由硬件置'1', 由软件清'0'。 0: 无匹配发生; 1: TMRx_CNT 的值与 TMRx_CC1 的值匹配。当计数溢出时, C1F 只'1'。 如果通道 CC1 配置为输入模式: 当捕获事件发生时该位由硬件置'1', 它由软件清'0'或通过读 TMRx_CC1 清'0'。 0: 无输入捕获产生; 1: 计数器值已被捕获(拷贝)至 TMRx_CC1 (在 IC1 上检测到与所选极性相同的边沿)。																			
位 0		UEVIF: 更新中断标记 (Update interrupt flag) 当产生更新事件时该位由硬件置'1'。它由软件清'0'。 0: 无更新事件产生; 1: 更新中断等待响应。当寄存器被更新时该位由硬件置'1': - 若 TMRx_CTRL1 寄存器的 UEVDIS=0、UEVRS=0, 当 TMRx_EVEG 寄存器的 UEVG=1 时产生更新事件 (软件对计数器 CNT 重新初始化); - 若 TMRx_CTRL1 寄存器的 UEVDIS=0, 计数器溢出。																			

9.2.5.4 事件产生寄存器 (TMRx_EVEG)

偏移地址: 0x14

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
								保留													
res		rw																			

		res	rW	rW
位 15: 2	保留, 始终读为 0。			
位 1	<p>C1G: 产生捕获/比较 1 事件 (Capture/compare 1 generation) 该位由软件置'1', 用于产生一个捕获/比较事件, 由硬件自动清'0'。 0: 无动作; 1: 在通道 CC1 上产生一个捕获/比较事件: 若通道 CC1 配置为输出: 设置 C1IF=1, 若开启对应的中断, 则产生相应的中断。 若通道 CC1 配置为输入: 当前的计数器值捕获至 TMRx_CC1 寄存器; 设置 C1IF=1, 若开启对应的中断, 则产生相应的中断。若 C1IF 已经为 1, 则设置 C1OF=1。</p>			
位 0	<p>UEVG: 产生更新事件 (Update generation) 该位由软件置'1', 由硬件自动清'0'。 0: 无动作; 1: 重新初始化计数器, 并产生一个更新事件。注意预分频器的计数器也被清'0' (但是预分频系数不变)。计数器被清 '0' 。</p>			

9.2.5.5 捕获/比较模式寄存器1 (TMRx_CCM1)

偏移地址: 0x18

复位值: 0x0000

通道可用于输入 (捕获模式) 或输出 (比较模式), 通道的方向由相应的 CxSEL 定义。该寄存器其它位的作用在输入和输出模式下不同。OCx 描述了通道在输出模式下的功能, ICx 描述了通道在输出模式下的功能。因此必须注意, 同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							OC1MODE[2: 0]	OC1PEN	OC1FEN	C1SEL[1: 0]					
res		rw		rw		rw		rw		rw		rw		rw	

位 15: 7	保留, 始终读为 0。
位 6: 4	<p>OC1MODE[2: 0]: 输出比较 1 模式 (Output compare 1 enable) 该 3 位定义了输出参考信号 OC1REF 的动作, 而 OC1REF 决定了 OC1 的值。OC1REF 是高电平有效, 而 OC1 的有效电平取决于 C1P 位。 000: 冻结。输出比较寄存器 TMRx_CC1 与计数器 TMRx_CNT 间的比较对 OC1REF 不起作用; 001: 匹配时设置通道 1 为有效电平。当计数器 TMRx_CNT 的值与捕获 / 比较寄存器 1 (TMRx_CC1) 相同时, 强制 OC1REF 为高。 010: 匹配时设置通道 1 为无效电平。当计数器 TMRx_CNT 的值与捕获 / 比较寄存器 1 (TMRx_CC1) 相同时, 强制 OC1REF 为低。 011: 翻转。当 TMRx_CC1=TMRx_CNT 时, 翻转 OC1REF 的电平。 100: 强制为无效电平。强制 OC1REF 为低。 101: 强制为有效电平。强制 OC1REF 为高。 110: PWM 模式 1—一旦 TMRx_CNT<TMRx_CC1 时通道 1 为有效电平, 否则为无效电平; 111: PWM 模式 2—一旦 TMRx_CNT<TMRx_CC1 时通道 1 为无效电平, 否则为有效电平; 注: 在 PWM 模式 1 或 PWM 模式 2 中, 只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时, OC1REF 电平才改变。</p>

位 3	<p>OC1PEN: 输出比较 1 预装载使能 (Output compare 1 preload enable) 0: 禁止 TMRx_CC1 寄存器的预装载功能, 可随时写入 TMRx_CC1 寄存器, 并且新写入的数值立即起作用。 1: 开启 TMRx_CC1 寄存器的预装载功能, 读写操作仅对预装载寄存器操作, TMRx_CC1 的预装载值在更新事件到来时被传送至当前寄存器中。 注: 仅在单脉冲模式下 (TMRx_CTRL1 寄存器的 OPMODE='1'), 可以在未确认预装载寄存器情况下使用 PWM 模式, 否则其动作不确定。</p>
位 2	<p>OC1FEN: 输出比较 1 快速使能 (Output compare 1 fast enable) 该位用于加快 CC 输出对触发器输入事件的响应。 0: 根据计数器与 CC1 的值, CC1 正常操作, 即使触发器是打开的。当触发器的输入出现一个有效沿时, 激活 CC1 输出的最小延时为 5 个时钟周期。 1: 输入到触发器的有效沿的作用就像发生了一次比较匹配。因此, OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。 该位只在通道被配置成 PWM1 或 PWM2 模式时起作用。</p>
位 1: 0	<p>C1SEL[1: 0]: 捕获/比较 1 选择 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出; 01: CC1 通道被配置为输入, IC1 映射在 TI1 上; 10: 保留; 11: 保留。 注: C1SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C1EN='0') 才是可写的。</p>

输入捕获模式:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						IC1DF[3: 0]			IC1DIV [1: 0]		C1SEL [1: 0]				
res		rw		rw		rw		rw		rw		rw		rw	

位 15: 8	保留, 始终读为 0。																
位 7: 4	<p>IC1DF[3: 0]: 输入捕获 1 滤波器 (Input capture 1 filter) 这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变:</p> <table> <tbody> <tr><td>0000: 无滤波器, 以 f_{DTS} 采样</td><td>1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=6</td></tr> <tr><td>0001: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=2</td><td>1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=8</td></tr> <tr><td>0010: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=4</td><td>1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=5</td></tr> <tr><td>0011: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=8</td><td>1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=6</td></tr> <tr><td>0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=6</td><td>1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=8</td></tr> <tr><td>0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=8</td><td>1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=5</td></tr> <tr><td>0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=6</td><td>1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=6</td></tr> <tr><td>0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=8</td><td>1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=8</td></tr> </tbody> </table>	0000: 无滤波器, 以 f_{DTS} 采样	1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=6	0001: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=2	1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=8	0010: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=4	1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=5	0011: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=8	1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=6	0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=6	1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=8	0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=8	1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=5	0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=6	1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=6	0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=8	1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=8
0000: 无滤波器, 以 f_{DTS} 采样	1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=6																
0001: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=2	1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8$, N=8																
0010: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=4	1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=5																
0011: 采样频率 $f_{SAMPLING}=f_{CK_INT}$, N=8	1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=6																
0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=6	1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$, N=8																
0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$, N=8	1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=5																
0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=6	1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=6																
0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$, N=8	1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$, N=8																
位 3: 2	<p>IC1DIV[1: 0]: 输入/捕获 1 预分频器 (Input capture 1 prescaler) 这 2 位定义了 CC1 输入 (IC1) 的预分频系数。 一旦 C1EN='0' (TMRx_CCE 寄存器中), 则预分频器复位。</p> <table> <tbody> <tr><td>00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获;</td></tr> <tr><td>01: 每 2 个事件触发一次捕获;</td></tr> <tr><td>10: 每 4 个事件触发一次捕获;</td></tr> <tr><td>11: 每 8 个事件触发一次捕获。</td></tr> </tbody> </table>	00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获;	01: 每 2 个事件触发一次捕获;	10: 每 4 个事件触发一次捕获;	11: 每 8 个事件触发一次捕获。												
00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获;																	
01: 每 2 个事件触发一次捕获;																	
10: 每 4 个事件触发一次捕获;																	
11: 每 8 个事件触发一次捕获。																	

位 1: 0	C1SEL[1: 0]: 捕获/比较 1 选择 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出)，及输入脚的选择： 00: CC1 通道被配置为输出； 01: CC1 通道被配置为输入，IC1 映射在 TI1 上； 10: 保留； 11: 保留。 <small>注: C1SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C1EN='0') 才是可写的。</small>
--------	--

9.2.5.6 捕获/比较使能寄存器 (TMRx_CCE)

偏移地址: 0x20

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
保留												CC1 NP	保留	C1P	C1E N	
												res	rw	res	rw	rw

位 15: 4	保留, 始终读为 0。
位 3	C1NP: 输入/捕获 1 互补输出极性 (Capture/Compare 1 complementary output polarity) CC1 通道配置为输出: C1NP 必须保持清除。 CC1 通道配置为输入: C1NP 结合 C1P 定义 TI1FP1 极性 (参考 C1P 描述)
位 3	保留, 始终读为 0。
位 1	C1P: 输入/捕获 1 输出极性 (Capture/Compare 1 output polarity) CC1 通道配置为输出: 0: OC1 高电平有效 1: OC1 低电平有效 CC1 通道配置为输入: CC1NP/CC1P 位选择 TI1FP1 的极性信号作为触发或捕获信号。 00: 不反相/上升沿。电路对 TI1FP1 上升沿敏感 (捕获模式), TI1FP1 不反相。 01: 反相/下降沿。电路对 TI1FP1 下降沿敏感 (捕获模式), TI1FP1 反相。 10: 保留。 11: 不反相/双沿。电路同时对 TI1FP1 上升沿和下降沿敏感 (捕获模式), TI1FP1 是不反相。
位 0	C1EN: 输入/捕获 1 输出使能 (Capture/Compare 1 output enable) CC1 通道配置为输出: 0: 关闭 - OC1 禁止输出。 1: 开启 - OC1 信号输出到对应的输出引脚。 CC1 通道配置为输入: 该位决定了计数器的值是否能捕获入 TMRx_CC1 寄存器。 0: 捕获禁止。 1: 捕获使能。

表 10-9 标准 OCx 通道的输出控制位

CxEN 位	OCx 输出状态
0	禁止输出 (OCx=0, OCx_EN=0)
1	OCx = OCxREF + 极性, OCx_EN=1

注意: 连接到标准 OCx 通道的外部 I/O 引脚状态, 取决于 OCx 通道状态和 GPIO 以及 AFIO 寄存器。

9.2.5.7 计数器 (TMRx_CNT)

偏移地址: 0x24

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15: 0]															
rw rw															

位 15: 0 CNT[15: 0]: 计数器的值 (Counter value)

9.2.5.8 预分频器 (TMRx_DIV)

偏移地址: 0x28

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV[15: 0]															
rw rw															

位 15: 0 DIV[15: 0]: 预分频器的值 (Prescaler value)
计数器的时钟频率 CK_CNT 等于 $f_{CK_DIV} / (DIV[15: 0] + 1)$ 。
DIV 包含了当更新事件产生时装入当前预分频器寄存器的值。

9.2.5.9 自动重装载寄存器 (TMRx_AR)

偏移地址: 0x2C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AR[15: 0]															
rw rw															

位 15: 0 AR[15: 0]: 自动重装载的值 (Auto reload value)
AR 包含了将要传送至实际的自动重装载寄存器的数值。

9.2.5.10 捕获/比较寄存器1 (TMRx_CC1)

偏移地址: 0x34

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC1[15: 0]															
rw rw															

位 15: 0 CC1[15: 0]: 捕获/比较 1 的值 (Capture/Compare 1 value)
若 CC1 通道配置为输出:
CC1 包含了装入当前捕获/比较 1 寄存器的值 (预装载值)。
如果在 TMRx_CCM1 寄存器 (OC1PEN 位) 中未选择预装载特性, 写入的数值会被立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较寄存器 1 中。
当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较, 并在 OC1 端口上产生输出信号。
若 CC1 通道配置为输入:
CC1 包含了由上一次输入捕获 1 事件 (IC1) 传输的计数器值。

9.3 高级控制定时器 (TMR1)

9.3.1 TMR1简介

高级控制定时器 (TMR1) 由一个 16 位的自动装载计数器组成，它由一个可编程的预分频器驱动。

它适合多种用途，包含测量输入信号的脉冲宽度 (输入捕获)，或者产生输出波形 (输出比较、PWM、嵌入死区时间的互补 PWM 等)。

使用定时器预分频器和 RCC 时钟控制预分频器，可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。

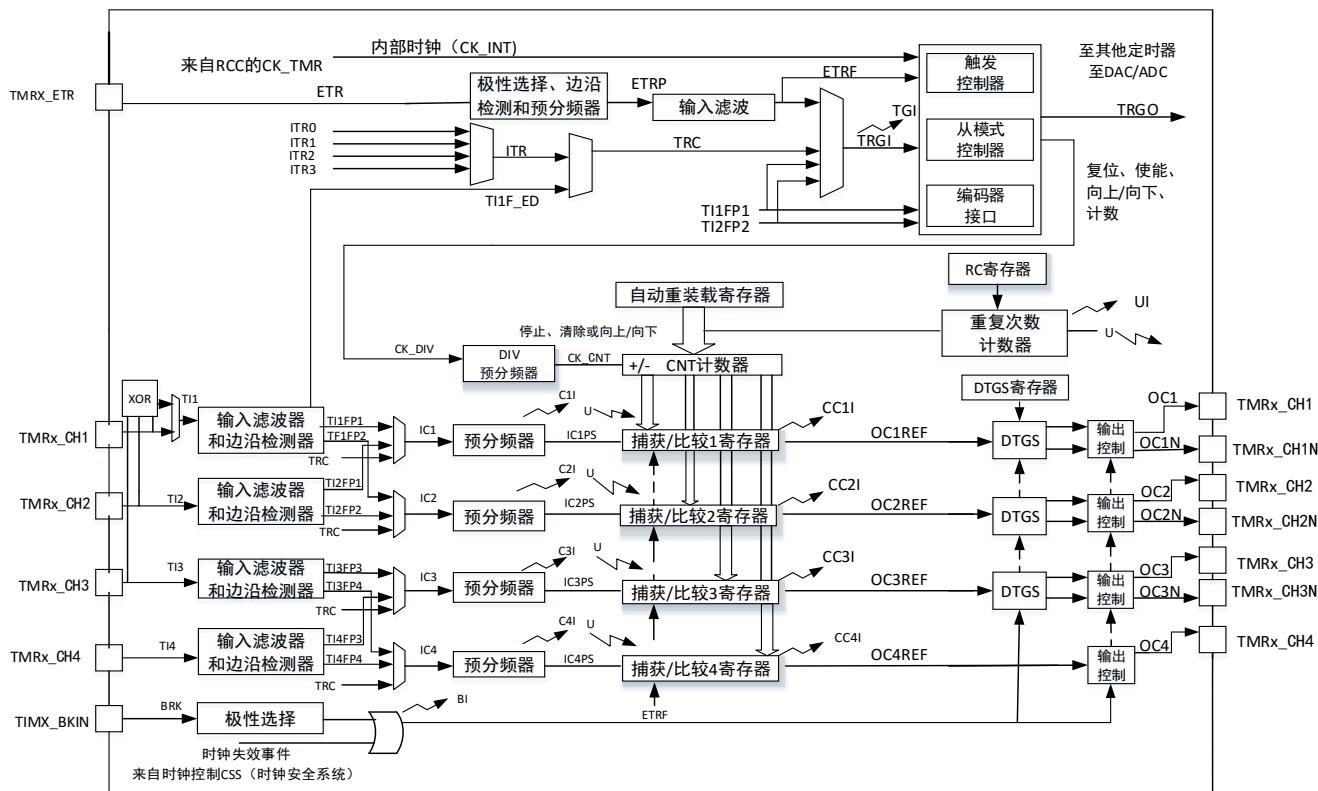
高级控制定时器 (TMR1) 和通用定时器 (TMRx) 是完全独立的，它们不共享任何资源。它们可以同步操作，具体描述参看 [10.4.3.20 节](#)。

9.3.2 TMR1主要特性

TMR1 定时器的功能包括：

- 16位向上、向下、向上/下自动装载计数器
- 16位可编程（可以实时修改）预分频器，计数器时钟频率的分频系数为1~65536之间的任意数值
- 多达4个独立通道：
 - 输入捕获
 - 输出比较
 - PWM生成（边缘或中间对齐模式）
 - 单脉冲模式输出
- 死区时间可编程的互补输出
- 使用外部信号控制定时器和定时器互联的同步电路
- 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器
- 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态
- 如下事件发生时产生中断/DMA：
 - 更新：计数器向上溢出/向下溢出，计数器初始化（通过软件或者内部/外部触发）
 - 触发事件（计数器启动、停止、初始化或者由内部/外部触发计数）
 - 输入捕获
 - 输出比较
 - 刹车信号输入
- 支持针对定位的增量（正交）编码器和霍尔传感器电路
- 触发输入作为外部时钟或者按周期的电流管理

图 10-70 高级控制定时器框图



注意: 根据控制位的设定, 在 U (更新) 事件时传送预加载寄存器的内容至工作寄存器

事件

中断和 DMA 输出

9.3.3 TMR1 功能描述

9.3.3.1 时基单元

可编程高级控制定时器的主要部分是一个 16 位计数器和与其相关的自动装载寄存器。这个计数器可以向上计数、向下计数或者向上向下双向计数。此计数器时钟由预分频器分频得到。

计数器、自动装载寄存器和预分频器寄存器可以由软件读写, 即使计数器还在运行读写仍然有效。

时基单元包含:

- 计数器寄存器 (**TMRx_CNT**)
- 预分频器寄存器 (**TMRx_DIV**)
- 自动装载寄存器 (**TMRx_AR**)
- 重复次数寄存器 (**TMRx_RC**)

自动装载寄存器是预先装载的, 写或读自动装载寄存器将访问预装载寄存器。根据在 **TMRx_CTRL1** 寄存器中的自动装载预装载使能位 (**ARPEN**) 的设置, 预装载寄存器的内容被立即或在每次的更新事件 **UEV** 时传送到影子寄存器。当计数器达到溢出条件 (向下计数时的下溢条件) 并且 **TMRx_CTRL1** 寄存器中的 **UEVDIS** 位等于 0 时, 产生更新事件。更新事件也可以由软件产生。随后会详细描述每一种配置下更新事件的产生。

计数器由预分频器的时钟输出 **CK_CNT** 驱动, 仅当设置了计数器 **TMRx_CTRL1** 寄存器中的计数器使能位 (**CNTEN**) 时, **CK_CNT** 才有效。(更多有关使能计数器的细节, 请参见控制器的从模式描述)。

注意, 在设置了 **TMRx_CTRL** 寄存器的 **CNTEN** 位的一个时钟周期后, 计数器开始计数。

预分频器描述

预分频器可以将计数器的时钟频率按 1 到 65536 之间的任意值分频。它是基于一个 (在 **TMRx_DIV**

寄存器中的) 16 位寄存器控制的 16 位计数器。因为这个控制寄存器带有缓冲器, 它能够在运行时被改变。新的预分频器的参数在下一次更新事件到来时被采用。

[图 10-81](#) 和 [图 10-82](#) 给出了在预分频器运行时, 更改计数器参数的例子。

图 10-71 当预分频器的参数从 1 变到 2 时, 计数器的时序图

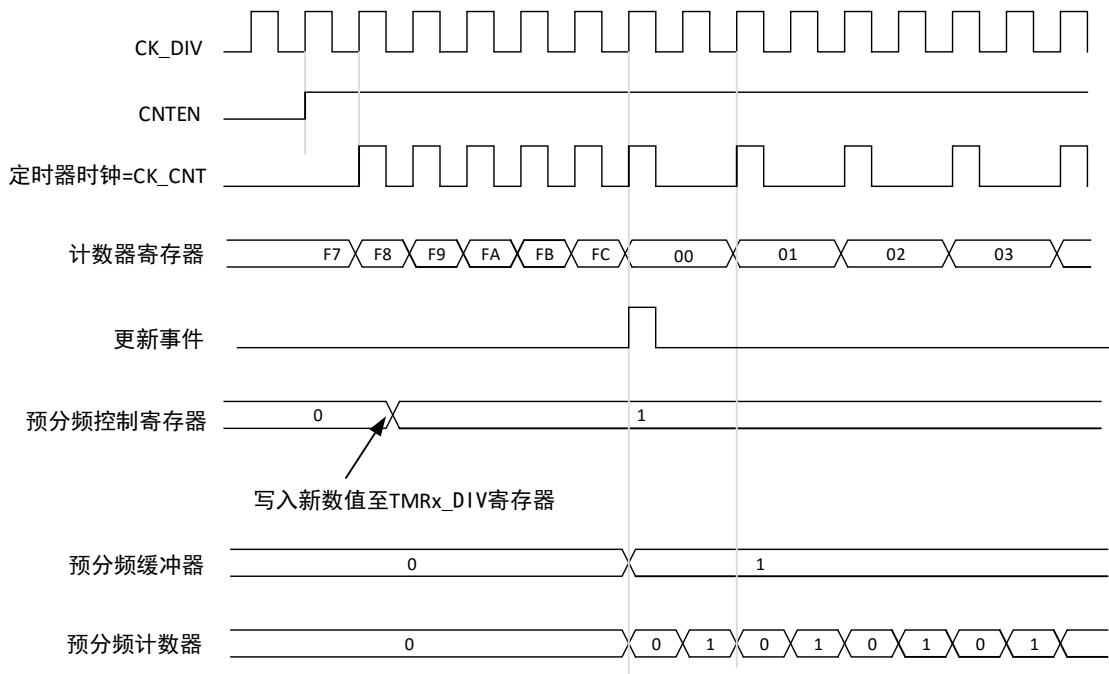
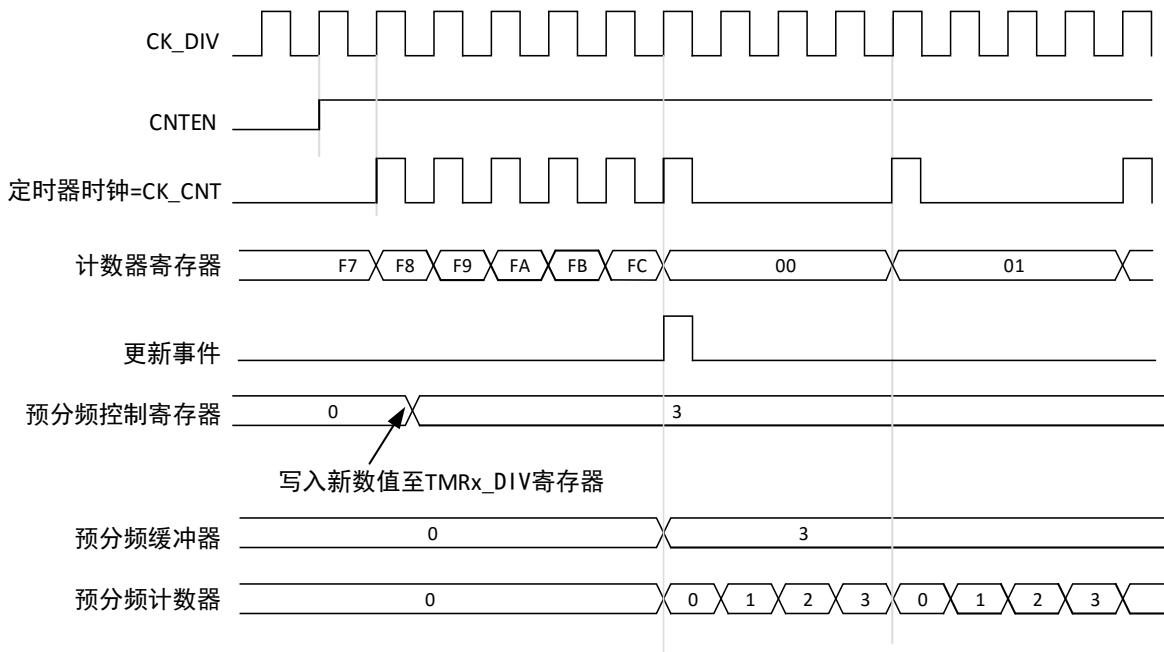


图 10-72 当预分频器的参数从 1 变到 4 时, 计数器的时序图



9.3.3.2 计数器模式

向上计数模式

在向上计数模式中, 计数器从 0 计数到自动加载值 (TMRx_AR 计数器的内容), 然后重新从 0 开始计数并且产生一个计数器溢出事件。

如果使用了重复计数器功能, 在向上计数达到设置的重复计数次数 (TMRx_RC) 时, 产生更新事件 (UEV); 否则每次计数器溢出时才产生更新事件。

在 TMRx_EVEG 寄存器中 (通过软件方式或者使用从模式控制器) 设置 UEVG 位也同样可以产生一

个更新事件。

设置 **TMRx_CTRL1** 寄存器中的 **UEVDIS** 位，可以禁止更新事件；这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。在 **UEVDIS** 位被清‘0’之前，将不产生更新事件。但是在应该产生更新事件时，计数器仍会被清‘0’，同时预分频器的计数也被清 0（但预分频器的数值不变）。此外，如果设置了 **TMRx_CTRL1** 寄存器中的 **UVERS** 位（选择更新请求），设置 **UEVG** 位将产生一个更新事件 **UEV**，但硬件不设置 **UEVIF** 标志（即不产生中断或 DMA 请求）。这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

当发生一个更新事件时，所有的寄存器都被更新，硬件同时（依据 **UVERS** 位）设置更新标志位（**TMRx_STS** 寄存器中的 **UEVIF** 位）。

- 重复计数器被重新加载为 **TMRx_RC** 寄存器的内容。
- 自动装载影子寄存器被重新置入预装载寄存器的值（**TMRx_AR**）。
- 预分频器的缓冲区被置入预装载寄存器的值（**TMRx_DIV** 寄存器的内容）。

下图给出一些例子，当 **TMRx_AR=0x36** 时计数器在不同时钟频率下的动作。

图 10-73 计数器时序图，内部时钟分频因子为 1

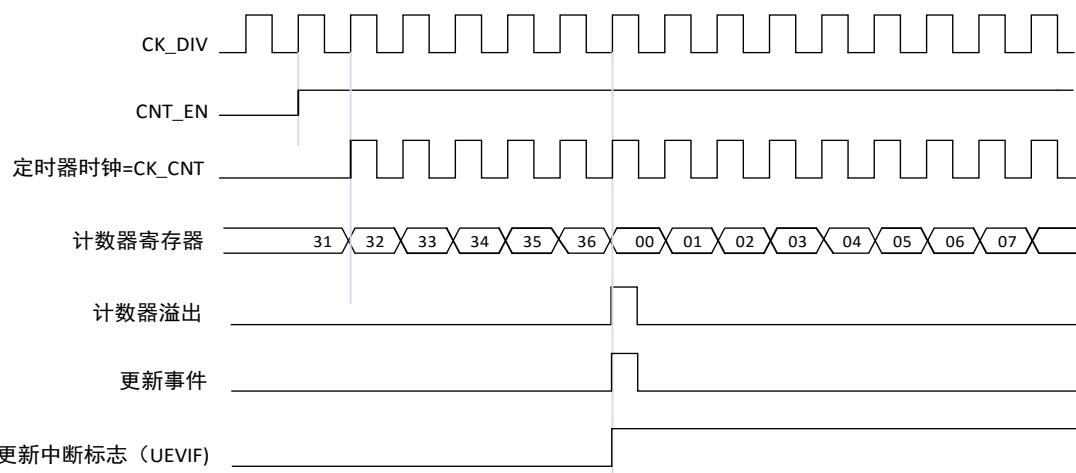


图 10-74 计数器时序图，内部时钟分频因子为 2

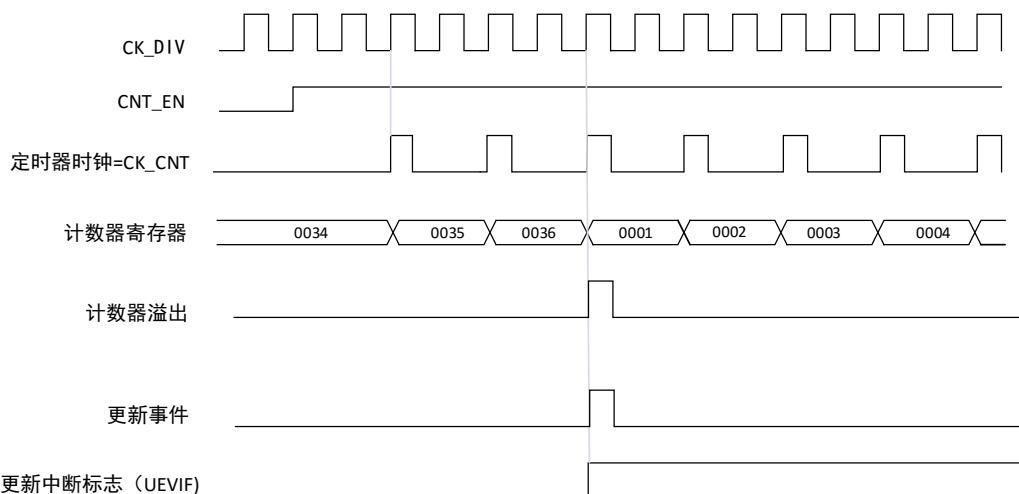


图 10-75 计数器时序图，内部时钟分频因子为 4

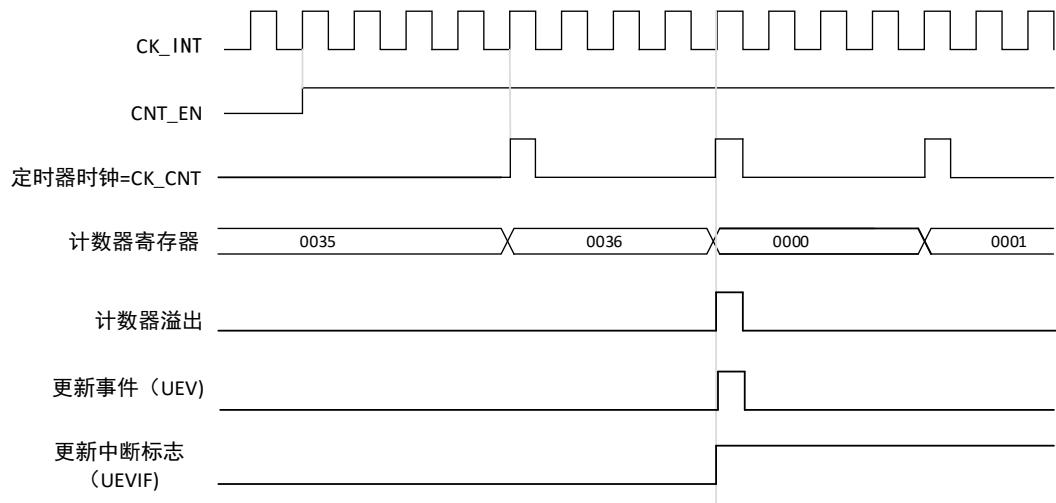


图 10-76 计数器时序图，内部时钟分频因子为 N

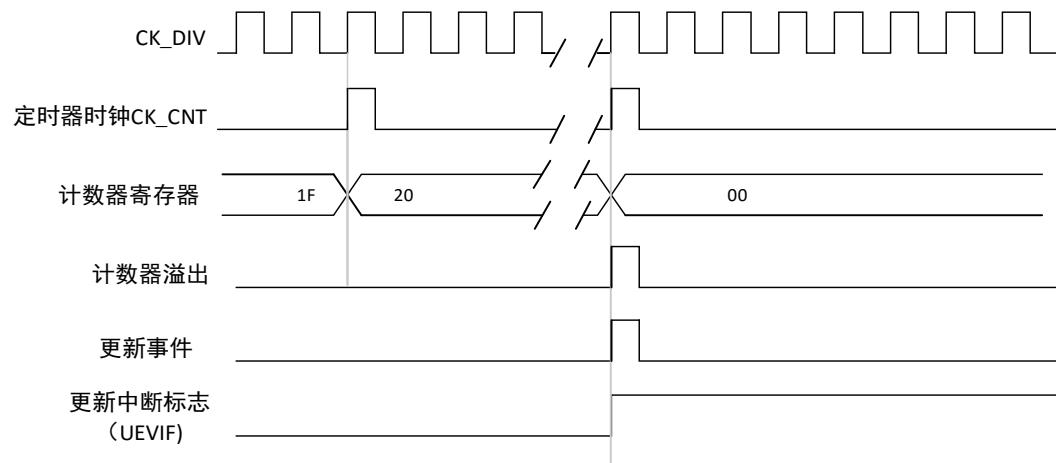


图 10-77 计数器时序图，当 ARPEN=0 时的更新事件 (TMRx_AR 没有预装入)

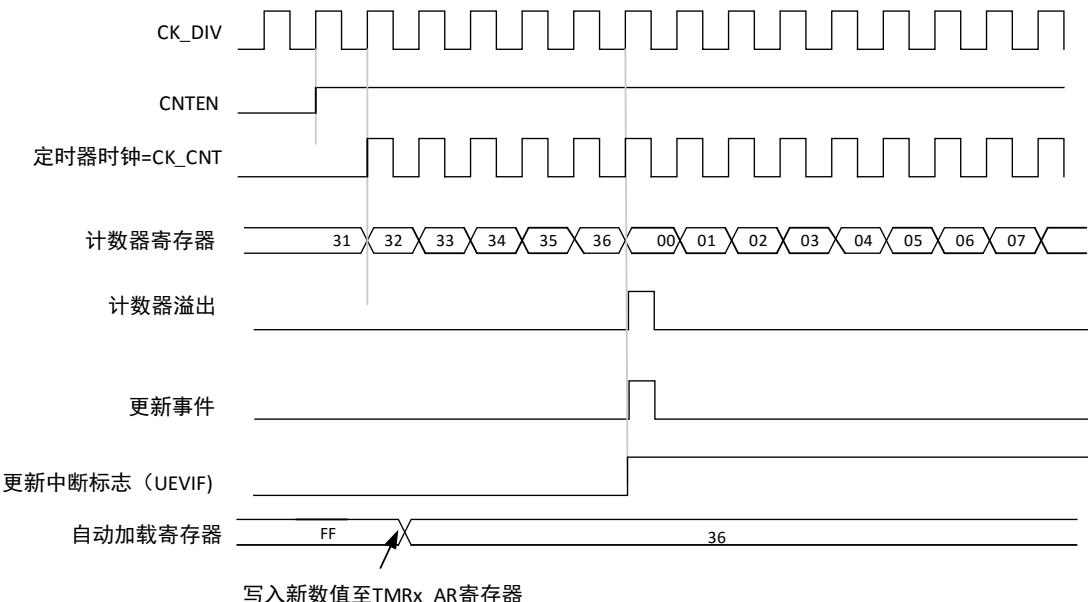
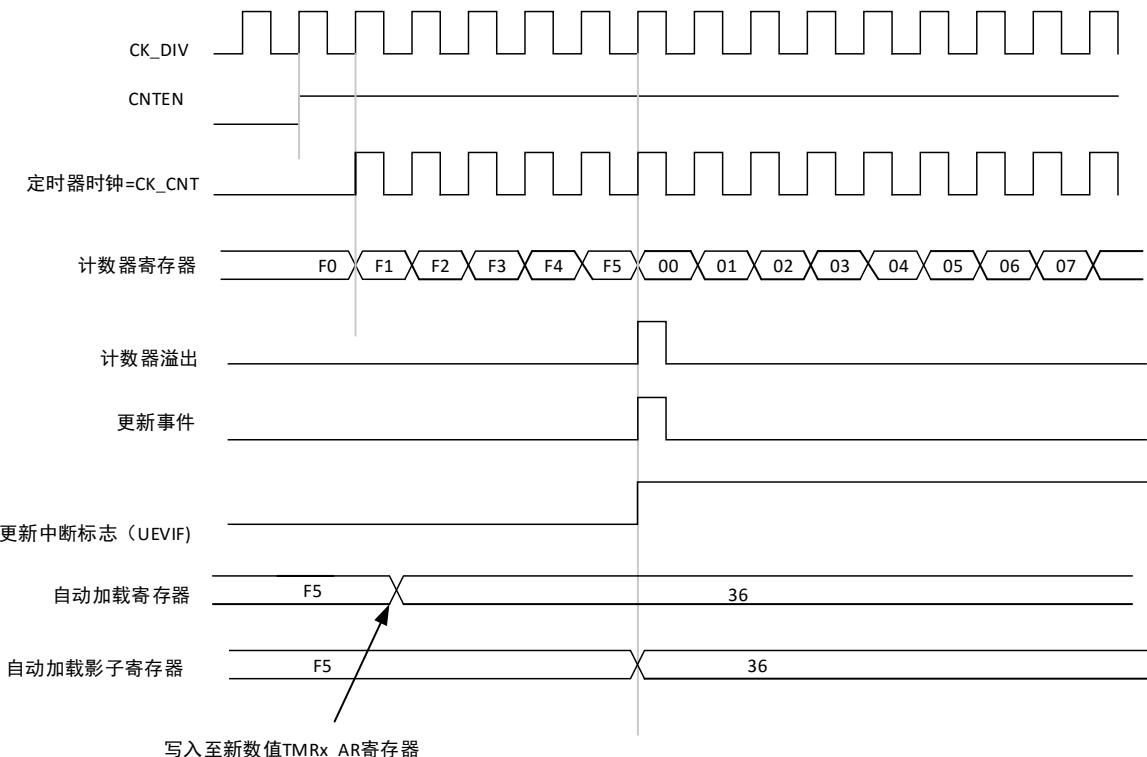


图 10-78 计数器时序图，当 ARPEN=1 时的更新事件 (预装入了 TMRx_AR)



向下计数模式

在向下模式中，计数器从自动装入的值（**TMRx_AR** 计数器的值）开始向下计数到 0，然后从自动装入的值重新开始并且产生一个计数器向下溢出事件。

如果使用了重复计数器，当向下计数重复了重复计数寄存器（**TMRx_RC**）中设定的次数后，将产生更新事件（UEV），否则每次计数器下溢时才产生更新事件。

在 **TMRx_EVEG** 寄存器中（通过软件方式或者使用从模式控制器）设置 **UEVG** 位，也同样可以产生一个更新事件。

设置 **TMRx_CTRL1** 寄存器的 **UEVDIS** 位可以禁止 UEV 事件。这样可以避免向预装载寄存器中写入新值时更新影子寄存器。因此 **UEVDIS** 位被清为 0 之前不会产生更新事件。然而，计数器仍会从当前自动加载值重新开始计数，并且预分频器的计数器重新从 0 开始（但预分频系数不变）。此外，如果设置了 **TMRx_CTRL1** 寄存器中的 **UVERS** 位（选择更新请求），设置 **UEVG** 位将产生一个更新事件 UEV 但不设置 **UEVIF** 标志（因此不产生中断和 DMA 请求），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

当发生更新事件时，所有的寄存器都被更新，并且（根据 **UVERS** 位的设置）更新标志位（**TMRx_STS** 寄存器中的 **UEVIF** 位）也被设置。

- 重复计数器被重置为 **TMRx_RC** 寄存器中的内容
- 预分频器的缓存器被加载为预装载的值（**TMRx_DIV** 寄存器的值）。
- 当前的自动加载寄存器被更新为预装载值（**TMRx_AR** 寄存器中的内容）。

注意： 自动装载在计数器重载入之前被更新，因此下一个周期将是预期的值。

以下是一些当 **TMRx_AR=0x36** 时，计数器在不同时钟频率下的操作例子。

图 10-79 计数器时序图，内部时钟分频因子为 1

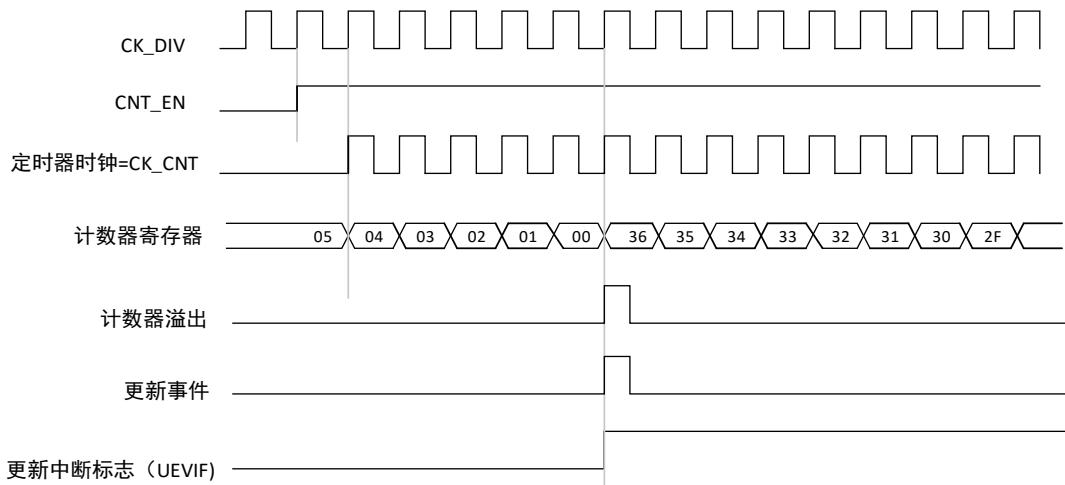


图 10-80 计数器时序图，内部时钟分频因子为 2

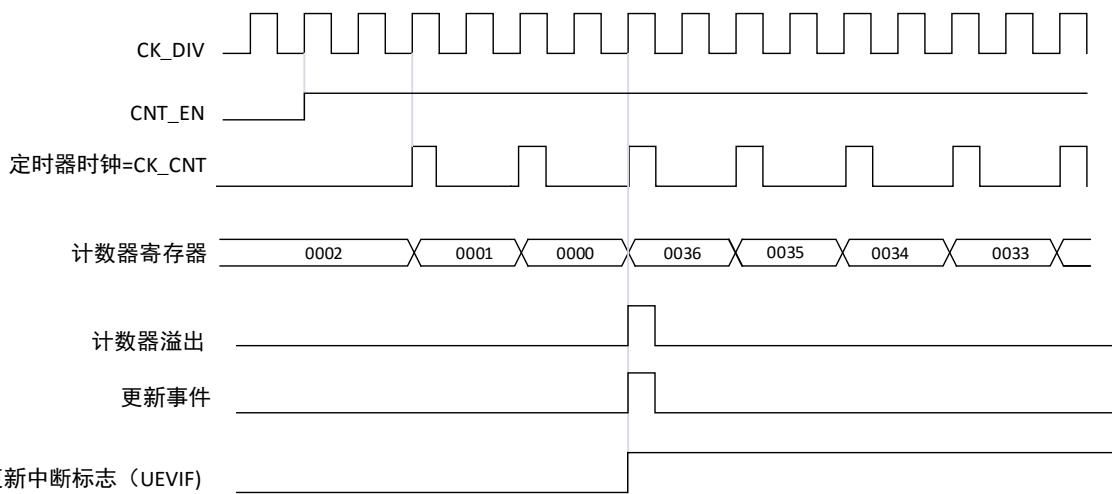


图 10-81 计数器时序图，内部时钟分频因子为 4

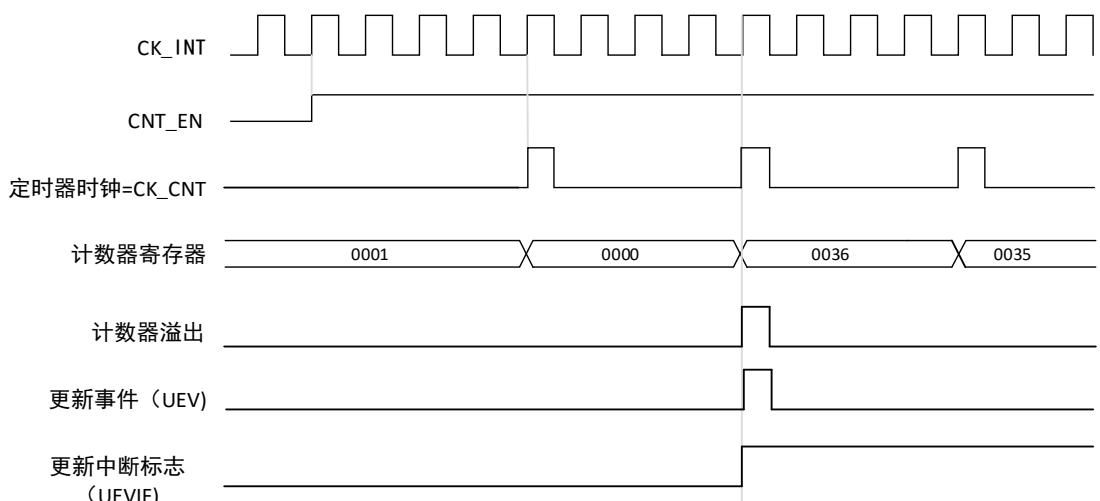


图 10-82 计数器时序图，内部时钟分频因子为 N

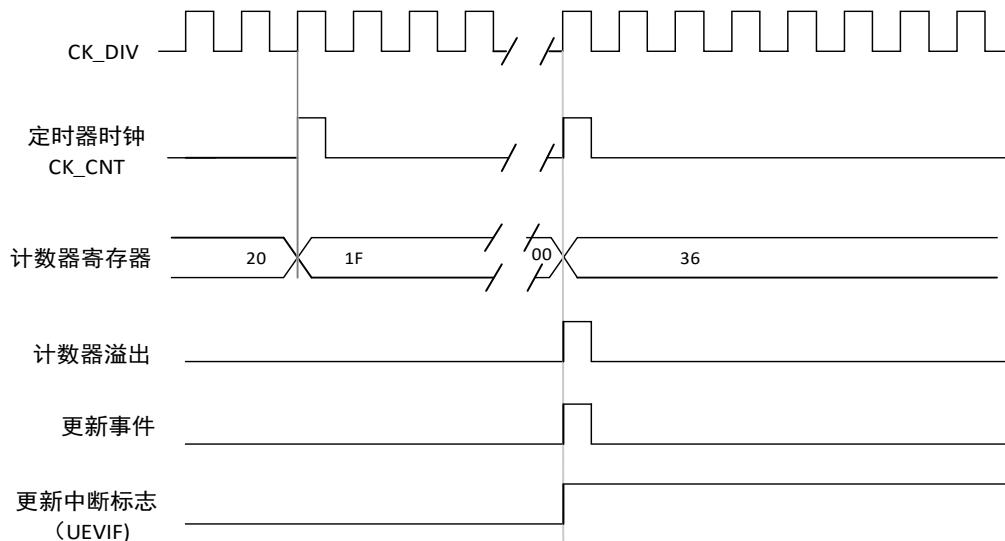
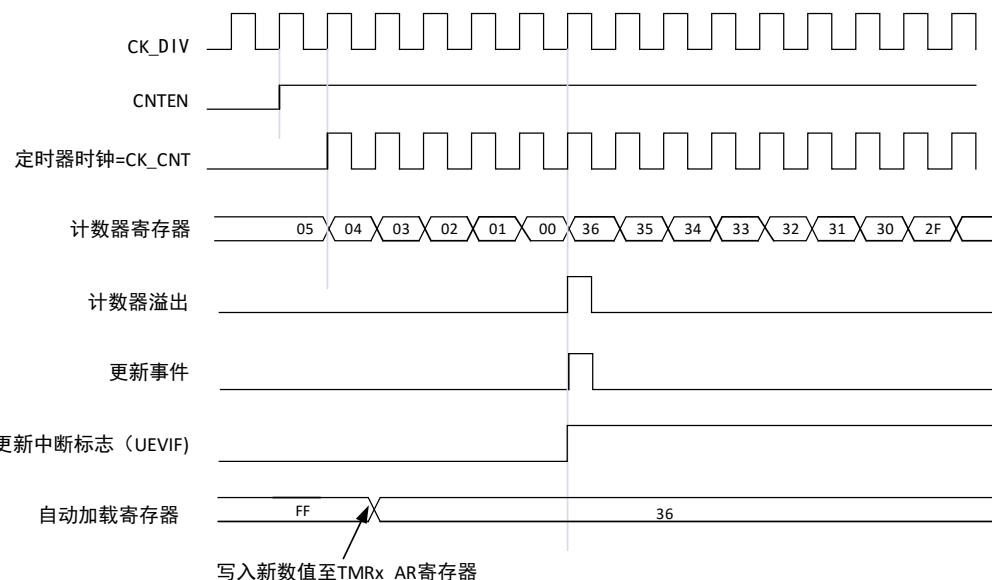


图 10-83 计数器时序图，当没有使用自动装载时的更新事件



中央对齐模式（向上/向下计数）

在中央对齐模式，计数器从 0 开始计数到自动加载的值 (**TMRx_AR** 寄存器) -1，产生一个计数器溢出事件，然后向下计数到 1 并且产生一个计数器下溢事件；然后再从 0 开始重新计数。

在此模式下，不能写入 **TMRx_CTRL1** 中的 **DIR** 方向位。它由硬件更新并指示当前的计数方向。

可以在每次计数上溢和每次计数下溢时产生更新事件；也可以通过（软件或者使用从模式控制器）设置 **TMRx_EVEG** 寄存器中的 **UEVG** 位产生更新事件。然后，计数器重新从 0 开始计数，预分频器也重新从 0 开始计数。

设置 **TMRx_CTRL1** 寄存器中的 **UEVDIS** 位可以禁止 **UEV** 事件。这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。因此 **UEVDIS** 位被清为 0 之前不会产生更新事件。然而，计数器仍会根据当前自动重加载的值，继续向上或向下计数。此外，如果设置了 **TMRx_CTRL1** 寄存器中的 **UVERS** 位（选择更新请求），设置 **UEVG** 位将产生一个更新事件 **UEV** 但不设置 **UEVIF** 标志（因此不产生中断和 DMA 请求），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

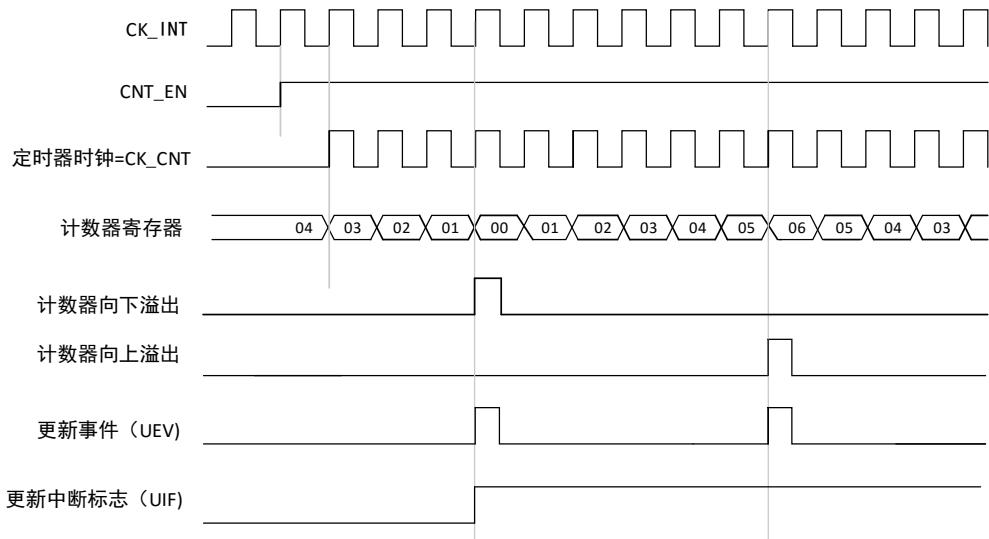
当发生更新事件时，所有的寄存器都被更新，并且（根据 **UVERS** 位的设置）更新标志位 (**TMRx_STS** 寄存器中的 **UEVIF** 位) 也被设置。

- 重复计数器被重置为 **TMRx_RC** 寄存器中的内容
- 预分频器的缓存器被加载为预装载 (**TMRx_DIV** 寄存器) 的值。
- 当前的自动加载寄存器被更新为预装载值 (**TMRx_AR** 寄存器中的内容)。

注意：如果因为计数器溢出而产生更新，自动重装载将在计数器重载入之前被更新，因此下一个周期将是预期的值（计数器被装载为新的值）。

以下是一些计数器在不同时钟频率下的操作的例子：

图 10-84 计数器时序图，内部时钟分频因子为 1，TMRx_AR=0x6



注意：这里使用了中心对齐模式 1（详见 [10.4.4.1 寄存器描述](#)）。

图 10-85 计数器时序图，内部时钟分频因子为 2

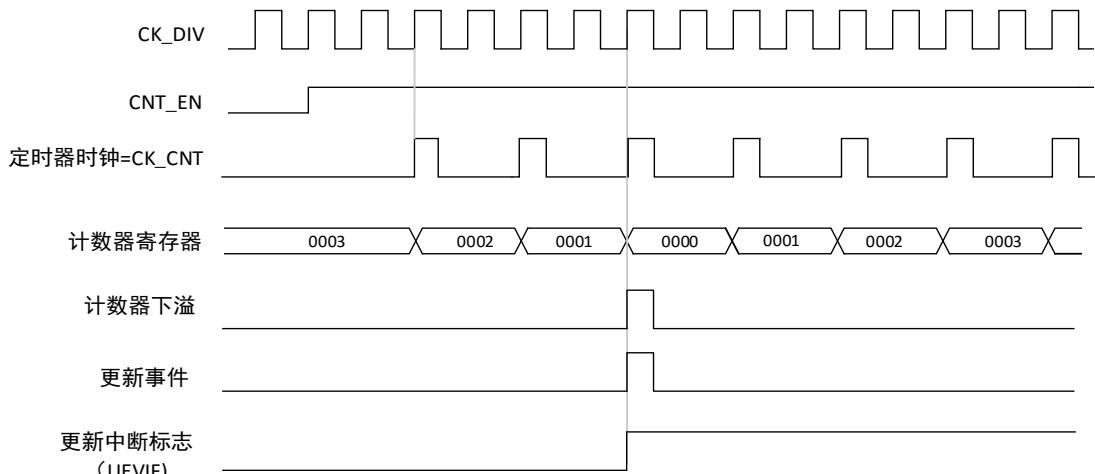
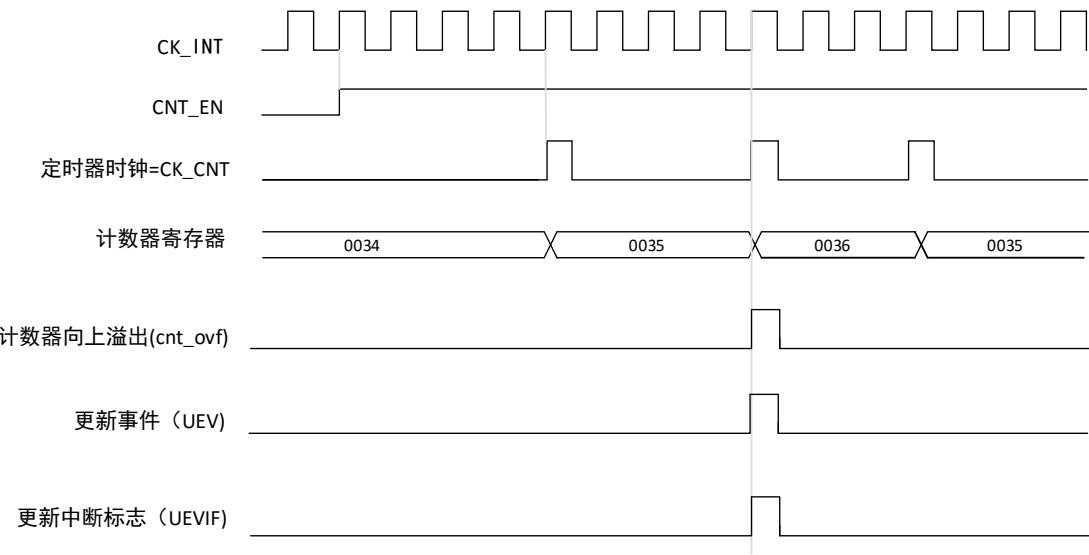


图 10-86 计数器时序图，内部时钟分频因子为 4，TMRx_AR=0x36



注：这里使用了中心对齐模式2或3，计数器溢出时设置UEVIF

图 10-87 计数器时序图，内部时钟分频因子为N

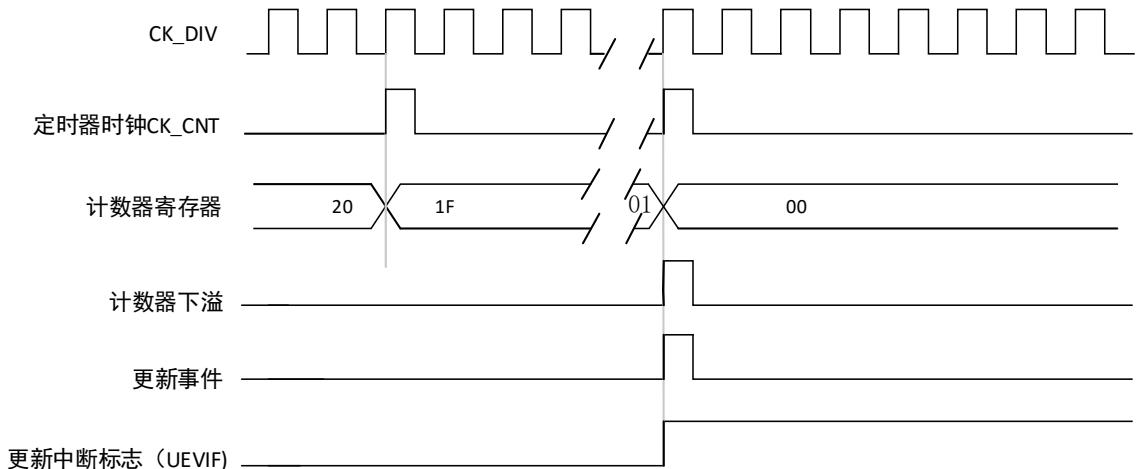


图 10-88 计数器时序图，ARPEN=1时的更新事件（计数器下溢）

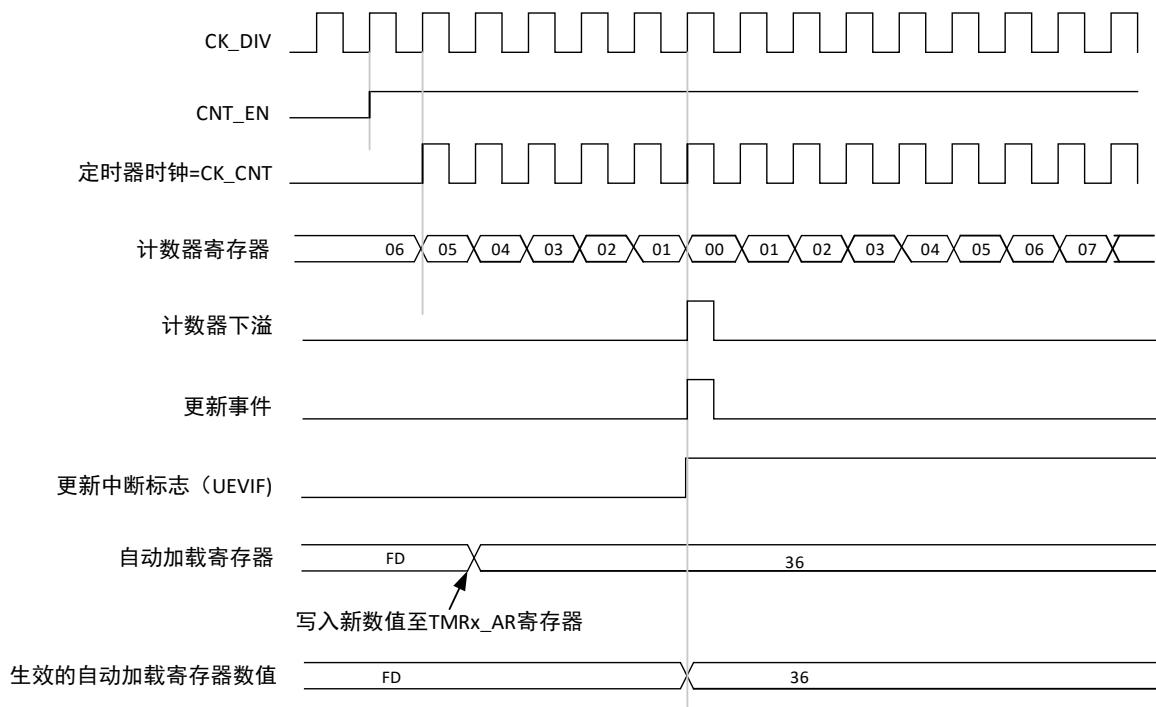
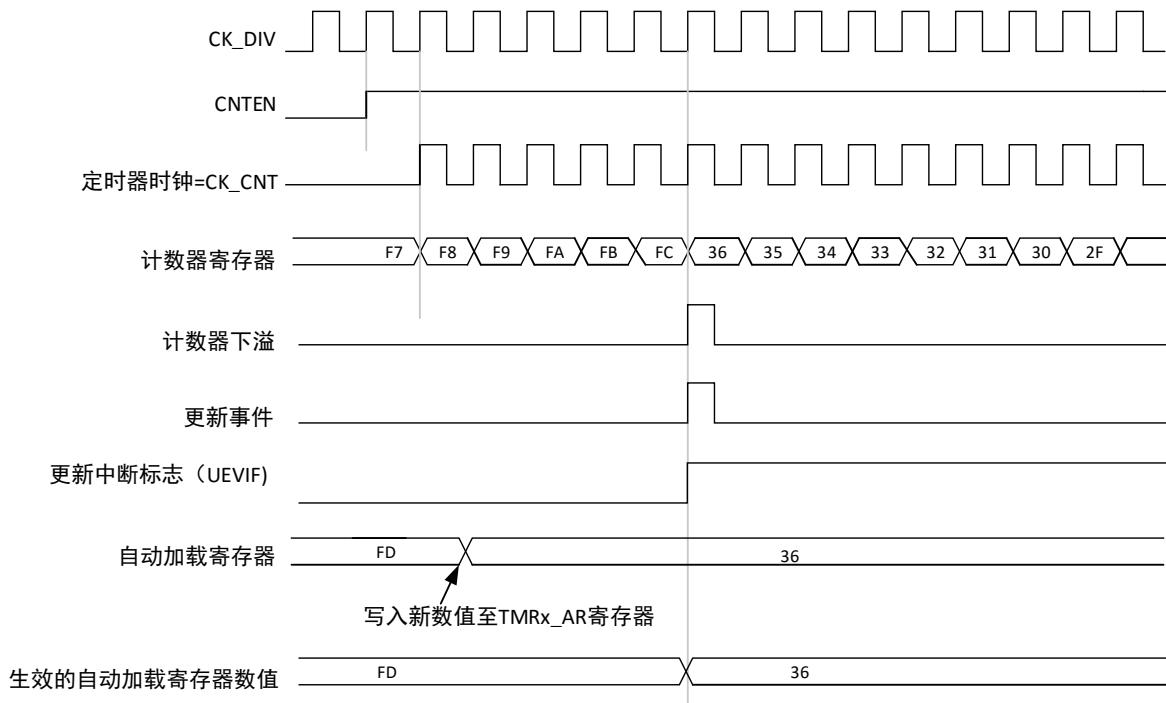


图 10-89 计数器时序图, ARDEN=1 时的更新事件 (计数器溢出)



9.3.3.3 重复计数器

[10.4.3.1 节](#)“时基单元”解释了计数器上溢/下溢时更新事件是如何产生的，然而事实上它只能在重复计数达到 0 的时候产生。这个特性对产生 PWM 信号非常有用。

这意味着在每 N 次计数上溢或下溢时，数据从预装载寄存器传输到影子寄存器 (TMRx_AR) 自动重载入寄存器，TMRx_DIV 预装载寄存器，还有在比较模式下的捕获/比较寄存 (TMRx_CCx)，N 是 TMRx_RC 重复计数寄存器中的值。

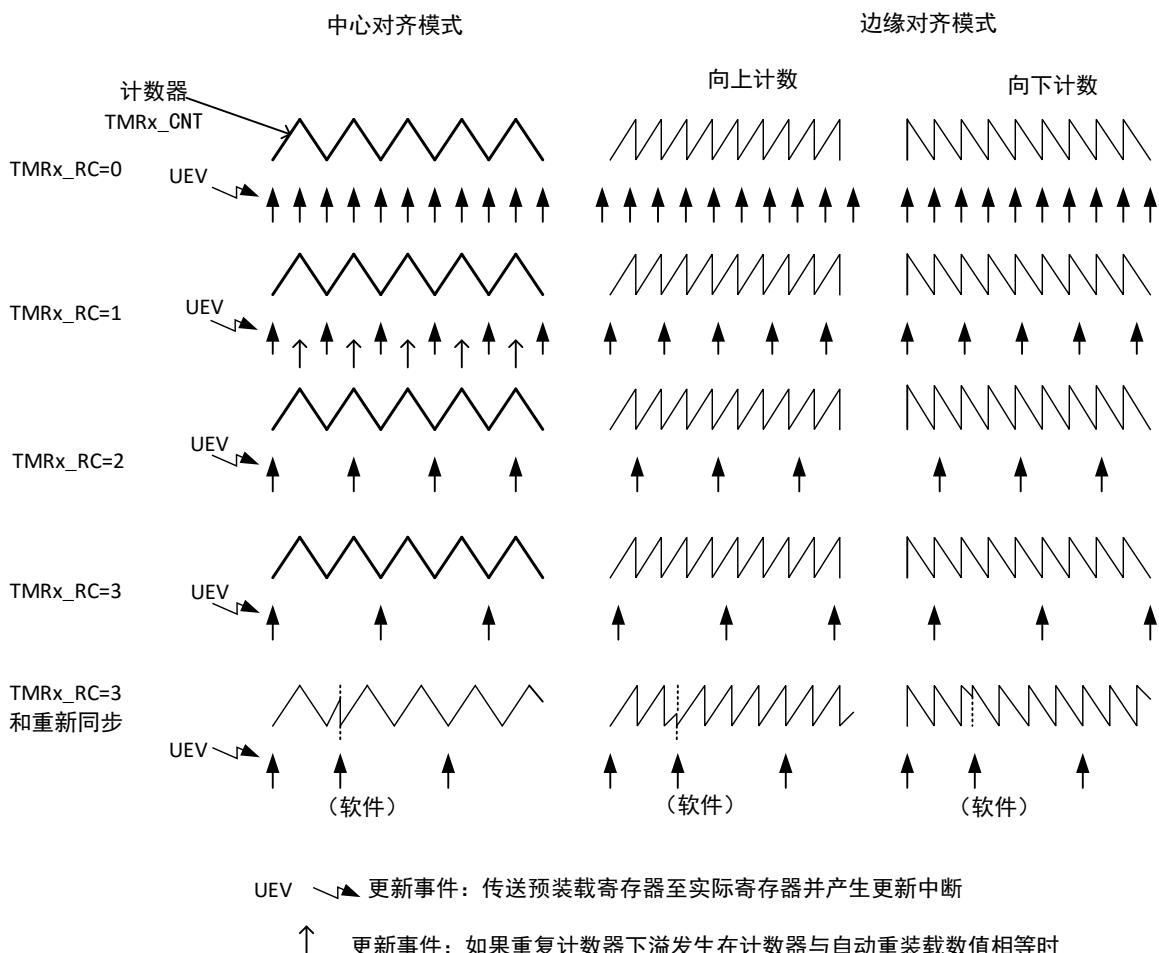
重复计数器在下述任一条件成立时递减：

- 向上计数模式下每次计数器溢出时
- 向下计数模式下每次计数器下溢时

- 中央对齐模式下每次上溢和每次下溢时。虽然这样限制了PWM的最大循环周期为128，但它能够在每个PWM周期2次更新占空比。在中央对齐模式下，因为波形是对称的，如果每个PWM周期中仅刷新一次比较寄存器，则最大的分辨率为 $2 \times T_{ck}$ 。

重复计数器是自动加载的，重复速率是由 **TMRx_RC** 寄存器的值定义（参看图 10-100）。当更新事件由软件产生（通过设置 **TMRx_EVEG** 中的 **UEVG** 位）或者通过硬件的从模式控制器产生，则无论重复计数器的值是多少，立即发生更新事件，并且 **TMRx_RC** 寄存器中的内容被重载入到重复计数器。

图 10-90 不同模式下更新速率的例子，及 **TMRx_RC** 的寄存器设置



9.3.3.4 时钟选择

计数器时钟可由下列时钟源提供：

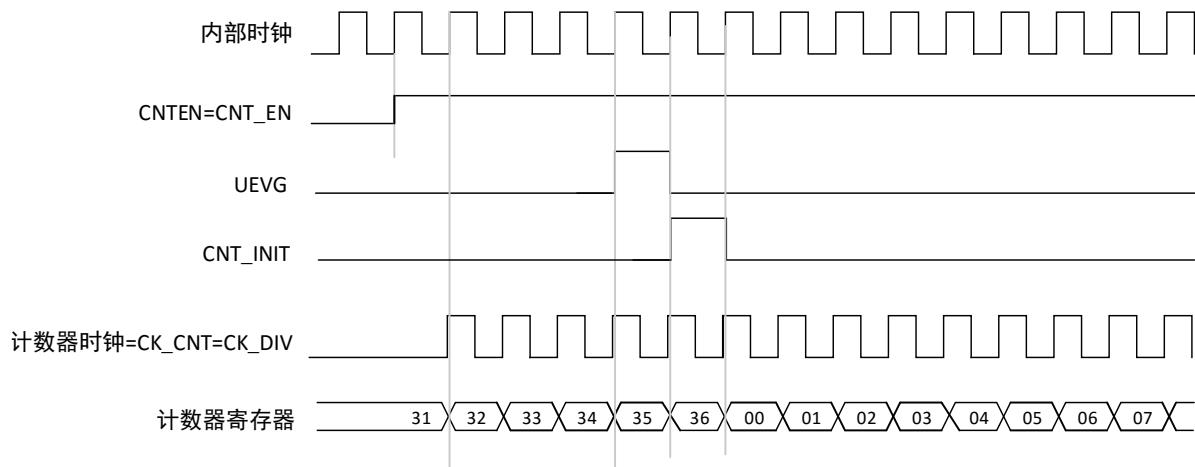
- 内部时钟 (**CK_INT**)
- 外部时钟模式1：外部输入引脚
- 外部时钟模式2：外部触发输入 **ETR**
- 内部触发输入 (**ITRx**)：使用一个定时器作为另一个定时器的预分频器。如可以配置一个定时器 Timer1 而作为另一个定时器 Timer2 的预分频器。详见 [10.4.3.20节](#)。

内部时钟源 (**CK_INT**)

如果禁止了从模式控制器 (**SMSEL=000**)，则 **CNTEN**、**DIR** (**TMRx_CTRL1** 寄存器) 和 **UEVG** 位 (**TMRx_EVEG** 寄存器) 是实际的控制位，并且只能被软件修改 (**UEVG** 位仍被自动清除)。只要 **CNTEN** 位被写成'1'，预分频器的时钟就由内部时钟 **CK_INT** 提供。

下图显示控制电路和向上计数器在一般模式下，不带预分频器时的操作。

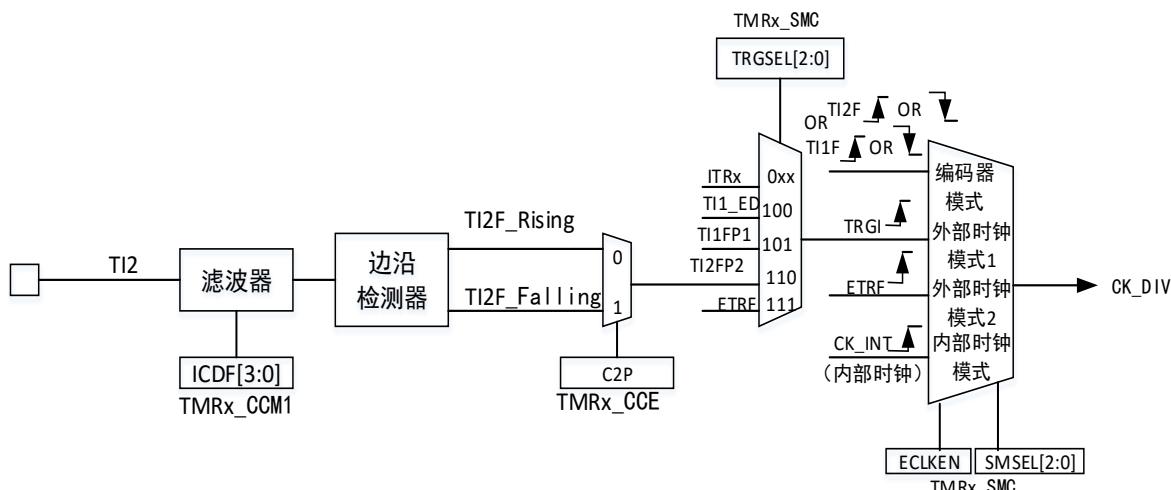
图 10-91 一般模式下的控制电路，内部时钟分频因子为 1



外部时钟源模式 1

当 TMRx_SMC 寄存器的 SMSEL=111 时，此模式被选中。计数器可以在选定输入端的每个上升沿或下降沿计数。

图 10-92 TI2 外部时钟连接例子



例如，要配置向上计数器在 TI2 输入端的上升沿计数，使用下列步骤：

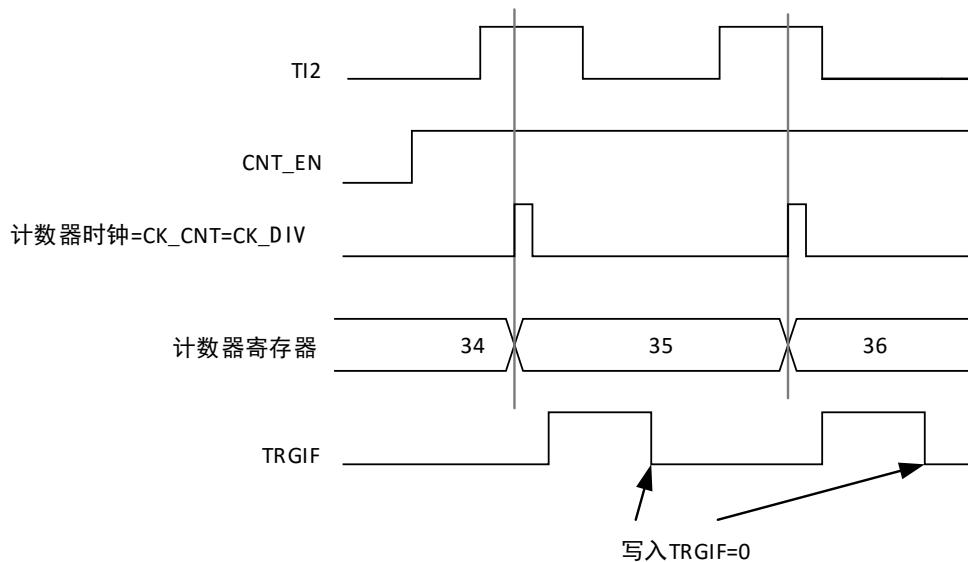
1. 配置 TMRx_CCM1 寄存器 C2SEL=01，配置通道 2 检测 TI2 输入的上升沿。
2. 配置 TMRx_CCM1 寄存器的 IC2DF[3: 0]，选择输入滤波器带宽（如果不需滤波器，保持 IC2DF = 0000）。
3. 配置 TMRx_CCE 寄存器的 C2P=0，选定上升沿极性。
4. 配置 TMRx_SMC 寄存器的 SMSEL=111，选择定时器外部时钟模式 1。
5. 配置 TMRx_SMC 寄存器中的 TRGSEL=110，选定 TI2 作为触发输入源。
6. 设置 TMRx_CTRL1 寄存器的 CNTEN=1，启动计数器。

注意：捕获预分频器不用作触发，所以不需要对它进行配置。

当上升沿出现在 TI2，计数器计数一次，且 TRGIF 标志被设置。

在 TI2 的上升沿和计数器实际时钟之间的延时，取决于在 TI2 输入端的重新同步电路。

图 10-93 外部时钟模式 1 下的控制电路



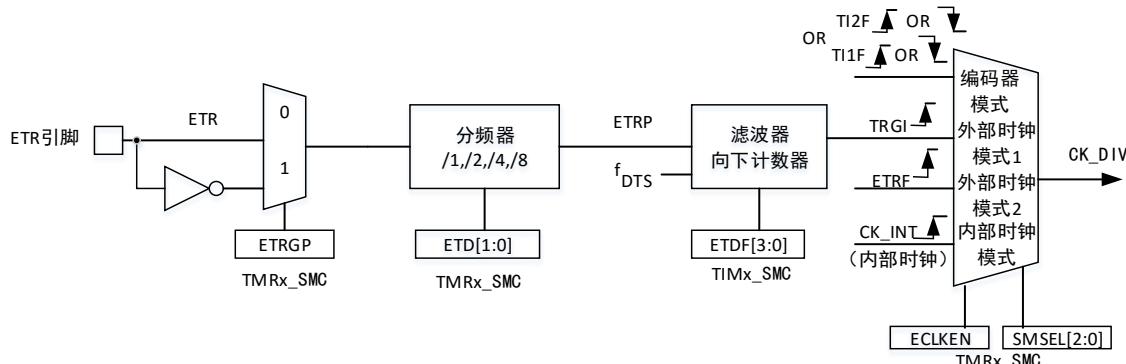
外部时钟源模式 2

选定此模式的方法为：令 TMRx_SMC 寄存器中的 ECLKEN=1。

计数器能够在外部触发 ETR 的每一个上升沿或下降沿计数。

下图是外部触发输入的框图：

图 10-94 外部触发输入框图



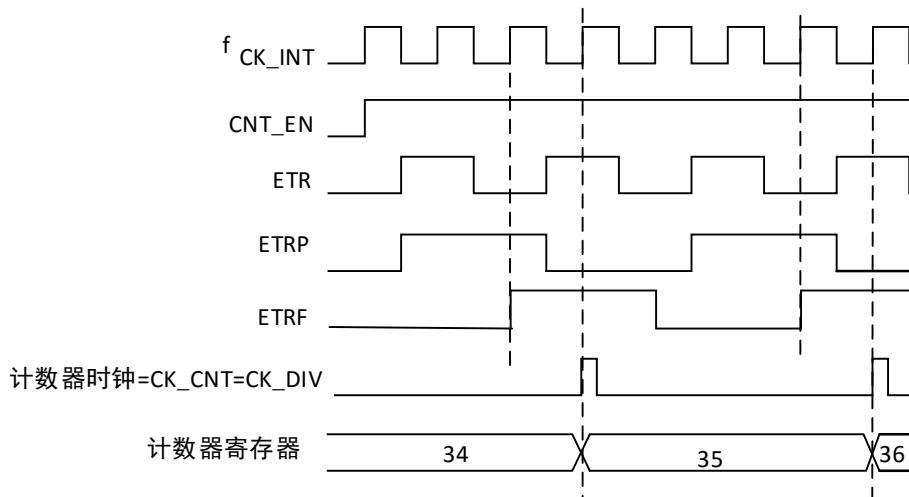
例如，要配置在 ETR 下每 2 个上升沿计数一次的向上计数器，使用下列步骤：

1. 本例中不需要滤波器，设置 TMRx_SMC 寄存器中的 ETDF[3: 0]=0000。
2. 设置预分频器，置 TMRx_SMC 寄存器中的 ETD[1: 0]=01。
3. 选择 ETR 的上升沿检测，置 TMRx_SMC 寄存器中的 ETRGP=0。
4. 开启外部时钟模式 2，写 TMRx_SMC 寄存器中的 ECLKEN=1。
5. 启动计数器，写 TMRx_CTRL1 寄存器中的 CNTEN=1。

计数器在每 2 个 ETR 上升沿计数一次。

在 ETR 的上升沿和计数器实际时钟之间的延时取决于在 ETRP 信号端的重新同步电路。

图 10-95 外部时钟模式2下的控制电路



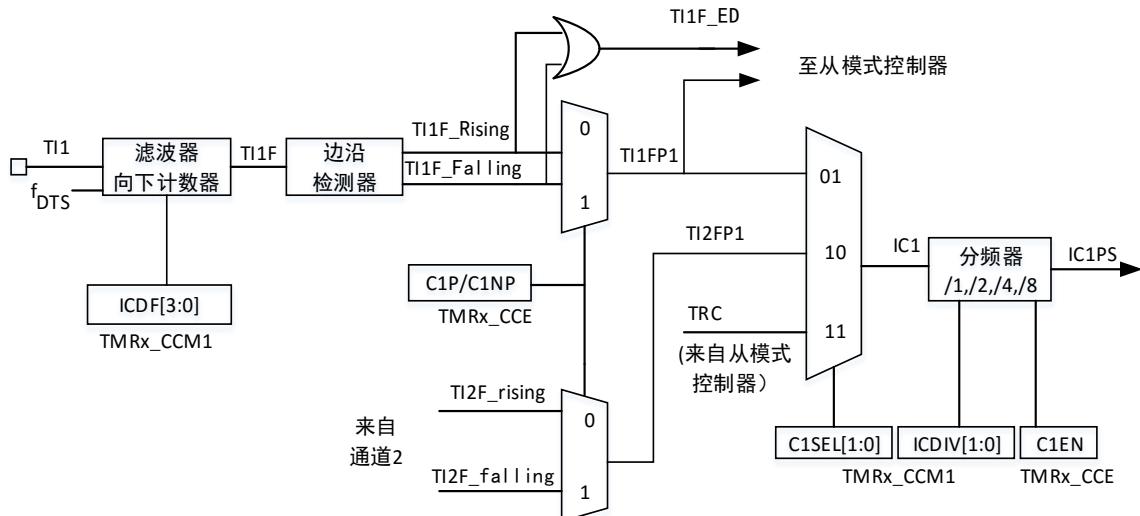
9.3.3.5 捕获/比较通道

每一个捕获/比较通道都是围绕着一个捕获/比较寄存器（包含影子寄存器），包括捕获的输入部分（数字滤波、多路复用和预分频器），和输出部分（比较器和输出控制）。

图 10-106 至图 10-109 是一个捕获/比较通道概览。

输入部分对相应的 TI_x 输入信号采样，并产生一个滤波后的信号 TI_xF。然后，一个带极性选择的边缘监测器产生一个信号 (TI_xFPx)，它可以作为从模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器 (ICxPS)。

图 10-96 捕获/比较通道（如：通道 1 输入部分）



输出部分产生一个中间波形 OCxRef (高有效) 作为基准，链的末端决定最终输出信号的极性。

图 10-97 捕获/比较通道 1 的主电路

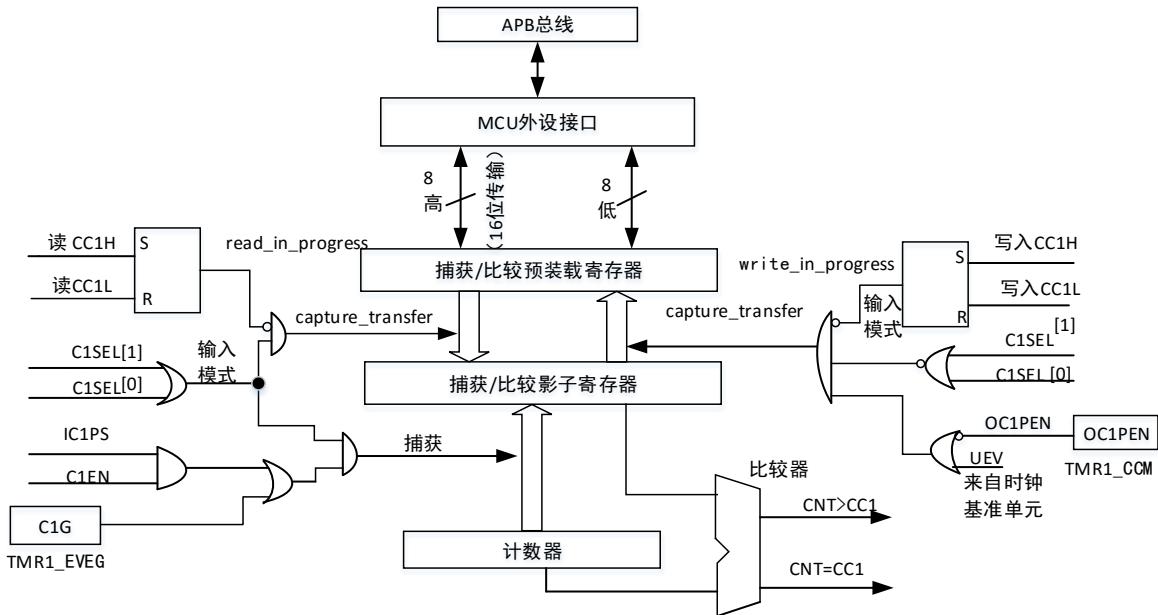


图 10-98 捕获/比较通道的输出部分（通道 1 至 3）

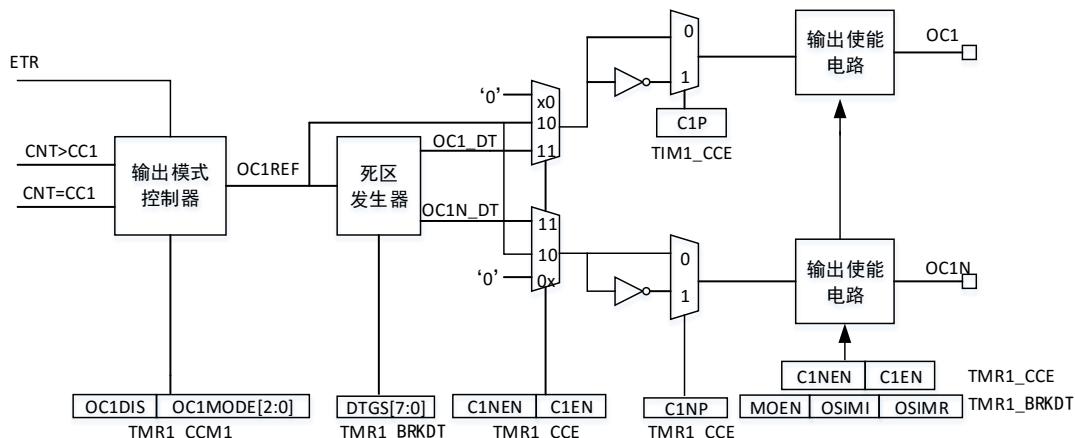
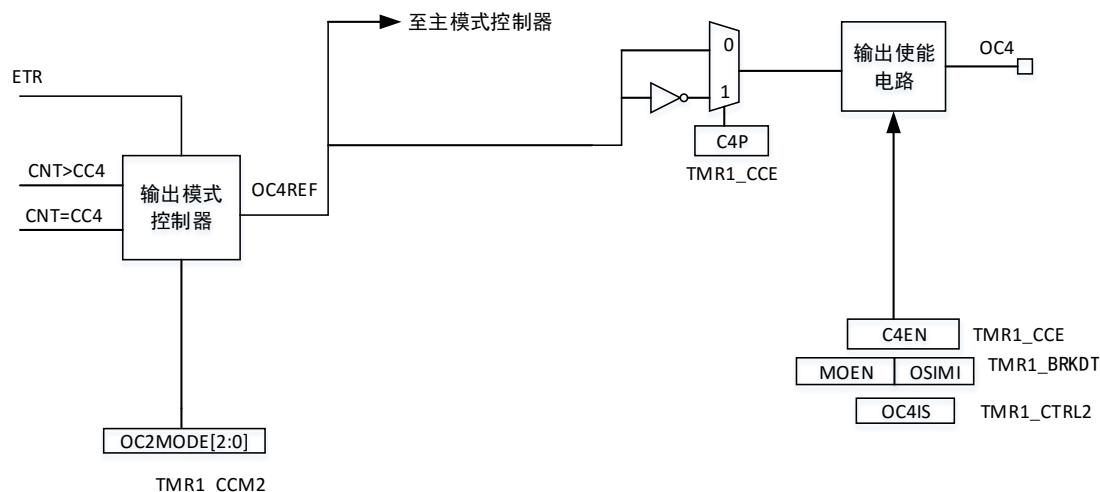


图 10-99 捕获/比较通道的输出部分（通道 4）



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。读写过程仅操作预装载寄存器。

在捕获模式下，捕获发生在影子寄存器上，然后再复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。

9.3.3.6 输入捕获模式

在输入捕获模式下，当检测到 ICx 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 ($TMRx_CCx$) 中。当发生捕获事件时，相应的 $CxIF$ 标志 ($TMRx_STS$ 寄存器) 被置 1，如果开放了中断或者 DMA 操作，则将产生中断或者 DMA 请求。如果发生捕获事件时 $CxIF$ 标志已经为高，那么重复捕获标志 $CxOF$ ($TMRx_STS$ 寄存器) 被置 1。写 $CxIF=0$ 可清除 $CxIF$ ，或读取存储在 $TMRx_CCx$ 寄存器中的捕获数据也可清除 $CxIF$ 。写 $CxOF=0$ 可清除 $CxOF$ 。

以下例子说明如何在 $TI1$ 输入的上升沿时捕获计数器的值到 $TMRx_CC1$ 寄存器中，步骤如下：

- 选择有效输入端： $TMRx_CC1$ 必须连接到 $TI1$ 输入，所以写入 $TMRx_CC1$ 寄存器中的 $C1SEL=01$ ，只要 $C1SEL$ 不为 '00'，通道被配置为输入，并且 $TMRx_CC1$ 寄存器变为只读。
- 根据输入信号的特点，配置输入滤波器为所需的带宽（即输入为 TIx 时，输入滤波器控制位是 $TMRx_CCMx$ 寄存器中的 $ICxDF$ 位）。假设输入信号在最多 5 个内部时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期；因此我们可以（以 f_{DTS} 频率）连续采样 8 次，以确认在 $TI1$ 上一次真实的边沿变换，即在 $TMRx_CCM1$ 寄存器中写入 $IC1DF=0011$ 。
- 选择 $TI1$ 通道的有效转换边沿，在 $TMRx_CCE$ 寄存器中写入 $C1P=0$ （上升沿）。
- 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止（写 $TMRx_CCM1$ 寄存器的 $IC1PS=00$ ）。
- 设置 $TMRx_CCE$ 寄存器的 $C1EN=1$ ，允许捕获计数器的值到捕获寄存器中。
- 如果需要，通过设置 $TMRx_DIE$ 寄存器中的 $C1IE$ 位允许相关中断请求，通过设置 $TMRx_DIE$ 寄存器中的 $C1DE$ 位允许 DMA 请求。

当发生一个输入捕获时：

- 产生有效的电平转换时，计数器的值被传送到 $TMRx_CC1$ 寄存器。
- $C1IF$ 标志被设置（中断标志）。当发生至少 2 个连续的捕获时，而 $C1IF$ 未曾被清除， $C1OF$ 也被置 1。
- 如设置了 $C1IE$ 位，则会产生一个中断。
- 如设置了 $C1DE$ 位，则还会产生一个 DMA 请求。

为了处理捕获溢出，建议在读出捕获溢出标志之前读取数据，这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的捕获溢出信息。

注意： 设置 $TMRx_EVEG$ 寄存器中相应的 CxG 位，可以通过软件产生输入捕获中断和/或 DMA 请求。

9.3.3.7 PWM 输入模式

该模式是输入捕获模式的一个特例，除下列区别外，操作与输入捕获模式相同：

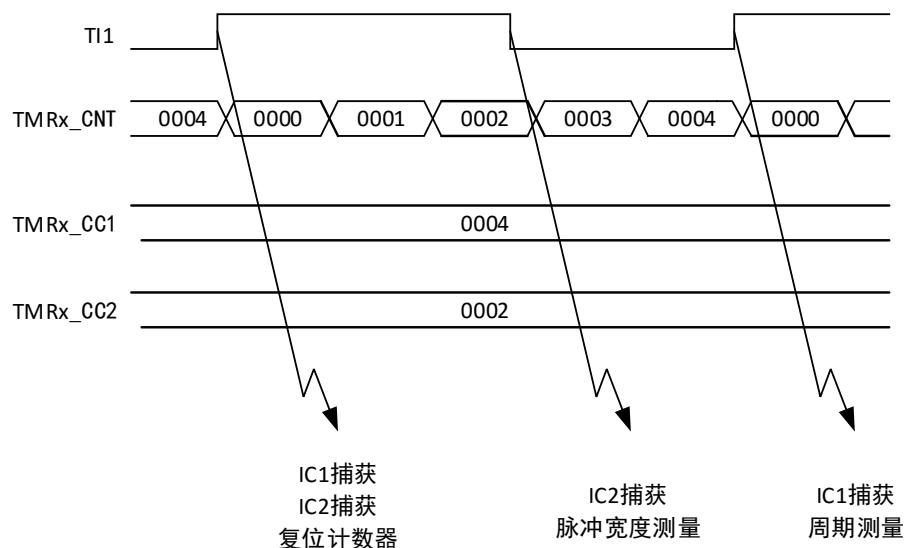
- 两个 ICx 信号被映射至同一个 TIx 输入。
- 这 2 个 ICx 信号为边沿有效，但是极性相反。
- 其中一个 $TIxFP$ 信号被作为触发输入信号，而从模式控制器被配置成复位模式。

例如，你需要测量输入到 $TI1$ 上的 PWM 信号的长度 ($TMRx_CC1$ 寄存器) 和占空比 ($TMRx_CC2$ 寄存器)，具体步骤如下（取决于 CK_INT 的频率和预分频器的值）

- 选择 $TMRx_CC1$ 的有效输入：置 $TMRx_CCM1$ 寄存器的 $C1SEL=01$ （选中 $TI1$ ）。
- 选择 $TI1FP1$ 的有效极性（用来捕获数据到 $TMRx_CC1$ 中和清除计数器）：置 $C1P=0$ （上升沿有效）。
- 选择 $TMRx_CC2$ 的有效输入：置 $TMRx_CCM1$ 寄存器的 $C2SEL=10$ （选中 $TI1$ ）。
- 选择 $TI1FP2$ 的有效极性（捕获数据到 $TMRx_CC2$ ）：置 $C2P=1$ （下降沿有效）。
- 选择有效的触发输入信号：置 $TMRx_SMC$ 寄存器中的 $TRGSEL=101$ （选择 $TI1FP1$ ）。

- 配置从模式控制器为复位模式：置 TMRx_SMC 中的 SMSEL=100。
- 使能捕获：置 TMRx_CCE 寄存器中 C1EN=1 且 C2EN=1。

图 10-100 PWM 输入模式时序



注意：因为只有 *TI1FP1* 和 *TI2FP2* 连到了从模式控制器，所以 PWM 输入模式只能使用 *TMRx_CH1/TMRx_CH2* 信号。

9.3.3.8 强置输出模式

在输出模式(*TMRx_CCMx* 寄存器中 *CxSEL=00*)下，输出比较信号(*OCxREF* 和相应的 *OCx/OCxN*)能够直接由软件强置为有效或无效状态，而不依赖于输出比较寄存器和计数器间的比较结果。

置 *TMRx_CCMx* 寄存器中相应的 *OCxMODE=101*，即可强置输出比较信号 (*OCxREF/OCx*) 为有效状态。这样 *OCxREF* 被强置为高电平 (*OCxREF* 始终为高电平有效)，同时 *OCx* 得到 *CxP* 极性相反的信号。

例如：*CxP=0* (*OCx* 高电平有效)，则 *OCx* 被强置为高电平。

置 *TMRx_CCMx* 寄存器中的 *OCxMODE=100*，可强置 *OCxREF* 信号为低。

该模式下，在 *TMRx_CCx* 影子寄存器和计数器之间的比较仍然在进行，相应的标志也会被修改。因此仍然会产生相应的中断和 DMA 请求。这将会在下面的输出比较模式一节中介绍。

9.3.3.9 输出比较模式

此项功能是用来控制一个输出波形，或者指示一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时，输出比较功能做如下操作：

- 将输出比较模式 (*TMRx_CCMx* 寄存器中的 *OCxMODE* 位) 和输出极性 (*TMRx_CCE* 寄存器中的 *CxP* 位) 定义的值输出到对应的引脚上。在比较匹配时，输出引脚可以保持它的电平 (*OCxMODE=000*)、被设置成有效电平 (*OCxMODE=001*)、被设置成无效电平 (*OCxMODE=010*) 或进行翻转 (*OCxMODE=011*)。
- 设置中断状态寄存器中的标志位 (*TMRx_STS* 寄存器中的 *CxIF* 位)。
- 若设置了相应的中断屏蔽 (*TMRx_DIE* 寄存器中的 *CxIE* 位)，则产生一个中断。
- 若设置了相应的使能位 (*TMRx_DIE* 寄存器中的 *CxDE* 位，*TMRx_CTRL2* 寄存器中的 *CDSEL* 位选择 DMA 请求功能)，则产生一个 DMA 请求。

TMRx_CCMx 中的 *OCxPEN* 位选择 *TMRx_CCx* 寄存器是否需要使用预装载寄存器。

在输出比较模式下，更新事件 UEV 对 *OCxREF* 和 *OCx* 输出没有影响。

同步的精度可以达到计数器的一个计数周期。输出比较模式 (在单脉冲模式下) 也能用来输出一个单

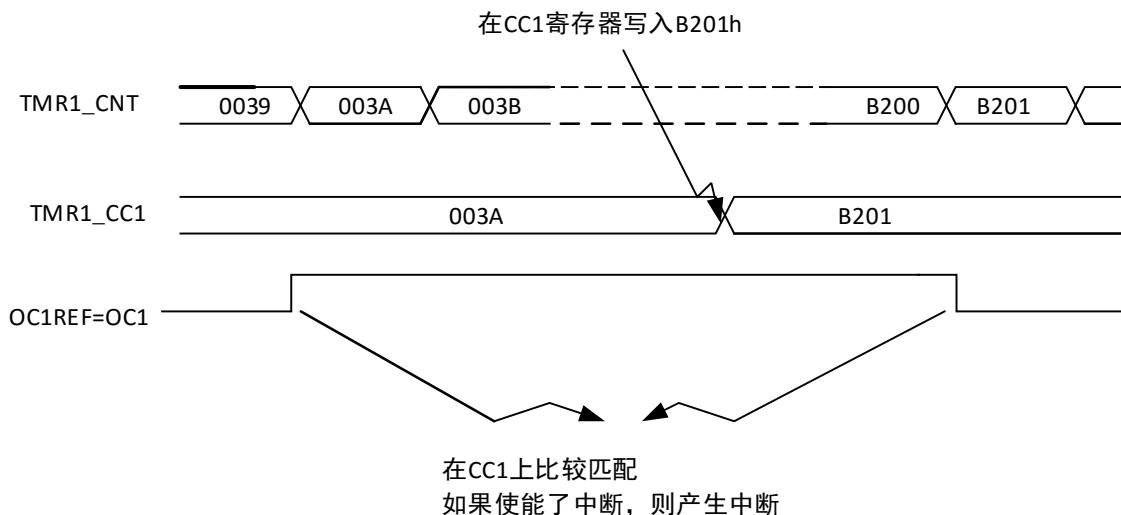
脉冲。

输出比较模式的配置步骤：

1. 选择计数器时钟（内部，外部，预分频器）。
2. 将相应的数据写入 TMRx_AR 和 TMRx_CCx 寄存器中。
3. 如果要产生一个中断请求，设置 CCxE 位。
4. 选择输出模式，例如：
 - 要求计数器与 CCx 匹配时翻转 OCx 的输出引脚，设置 OCxMODE=011
 - 置 OCxPEN = 0 禁用预装载寄存器
 - 置 CxP = 0 选择极性为高电平有效
 - 置 CxEN = 1 使能输出
5. 设置 TMRx_CTRL1 寄存器的 CNTEN 位启动计数器

TMRx_CCx 寄存器能够在任何时候通过软件进行更新以控制输出波形，条件是未使用预装载寄存器（OCxPEN='0'，否则 TMRx_CCx 的影子寄存器只能在发生下一次更新事件时被更新）。下图给出了一个例子。

图 10-101 输出比较模式，翻转 OC1



9.3.3.10 PWM模式

脉冲宽度调制模式可以产生一个由 TMRx_AR 寄存器确定频率、由 TMRx_CCx 寄存器确定占空比的信号。

在 TMRx_CCMx 寄存器中的 OCxMODE 位写入'110'（PWM 模式 1）或'111'（PWM 模式 2），能够独立地设置每个 OCx 输出通道产生一路 PWM。必须通过设置 TMRx_CCMx 寄存器的 OCxPEN 位使能相应的预装载寄存器，最后还要设置 TMRx_CTRL1 寄存器的 ARPEN 位，（在向上计数或中心对称模式中）使能自动重装载的预装载寄存器。

仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 TMRx_EVEG 寄存器中的 UEVG 位来初始化所有的寄存器。

OCx 的极性可以通过软件在 TMRx_CCE 寄存器中的 CxP 位设置，它可以设置为高电平有效或低电平有效。OCx 的输出使能通过（TMRx_CCE 和 TMRx_BRKDT 寄存器中）CxEN、CxNEN、MOEN、OSIMI 和 OSIMR 位的组合控制。详见 TMRx_CCE 寄存器的描述。

在 PWM 模式（模式 1 或模式 2）下，TMRx_CNT 和 TMRx_CCx 始终在进行比较，（依据计数器的计数方向）以确定是否符合 $TMRx_CCx \leq TMRx_CNT$ 或者 $TMRx_CNT \leq TMRx_CCx$ 。

根据 TMRx_CTRL1 寄存器中 CMSEL 位的状态，定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

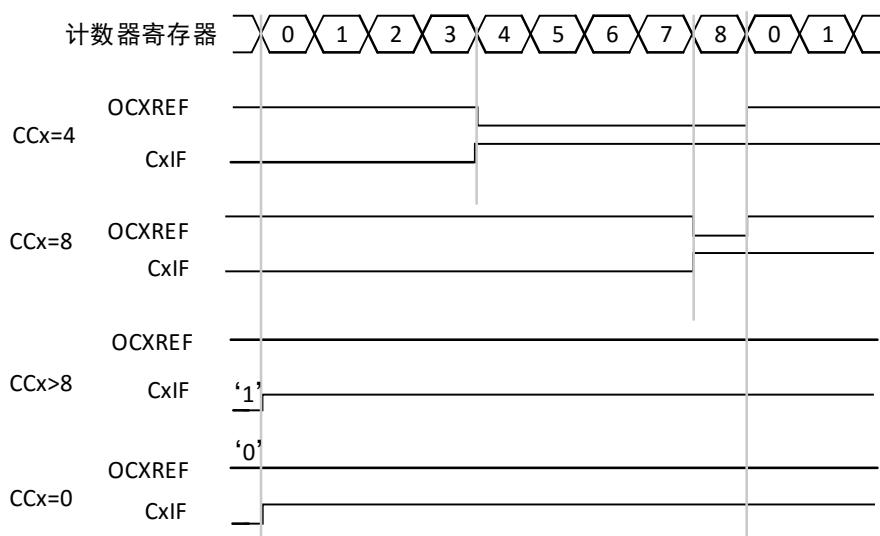
PWM 边沿对齐模式

- 向上计数配置

当 TMRx_CTRL1 寄存器中的 DIR 位为低的时候执行向上计数。参看 [10.4.3.2 节](#)。

下面是一个 PWM 模式 1 的例子。当 TMRx_CNT<TMRx_CCx 时，PWM 参考信号 OCxREF 为高，否则为低。如果 TMRx_CCx 中的比较值大于自动重装载值 (TMRx_AR)，则 OCxREF 保持为'1'。如果比较值为 0，则 OCxREF 保持为'0'。下图为 TMRx_AR=8 时边沿对齐的 PWM 波形实例。

图 10-102 边沿对齐的 PWM 波形 (AR=8)



- 向下计数的配置

当 TMRx_CTRL1 寄存器的 DIR 位为高时执行向下计数。参看 [10.4.3.2 节](#)。

在 PWM 模式 1，当 TMRx_CNT>TMRx_CCx 时参考信号 OCxREF 为低，否则为高。如果 TMRx_CCx 中的比较值大于 TMRx_AR 中的自动重装载值，则 OCxREF 保持为'1'。该模式下不能产生 0% 的 PWM 波形。

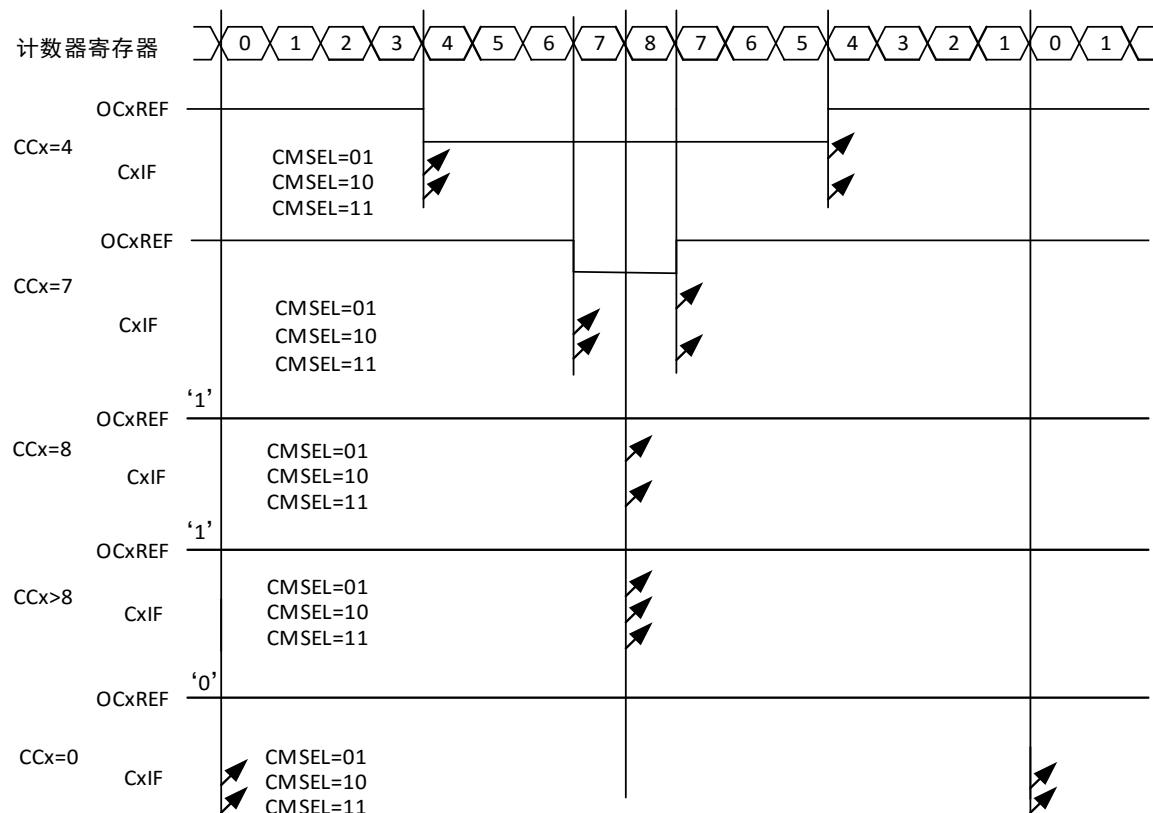
PWM 中央对齐模式

当 TMRx_CTRL1 寄存器中的 CMSEL 位不为'00'时为中央对齐模式（所有其他的配置对 OCxREF/OCx 信号都有相同的作用）。根据不同的 CMSEL 位设置，比较标志可以在计数器向上计数时被置 1、在计数器向下计数时被置 1、或在计数器向上和向下计数时被置 1。TMRx_CTRL1 寄存器中的计数方向位 (DIR) 由硬件更新，不要用软件修改它。参看 [10.4.3.2 节](#) 的中央对齐模式。

下图给出了一些中央对齐的 PWM 波形的例子

- TMRx_AR=8
- PWM 模式 1
- TMRx_CTRL1 寄存器的 CMSEL=01，在中央对齐模式 1 下，当计数器向下计数时设置比较标志。

图 10-103 中央对齐的 PWM 波形 (AR=8)



使用中央对齐模式的提示:

- 进入中央对齐模式时，使用当前的向上/向下计数配置；这就意味着计数器向上还是向下计数取决于 TMRx_CTRL1 寄存器中 DIR 位的当前值。此外，软件不能同时修改 DIR 和 CMSEL 位。
- 不推荐当运行在中央对齐模式时改写计数器，因为这会产生不可预知的结果。特别地：
 - 如果写入计数器的值大于自动重加载的值 (TMRx_CNT > TMRx_AR)，则方向不会被更新。
例如，如果计数器正在向上计数，它就会继续向上计数。
 - 如果将 0 或者 TMRx_AR 的值写入计数器，方向被更新，但不产生更新事件 UEV。
- 使用中央对齐模式最保险的方法，就是在启动计数器之前产生一个软件更新（设置 TMRx_EVEG 位中的 UEVG 位），并且不要在计数进行过程中修改计数器的值。

9.3.3.11 互补输出和死区插入

高级控制定时器 (TMR1) 能够输出两路互补信号，并且能够管理输出的瞬时关断和接通。这段时间通常被称为死区，用户应该根据连接的输出器件和它们的特性(电平转换的延时、电源开关的延时等)来调整死区时间。

配置 TMRx_CCE 寄存器中的 CxP 和 CxNP 位，可以为每一个输出独立地选择极性（主输出 OCx 或互补输出 OCxN）。

互补信号 OCx 和 OCxN 通过下列控制位的组合进行控制：TMRx_CCE 寄存器的 CxEN 和 CxNEN 位，TMRx_BRKDT 和 TMRx_CTRL2 寄存器中的 MOEN、OCxIS、OCxNIS、OSIMI 和 OSIMR 位，详见表 10-14 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位。特别的是，在转换到 IDLEF 状态时 (MOEN 下降到 0) 死区被激活。

同时设置 CxEN 和 CxNEN 位将插入死区，如果存在刹车电路，则还要设置 MOEN 位。每一个通道都有一个 10 位的死区发生器。参考信号 OCxREF 可以产生 2 路输出 OCx 和 OCxN。如果 OCx 和

OCxN 为高有效:

- OCx 输出信号与参考信号相同，只是它的上升沿相对于参考信号的上升沿有一个延迟。
- OCxN 输出信号与参考信号相反，只是它的上升沿相对于参考信号的下降沿有一个延迟。

如果延迟大于当前有效的输出宽度（OCx 或者 OCxN），则不会产生相应的脉冲。

下列几张图显示了死区发生器的 出信号和当前参考信号 OCxREF 之间的关系。（假设 CxP=0、CxNP=0、MOEN=1、CxEN=1 并且 CxNEN=1）

图 10-104 带死区插入的互补输出

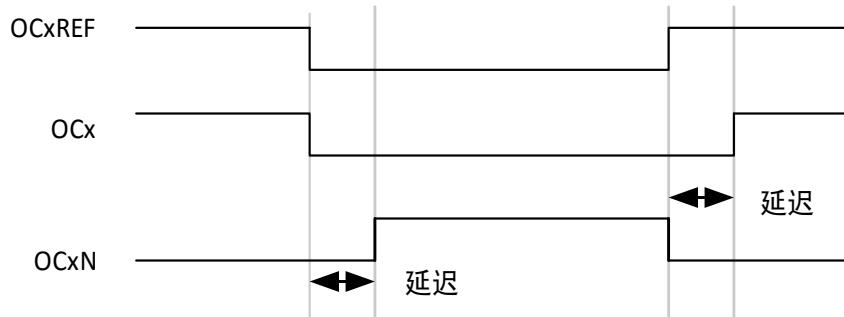


图 10-105 死区波形延迟大于负脉冲

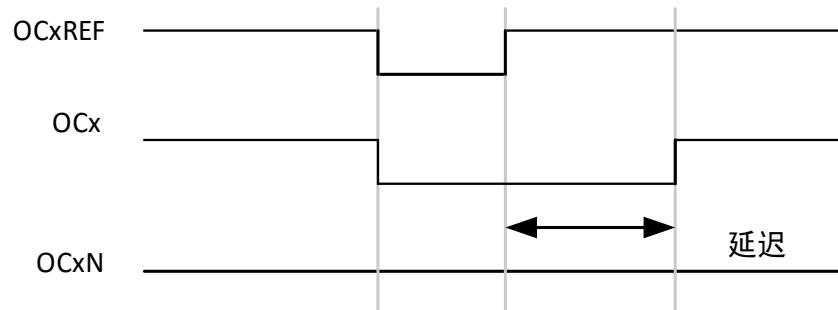
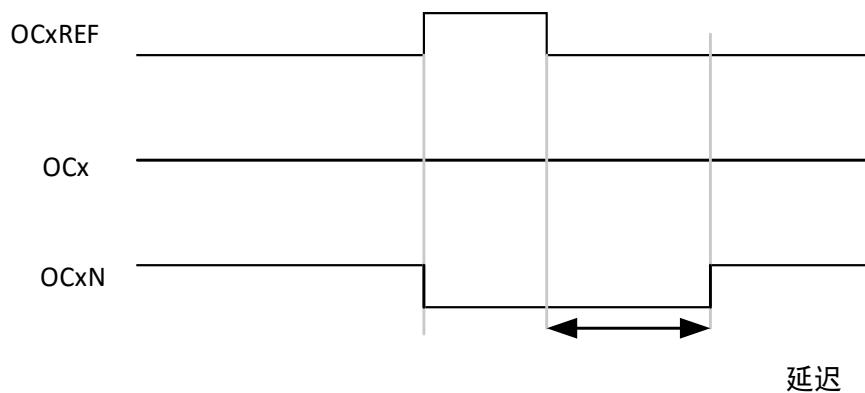


图 10-106 死区波形延迟大于正脉冲



每一个通道的死区延时都是相同的，是由 TMRx_BRKDT 寄存器中的 DTGS 位编程配置。详见 [10.4.4.18 节 TMR1 刹车和死区寄存器 \(TMRx_BRKDT\) 中的延时计算](#)。

重定向 OCxREF 到 OCx 或 OCxN

在输出模式下（强置、输出比较或 PWM），通过配置 TMRx_CCE 寄存器的 CxEN 和 CxNEN 位，OCxREF 可以被重定向到 OCx 或者 OCxN 的输出。

这个功能可以在互补输出处于无效电平时，在某个输出上送出一个特殊的波形（例如 PWM 或者静态有效电平）。另一个作用是，让两个输出同时处于无效电平，或处于有效电平和带死区的互补输出。

注意：当只使能 $OCxN$ ($CxEN=0$, $CxNEN=1$) 时，它不会反相，当 $OCxREF$ 有效时立即变高。例如，如果 $CxNP=0$ ，则 $OCxN=OCxREF$ 。另一方面，当 OCx 和 $OCxN$ 都被使能时 ($CxEN=CxNEN=1$)，当 $OCxREF$ 为高时 OCx 有效；而 $OCxN$ 相反，当 $OCxREF$ 低时 $OCxN$ 变为有效。

9.3.3.12 使用刹车功能

当使用刹车功能时，依据相应的控制位 ($TMRx_BRKDT$ 寄存器中的 $MOEN$ 、 $OSIMI$ 和 $OSIMR$ 位， $TMRx_CTRL2$ 寄存器中的 $OCxIS$ 和 $OCxNIS$ 位)，输出使能信号和无效电平都会被修改。但无论何时， OCx 和 $OCxN$ 输出不能在同一时间同时处于有效电平上。详见表 10-14 带刹车功能的互补输出通道 OCx 和 $OCxN$ 的控制位。

刹车源既可以是刹车输入引脚又可以是一个时钟失败事件。时钟失败事件由复位时钟控制器中的时钟安全系统产生，详见 3.2.7 节时钟失效检测 (CFD)。

系统复位后，刹车电路被禁止， $MOEN$ 位为低。设置 $TMRx_BRKDT$ 寄存器中的 $BRKEN$ 位可以使能刹车功能，刹车输入信号的极性可以通过配置同一个寄存器中的 $BRKP$ 位选择。 $BRKEN$ 和 $BRKP$ 可以同时被修改。当写入 $BRKEN$ 和 $BRKP$ 位时，在真正写入之前会有 1 个 APB 时钟周期的延迟，因此需要等待一个 APB 时钟周期之后，才能正确地读回写入的位。

因为 $MOEN$ 下降沿可以是异步的，在实际信号（作用在输出端）和同步控制位（在 $TMRx_BRKDT$ 寄存器中）之间设置了一个再同步电路。这个再同步电路会在异步信号和同步信号之间产生延迟。特别的，如果当它为低时写 $MOEN=1$ ，则读出它之前必须先插入一个延时（空指令）才能读到正确的值。这是因为写入的是异步信号而读的是同步信号。

当发生刹车时（在刹车输入端出现选定的电平），有下述动作：

- $MOEN$ 位被异步地清除，将输出置于无效状态、空闲状态或者复位状态（由 $OSIMI$ 位选择）。这个特性在 MCU 的振荡器关闭时依然有效。
- 一旦 $MOEN=0$ ，每一个输出通道输出由 $TMRx_CTRL2$ 寄存器中的 $OCxIS$ 位设定的电平。如果 $OSIMI=0$ ，则定时器释放使能输出，否则使能输出始终为高。
- 当使用互补输出时：
 - 输出首先被置于复位状态即无效的状态（取决于极性）。这是异步操作，即使定时器没有时钟时，此功能也有效。
 - 如果定时器的时钟依然存在，死区生成器将会重新生效，在死区之后根据 $OCxIS$ 和 $OCxNIS$ 位指示的电平驱动输出端口。即使在这种情况下， OCx 和 $OCxN$ 也不能被同时驱动到有效的电平。
- 注意，因为重新同步 $MOEN$ ，死区时间比通常情况下长一些（大约 2 个 ck_{tim} 的时钟周期）。
- 如果 $OSIMI=0$ ，定时器释放使能输出，否则保持使能输出；或一旦 $CxEN$ 与 $CxNEN$ 之一变高时，使能输出变为高。
- 如果设置了 $TMRx_DIE$ 寄存器中的 $BRKIE$ 位，当刹车状态标志 ($TMRx_STS$ 寄存器中的 $BRKIF$ 位) 为'1'时，则产生一个中断。如果设置了 $TMRx_DIE$ 寄存器中的 BDE 位，则产生一个 DMA 请求。
- 如果设置了 $TMRx_BRKDT$ 寄存器中的 $AOEN$ 位，在下一个更新事件 UEV 时 $MOEN$ 位被自动置位；例如，这可以用来进行整形。否则， $MOEN$ 始终保持低直到被再次置'1'；此时，这个特性可以被用在安全方面，你可以把刹车输入连到电源驱动的报警输出、热敏传感器或者其他安全器件上。

注意：刹车输入为电平有效。所以，当刹车输入有效时，不能同时（自动地或者通过软件）设置 $MOEN$ 。同时，状态标志 $BRKIF$ 不能被清除。

刹车由 BRK 输入产生，它的有效极性是可编程的，且由 $TMRx_BRKDT$ 寄存器中的 $BRKEN$ 位开启。

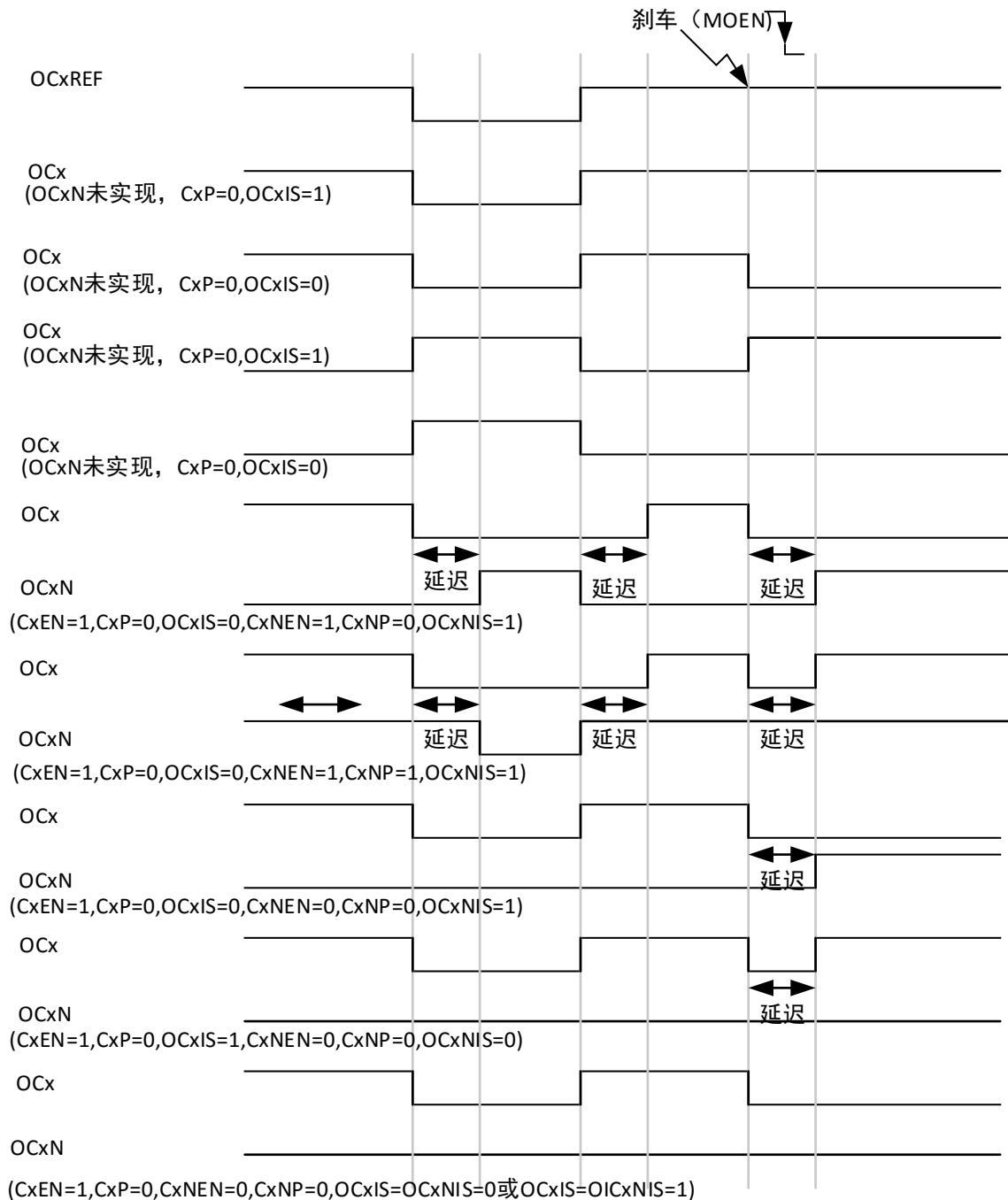
除了刹车输入和输出管理，刹车电路中还实现了写保护以保证应用程序的安全。它允许用户冻结几个

配置参数（死区长度，OCx/OCxN 极性和被禁止的状态，OCxMODE 配置，刹车使能和极性）。

用户可以通过 TMRx_BRKDT 寄存器中的 LOCKC 位，从三级保护中选择一种，参看 [10.4.4.18 节](#) TMR1 刹车和死区寄存器（TMR1_BRKDT）。在 MCU 复位后 LOCKC 位只能被修改一次。

下图显示响应刹车的输出实例。

图 10-107 响应刹车的输出



9.3.3.13 在外部事件时清除 OCxREF 信号

对于一个给定的通道，设置 TMRx_CCMx 寄存器中对应的 OCxDIS 位为'1'，能够用 ETRF 输入端的高电平把 OCxREF 信号拉低，OCxREF 信号将保持为低直到发生下一次的更新事件 UEV。

该功能只能用于输出比较和 PWM 模式，而不能用于强置模式。

例如，OCxREF 信号可以联到一个比较器的输出，用于控制电流。这时，ETR 必须配置如下：

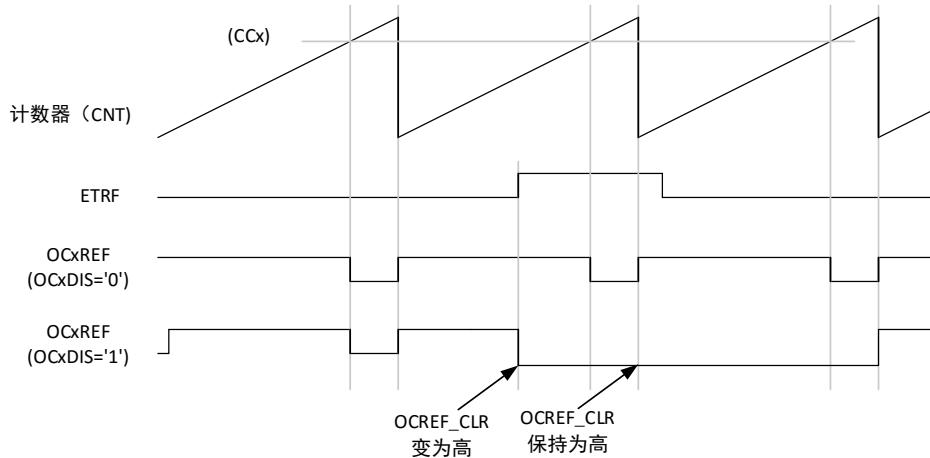
1. 外部触发预分频器必须处于关闭：TMRx_SMC 寄存器中的 ETD[1: 0]=00。

2. 必须禁止外部时钟模式 2: TMRx_SMC 寄存器中的 ECLKEN=0。

3. 外部触发极性 (ETRGP) 和外部触发滤波器 (ETDF) 可以根据需要配置。

下图显示了当 ETRF 输入变为高时, 对应不同 OCxDIS 的值, OCxREF 信号的动作。在这个例子中, 定时器 TMRx 被置于 PWM 模式。

图 10-108 清除 TMRx 的 OCxREF



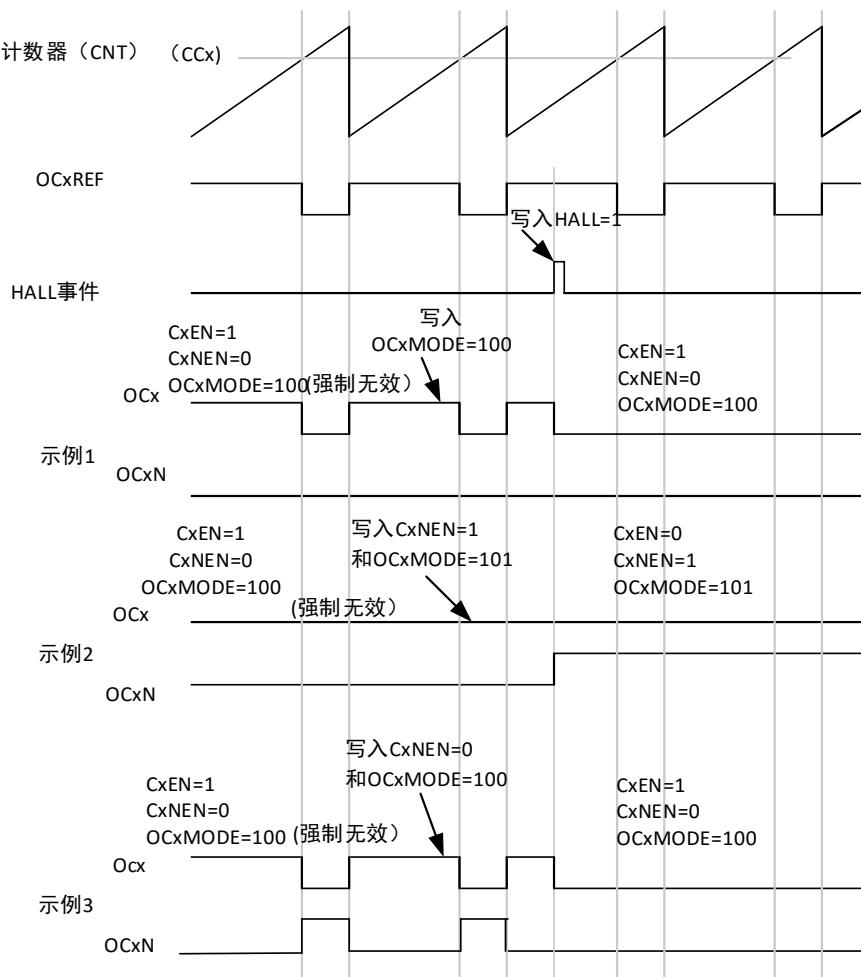
9.3.3.14 产生六步 PWM 输出

当在一个通道上需要互补输出时, 预装载位有 OCxMODE、CxEN 和 CxNEN。在发生 HALL 换相事件时, 这些预装载位被传送到影子寄存器位。这样你就可以预先设置好下一步骤配置, 并在同一个时刻同时修改所有通道的配置。HALL 可以通过设置 TMRx_EVEG 寄存器的 HALL 位由软件产生, 或在 TRGI 上升沿由硬件产生。

当发生 HALL 事件时会设置一个标志位 (TMRx_STS 寄存器中的 HALLIF 位), 这时如果已设置了 TMRx_DIE 寄存器的 HALLIE 位, 则产生一个中断; 如果已设置了 TMRx_DIE 寄存器的 HALLDE 位, 则产生一个 DMA 请求。

下图显示当发生 HALL 事件时, 三种不同配置下 OCx 和 OCxN 输出。

图 10-109 产生六步 PWM，使用 HALL 的例子 (OSIMR=1)



9.3.3.15 单脉冲模式

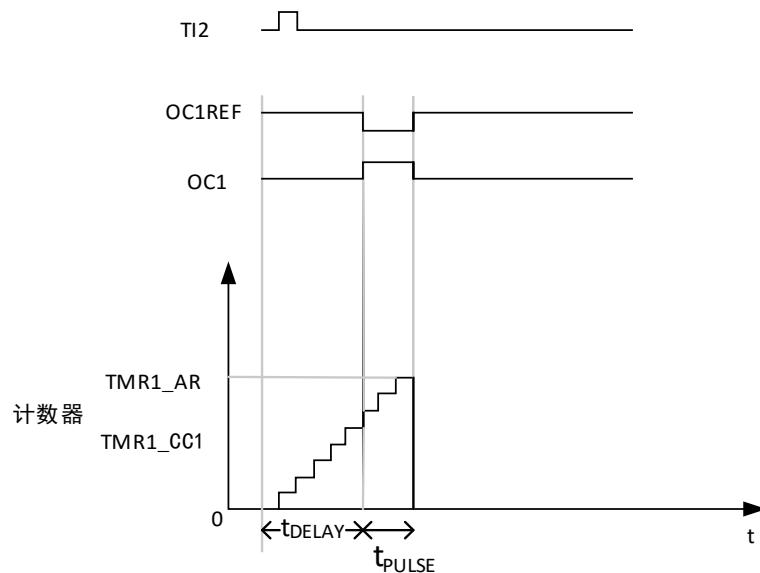
单脉冲模式 (OPMODE) 是前述众多模式的一个特例。这种模式允许计数器响应一个激励，并在一个程序可控的延时之后产生一个脉宽可程序控制的脉冲。

可以通过从模式控制器启动计数器，在输出比较模式或者 PWM 模式下产生波形。设置 TMRx_CTRL1 寄存器中的 OPMODE 位将选择单脉冲模式，这样可以让计数器自动地在产生下一个更新事件 UEV 时停止。

仅当比较值与计数器的初始值不同时，才能产生一个脉冲。启动之前（当定时器正在等待触发），必须如下配置：

- 向上计数方式：计数器 $CNT < CCx \leq AR$ （特别地， $0 < CCx$ ）；
- 向下计数方式：计数器 $CNT > CCx$ 。

图 10-110 单脉冲模式的例子



例如，你需要在从 TI2 输入脚上检测到一个上升沿开始，延迟 t_{DELAY} 之后，在 OC1 上产生一个长度为 t_{PULSE} 的正脉冲。

假定 TI2FP2 作为触发 1：

- 置 TMRx_CCM1 寄存器中的 C2SEL=01，把 TI2FP2 映像到 TI2。
- 置 TMRx_CCE 寄存器中的 C2P=0，使 TI2FP2 能够检测上升沿。
- 置 TMRx_SMC 寄存器中的 TRGSEL=110，TI2FP2 作为从模式控制器的触发 (TRGI)。
- 置 TMRx_SMC 寄存器中的 SMSEL=110 (触发模式)，TI2FP2 被用来启动计数器。

OPMODE 的波形由写入比较寄存器的数值决定 (要考虑时钟频率和计数器预分频器)

- t_{DELAY} 由 TMRx_CC1 寄存器中的值定义。
- t_{PULSE} 由自动装载值和比较值之间的差值定义 ($TMRx_AR - TMRx_CC1$)。
- 假定当发生比较匹配时要产生从 0 到 1 的波形，当计数器达到预装载值时要产生一个从 1 到 0 的波形；首先要置 TMRx_CCM1 寄存器的 OC1MODE=111，进入 PWM 模式 2；根据需要有选择地使能预装载寄存器：置 TMRx_CCM1 中的 OC1PEN=1 和 TMRx_CTRL1 寄存器中的 ARPEN；然后在 TMRx_CC1 寄存器中填写比较值，在 TMRx_AR 寄存器中填写自动装载值，设置 UEVG 位来产生一个更新事件，然后等待在 TI2 上的一个外部触发事件。本例中，C1P=0。

在这个例子中，TMRx_CTRL1 寄存器中的 DIR 和 CMSEL 位应该置低。因为只需要一个脉冲，所以必须设置 TMRx_CTRL1 寄存器中的 OPMODE=1，在下一个更新事件 (当计数器从自动装载值翻转到 0) 时停止计数。

特殊情况：OCx 快速使能：

在单脉冲模式下，在 Tlx 输入脚的边沿检测逻辑设置 CNTEN 位以启动计数器。然后计数器和比较值间的比较操作产生了输出的转换。但是这些操作需要一定的时钟周期，因此它限制了可得到的最小延时 t_{DELAY} 。

如果要以最小延时输出波形，可以设置 TMRx_CCMx 寄存器中的 OCxFEN 位；此时 OCxREF (和 OCx) 直接响应激励而不再依赖比较的结果，输出的波形与比较匹配时的波形一样。OCxFEN 只在通道配置为 PWM1 和 PWM2 模式时起作用。

9.3.3.16 编码器接口模式

选择编码器接口模式的方法是：如果计数器只在 TI2 的边沿计数，则置 TMRx_SMC 寄存器中的

SMSEL=001: 如果只在 TI1 边沿计数，则置 **SMSEL=010**; 如果计数器同时在 TI1 和 TI2 边沿计数，则置 **SMSEL=011**。

通过设置 **TMRx_CCE** 寄存器中的 C1P 和 C2P 位，可以选择 TI1 和 TI2 极性；如果需要，还可以对输入滤波器编程。

两个输入 TI1 和 TI2 被用来作为增量编码器的接口。参看表 10-11，假定计数器已经启动（**TMRx_CTRL1** 寄存器中的 **CNTEN=1**），则计数器由每次在 **TI1FP1** 或 **TI2FP2** 上的有效跳变驱动。**TI1FP1** 和 **TI2FP2** 是 **TI1** 和 **TI2** 在通过输入滤波器和极性控制后的信号；如果没有滤波和变相，则 **TI1FP1=TI1**, **TI2FP2=TI2**。根据两个输入信号的跳变顺序，产生了计数脉冲和方向信号。依据两个输入信号的跳变顺序，计数器向上或向下计数，同时硬件对 **TMRx_CTRL1** 寄存器的 **DIR** 位进行相应的设置。不管计数器是依靠 **TI1** 计数、依靠 **TI2** 计数或者同时依靠 **TI1** 和 **TI2** 计数，在任一输入端（**TI1** 或者 **TI2**）的跳变都会重新计算 **DIR** 位。

编码器接口模式基本上相当于使用了一个带有方向选择的外部时钟。这意味着计数器只在 0 到 **TMRx_AR** 寄存器的自动装载值之间连续计数（根据方向，或是 0 到 AR 计数，或是 AR 到 0 计数）。所以在开始计数之前必须配置 **TMRx_AR**；同样，捕获器、比较器、预分频器、重复计数器、触发输出特性等仍工作如常。编码器模式和外部时钟模式 2 不兼容，因此不能同时操作。

在这个模式下，计数器依照增量编码器的速度和方向被自动的修改，因此计数器的内容始终指示着编码器的位置。计数方向与相连的传感器旋转的方向对应。下表列出了所有可能的组合，假设 **TI1** 和 **TI2** 不同时变换。

表 10-10 计数方向与编码器信号的关系

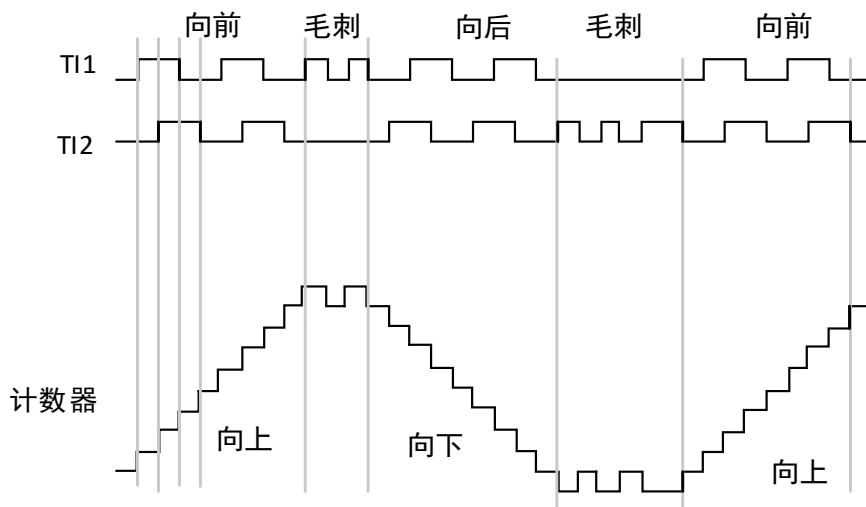
有效边沿	相对信号的电平 (TI1FP1 对应 TI2 , TI2FP2 对应 TI1)	TI1FP1 信号		TI2FP2 信号	
		上升	下降	上升	下降
仅在 TI1 计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
仅在 TI2 计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在 TI1 和 TI2 上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

一个外部的增量编码器可以直接与 MCU 连接而不需要外部接口逻辑。但是，一般会使用比较器将编码器的差动输出转换到数字信号，这大大增加了抗噪声干扰能力。编码器输出的第三个信号表示机械零点，可以把它连接到一个外部中断输入并触发一个计数器复位。

下图是一个计数器操作的实例，显示了计数信号的产生和方向控制。它还显示了当选择了双边沿时，输入抖动是如何被抑制的；抖动可能会在传感器的位置靠近一个转换点时产生。在这个例子中，我们假定配置如下：

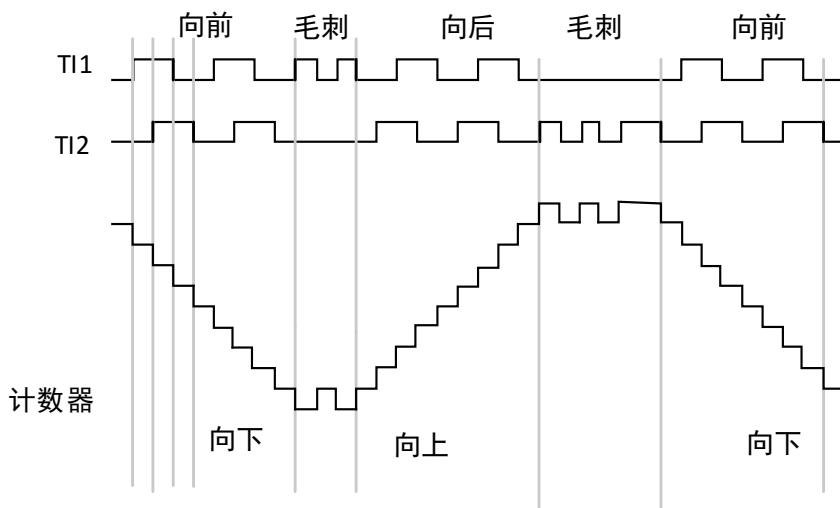
- **C1SEL='01'** （**TMRx_CCM1** 寄存器，**IC1FP1** 映射到 **TI1**）
- **C2SEL='01'** （**TMRx_CCM1** 寄存器，**IC2FP2** 映射到 **TI2**）
- **C1P='0'** （**TMRx_CCE** 寄存器，**IC1FP1** 不反相，**IC1FP1=TI1**）
- **C2P='0'** （**TMRx_CCE** 寄存器，**IC2FP2** 不反相，**IC2FP2=TI2**）
- **SMSEL='011'** （**TMRx_SMC** 寄存器，所有的输入均在上升沿和下降沿有效）
- **CNTEN='1'** （**TMRx_CTRL1** 寄存器，计数器使能）

图 10-111 编码器模式下的计数器操作实例



下图为当 IC1FP1 极性反相时计数器的操作实例（C1P='1'，其他配置与上例相同）。

图 10-112 IC1FP1 反相的编码器接口模式实例



当定时器配置成编码器接口模式时，提供传感器当前位置的信息。使用第二个配置在捕获模式的定时器，可以测量两个编码器事件的间隔，获得动态的信息（速度，加速度，减速度）。指示机械零点的编码器输出可被用做此目的。根据两个事件间的间隔，可以按照固定的时间读出计数器。如果可能的话，你可以把计数器的值锁存到第三个输入捕获寄存器（捕获信号必须是周期的并且可以由另一个定时器产生）；也可以通过一个由实时时钟产生的 DMA 请求来读取它的值。

9.3.3.17 定时器输入异或功能

TMRx_CTRL2 寄存器中的 TI1SEL 位，允许通道 1 的输入滤波器连接到一个异或门的输出端，异或门的 3 个输入端为 TMRx_CH1、TMRx_CH2 和 TMRx_CH3。

异或输出能够被用于所有定时器的输入功能，如触发或输入捕获。下一节给出了此特性用于连接霍尔传感器的例子。

9.3.3.18 与霍尔传感器的接口

使用高级控制定时器(TMR1)产生 PWM 信号驱动马达时，可以用另一个通用 TMRx(TMR2、TMR3、TMR4 或 TMR5) 定时器作为“接口定时器”来连接霍尔传感器，见图 10-123，3 个定时器输入脚（CC1、CC2、CC3）通过一个异或门连接到 TI1 输入通道（通过设置 TMRx_CTRL2 寄存器中的 TI1SEL 位来选择），“接口定时器”捕获这个信号。

从模式控制器被配置于复位模式，从输入是 TI1F_ED。每当 3 个输入之一变化时，计数器重新从 0 开

始计数。这样产生一个由霍尔输入端的任何变化而触发的时间基准。

“接口定时器”上的捕获/比较通道 1 配置为捕获模式，捕获信号为 TRC（见图 10-106）。捕获值反映了两个输入变化间的时间延迟，给出了马达速度的信息。

“接口定时器”可以用来在输出模式产生一个脉冲，这个脉冲可以（通过触发一个 HALL 事件）用于改变高级定时器 TMR1 各个通道的属性，而高级控制定时器产生 PWM 信号驱动马达。

因此“接口定时器”通道必须编程为在一个指定的延时（输出比较或 PWM 模式）之后产生一个正脉冲，这个脉冲通过 TRGO 输出被送到高级控制定时器 TMR1。

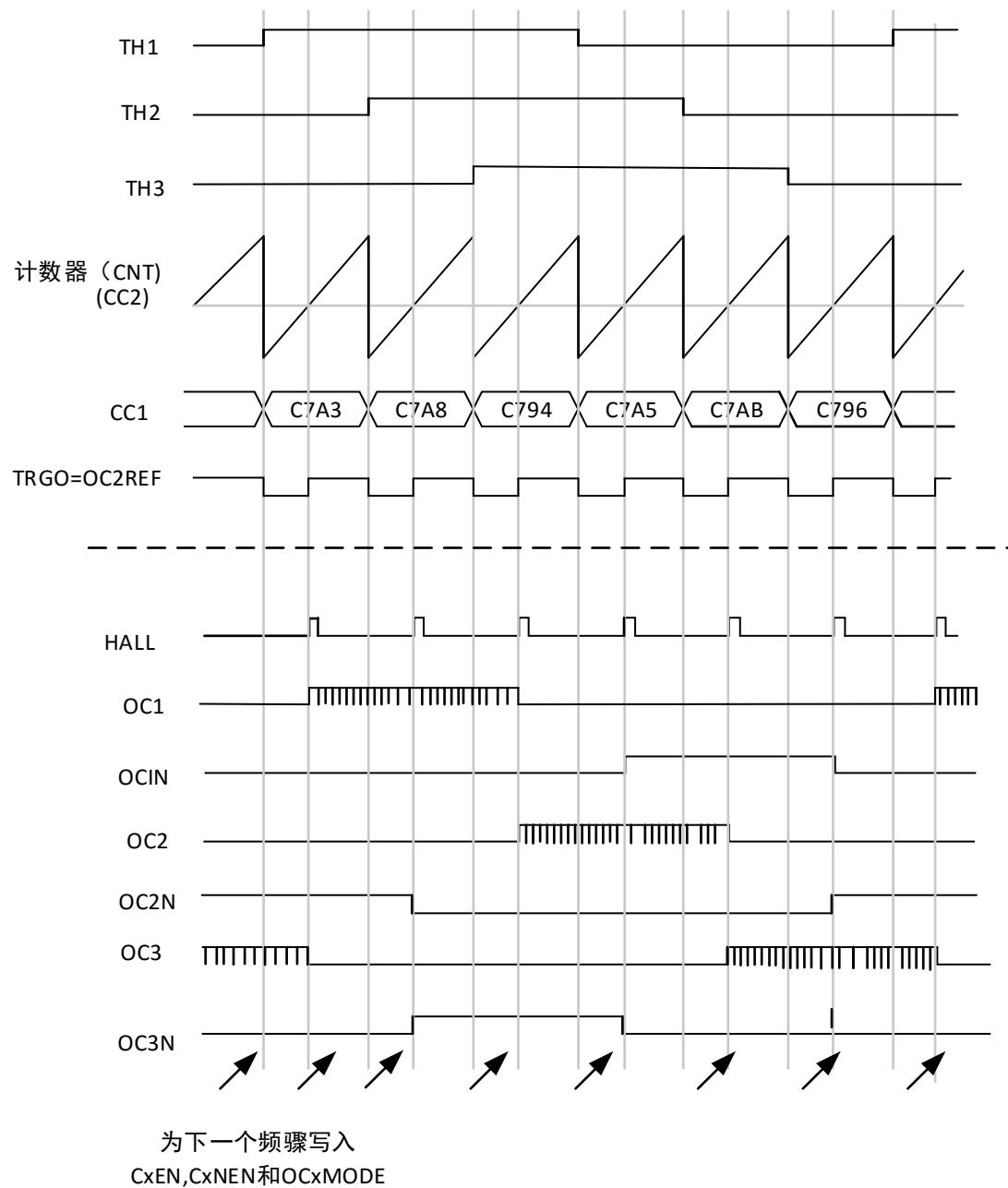
举例：霍尔输入连接到 TMRx 定时器，要求每次任一霍尔输入上发生变化之后的一个指定的时刻，改变高级控制定时器 TMRx 的 PWM 配置。

- 置 TMRx_CTRL2 寄存器的 TI1SEL 位为 '1'，配置三个定时器输入逻辑或到 TI1 输入，
- 时基编程：置 TMRx_AR 为其最大值（计数器必须通过 TI1 的变化清零）。设置预分频器得到一个最大的计数器周期，它长于传感器上的两次变化的时间间隔。
- 设置通道 1 为捕获模式（选中 TRC）：置 TMRx_CCM1 寄存器中 C1SEL=11，如果需要，还可以设置数字滤波器。
- 设置通道 2 为 PWM2 模式，并具有要求的延时：置 TMRx_CCM1 寄存器中的 OC2MODE=111 和 C2SEL=00。
- 选择 OC2REF 作为 TRGO 上的触发输出：置 TMRx_CTRL2 寄存器中的 MMSEL=101。

在高级控制寄存器 TMR1 中，正确的 ITR 输入必须是触发器输入，定时器被编程为产生 PWM 信号，捕获/比较控制信号为预装载的（TMRx_CTRL2 寄存器中 CPC=1），同时触发输入控制 HALL 事件（TMRx_CTRL2 寄存器中 CUSEL=1）。在一次 HALL 事件后，写入下一步的 PWM 控制位（CxEN、OCxMODE），这可以在处理 OC2REF 上升沿的中断子程序里实现。

下图显示了这个实例

图 10-113 霍尔传感器接口的实例



9.3.3.19 TMRx定时器和外部触发的同步

TMRx 定时器能够在多种模式下和一个外部的触发同步：复位模式、门控模式和触发模式。

从模式：复位模式

在发生一个触发输入事件时，计数器和它的预分频器能够重新被初始化。同时，如果 TMRx_CTRL1 寄存器的 UVERS 位为低，还产生一个更新事件 UEV。然后所有的预装载寄存器（TMRx_AR，TMRx_CCx）都被更新了。

在以下的例子中，TI1 输入端的上升沿导致向上计数器被清零：

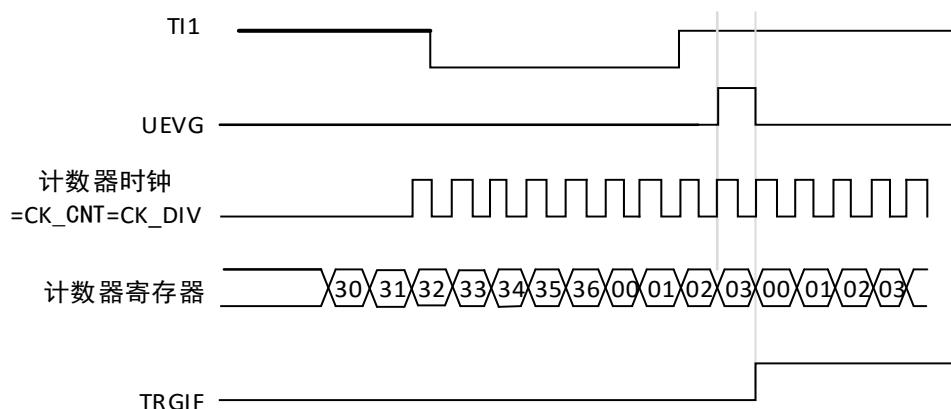
- 配置通道1以检测TI1的上升沿。配置输入滤波器的带宽（在本例中，不需要任何滤波器，因此保持IC1DF=0000）。触发操作中不使用捕获预分频器，所以不需要配置。C1SEL位只选择输入捕获源，即TMRx_CCM1寄存器中C1SEL=01。置TMRx_CCE寄存器中C1P=0以确定极性（只检测上升沿）。
- 置TMRx_SMC寄存器中SMSEL=100，配置定时器为复位模式；置TMRx_SMC寄存器中TRGSEL=101，选择TI1作为输入源。

- 置 TMRx_CTRL1 寄存器中 CNTEN=1，启动计数器。

计数器开始依据内部时钟计数，然后正常运转直到 TI1 出现一个上升沿；此时，计数器被清零然后从 0 重新开始计数。同时，触发标志（TMRx_STS 寄存器中的 TRGIF 位）被设置，根据 TMRx_DIE 寄存器中 TRGIE（中断使能）位和 TRGDE（DMA 使能）位的设置，产生一个中断请求或一个 DMA 请求。

下图显示当自动重装载寄存器 TMRx_AR=0x36 时的动作。在 TI1 上升沿和计数器的实际复位之间的延时取决于 TI1 输入端的重同步电路。

图 10-114 复位模式下的控制电路



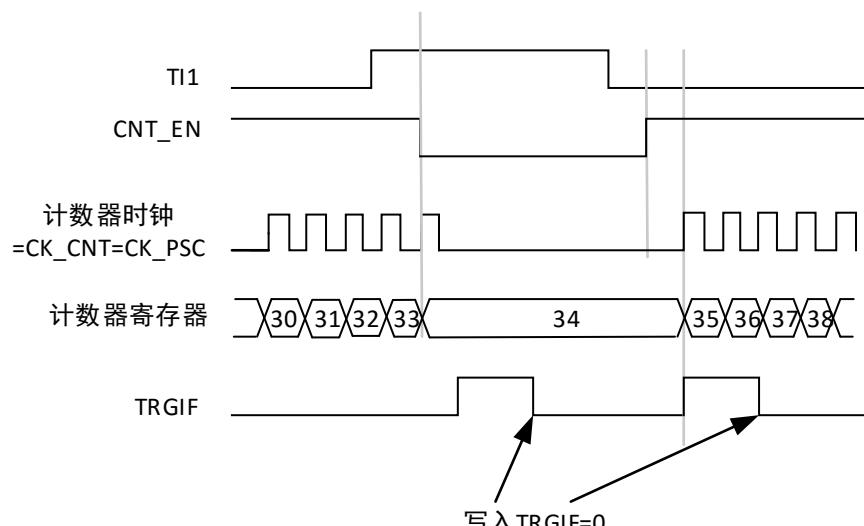
从模式：门控模式

按照选中的输入端电平使能计数器。在如下的例子中，计数器只在 TI1 为低时向上计数：

- 配置通道 1 以检测 TI1 上的低电平。配置输入滤波器带宽（本例中，不需要滤波，所以保持 IC1DF=0000）。触发操作中不使用捕获预分频器，所以不需要配置。C1SEL 位用于选择输入捕获源，置 TMRx_CCM1 寄存器中 C1SEL=01。置 TMRx_CCE 寄存器中 C1P=1 以确定极性（只检测低电平）。
- 置 TMRx_SMC 寄存器中 SMSEL=101，配置定时器为门控模式；置 TMRx_SMC 寄存器中 TRGSEL=101，选择 TI1 作为输入源。
- 置 TMRx_CTRL1 寄存器中 CNTEN=1，启动计数器。在门控模式下，如果 CNTEN=0，则计数器不能启动，不论触发输入电平如何。只要 TI1 为低，计数器开始依据内部时钟计数，一旦 TI1 变高则停止计数。当计数器开始或停止时都设置 TMRx_STS 中的 TRGIF 标置。

TI1 上升沿和计数器实际停止之间的延时取决于 TI1 输入端的重同步电路。

图 10-115 门控模式下的控制电路



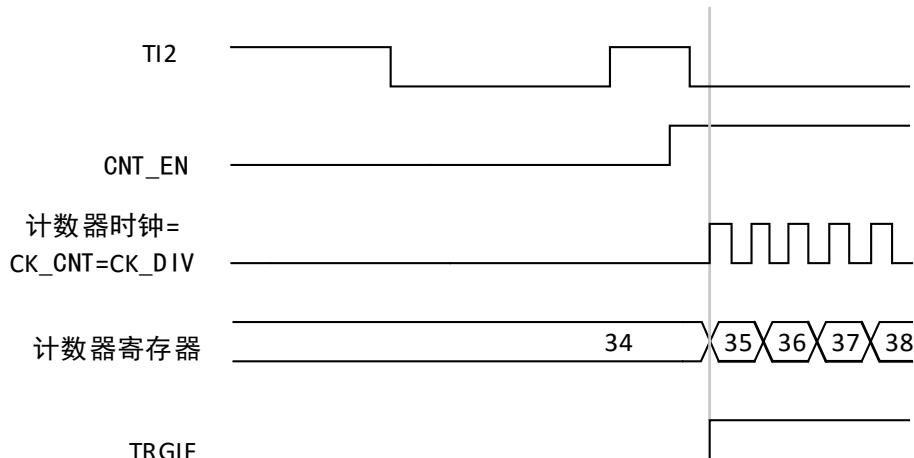
从模式：触发模式

输入端上选中的事件使能计数器。在下面的例子中，计数器在 TI2 输入的上升沿开始向上计数：

- 配置通道2检测TI2的上升沿。配置输入滤波器带宽（本例中，不需要任何滤波器，保持IC2DF=0000）。触发操作中不使用捕获预分频器，不需要配置。C2SEL位只用于选择输入捕获源，置TMRx_CCM1寄存器中C2SEL=01。置TMRx_CCE寄存器中C2P=0以确定极性（只检测低电平）。
- 置TMRx_SMC寄存器中SMSEL=110，配置定时器为触发模式；置TMRx_SMC寄存器中TRGSEL=110，选择TI2作为输入源。

当 TI2 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时设置 TRGIF 标志。TI2 上升沿和计数器启动计数之间的延时，取决于 TI2 输入端的重同步电路。

图 10-116 触发器模式下的控制电路



从模式：外部时钟模式 2 + 触发模式

外部时钟模式 2 可以与另一种从模式（外部时钟模式 1 和编码器模式除外）一起使用。这时，ETR 信号被用作外部时钟的输入，在复位模式、门控模式或触发模式可以选择另一个输入作为触发输入。不建议使用 TMRx_SMC 寄存器的 TRGSEL 位选择 ETR 作为 TRGI。

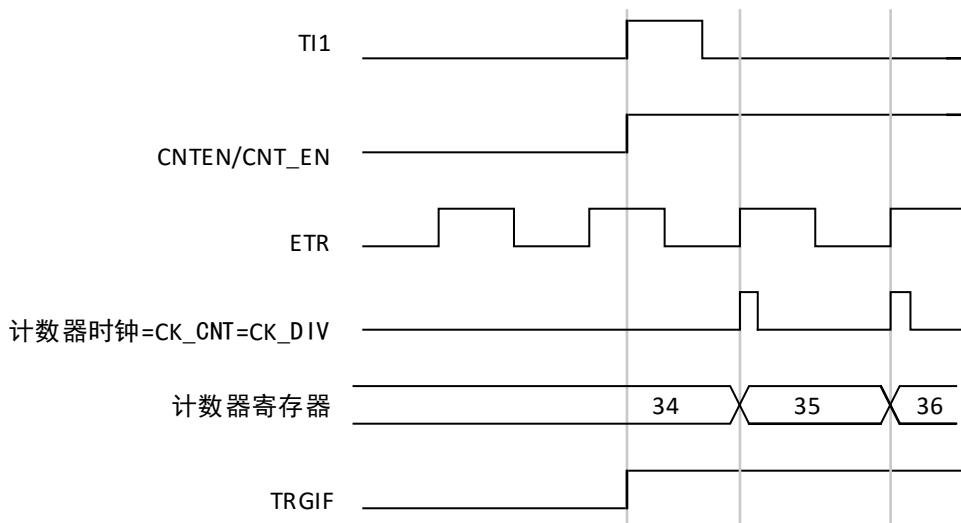
在下面的例子中，一旦在 TI1 上出现一个上升沿，计数器即在 ETR 的每一个上升沿向上计数一次：

1. 通过 TMRx_SMC 寄存器配置外部触发输入电路：
 - ETDF=0000: 没有滤波
 - ETD=00: 不用预分频器
 - ETRGP=0: 检测 ETR 的上升沿，置 ECLKEN=1 使能外部时钟模式 2。
2. 按如下配置通道 1，检测 TI 的上升沿：
 - IC1DF=0000: 没有滤波
 - 触发操作中不使用捕获预分频器，不需要配置
 - 置 TMRx_CCM1 寄存器中 C1SEL=01，选择输入捕获源
 - 置 TMRx_CCE 寄存器中 C1P=0 以确定极性（只检测上升沿）
3. 置 TMRx_SMC 寄存器中 SMSEL=110，配置定时器为触发模式。置 TMRx_SMC 寄存器中 TRGSEL=101，选择 TI1 作为输入源。

当 TI1 上出现一个上升沿时，TRGIF 标志被设置，计数器开始在 ETR 的上升沿计数。

ETR 信号的上升沿和计数器实际复位间的延时，取决于 ETRP 输入端的重同步电路。

图 10-117 外部时钟模式 2+ 触发模式下的控制电路



9.3.3.20 定时器同步

所有 TMR 定时器在内部相连，用于定时器同步或链接。详见 [10.2.3.15 节](#)。

9.3.3.21 调试模式

当微控制器进入调试模式时（Cortex™-M4 核心停止），根据 DBG 模块中 DBG_TMRx_STOP 的设置，TMRx 计数器可以或者继续正常操作，或者停止。详见 [第 22.2.2 节](#)。

9.3.4 TMR1 寄存器描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

下表中将 TMR1 的所有寄存器映射到一个 16 位可寻址（编址）空间

表 10-11 TMR1 寄存器图和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x00	TMRx_CTRL1	保留																CLKDIV[1: 0]		ARPEN		CMSEL[1: 0]		DIR		OPMODE		UVERS		UEVDIS		CNTEN			
		复位值																0		0		0		0		0		0		0					
0x04	TMRx_CTRL2	保留																OC1NS		OC11S		T1SEL		MMSEL[2: 0]		CDSEL		CUSEL		保留		CPC			
		复位值																0		0		0		0		0		0		0					
0x08	TMRx_SMC	保留																ETRGPF		ECLKEN		ETD[1: 0]		ETDF[3: 0]		MSMODE		TRGSEL[2: 0]		保留		保留		0	
		复位值																0		0		0		0		0		0		0					

0x0C	TMRx_DIE	保留												0	TRGDE		
	复位值	保留														HALLDE	
0x10	TMRx_STS	保留												0	C4DE		
	复位值	保留														C3DE	
0x14	TMRx_EVEG	保留												0	C2DE		
	复位值	保留														C1DE	
0x18	TMRx_CCM1 输出 比较模式	保留												0	UEVDE		
	复位值	保留														BRKIE	
	TMRx_CCM1 输入 捕获模式	保留													0	TRGIF	
	复位值	保留														HALLIE	
0x1C	TMRx_CCM2 输出 比较模式	保留												0	C4IE		
	复位值	保留														C4G	
	TMRx_CCM2 输入 捕获模式	保留												0	C3IE		
	复位值	保留														C2IE	
0x20	TMRx_CCE	保留												0	C1IE		
	复位值	保留														UEVIF	
0x24	TMRx_CNT	保留												0	CNT[15: 0]		
	复位值	保留														0	
0x28	TMRx_DIV	保留												0	DIV[15: 0]		
	复位值	保留														0	
0x2C	TMRx_AR	保留												0	AR[15: 0]		
	复位值	保留														0	
0x30	TMRx_RC	保留												0	RC[7: 0]		
	复位值	保留														0	
0x34	TMRx_CC1	保留												0	CC1[15: 0]		
	复位值	保留														0	
0x38	TMRx_CC2	保留												0	CC2[15: 0]		
	复位值	保留														0	

0x3C	TMRx_CC3	保留	CC3[15: 0]											
	复位值		0	0	0	0	0	0	0	0	0	0	0	0
0x40	TMRx_CC4	保留	CC4[15: 0]											
	复位值		0	0	0	0	0	0	0	0	0	0	0	0
0x44	TMRx_BRKDT	保留	MOEN	AOEN	BRKP	BRKEN	OSIMR	OSIMI	LOCK[1: 0]	DTGS[7: 0]				
	复位值		0	0	0	0	0	0	0	0	0	0	0	0
0x48	TMRx_DMAC	保留	DBLEN[4: 0]					保留	ADDR[4: 0]					
	复位值		0	0	0	0	0		0	0	0	0	0	0
0x4C	TMRx_DMABA	保留	DMABA[15: 0]											
	复位值		0	0	0	0	0	0	0	0	0	0	0	0

9.3.4.1 TMR1控制寄存器1 (TMRx_CTRL1)

偏移地址: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				CLKDIV [1: 0]	ARP EN	CMSEL [1: 0]	DIR	OPMO DE	UVE RS	UEV DIS	CNT EN				
res				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15: 10	保留, 始终读为 0。
位 9: 8	CLKDIV[1: 0]: 时钟分频因子 (Clock division) 这 2 位定义在定时器时钟 (CK_INT) 频率、死区时间和由死区发生器与数字滤波器 (ETR, TIx) 所用的采样时钟之间的分频比例。 00: $t_{DTS} = t_{CK_INT}$ 01: $t_{DTS} = 2 \times t_{CK_INT}$ 10: $t_{DTS} = 4 \times t_{CK_INT}$ 11: 保留, 不要使用这个配置
位 7	ARPEN: 自动重装载预装载允许位 (Auto-reload preload enable) 0: TMRx_AR 寄存器没有缓冲; 1: TMRx_AR 寄存器被装入缓冲器。
位 6: 5	CMSEL[1: 0]: 选择中央对齐模式 (Center-aligned mode selection) 00: 边沿对齐模式。计数器依据方向位 (DIR) 向上或向下计数。 01: 中央对齐模式 1。计数器交替地向上和向下计数。配置为输出的通道 (TMRx_CCMx 寄存器中 CxSEL=00) 的输出比较中断标志位, 只在计数器向下计数时被设置。 10: 中央对齐模式 2。计数器交替地向上和向下计数。配置为输出的通道 (TMRx_CCMx 寄存器中 CxSEL=00) 的输出比较中断标志位, 只在计数器向上计数时被设置。 11: 中央对齐模式 3。计数器交替地向上和向下计数。配置为输出的通道 (TMRx_CCMx 寄存器中 CxSEL=00) 的输出比较中断标志位, 在计数器向上和向下计数时均被设置。 注: 在计数器开启时 (CNTEN=1), 不允许从边沿对齐模式转换到中央对齐模式。
位 4	DIR: 方向 (Direction) 0: 计数器向上计数; 1: 计数器向下计数。 注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。
位 3	OPMODE: 单脉冲模式 (One pulse mode) 0: 在发生更新事件时, 计数器不停止; 1: 在发生下一次更新事件 (清除 CNTEN 位) 时, 计数器停止。

位 2	UVERS: 更新请求源 (Update request source) 软件通过该位选择 UEV 事件的源 0: 如果使能了更新中断或 DMA 请求，则下述任一事件产生更新中断或 DMA 请求： - 计数器溢出/下溢 - 设置 UEVG 位 - 从模式控制器产生的更新 1: 如果使能了更新中断或 DMA 请求，则只有计数器溢出/下溢才产生更新中断或 DMA 请求。
位 1	UEVDIS: 禁止更新 (Update disable) 软件通过该位允许/禁止 UEV 事件的产生 0: 允许 UEV。更新 (UEV) 事件由下述任一事件产生： - 计数器溢出/下溢 - 设置 UEVG 位 - 从模式控制器产生的更新具有缓存的寄存器被装入它们的预装载值。（更新影子寄存器） 1: 禁止 UEV。不产生更新事件，影子寄存器 (AR、DIV、CCx) 保持它们的值。如果设置了 UEVG 位或从模式控制器发出了一个硬件复位，则计数器和预分频器被重新初始化。
位 0	CNTEN: 使能计数器 (Counter enable) 0: 禁止计数器； 1: 使能计数器。 注：在软件设置了 CNTEN 位后，外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置 CNTEN 位。

9.3.4.2 TMR1控制寄存器2 (TMRx_CTRL2)

偏移地址: 0x04

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	OC4 IS	OC3 NIS	OC3 IS	OC2 NIS	OC2 IS	OC1 NIS	OC1 IS	TI1S EL	MMSEL[2: 0]	CDS EL	CUS EL	保留	CPC		
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	res	rw

位 15	保留，始终读为 0。
位 14	OC4IS: 输出空闲状态 4 (OC4 输出)。参见 OC1IS 位。
位 13	OC3NIS: 输出空闲状态 3 (OC3N 输出)。参见 OC1NIS 位。
位 12	OC3IS: 输出空闲状态 3 (OC3 输出)。参见 OC1IS 位。
位 11	OC2NIS: 输出空闲状态 2 (OC2N 输出)。参见 OC1NIS 位。
位 10	OC2IS: 输出空闲状态 2 (OC2 输出)。参见 OC1IS 位。
位 9	OC1NIS: 输出空闲状态 1 (OC1N 输出) (Output Idle state 1) 0: 当 MOEN=0 时，死区后 OC1N=0； 1: 当 MOEN=0 时，死区后 OC1N=1。 注：已经设置了 LOCK (TMRx_BKR 寄存器) 级别 1、2 或 3 后，该位不能被修改。
位 8	OC1IS: 输出空闲状态 1 (OC1 输出) (Output Idle state 1) 0: 当 MOEN=0 时，如果实现了 OC1N，则死区后 OC1=0。 1: 当 MOEN=0 时，如果实现了 OC1N，则死区后 OC1=1。 注：已经设置了 LOCK (TMRx_BKR 寄存器) 级别 1、2 或 3 后，该位不能被修改。
位 7	TI1SEL: TI1 选择 (TI1 selection) 0: TMRx_CH1 引脚连到 TI1 输入。 1: TMRx_CH1、TMRx_CH2 和 TMRx_CH3 引脚经异或后连到 TI1 输入。

位 6: 4	MMSEL[2: 0]: 主模式选择 (Master mode selection) 这 3 位用于选择在主模式下送到从定时器的同步信息 (TRGO)。可能的组合如下： 000: 复位 – TMRx_EVEG 寄存器的 UEVG 位被用于作为触发输出 (TRGO)。如果是触发输入产生的复位 (从模式控制器处于复位模式)，则 TRGO 上的信号相对实际的复位会有一个延迟。 001: 使能–计数器使能信号 CNT_EN 被用于作为触发输出 (TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过 CNTEN 控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时，TRGO 上会有一个延迟，除非选择了主/从模式 (见 TMRx_SMC 寄存器中 MSMODE 位的描述)。 010: 更新 – 更新事件被选为触发输入 (TRGO)。例如，一个主定时器的时钟可以被用作一个从定时器的预分频器。 011: 比较脉冲 – 在发生一次捕获或一次比较成功时，当要设置 C1IF 标志时 (即使它已经为高)，触发输出送出一个正脉冲 (TRGO)。 100: 比较 – OC1REF 信号被用于作为触发输出 (TRGO)。 101: 比较 – OC2REF 信号被用于作为触发输出 (TRGO)。 110: 比较 – OC3REF 信号被用于作为触发输出 (TRGO)。 111: 比较 – OC4REF 信号被用于作为触发输出 (TRGO)。
位 3	CDSEL: 捕获/比较的 DMA 选择 (Capture/compare DMA selection) 0: 当发生 CCx 事件时，送出 CCx 的 DMA 请求； 1: 当发生更新事件时，送出 CCx 的 DMA 请求。
位 2	CUSEL: 捕获/比较控制更新选择 (Capture/compare control update selection) 0: 如果捕获/比较控制位是预装载的 (CPC=1)，只能通过设置 HALL 位更新它们； 1: 如果捕获/比较控制位是预装载的 (CPC=1)，可以通过设置 HALL 位或 TRGI 上的一个上升沿更新它们。 注：该位只对具有互补输出的通道起作用。
位 1	保留，始终读为 0。
位 0	CPC: 捕获/比较预装载控制位 (Capture/compare preloaded control) 0: CxEN, CxNEN 和 OCxMODE 位不是预装载的； 1: CxEN, CxNEN 和 OCxMODE 位是预装载的；设置该位后，它们只在发生一个 HALL 事件的时候（设置了 HALL 位或检测到 TRGI 的上升沿，依据 CUSEL 位）被更新。 注：该位只对具有互补输出的通道起作用。

9.3.4.3 TMR1从模式控制寄存器 (TMRx_SMC)

偏移地址: 0x08

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETR GP	ECL KEN	ETD[1: 0]		ETDF[3: 0]		MSM ODE	TRGSEL[2: 0]	保留		SMSEL[2: 0]					
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	res	rw	rw	rw

位 15	ETRGP: 外部触发极性 (External trigger polarity) 该位选择是用 ETR 还是 ETR 的反相来作为触发操作 0: ETR 不反相，高电平或上升沿有效； 1: ETR 被反相，低电平或下降沿有效。
位 14	ECLKEN: 外部时钟使能位 (External clock enable) 该位启用外部时钟模式 2 0: 禁止外部时钟模式 2； 1: 使能外部时钟模式 2。计数器由 ETRF 信号上的任意有效边沿驱动。 注 1: 设置 ECLKEN 位与选择外部时钟模式 1 并将 TRGI 连到 ETRF (SMSEL=111 和 TRGSEL=111) 具有相同功效。 注 2: 下述从模式可以与外部时钟模式 2 同时使用：复位模式，门控模式和触发模式；但是，这时 TRGI 不能连到 ETRF (TRGSEL 位不能是'111')。 注 3: 外部时钟模式 1 和外部时钟模式 2 同时被使能时，外部时钟的输入是 ETRF。

位 13: 12	ETD[1: 0]: 外部触发预分频 (External trigger divide) 外部触发信号 ETRP 的频率必须最多是 TMRxCLK 频率的 1/4。当输入较快的外部时钟时，可以使用预分频降低 ETRP 的频率。 00: 关闭预分频； 01: ETRP 频率除以 2； 10: ETRP 频率除以 4； 11: ETRP 频率除以 8。
位 11: 8	ETDF[3: 0]: 外部触发滤波 (External trigger filter) 这些位定义了对 ETRP 信号采样的频率和对 ETRP 数字滤波的带宽。实际上，数字滤波器是一个事件计数器，它记录到 N 个事件后会产生一个输出的跳变。 0000: 无滤波器，以 f_{DTS} 采样 1000: 采样频率 $f_{SAMPLING} = f_{DTS}/8, N=6$ 0001: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=2$ 1001: 采样频率 $f_{SAMPLING} = f_{DTS}/8, N=8$ 0010: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=4$ 1010: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=5$ 0011: 采样频率 $f_{SAMPLING} = f_{CK_INT}, N=8$ 1011: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=6$ 0100: 采样频率 $f_{SAMPLING} = f_{DTS}/2, N=6$ 1100: 采样频率 $f_{SAMPLING} = f_{DTS}/16, N=8$ 0101: 采样频率 $f_{SAMPLING} = f_{DTS}/2, N=8$ 1101: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=5$ 0110: 采样频率 $f_{SAMPLING} = f_{DTS}/4, N=6$ 1110: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=6$ 0111: 采样频率 $f_{SAMPLING} = f_{DTS}/4, N=8$ 1111: 采样频率 $f_{SAMPLING} = f_{DTS}/32, N=8$
位 7	MSMODE: 主/从模式 (Master/slave mode) 0: 无作用； 1: 触发输入 (TRGI) 上的事件被延迟了，以允许在当前定时器 (通过 TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。
位 6: 4	TRGSEL[2: 0]: 触发选择 (Trigger selection) 这 3 位选择用于同步计数器的触发输入。 000: 内部触发 0 (ITR0) 100: TI1 的边沿检测器 (TI1F_ED) 001: 内部触发 1 (ITR1) 101: 滤波后的定时器输入 1 (TI1FP1) 010: 内部触发 2 (ITR2) 110: 滤波后的定时器输入 2 (TI2FP2) 011: 内部触发 3 (ITR3) 111: 外部触发输入 (ETRF) 更多有关 ITRx 的细节，参见表 10-13。 注：这些位只能在未用到 (如 SMSEL=000) 时被改变，以避免在改变时产生错误的边沿检测。
位 3	保留，始终读为 0。
位 2: 0	SMSEL[2: 0]: 从模式选择 (Slave mode selection) 当选择了外部信号，触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明) 000: 关闭从模式 – 如果 CNTEN=1，则预分频器直接由内部时钟驱动。 001: 编码器模式 1 – 根据 TI1FP1 的电平，计数器在 TI2FP2 的边沿向上/下计数。 010: 编码器模式 2 – 根据 TI2FP2 的电平，计数器在 TI1FP1 的边沿向上/下计数。 011: 编码器模式 3 – 根据另一个信号的输入电平，计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。 100: 复位模式 – 选中的触发输入 (TRGI) 的上升沿重新初始化计数器，并且产生一个更新寄存器的信号。 101: 门控模式 – 当触发输入 (TRGI) 为高时，计数器的时钟开启。一旦触发输入变为低，则计数器停止 (但不复位)。计数器的启动和停止都是受控的。 110: 触发模式 – 计数器在触发输入 TRGI 的上升沿启动 (但不复位)，只有计数器的启动是受控的。 111: 外部时钟模式 1 – 选中的触发输入 (TRGI) 的上升沿驱动计数器。 注：如果 TI1F_EN 被选为触发输入 (TRGSEL=100) 时，不要使用门控模式。这是因为，TI1F_ED 在每次 TI1F 变化时输出一个脉冲，然而门控模式是要检查触发输入的电平。

表 10-12 TMRx 内部触发连接

从定时器	ITR0 (TRGSEL=000)	ITR1 (TRGSEL=001)	ITR2 (TRGSEL=010)	ITR3 (TRGSEL=011)
TMR1	TMR5	TMR2	TMR3	TMR4

9.3.4.4 TMR1 DMA/中断使能寄存器 (TMRx_DIE)

偏移地址: 0x0C

复位值: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TRG DE	HAL LDE	C4DE	C3D E	C2D E	C1D E	UEV DE	BRKIE	TRGI E	HALL IE	C4IE	C3IE	C2IE	C1IE	UEVIE	
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15	保留, 始终读为 0。
位 14	TRGDE: 允许触发 DMA 请求 (Trigger DMA request enable) 0: 禁止触发 DMA 请求; 1: 允许触发 DMA 请求。
位 13	HALLDE: 允许 HALL 的 DMA 请求 (HALL DMA request enable) 0: 禁止 HALL 的 DMA 请求; 1: 允许 HALL 的 DMA 请求。
位 12	C4DE: 允许捕获/比较 4 的 DMA 请求 (Capture/Compare 4 DMA request enable) 0: 禁止捕获/比较 4 的 DMA 请求; 1: 允许捕获/比较 4 的 DMA 请求。
位 11	C3DE: 允许捕获/比较 3 的 DMA 请求 (Capture/Compare 3 DMA request enable) 0: 禁止捕获/比较 3 的 DMA 请求; 1: 允许捕获/比较 3 的 DMA 请求。
位 10	C2DE: 允许捕获/比较 2 的 DMA 请求 (Capture/Compare 2 DMA request enable) 0: 禁止捕获/比较 2 的 DMA 请求; 1: 允许捕获/比较 2 的 DMA 请求。
位 9	C1DE: 允许捕获/比较 1 的 DMA 请求 (Capture/Compare 1 DMA request enable) 0: 禁止捕获/比较 1 的 DMA 请求; 1: 允许捕获/比较 1 的 DMA 请求。
位 8	UEVDE: 允许更新的 DMA 请求 (Update DMA request enable) 0: 禁止更新的 DMA 请求; 1: 允许更新的 DMA 请求。
位 7	BRKIE: 允许刹车中断 (Break interrupt enable) 0: 禁止刹车中断; 1: 允许刹车中断。
位 6	TRGIE: 触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断; 1: 使能触发中断。
位 5	HALLIE: 允许 HALL 中断 (HALL interrupt enable) 0: 禁止 HALL 中断; 1: 允许 HALL 中断。
位 4	C4IE: 允许捕获/比较 4 中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较 4 中断; 1: 允许捕获/比较 4 中断。
位 3	C3IE: 允许捕获/比较 3 中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较 3 中断; 1: 允许捕获/比较 3 中断。
位 2	C2IE: 允许捕获/比较 2 中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较 2 中断; 1: 允许捕获/比较 2 中断。

位 1	C1IE: 允许捕获/比较 1 中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较 1 中断; 1: 允许捕获/比较 1 中断。
位 0	UEVIE: 允许更新中断 (Update interrupt enable) 0: 禁止更新中断; 1: 允许更新中断。

9.3.4.5 TMR1状态寄存器 (TMRx_STS)

偏移地址: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	C4O F	C3O F	C2O F	C1O F	保留	BRK IF	TRG IF	HAL LIF	C4I F	C3I F	C2I F	C1I F	UEV IF		
res	rW	rW	rW	rW	res	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 15: 13	保留, 始终读为 0。
位 12	C4OF: 捕获/比较 4 重复捕获标记 (Capture/Compare 4 overcapture flag) 参见 C1OF 描述。
位 11	C3OF: 捕获/比较 3 重复捕获标记 (Capture/Compare 3 overcapture flag) 参见 C1OF 描述。
位 10	C2OF: 捕获/比较 2 重复捕获标记 (Capture/Compare 2 overcapture flag) 参见 C1OF 描述。
位 9	C1OF: 捕获/比较 1 重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置 1。写 0 可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到 TMRx_CC1 寄存器时, C1IF 的状态已经为'1'。
位 8	保留, 始终读为 0。
位 7	BRKIF: 刹车中断标记 (Break interrupt flag) 一旦刹车输入有效, 由硬件对该位置'1'。如果刹车输入无效, 则该位可由软件清'0'。 0: 无刹车事件产生; 1: 刹车输入上检测到有效电平。
位 6	TRGIF: 触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在 TRGI 输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置'1'。它由软件清'0'。 0: 无触发器事件产生; 1: 触发中断等待响应。
位 5	HALLIF: HALL 中断标记 (HALL interrupt flag) 一旦产生 HALL 事件 (当捕获/比较控制位: CxEN、CxNEN、OCxMODE 已被更新) 该位由硬件置'1'。它由软件清'0'。 0: 无 HALL 事件产生; 1: HALL 中断等待响应。
位 4	C4IF: 捕获/比较 4 中断标记 (Capture/Compare 4 interrupt flag) 参考 C1IF 描述。
位 3	C3IF: 捕获/比较 3 中断标记 (Capture/Compare 3 interrupt flag) 参考 C1IF 描述。
位 2	C2IF: 捕获/比较 2 中断标记 (Capture/Compare 2 interrupt flag) 参考 C1IF 描述。

位 1	C1IF: 捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag) 如果通道 CC1 配置为输出模式: 当计数器值与比较值匹配时该位由硬件置 1，但在中心对称模式下除外（参考 TMRx_CTRL1 寄存器的 CMSEL 位）。它由软件清'0'。 0: 无匹配发生； 1: TMRx_CNT 的值与 TMRx_CC1 的值匹配。 当 TMRx_CC1 的内容大于 TMRx_APB 的内容时，在向上或向上/下计数模式时计数器溢出，或向下计数模式时的计数器下溢条件下，C1IF 位变高。 如果通道 CC1 配置为输入模式: 当捕获事件发生时该位由硬件置'1'，它由软件清'0'或通过读 TMRx_CC1 清'0'。 0: 无输入捕获产生； 1: 计数器值已被捕获（拷贝）至 TMRx_CC1（在 IC1 上检测到与所选极性相同的边沿）。
	UEVIF: 更新中断标记 (Update interrupt flag) 当产生更新事件时该位由硬件置'1'。它由软件清'0'。 0: 无更新事件产生； 1: 更新中断等待响应。当寄存器被更新时该位由硬件置'1': - 若 TMRx_CTRL1 寄存器的 UEVDIS=0，当重复计数器数值上溢或下溢时（重复计数器=0 时产生更新事件）。 - 若 TMRx_CTRL1 寄存器的 UVERS=0、UEVDIS=0，当设置 TMRx_EVEG 寄存器的 UEVG=1 时产生更新事件，通过软件对计数器 CNT 重新初始化时。 - 若 TMRx_CTRL1 寄存器的 UVERS=0、UEVDIS=0，当计数器 CNT 被触发事件重新初始化时。（参考 9.4.4.3: TMR1 从模式控制寄存器 (TMRx_SMC) ）。

9.3.4.6 TMR1事件产生寄存器 (TMRx_EVEG)

偏移地址: 0x14

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					保留			BRKG	TRGG	HALLG	C4G	C3G	C2G	C1G	UEVG
					res			rw	rw	rw	rw	rw	rw	rw	rw

位 15: 8	保留，始终读为 0。
位 7	BRKG: 产生刹车事件 (Break generation) 该位由软件置'1'，用于产生一个刹车事件，由硬件自动清'0'。 0: 无动作； 1: 产生一个刹车事件。此时 MOEN=0、BRKIF=1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。
位 6	TRGG: 产生触发事件 (Trigger generation) 该位由软件置'1'，用于产生一个触发事件，由硬件自动清'0'。 0: 无动作； 1: TMRx_STS 寄存器的 TRGIF=1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。
位 5	HALLG: 捕获/比较事件，产生控制更新 (Capture/Compare control update generation) 该位由软件置'1'，由硬件自动清'0'。 0: 无动作； 1: 当 CPC=1，允许更新 CxEN、CxNEN、OCxMODE 位。 注：该位只对拥有互补输出的通道有效。
位 4	C4G: 产生捕获/比较 4 事件 (Capture/Compare 4 generation) 参考 C1G 描述。
位 3	C3G: 产生捕获/比较 3 事件 (Capture/Compare 3 generation) 参考 C1G 描述。

位 2	C2G: 产生捕获/比较 2 事件 (Capture/Compare 2 generation) 参考 C1G 描述。
位 1	C1G: 产生捕获/比较 1 事件 (Capture/Compare 1 generation) 该位由软件置'1'，用于产生一个捕获/比较事件，由硬件自动清'0'。 0: 无动作； 1: 在通道 CC1 上产生一个捕获/比较事件： 若通道 CC1 配置为输出： 设置 C1IF=1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。 若通道 CC1 配置为输入： 当前的计数器值被捕获至 TMRx_CC1 寄存器；设置 C1IF=1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。若 C1IF 已经为 1，则设置 C1OF=1。
位 0	UEVG: 产生更新事件 (Update generation) 该位由软件置'1'，由硬件自动清'0'。 0: 无动作； 1: 重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清'0'（但是预分频系数不变）。若在中心对称模式下或 DIR=0（向上计数）则计数器被清'0'；若 DIR=1（向下计数）则取计数器取 TMRx_AR 的值。

9.3.4.7 TMR1捕获/比较模式寄存器1 (TMRx_CCM1)

偏移地址: 0x18

复位值: 0x0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CxSEL 位定义。该寄存器其它位的作用在输入和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2 DIS	OC2MODE[2: 0]	OC2 PEN	OC2 FEN	C2SEL[1: 0]	OC1 DIS	OC1MODE[2: 0]	OC1 PEN	OC1 FEN	C1SEL[1: 0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15	OC2DIS: 输出比较 2 清 0 使能 (Output Compare 2 clear enable)
位 14: 12	OC2MODE[2: 0]: 输出比较 2 模式 (Output Compare 2 mode)
位 11	OC2PEN: 输出比较 2 预装载使能 (Output Compare 2 preload enable)
位 10	OC2FEN: 输出比较 2 快速使能 (Output Compare 2 fast enable)
位 9: 8	C2SEL[1: 0]: 捕获/比较 2 选择。 (Capture/Compare 2 selection) 该位定义通道的方向（输入/输出），及输入脚的选择： 00: CC2 通道被配置为输出； 01: CC2 通道被配置为输入，IC2 映射在 TI2 上； 10: CC2 通道被配置为输入，IC2 映射在 TI1 上； 11: CC2 通道被配置为输入，IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时（由 TMRx_SMC 寄存器的 TRGSEL 位选择）。 注：C2SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C2NEN=0) 才是可写的。
位 7	OC1DIS: 输出比较 1 清'0'使能 (Output Compare 1 clear enable) 0: OC1REF 不受 ETRF 输入的影响； 1: 一旦检测到 ETRF 输入高电平，清除 OC1REF=0。

位 6: 4	<p>OC1MODE[2: 0]: 输出比较 1 模式 (Output Compare 1 mode) 该 3 位定义了输出参考信号 OC1REF 的动作，而 OC1REF 决定了 OC1、OC1N 的值。 OC1REF 是高电平有效，而 OC1、OC1N 的有效电平取决于 C1P、C1NP 位。 000: 冻结。输出比较寄存器 TMRx_CC1 与计数器 TMRx_CNT 间的比较对 OC1REF 不起作用； 001: 匹配时设置通道 1 为有效电平。当计数器 TMRx_CNT 的值与捕获 / 比较寄存器 1 (TMRx_CC1) 相同时，强制 OC1REF 为高。 010: 匹配时设置通道 1 为无效电平。当计数器 TMRx_CNT 的值与捕获 / 比较寄存器 1 (TMRx_CC1) 相同时，强制 OC1REF 为低。 011: 翻转。当 TMRx_CC1=TMRx_CNT 时，翻转 OC1REF 的电平。 100: 强制为无效电平。强制 OC1REF 为低。 101: 强制为有效电平。强制 OC1REF 为高。 110: PWM 模式 1— 在向上计数时，一旦 TMRx_CNT<TMRx_CC1 时通道 1 为有效电平，否则为无效电平；在向下计数时，一旦 TMRx_CNT>TMRx_CC1 时通道 1 为无效电平 (OC1REF=0)，否则为有效电平 (OC1REF=1)。 111: PWM 模式 2— 在向上计数时，一旦 TMRx_CNT<TMRx_CC1 时通道 1 为无效电平，否则为有效电平；在向下计数时，一旦 TMRx_CNT>TMRx_CC1 时通道 1 为有效电平，否则为无效电平。</p> <p>注 1: 一旦 LOCK 级别设为 3 (TMRx_BRKDT 寄存器中的 LOCKC 位) 并且 C1SEL=00 (该通道配置成输出) 则该位不能被修改。</p> <p>注 2: 在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，OC1REF 电平才改变。</p>
位 3	<p>OC1PEN: 输出比较 1 预装载使能 (Output Compare 1 preload enable) 0: 禁止 TMRx_CC1 寄存器的预装载功能，可随时写入 TMRx_CC1 寄存器，并且新写入的数值立即起作用。 1: 开启 TMRx_CC1 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TMRx_CC1 的预装载值在更新事件到来时被加载至当前寄存器中。</p> <p>注 1: 一旦 LOCK 级别设为 3 (TMRx_BRKDT 寄存器中的 LOCKC 位) 并且 C1SEL=00 (该通道配置成输出) 则该位不能被修改。</p> <p>注 2: 仅在单脉冲模式下 (TMRx_CTRL1 寄存器的 OPMODE=1)，可以在未确认预装载寄存器情况下使用 PWM 模式，否则其动作不确定。</p>
位 2	<p>OC1FEN: 输出比较 1 快速使能 (Output Compare 1 fast enable) 该位用于加快 CC 输出对触发输入事件的响应。 0: 根据计数器与 CC1 的值，CC1 正常操作，即使触发器是打开的。当触发器的输入有一个有效沿时，激活 CC1 输出的最小延时为 5 个时钟周期。 1: 输入到触发器的有效沿的作用就像发生了一次比较匹配。因此，OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。 OC1FEN 只在通道被配置成 PWM1 或 PWM2 模式时起作用。</p>
位 1: 0	<p>C1SEL[1: 0]: 捕获/比较 1 选择。 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出)，及输入脚的选择： 00: CC1 通道被配置为输出； 01: CC1 通道被配置为输入，IC1 映射在 TI1 上； 10: CC1 通道被配置为输入，IC1 映射在 TI2 上； 11: CC1 通道被配置为输入，IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注：C1SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C1EN=0) 才是可写的。</p>

输入捕获模式

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2DF[3: 0]	IC2DIV[1: 0]	C2SEL[1: 0]	IC1DF[3: 0]	IC1DIV[1: 0]	C1SEL[1: 0]										
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15: 12	IC2DF[3: 0]: 输入捕获 2 滤波器 (Input capture 2 filter)
位 11: 10	IC2DIV[1: 0]: 输入/捕获 2 预分频器 (Input capture 2 prescaler)

位 9: 8	C2SEL[1: 0]: 捕获/比较 2 选择 (Capture/Compare 2 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出; 01: CC2 通道被配置为输入, IC2 映射在 TI2 上; 10: CC2 通道被配置为输入, IC2 映射在 TI1 上; 11: CC2 通道被配置为输入, IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C2SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C2EN=0) 才是可写的。
位 7: 4	IC1DF [3: 0]: 输入捕获 1 滤波 (Input capture 1 filter) 这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变: 0000: 无滤波器, 以 f_{DTS} 采样 0001: 采样频率 $f_{SAMPLING} = f_{CK_INT}$, N=2 0010: 采样频率 $f_{SAMPLING} = f_{CK_INT}$, N=4 0011: 采样频率 $f_{SAMPLING} = f_{CK_INT}$, N=8 0100: 采样频率 $f_{SAMPLING} = f_{DTS}/2$, N=6 0101: 采样频率 $f_{SAMPLING} = f_{DTS}/2$, N=8 0110: 采样频率 $f_{SAMPLING} = f_{DTS}/4$, N=6 0111: 采样频率 $f_{SAMPLING} = f_{DTS}/4$, N=8 1000: 采样频率 $f_{SAMPLING} = f_{DTS}/8$, N=8 1001: 采样频率 $f_{SAMPLING} = f_{DTS}/8$, N=8 1010: 采样频率 $f_{SAMPLING} = f_{DTS}/16$, N=5 1011: 采样频率 $f_{SAMPLING} = f_{DTS}/16$, N=6 1100: 采样频率 $f_{SAMPLING} = f_{DTS}/16$, N=8 1101: 采样频率 $f_{SAMPLING} = f_{DTS}/32$, N=5 1110: 采样频率 $f_{SAMPLING} = f_{DTS}/32$, N=6 1111: 采样频率 $f_{SAMPLING} = f_{DTS}/32$, N=8
位 3: 2	IC1DIV[1: 0]: 输入/捕获 1 预分频器 (Input capture 1 prescaler) 这 2 位定义了 CC1 输入 (IC1) 的预分频系数. 一旦 C1EN=0 (TMRx_CCE 寄存器中), 则预分频器复位。 00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获; 01: 每 2 个事件触发一次捕获; 10: 每 4 个事件触发一次捕获; 11: 每 8 个事件触发一次捕获。
位 1: 0	C1SEL[1: 0]: 捕获/比较 1 选择 (Capture/Compare 1 Selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出; 01: CC1 通道被配置为输入, IC1 映射在 TI1 上; 10: CC1 通道被配置为输入, IC1 映射在 TI2 上; 11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C1SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C1EN=0) 才是可写的。

9.3.4.8 TMR1捕获/比较模式寄存器2 (TMRx_CCM2)

偏移地址: 0x1C

复位值: 0x0000

参看以上 CCM1 寄存器描述

输出比较模式

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4 DIS	OC4MODE[2: 0]	OC4 PE	OC4 FEN	C4SEL[1: 0]	OC3 DIS	OC3MODE[2: 0]	OC3 PEN	OC3 FEN	C3SEL[1: 0]						
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15	OC4DIS: 输出比较 4 清 0 使能 (Output compare 4 clear enable)
位 14: 12	OC4MODE[2: 0]: 输出比较 4 模式 (Output compare 4 mode)
位 11	OC4PEN: 输出比较 4 预装载使能 (Output compare 4 preload enable)
位 10	OC4FEN: 输出比较 4 快速使能 (Output compare 4 fast enable)

位 9: 8	C4SEL[1: 0]: 捕获/比较 4 选择 (Capture/Compare 4 selection) 该 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4 通道被配置为输出; 01: CC4 通道被配置为输入, IC4 映射在 TI4 上; 10: CC4 通道被配置为输入, IC4 映射在 TI3 上; 11: CC4 通道被配置为输入, IC4 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: CC4S 仅在通道关闭时 (TMRx_CCE 寄存器的 C4EN=0) 才是可写的。
位 7	OC3DIS: 输出比较 3 清 0 使能 (Output compare 3 clear enable)
位 6: 4	OC3MODE[2: 0]: 输出比较 3 模式 (Output compare 3 mode)
位 3	OC3PEN: 输出比较 3 预装载使能 (Output compare 3 preload enable)
位 2	OC3FEN: 输出比较 3 快速使能 (Output compare 3 fast enable)
位 1: 0	C3SEL[1: 0]: 捕获/比较 3 选择 (Capture/Compare 3 selection) 该 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC3 通道被配置为输出; 01: CC3 通道被配置为输入, IC3 映射在 TI3 上; 10: CC3 通道被配置为输入, IC3 映射在 TI4 上; 11: CC3 通道被配置为输入, IC3 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C3SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C3EN=0) 才是可写的。

输入捕获模式

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC4DF[3: 0]		IC4DIV[1: 0]		C4S[1: 0]		IC3DF[3: 0]		IC3DIV[1: 0]		C3SEL[1: 0]					
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 12															
IC4DF[3: 0]: 输入捕获 4 滤波器 (Input capture 4 filter)															
位 11: 10															
IC4DIV[1: 0]: 输入/捕获 4 预分频器 (Input capture 4 prescaler)															
位 9: 8															
C4S[1: 0]: 捕获/比较 4 选择 (Capture/Compare 4 selection) 该 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4 通道被配置为输出; 01: CC4 通道被配置为输入, IC4 映射在 TI4 上; 10: CC4 通道被配置为输入, IC4 映射在 TI3 上; 11: CC4 通道被配置为输入, IC4 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: CC4S 仅在通道关闭时 (TMRx_CCE 寄存器的 C4EN=0) 才是可写的。															
位 7: 4															
IC3DF[3: 0]: 输入捕获 3 滤波器 (Input capture 3 filter)															
位 3: 2															
IC3DIV[1: 0]: 输入/捕获 3 预分频器 (Input capture 3 prescaler)															
位 1: 0															
C3SEL[1: 0]: 捕获/比较 3 选择 (Capture/compare 3 selection) 该 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC3 通道被配置为输出; 01: CC3 通道被配置为输入, IC3 映射在 TI3 上; 10: CC3 通道被配置为输入, IC3 映射在 TI4 上; 11: CC3 通道被配置为输入, IC3 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TMRx_SMC 寄存器的 TRGSEL 位选择)。 注: C3SEL 仅在通道关闭时 (TMRx_CCE 寄存器的 C3EN=0) 才是可写的。															

9.3.4.9 TMR1捕获/比较使能寄存器 (TMRx_CCE)

偏移地址: 0x20

复位值: 0x0000

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	C4P	C4EN	C3NP	C3EN	C3P	C3EN	C2NP	C2EN	C2P	C2EN	C1NP	C1NEN	C1P	C1EN		
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15: 14	保留, 始终读为 0。
位 13	C4P: 输入/捕获 4 输出极性 (Capture/Compare 4 output polarity) 参考 C1P 的描述。
位 12	C4EN: 输入/捕获 4 输出使能 (Capture/Compare 4 output enable) 参考 C1OE 的描述。
位 11	C3NP: 输入/捕获 3 互补输出极性 (Capture/Compare 3 complementary output polarity) 参考 C1NP 的描述。
位 10	C3NEN: 输入/捕获 3 互补输出使能 (Capture/Compare 3 complementary output enable) 参考 C1NEN 的描述。
位 9	C3P: 输入/捕获 3 输出极性 (Capture/Compare 3 output polarity) 参考 C1P 的描述。
位 8	C3EN: 输入/捕获 3 输出使能 (Capture/Compare 3 output enable) 参考 C1OE 的描述。
位 7	C2NP: 输入/捕获 2 互补输出极性 (Capture/Compare 2 complementary output polarity) 参考 C1NP 的描述。
位 6	C2NEN: 输入/捕获 2 互补输出使能 (Capture/Compare 2 complementary output enable) 参考 C1NEN 的描述。
位 5	C2P: 输入/捕获 2 输出极性 (Capture/Compare 2 output polarity) 参考 C1P 的描述。
位 4	C2EN: 输入/捕获 2 输出使能 (Capture/Compare 2 output enable) 参考 C1OE 的描述。
位 3	C1NP: 输入/捕获 1 互补输出极性 (Capture/Compare 1 complementary output polarity) CC1 通道配置为输出: 0: OC1N 高电平有效; 1: OC1N 低电平有效。 CC1 通道配置为输入: C1NP 结合 C1P 定义 TI1FP1/TI2FP1 极性 (参考 C1P 描述) 注: 一旦 LOCK 级别 (TMRx_BRKDT 寄存器中的 LOCKC 位) 设为 3 或 2 且 C1SEL=00 (通道配置为输出) 则该位不能被修改。
位 2	C1NEN: 输入/捕获 1 互补输出使能 (Capture/Compare 1 complementary output enable) 0: 关闭 - OC1N 禁止输出, 因此 OC1N 的电平依赖于 MOEN、OSIMI、OSIMR、OC1IS、OC1NIS 和 C1EN 位的值。 1: 开启 - OC1N 信号输出到对应的输出引脚, 其输出电平依赖于 MOEN、OSIMI、OSIMR、OC1IS、OC1NIS 和 C1EN 位的值。
位 1	C1P: 输入/捕获 1 输出极性 (Capture/Compare 1 output polarity) CC1 通道配置为输出: 0: OC1 高电平有效 1: OC1 低电平有效 CC1 通道配置为输入: CC1NP/CC1P 位选择 TI1FP1 和 TI2FP1 的极性信号作为触发或捕获信号。 00: 不反相/上升沿。电路 TIxFP1 上升沿敏感 (捕获, 触发中的复位, 外部时钟或触发模式), TIxFP1 不反相 (触发中的门控模式)。 01: 反相/下降沿。电路对 TIxFP1 下降沿敏感 (捕获, 触发中的复位, 外部时钟或触发模式), TIxFP1 反相 (触发中的门控模式)。 10: 保留。

	11: 不反相/双沿。电路同时对 TIxFP1 上升沿和下降沿敏感（捕获，触发中的复位，外部时钟或触发模式），TIxFP1 是不反相（触发中门控模式）。 注：一旦 LOCK 级别 (TMRx_BRKDT 寄存器中的 LOCKC 位) 设为 3 或 2，则该位不能被修改。
位 0	<p>C1EN: 输入/捕获 1 输出使能 (Capture/Compare 1 output enable) CC1 通道配置为输出: 0 : 关闭— OC1 禁止输出, 因此 OC1 的输出电平依赖于 MOEN、OSIMI、OSIMR、OC1IS、OC1NIS 和 C1NEN 位的值。 1 : 开启— OC1 信号输出到对应的输出引脚, 其输出电平依赖于 MOEN 、 OSIMI 、 OSIMR 、 OC1IS 、 OC1NIS 和 C1NEN 位的值。 CC1 通道配置为输入: 该位决定了计数器的值是否能捕获入 TMRx_CC1 寄存器。 0: 捕获禁止; 1: 捕获使能。</p>

表10-13 带刹车功能的互补输出通道OCx和OCxN的控制位

控制位					输出状态 (1)	
MOEN 位	OSIMI 位	OSIMR 位	CxEN 位	CxNEN 位	OCx 输出状态	OCxN 输出状态
1	X	0	0	0	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	0	1	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	OCxREF + 极性, OCxN= OCxREF xor CxNP, OCxN_EN=1
		0	1	0	OCxREF+极性, OCx= OCxREF xor CxP, OCx_EN=1	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	1	1	OCxREF+极性+死区, OCx_EN=1	OCxREF 反相+极性+死区, OCxN_EN=1
		1	0	0	输出禁止 (与定时器断开) OCx=CxP, OCx_EN=0	输出禁止 (与定时器断开) OCxN=CxNP, OCxN_EN=0
		1	0	1	关闭状态 (输出使能且为无效电平) OCx=CxP, OCx_EN=1	OCxREF + 极性, OCxN= OCxREF xor CxNP, OCxN_EN=1
		1	1	0	OCxREF + 极性, OCx= OCxREF xor CxP, OCx_EN=1	关闭状态 (输出使能且为无效电平) OCxN=CxNP, OCxN_EN=1
		1	1	1	OCxREF+极性+死区, OCx_EN=1	OCxREF 反相+极性+死区, OCxN_EN=1
0	X	0	0	0	输出禁止 (与定时器断开) 异步地: OCx=CxP , OCx_EN=0 , OCxN=CxNP , OCxN_EN=0; 若时钟存在: 经过一个死区时间后 OCx=OC1IS, OCxN=OCxNIS, 假设 OC1IS 与 OCxNIS 并不都对应 OCx 和 OCxN 的有效电平。	
		0	0	1		
		0	1	0		
		0	1	1		
		1	0	0	关闭状态 (输出使能且为无效电平) 异步地: OCx=CxP , OCx_EN=1 , OCxN=CxNP , OCxN_EN=1;	
		1	0	1		

	1		1	0	若时钟存在：经过一个死区 时间后 OCx=OC1IS， OCxN=OCxNIS，假设 OC1IS 与 OCxNIS 并不都对应 OCx 和 OCxN 的有效电平。
	1		1	1	

注意：如果一个通道的 2 个输出都没有使用 ($CxEN = CxNEN = 0$)，那么 $OC1IS$, $OCxNIS$, CxP 和 $CxNP$ 都必须清零。

注意：引脚连接到互补的 OCx 和 $OCxN$ 通道的外部 I/O 引脚的状态，取决于 OCx 和 $OCxN$ 通道状态和 GPIO 以及 AFIO 寄存器。

9.3.4.10 TMR1计数器 (TMRx_CNT)

偏移地址: 0x24

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 0		CNT[15: 0]: 计数器的值 (Counter value)													

9.3.4.11 TMR1预分频器 (TMRx_DIV)

偏移地址: 0x28

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DIV[15: 0]																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 15: 0		DIV[15: 0]: 预分频器的值 (Prescaler value) 计数器的时钟频率 (CK_CNT) 等于 $f_{CK_DIV} / (DIV[15: 0] + 1)$ 。 DIV 包含了每次当更新事件产生时，装入当前预分频器寄存器的值；更新事件包括计数器被 TMR_EVEG 的 UEVG 位清'0'或被工作在复位模式的从控制器清'0'。														

9.3.4.12 TMR1自动重装载寄存器 (TMRx_AR)

偏移地址: 0x2C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
AR[15: 0]																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 15: 0		AR[15: 0]: 自动重装载的值 (Prescaler value) AR 包含了将要装载入实际的自动重装载寄存器的值。 详细参考 10.4.3.1 节 ：有关 AR 的更新和动作。当自动重装载的值为空时，计数器不工作。														

9.3.4.13 TMR1重复计数寄存器 (TMRx_RC)

偏移地址: 0x30

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								RC[7: 0]							
res								rw	rw	rw	rw	rw	rw	rw	rw
位 15: 8		保留, 始终读为 0。													
位 7: 0		RC[7: 0]: 重复计数器的值 (Repetition counter value) 启用了预装载功能后, 这些位允许用户设置比较寄存器的更新速率 (即周期性地从预装载寄存器传输到当前寄存器)。如果允许产生更新中断, 则会同时影响产生更新中断的速率。每次向下计数器 RC_CNT 达到 0, 会产生一个更新事件并且计数器 RC_CNT 重新从 RC 值开始计数。由于 RC_CNT 只有在周期更新事件 U_RC 发生时才重载 RC 值, 因此对 TMRx_RC 寄存器写入的新值只在下次周期更新事件发生时才起作用。 这意味着在 PWM 模式中, (RC+1) 对应着: – 在边沿对齐模式下, PWM 周期的数目; – 在中心对称模式下, PWM 半周期的数目;													

9.3.4.14 TMR1捕获/比较寄存器 1 (TMRx_CC1)

偏移地址: 0x34

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC1[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 0		CC1[15: 0]: 捕获/比较通道 1 的值 (Capture/Compare 1 value) 若 CC1 通道配置为输出: CC1 包含了装入当前捕获/比较 1 寄存器的值 (预装载值)。如果在 TMRx_CCM1 寄存器 (OC1PEN 位) 中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较, 并在 OC1 端口上产生输出信号。 若 CC1 通道配置为输入: CC1 包含了由上一次输入捕获 1 事件 (IC1) 传输的计数器值。													

9.3.4.15 TMR1捕获/比较寄存器 2 (TMRx_CC2)

偏移地址: 0x38

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC2[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 0		CC2[15: 0]: 捕获/比较通道 2 的值 (Capture/Compare 2 value) 若 CC2 通道配置为输出: CC2 包含了装入当前捕获/比较 2 寄存器的值 (预装载值)。如果在 TMRx_CCM2 寄存器 (OC2PEN 位) 中未选择预装载特性, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 2 寄存器中。当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较, 并在 OC2 端口上产生输出信号。 若 CC2 通道配置为输入: CC2 包含了由上一次输入捕获 2 事件 (IC2) 传输的计数器值。													

9.3.4.16 TMR1捕获/比较寄存器 3 (TMRx_CC3)

偏移地址: 0x3C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC3[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 0															
CC3[15: 0]: 捕获/比较通道 3 的值 (Capture/Compare 3 value) 若 CC3 通道配置为输出: CC3 包含了装入当前捕获/比较 3 寄存器的值 (预装载值)。 如果在 TMRx_CCM3 寄存器 (OC3PEN 位) 中未选择预装载特性, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 3 寄存器中。当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较, 并在 OC3 端口上产生输出信号。 若 CC3 通道配置为输入: CC3 包含了由上一次输入捕获 3 事件 (IC3) 传输的计数器值。															

9.3.4.17 TMR1捕获/比较寄存器4 (TMRx_CC4)

偏移地址: 0x40

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 0															
CC4[15: 0]: 捕获/比较通道 4 的值 (Capture/Compare 4 value) 若 CC4 通道配置为输出: CC4 包含了装入当前捕获/比较 4 寄存器的值 (预装载值)。 如果在 TMRx_CCM4 寄存器 (OC4PEN 位) 中未选择预装载特性, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 4 寄存器中。当前捕获/比较寄存器参与同计数器 TMRx_CNT 的比较, 并在 OC4 端口上产生输出信号。 若 CC4 通道配置为输入: CC4 包含了由上一次输入捕获 4 事件 (IC4) 传输的计数器值。															

9.3.4.18 TMR1刹车和死区寄存器 (TMRx_BRKDT)

偏移地址: 0x44

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MO EN	AO EN	BR KP	BRK EN	OSI MR	OSI MI	LOCKC[1: 0]	DTGS[7: 0]								
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注意: 根据锁定设置, AOEN、BRKP、BRKEN、OSIMR、OSIMI 和 DTGS[7: 0]位均可被写保护, 有必要在第一次写入 TMRx_BRKDT 寄存器时对它们进行配置。

位 15	MOEN: 主输出使能 (Main output enable) 一旦刹车输入有效, 该位被硬件异步清'0'。根据 AOEN 位的设置值, 该位可以由软件清'0'或被自动置 1。它仅对配置为输出的通道有效。 0: 禁止 OC 和 OCN 输出或强制为空闲状态; 1: 如果设置了相应的使能位 (TMRx_CCE 寄存器的 CxEN、CxNEN 位), 则开启 OC 和 OCN 输出。 有关 OC/OCN 使能的细节, 参见 9.4.4.9 节: TMR1 捕获/比较使能寄存器 (TMRx_CCE) 。
------	---

位 14	AOEN: 自动输出使能 (Automatic output enable) 0: MOEN 只能被软件置'1'; 1: MOEN 能被软件置'1'或在下一个更新事件被自动置'1' (如果刹车输入无效)。 注: 一旦 LOCK 级别 (TMRx_BRKDT 寄存器中的 LOCKC 位) 设为'1', 则该位不能被修改。
位 13	BRKP: 刹车输入极性 (Break polarity) 0: 刹车输入低电平有效; 1: 刹车输入高电平有效。 注: 一旦 LOCK 级别 (TMRx_BRKDT 寄存器中的 LOCKC 位) 设为'1', 则该位不能被修改。 注: 任何对该位的写操作都需要一个 APB 时钟的延迟以后才能起作用。
位 12	BRKEN: 刹车功能使能 (Break enable) 0: 禁止刹车输入 (BRK 及 CFD 时钟失效事件); 1: 开启刹车输入 (BRK 及 CFD 时钟失效事件)。 注: 一旦 LOCK 级别 (TMRx_BRKDT 寄存器中的 LOCKC 位) 设为'1', 则该位不能被修改。 注: 任何对该位的写操作都需要一个 APB 时钟的延迟以后才能起作用。
位 11	OSIMR: 运行模式下“关闭状态”选择 (Off-state selection for Run mode) 该位用于当 MOEN=1 且通道为互补输出时。没有互补输出的定时器中不存在 OSIMR 位。参考 OC/OCN 使能的详细说明(9.4.4.9 节 , TMR1 捕获/比较使能寄存器 (TMRx_CCE))。 0: 当定时器不工作时, 禁止 OC/OCN 输出 (OC/OCN 使能输出信号=0); 1: 当定时器不工作时, 一旦 CxEN=1 或 CxNEN=1, 首先开启 OC/OCN 并输出无效电平, 然后置 OC/OCN 使能输出信号=1。 注: 一旦 LOCK 级别 (TMRx_BRKDT 寄存器中的 LOCKC 位) 设为 2, 则该位不能被修改。
位 10	OSIMI: 空闲模式下“关闭状态”选择 (Off-state selection for Idle mode) 该位用于当 MOEN=0 且通道设为输出时。参考 OC/OCN 使能的详细说明(9.4.4.9 节 , TMR1 捕获/比较使能寄存器 (TMRx_CCE))。 0 : 当定时器不工作时, 禁止 OC/OCN 输出 (OC/OCN 使能输出信号=0); 1 : 当定时器不工作时, 一旦 CxEN=1 或 CxNEN=1 , OC/OCN 首先输出其空闲电平, 然后 OC/OCN 使能输出信号=1。 注: 一旦 LOCK 级别 (TMRx_BRKDT 寄存器中的 LOCKC 位) 设为 2, 则该位不能被修改。
位 9: 8	LOCKC[1: 0]: 锁定设置 (LENock configuration) 该位为防止软件错误而提供写保护。 00: 锁定关闭, 寄存器无写保护; 01: 锁定级别 1, 不能写入 TMRx_BRKDT 寄存器的 DTGS、BRKEN、BRKP、AOEN 位和 TMRx_CTRL2 寄存器的 OCXIS/OCxNIS 位; 10: 锁定级别 2, 不能写入锁定级别 1 中的各位, 也不能写入 CC 极性位 (一旦相关通道通过 CxSEL 位设为输出, CC 极性位是 TMRx_CCE 寄存器的 CxP/CCNxP 位) 以及 OSIMR/OSIMI 位; 11: 锁定级别 3, 不能写入锁定级别 2 中的各位, 也不能写入 CC 控制位 (一旦相关通道通过 CxSEL 位设为输出, CC 控制位是 TMRx_CCMx 寄存器的 OCxMODE/OCxPEN 位); 注: 在系统复位后, 只能写一次 LOCKC 位, 一旦写入 TMRx_BRKDT 寄存器, 则其内容冻结直至复位。
位 7: 0	DTGS[7: 0]: 死区发生器设置 (Dead-time generator setup) 这些位定义了插入互补输出之间的死区持续时间。假设 DT 表示其持续时间: DTGS[7: 5]=0xx => DT=DTGS[7: 0] × Tdtg, Tdtg = T _{DTS} ; DTGS[7: 5]=10x => DT= (64+DTGS[5: 0]) × Tdtg, Tdtg = 2 × T _{DTS} ; DTGS[7: 5]=110 => DT= (32+DTGS[4: 0]) × Tdtg, Tdtg = 8 × T _{DTS} ; DTGS[7: 5]=111 => DT= (32+DTGS[4: 0]) × Tdtg, Tdtg = 16 × T _{DTS} ; 例: 若 T _{DTS} = 125ns (8MHz), 可能的死区时间为: 0 到 15875ns, 若步长时间为 125ns; 16us 到 31750ns, 若步长时间为 250ns; 32us 到 63us, 若步长时间为 1us; 64us 到 126us, 若步长时间为 2us; 注: 一旦 LOCK 级别 (TMRx_BRKDT 寄存器中的 LOCKC 位) 设为 1、2 或 3, 则不能修改这些位。

9.3.4.19 TMR1 DMA控制寄存器 (TMRx_DMAR)

偏移地址: 0x48

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
保留	DBLEN[4: 0]								保留	ADDR[4: 0]							
res	rw	rw	rw	rw	rw	rw	rw	res	rw	rw	rw	rw	rw	rw	rw		
位 15: 13	保留, 始终读为 0。																
位 12: 8	DBLEN[4: 0]: DMA 连续传送长度 (DMA burst length) 这些位定义了 DMA 在连续模式下的传送长度(当对 TMRx_DMABA 寄存器进行读或写时, 定时器则 进行一次连续传送), 即: 定义传输的次数, 传输可以是半字 (双字节) 或字节: 00000: 1 次传输 00001: 2 次传输 00010: 3 次传输 10001: 18 次传输 例: 我们考虑这样的传输: DBLEN=7, ADDR=TMR2_CTRL1 - 如果 DBLEN=7, ADDR=TMR2_CTRL1 表示待传输数据的地址, 那么传输的地址由下式给出: (TMRx_CTRL1 的地址) + ADDR + (DMA 索引), 其中 DMA 索引= DBLEN 其中 (TMRx_CTRL1 的地址) + ADDR 再加上 7, 给出了将要写入或者读出数据的地址, 这样数据的传输将发生在从地址 (TMRx_CTRL1 的地址) + ADDR 开始的 7 个寄存器。 根据 DMA 数据长度的设置, 可能发生以下情况: - 如果设置数据为半字 (16 位), 那么数据就会传输给全部 7 个寄存器。 - 如果设置数据为字节, 数据仍然会传输给全部 7 个寄存器: 第一个寄存器包含第一个 MSB 字节, 第二个寄存器包含第一个 LSB 字节, 以此类推。因此对于定时器, 用户必须指定由 DMA 传输的数据宽度。																
位 7: 5	保留, 始终读为 0。																
位 4: 0	ADDR[4: 0]: DMA 基地址 (DMA base address) 这些位定义了 DMA 在连续模式下的基地址 (当对 TMRx_DMAR 寄存器进行读或写时), ADDR 定义为从 TMRx_CTRL1 寄存器所在地址开始的偏移量: 00000: TMRx_CTRL1, 00001: TMRx_CTRL2, 00010: TMRx_SMC,																

9.3.4.20 TMR1连续模式的DMA地址 (TMRx_DMABA)

偏移地址: 0x4C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMABA[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 0	DMABA[15: 0]: DMA 连续传送寄存器 (DMA register for burst accesses) 对 TMRx_DMAR 寄存器的读或写会导致对以下地址所在寄存器的存取操作: TMRx_CTRL1 地址 + ADDR + DMA 索引, 其中: “TMRx_CTRL1 地址” 是控制寄存器 1 (TMRx_CTRL1) 所在的地址; “ADDR” 是 TMRx_DMAR 寄存器中定义的基地址; “DMA 索引” 是由 DMA 自动控制的偏移量, 它取决于 TMRx_DMAR 寄存器中定义的 DBLEN。														

10 看门狗

10.1 窗口看门狗（WWDG）

10.1.1 WWDG简介

AT32F415 内置两个看门狗，提供了更高的安全性、时间的精确性和使用的灵活性。两个看门狗设备（独立看门狗和窗口看门狗）可用来检测和解决由软件错误引起的故障；当计数器达到给定的超时值时，触发一个中断（仅适用于窗口型看门狗）或产生系统复位。

独立看门狗（IWDG）由专用的低速时钟（LSI）驱动，即使主时钟发生故障它也仍然有效。窗口看门狗由从 APB1 时钟分频后得到的时钟驱动，通过可配置的时间窗口来检测应用程序非正常的过迟或过早的操作。

窗口看门狗通常被用来监测，由外部干扰或不可预见的逻辑条件造成应用程序背离正常的运行序列而产生的软件故障。除非递减计数器的值在 CNTR6 位变成 0 前被刷新，看门狗电路在达到预置的时间周期时，会产生一个 MCU 复位。在递减计数器达到窗口寄存器数值之前，如果 7 位的递减计数器数值（在控制寄存器中）被刷新，那么也将产生一个 MCU 复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

IWDG 最适合应用于那些需要看门狗作为一个在主程序之外，能够完全独立工作，并且对时间精度要求较低的场合。WWDG 最适合那些要求看门狗在精确计时窗口起作用的应用程序。

关于独立看门狗的详情，请参看第 10.2 节。

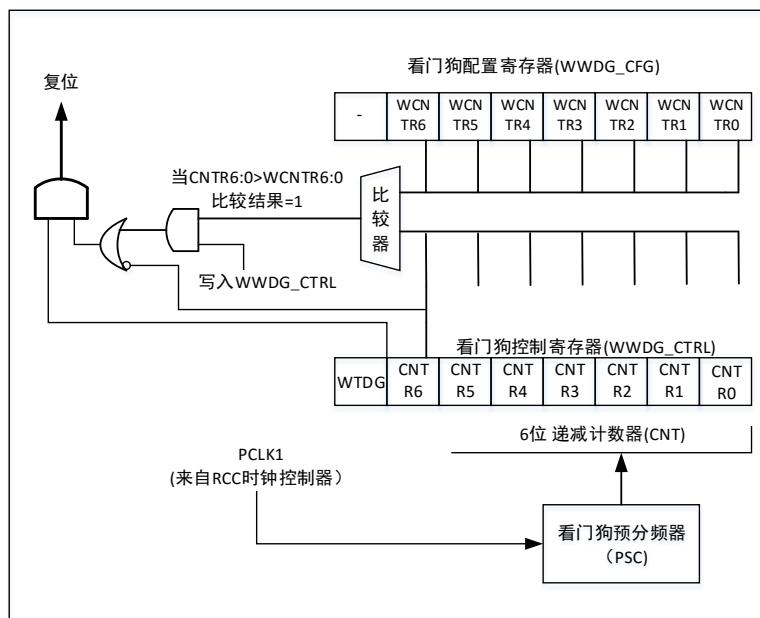
10.1.2 WWDG主要特性

- 可编程的自由运行递减计数器
- 条件复位
 - 当递减计数器的值小于 0x40，（若看门狗被启动）则产生复位。
 - 当递减计数器在窗口外被重新装载，（若看门狗被启动）则产生复位。
- 如果启动了看门狗并且允许中断，当递减计数器等于 0x40 时产生早期唤醒中断（EWIEN），它可以被用于重装载计数器以避免 WWDG 复位。

10.1.3 WWDG功能描述

如果看门狗被启动（WWDG_CTRL 寄存器中的 EN 位被置‘1’），并且当 7 位（CNTR[6: 0]）递减计数器从 0x40 翻转到 0x3F（CNTR6 位清零）时，则产生一个复位。如果软件在计数器值大于窗口寄存器中的数值时重新装载计数器，将产生一个复位。

图 10-1 看门狗框图



应用程序在正常运行过程中必须定期地写入 **WWDG_CTRL** 寄存器以防止 MCU 发生复位。只有当计数器值小于窗口寄存器的值时，才能进行写操作。储存在 **WWDG_CTRL** 寄存器中的数值必须在 0xFF 和 0xC0 之间：

- 启动看门狗

在系统复位后，看门狗总是处于关闭状态，设置 **WWDG_CTRL** 寄存器的 **EN** 位能够开启看门狗，随后它不能再被关闭，除非发生复位。

- 控制递减计数器

递减计数器处于自由运行状态，即使看门狗被禁止，递减计数器仍继续递减计数。当看门狗被启用时，**CNTR6** 位必须被设置，以防止立即产生一个复位。**CNTR[5:0]** 位包含了看门狗产生复位之前的计时数目；复位前的延时时间在一个最小值和一个最大值之间变化，这是因为写入 **WWDG_CTRL** 寄存器时，预分频值是未知的。配置寄存器 (**WWDG_CFG**) 中包含窗口的上限值：要避免产生复位，递减计数器必须在其值小于窗口寄存器的数值并且大于 0x3F 时被重新装载，图 11-2 描述了窗口寄存器的工作过程。另一个重装载计数器的方法是利用早期唤醒中断 (**EWIEN**)。设置 **WWDG_CFG** 寄存器中的 **EWIEN** 位开启该中断。当递减计数器到达 0x40 时，则产生此中断，相应的中断服务程序 (**ISTS**) 可以用来加载计数器以防止 **WWDG** 复位。在 **WWDG_STS** 寄存器中写 ‘0’ 可以清除该中断。

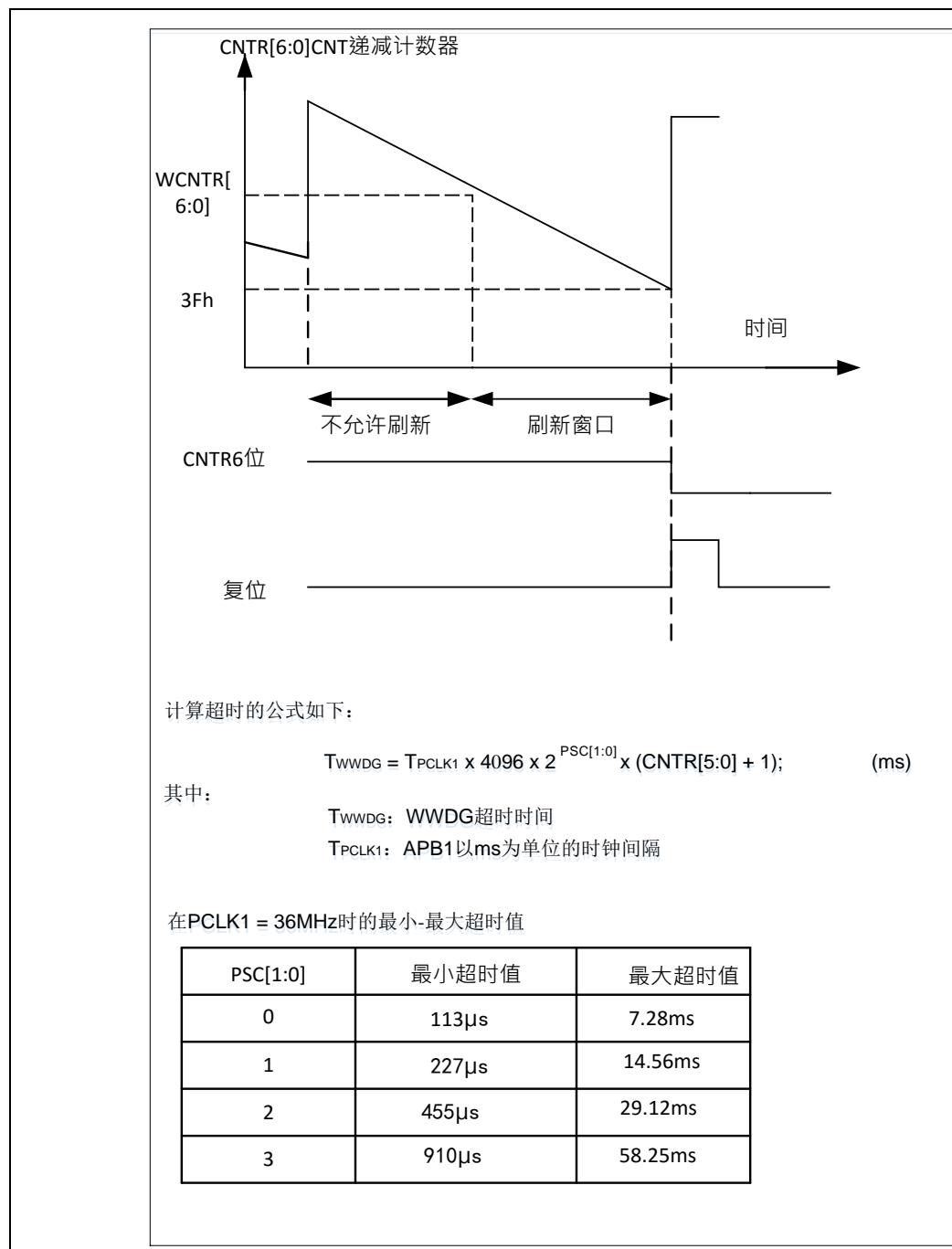
注意：可以用 **CNTR6** 位产生一个软件复位（设置 **EN** 位为 ‘1’，**CNTR6** 位为 ‘0’）。

10.1.4 如何编写看门狗超时程序

可以使用 [图 10-2](#) 提供的公式计算窗口看门狗的超时时间。

警告：当写入 **WWDG_CTRL** 寄存器时，始终置 **CNTR6** 位为 ‘1’ 以避免立即产生一个复位。

图 10-2 窗口看门狗时序图



10.1.5 调试模式

当微控制器进入调试模式时 (Cortex™-M4 核心停止)，根据调试模块中的 `DBG_WWDG_STOP` 配置位的状态，WWDG 的计数器能够继续工作或停止。详见[第 18.2.2 节](#)。

10.1.6 寄存器描述

可以用半字 (16 位) 或字 (32 位) 的方式操作这些外设寄存器。

表 10-1 WWDG 寄存器映像和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	-----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

0x00	WWDG_CTL RL	保留	EN	CNTR[6: 0]								
				0	1	1	1	1	1	1	1	
0x04	WWDG_CFG	保留	EWIEN	PSC[1: 0]	WCNTR[6: 0]							
					0	0	0	1	1	1	1	1
0x08	WWDG_STS	保留	EWIF									

10.1.6.1 控制寄存器 (WWDG_CTRL)

地址偏移量: 0x00

复位值: 0x7F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16									
保留																								
res																								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
保留								EN	CNTR[6: 0]															
res																								
位 31: 8		保留。																						
位 7		EN: 激活位 (Activation bit) 此位由软件置'1', 但仅能由硬件在复位后清'0'. 当 EN=1 时, 看门狗可以产生复位。 0: 禁止看门狗 1: 启用看门狗																						
位 6: 0		CNTR[6: 0]: 7 位计数器 (MSB 至 LSB) (7-bit counter) 这些位用来存储看门狗的计数器值。每 (4096×2^{PSC}) 个 PCLK1 周期减 1。当计数器值从 40h 变为 3Fh 时 (CNTR6 变成 0), 产生看门狗复位。																						

10.1.6.2 配置寄存器 (WWDG_CFG)

地址偏移量: 0x04

复位值: 0x7F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
保留																	
res																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
保留								EWIEN	PSC[1: 0]	WCNTR[6: 0]							

	res	rs	rw	rw
位 31: 8	保留。			
位 9	EWIEN: 提前唤醒中断 (Early wakeup interrupt) 此位若置'1', 则当计数器值达到 40h, 即产生中断。此中断只能由硬件在复位后清除。			
位 8: 7	PSC[1: 0]: 时基 预分频器的时基可以设置如下: 00: CK 计时器时钟 (PCLK1 除以 4096) 除以 1 01: CK 计时器时钟 (PCLK1 除以 4096) 除以 2 10: CK 计时器时钟 (PCLK1 除以 4096) 除以 4 11: CK 计时器时钟 (PCLK1 除以 4096) 除以 8			
位 6: 0	WCNTR[6: 0]: 7 位窗口值 (7-bit window value) 这些位包含了用来与递减计数器进行比较用的窗口值。			

10.1.6.3 状态寄存器 (WWDG_STS)

地址偏移量: 0x08

复位值: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															EWIF
res															

位 31: 1	保留。
位 0	EWIF: 提前唤醒中断标志 (Early wakeup interrupt flag) 当计数器值达到 40h 时, 此位由硬件置'1'。它必须通过软件写'0'来清除。对此位写'1'无效。若中断未被使能, 此位也会被置'1'。

10.2 独立看门狗 (IWDG)

10.2.1 简介

独立看门狗 (IWDG) 由专用的低速时钟 (LSI) 驱动, 即使主时钟发生故障它也仍然有效。

IWDG 最适合应用于那些需要看门狗作为一个在主程序之外, 能够完全独立工作, 并且对时间精度要求较低的场合。

10.2.2 IWDG 主要性能

- 自由运行的递减计数器
- 时钟由独立的RC振荡器提供 (可在停止和待机模式下工作)
- 看门狗被激活后, 则在计数器计数至0x000时产生复位

10.2.3 IWDG 功能描述

图 11-3 为独立看门狗模块的功能框图。在键寄存器 (IWDG_KEY) 中写入 0xFFFF, 开始启用独立看门狗; 此时计数器开始从其复位值 0xFFFF 递减计数。当计数器计数到末尾 0x000 时, 会产生一个复位信号 (IWDG_RESET)。

无论何时, 只要在键寄存器 IWDG_KEY 中写入 0xAAAA, IWDG_RLD 中的值就会被重新加载到计数器, 从而避免产生看门狗复位。

10.2.3.1 硬件看门狗

如果用户在选择字节中启用了“硬件看门狗”功能，在系统上电复位后，看门狗会自动开始运行；如果在计数器计数结束前，若软件没有向键寄存器写入相应的值，则系统会产生复位。

10.2.3.2 寄存器访问保护

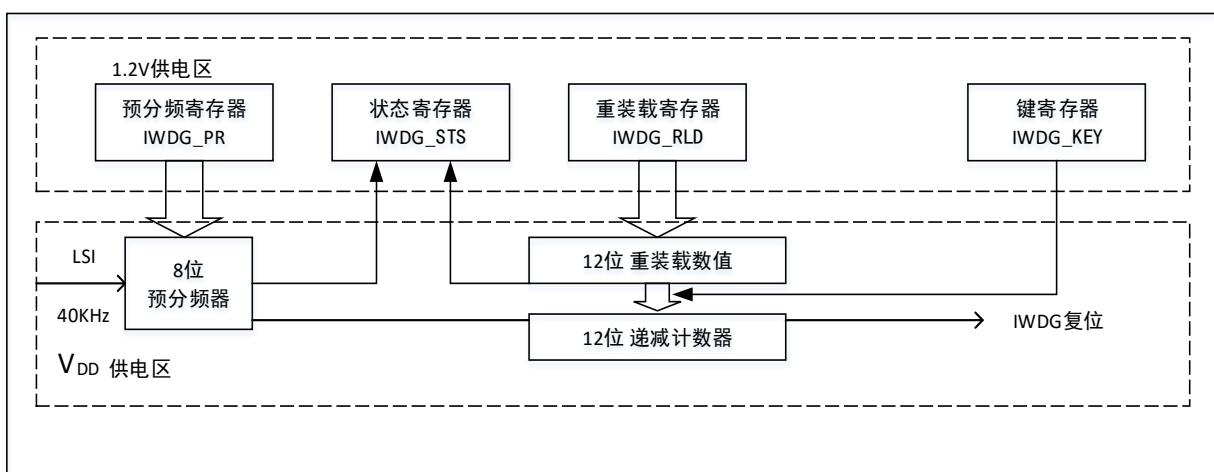
IWDG_PR 和 IWDG_RLD 寄存器具有写保护功能。要修改这两个寄存器的值，必须先向 IWDG_KEY 寄存器中写入 0x5555。以不同的值写入这个寄存器将会打乱操作顺序，寄存器将重新被保护。重装载操作（即写入 0xAAAA）也会启动写保护功能。

状态寄存器指示预分频值和递减计数器是否正在被更新。

10.2.3.3 调试模式

当微控制器进入调试模式时（Cortex™-M4 核心停止），根据调试模块中的 DBG_IWDG_STOP 配置位的状态，IWDG 的计数器能够继续工作或停止。详见有关调试模块的章节。

图 11-3 独立看门狗框图



注意：看门狗功能处于 V_{DD} 供电区，即在停机和待机模式时仍能正常工作。

表 11-2 看门狗超时时间（40kHz 的输入时钟（LSI））⁽¹⁾

预分频系数	PR[2: 0]位	最短时间 (ms) RLD[11: 0] = 0x000	最长时间 (ms) RLD[11: 0] = 0xFFFF
/4	0	0.1	409.6
/8	1	0.2	819.2
/16	2	0.4	1638.4
/32	3	0.8	3276.8
/64	4	1.6	6553.6
/128	5	3.2	13107.2
/256	(6 或 7)	6.4	26214.4

注意：这些时间是按照 40kHz 时钟给出。实际上，MCU 内部的 RC 频率会在 30kHz 到 60kHz 之间变化。此外，即使 RC 振荡器的频率是精确的，确切的时序仍然依赖于 APB 接口时钟与 RC 振荡器时钟之间的相位差，因此总会有一个完整的 RC 周期是不确定的。

通过对 LSI 进行校准可获得相对精确的看门狗超时时间。有关 LSI 校准的问题，详见 [3.2.5 节](#)。

10.2.4 IWDG 寄存器描述

关于在寄存器描述里面所用到的缩写，详见表 1-4。可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	IWDG_KEY	保留										KEY[15: 0]																					
	复位值											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0x04	IWDG_PR	保留										PR[2: 0]																0					
	复位值											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				
0x08	IWDG_RLD	保留										RLD[11: 0]																1					
	复位值											1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1				
0x08	IWDG_STS	保留																		RLDF		PSCF						0					
	复位值											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				

10.2.4.1 键寄存器 (IWDG_KEY)

地址偏移: 0x00

复位值: 0x0000 0000 (在待机模式复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	保留																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	res																	
																KEY[15: 0]																	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			
位 31: 16								保留, 始终读为 0。																									
位 15: 0								KEY[15: 0]: 键值 (只写寄存器, 读出值为 0x0000) (Key value) 软件必须以一定的间隔写入 0xAAAA, 否则, 当计数器为 0 时, 看门狗会产生复位。 写入 0x5555 表示允许访问 IWDG_PR 和 IWDG_RLD 寄存器。(见 10.2.3.2 节) 写入 0xCCCC, 启动看门狗工作 (若选择了硬件看门狗则不受此命令字限制)。																									

10.2.4.2 预分频寄存器 (IWDG_PR)

地址偏移: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	保留														
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	res														
																KEY[15: 0]														
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw																

	保留	PR[2: 0]
	res	rw rw rw
位 31: 3	保留, 始终读为 0。	
位 2: 0	PR[2: 0]: 预分频因子 (Prescaler divider) 这些位具有写保护设置, 参见 10.2.3.2 节 。通过设置这些位来选择计数器时钟的预分频因子。要改变预分频因子, IWDG_STS 寄存器的 PSCF 位必须为 0。 000: 预分频因子=4 100: 预分频因子=64 001: 预分频因子=8 101: 预分频因子=128 010: 预分频因子=16 110: 预分频因子=256 011: 预分频因子=32 111: 预分频因子=256 注意: 对此寄存器进行读操作, 将从 VDD 电压域返回预分频值。如果写操作正在进行, 则读回的值可能是无效的。因此, 只有当 IWDG_STS 寄存器的 PSCF 位为 0 时, 读出的值才有效。	

10.2.4.3 重装载寄存器 (IWDG_RLD)

地址偏移: 0x08

复位值: 0x0000 0FFF (待机模式时复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		RLD[11: 0]													
res		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31: 12	保留, 始终读为 0。														
位 11: 0	RLD[11: 0]: 看门狗计数器重装载值 (WCNTRatchdog counter reload value) 这些位具有写保护功能, 参看 10.2.3.2 节 。用于定义看门狗计数器的重装载值, 每当向 IWDG_KEY 寄存器写入 0xAaaa 时, 重装载值会被传送到计数器中。随后计数器从这个值开始递减计数。看门狗超时周期可通过此重装载值和时钟预分频值来计算, 参照表 10-2。 只有当 IWDG_STS 寄存器中的 RLDF 位为 0 时, 才能对此寄存器进行修改。 注意: 对此寄存器进行读操作, 将从 VDD 电压域返回重装载值。如果写操作正在进行, 则读回的值可能是无效的。因此, 只有当 IWDG_STS 寄存器的 RLDF 位为 0 时, 读出的值才有效。														

10.2.4.4 状态寄存器 (IWDG_STS)

地址偏移: 0x0C

复位值: 0x0000 0000 (待机模式时不复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															RLDF PSCF
res															r r

位 31: 2	保留。
位 1	RLDF: 看门狗计数器重装载值更新 (WCNTRatchdog counter reload value update) 此位由硬件置'1'用来指示重装载值的更新正在进行中。当在 VDD 域中的重装载更新结束后, 此位由硬件清'0' (最多需 5 个 40kHz 的 RC 周期)。重装载值只有在 RLDF 位被清'0'后才可更新。
位 0	PSCF: 看门狗预分频值更新 (WCNTRatchdog prescaler value update) 此位由硬件置'1'用来指示预分频值的更新正在进行中。当在 VDD 域中的预分频值更新结束后, 此位由硬件清'0' (最多需 5 个 40kHz 的 RC 周期)。预分频值只有在 PSCF 位被清'0'后才可更新。

注意: 如果在应用程序中使用了多个重装载值或预分频值, 则必须在 **RLDF** 位被清除后才能重新改变预装载值, 在 **PSCF** 位被清除后才能重新改变预分频值。然而, 在预分频和/或重装值更新后, 不必等待 **RLDF** 或 **PSCF** 复位, 可继续执行下面的代码。 (即是在低功耗模式下, 此写操作仍会被继续执行完成。)

11 实时时钟 (ERTC)

11.1 前言

实时时钟 (ERTC) 是一个独立的 BCD 定时器/计数器。ERTC 提供一个日历时钟、两个可编程 闹钟中断，以及一个具有中断功能的周期性可编程唤醒标志。ERTC 还包含用于管理低功耗模式的自动唤醒单元。

两个 32 位寄存器包含二进码十进数格式 (BCD) 的秒、分钟、小时 (12 或 24 小时制)、星期几、日期、月份和年份。此外，还可提供二进制格式的亚秒值。

系统可以自动将月份的天数补偿为 28、29 (闰年)、30 和 31 天。并且还可以进行夏令时 补偿。

其它 32 位寄存器还包含可编程的闹钟亚秒、秒、分钟、小时、星期几和日期。

此外，还可以使用数字校准功能对晶振精度的偏差进行补偿。

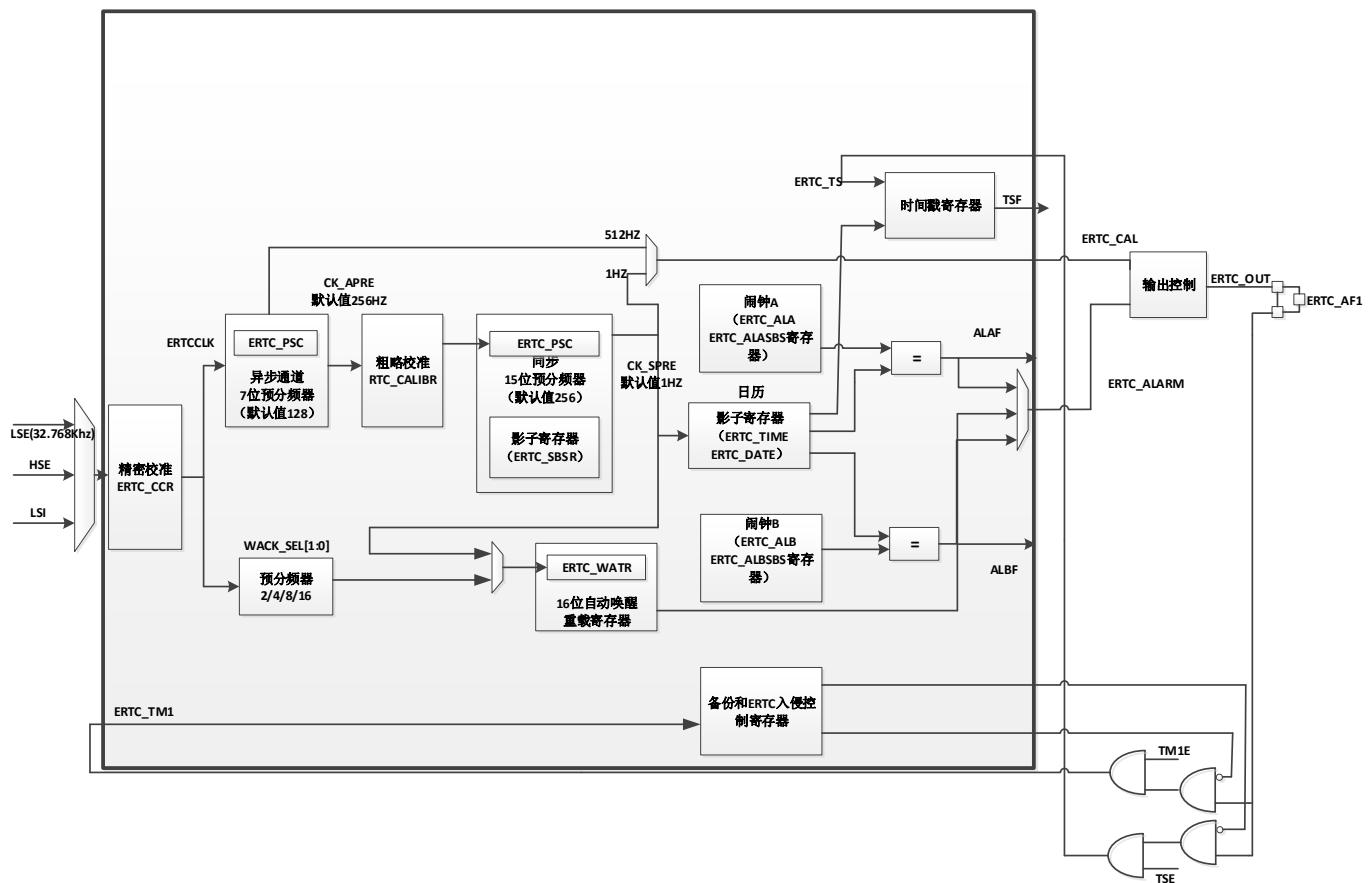
上电复位后，所有 ERTC 寄存器都会受到保护，以防止可能的非正常写访问。

无论器件状态如何 (运行模式、低功耗模式或处于复位状态)，只要电源电压保持在工作范围内，ERTC 便不会停止工作。

11.2 ERTC的主要特性

- 包含亚秒、秒、分钟、小时 (12/24 小时制)、星期几、日期、月份和年份的日历。
- 软件可编程的夏令时补偿。
- 两个具有中断功能的可编程闹钟。可通过任意日历字段的组合驱动闹钟。
- 自动唤醒单元，可周期性地生成标志以触发自动唤醒中断。
- 参考时钟检测：可使用更加精确的第二时钟源 (50 Hz 或 60 Hz) 来提高日历的精确度。
- 利用亚秒级移位特性与外部时钟实现精确同步。
- 可屏蔽中断/事件：
 - 闹钟 A
 - 闹钟 B
 - 唤醒中断
 - 时间戳
 - 入侵检测
- 数字校准电路 (周期性计数器调整)
 - 精度为 5 ppm
 - 精度为 0.95 ppm，在数秒钟的校准窗口中获得
- 用于事件保存的时间戳功能 (1 个事件)
- 入侵检测：
 - 2 个带可配置过滤器和内部上拉的入侵事件
- 20 个备份寄存器 (80 字节)。发生入侵检测事件时，将复位备份寄存器。
- 复用功能输出 (ERTC_OUT)，可选择以下两个输出之一：
 - ERTC_CAL：512 Hz 或 1 Hz 时钟输出 (LSE 频率为 32.768 kHz)。可通过将 ERTC_CTRL 寄存器中的 CALOE[23] 位置 1 来使能此输出。该输出可连接到器件 ERTC_AF1 功能。
 - ERTC_ALARM (闹钟 A、闹钟 B 或唤醒)。可通过配置 ERTC_CTRL 寄存器的 OSEL[1:0] 位选择此输出。该输出可连接到器件 ERTC_AF1 功能。
- ERTC 复用功能输入：
 - ERTC_TS：时间戳事件检测。该输入可连接到器件 ERTC_AF1。
 - ERTC_TAMP：TAMPER 事件检测。该输入可连接到器件 ERTC_AF1。
 - ERTC_REFIN：参考时钟输入 (通常为市电，50 Hz 或 60 Hz)。

图 11-1 ERTC 框图



11.3 ERTC功能说明

11.3.1 时钟和预分频器

ERTC 时钟源 (ERTCCLK) 通过时钟控制器从 LSE 时钟、LSI 振荡器时钟以及 HSE 时钟三者中选择。有关 ERTC 时钟源配置的更多信息，请参见第 3 章：复位和时钟控制 (RCC)。

可编程的预分频器阶段可生成 1 Hz 的时钟，用于更新日历。为最大程度地降低功耗，预分频器分为 2 个可编程的预分频器（参见图 11-1：ERTC 框图）：

- 一个通过 ERTC_PSC 寄存器的 PRDIV_A 位配置的 7 位异步预分频器。
- 一个通过 ERTC_PSC 寄存器的 PRDIV_S 位配置的 15 位同步预分频器。

注意： 使用两个预分频器时，推荐将异步预分频器配置为较高的值，以最大程度降低功耗。

要使用频率为 32.768 kHz 的 LSE 获得频率为 1 Hz 的内部时钟 (ck_spre)，需要将异步预分频系数设置为 128，并将同步预分频系数设置为 256。

分频系数的最小值为 1，最大值为 2^{22} 。

这对应于约为 4 MHz 的最大输入频率。

fck_apre 可根据以下公式得出：

$$f_{CK_APRE} = \frac{f_{ERTC_CLK}}{PRDIV_A + 1}$$

ck_apre 时钟用于为二进制 ERTC_SBSR 亚秒递减计数器提供时钟。当该计数器计数到 0 时，会使用 PRDIV_S 的内容重载 ERTC_SBSR。

fck_spre 可根据以下公式得出：

$$f_{CK_SPRE} = \frac{f_{ERTC_CLK}}{(PRDIV_S + 1) \times (PRDIV_A + 1)}$$

`ck_spre` 时钟既可以用于更新日历，也可以用作 16 位唤醒自动重载定时器的时基。为获得较短的超时周期，还可以将 16 位唤醒自动重载定时器与经可编程的 7 位异步预分频器分频的 ERTCCLK 一同运行（有关详细信息，请参见第 11.3.4 节：周期性自动唤醒）。

11.3.2 实时时钟和日历

ERTC 日历时间和日期寄存器可通过与 PCLK1 (APB1 时钟) 同步的影子寄存器来访问。这些时间和日期寄存器也可以直接访问，这样可避免等待同步的持续时间。

- ERTC_SBSR 对应于亚秒
- ERTC_TIME 对应于时间
- ERTC_DATE 对应于日期

每隔两个 ERTCCLK 周期，便将当前日历值复制到影子寄存器，并将 ERTC_STS 寄存器的 RSF 位置 1 (请参见第 11.6.4 节)。在停机和待机模式下不会执行复制操作。退出这两种模式时，影子寄存器会在最长 2 个 ERTCCLK 周期后进行更新。

当应用读取日历寄存器时，它会访问影子寄存器的内容。也可以通过将 ERTC_CTRL 寄存器的 BYPSHDW 控制位置 1 来直接访问日历寄存器。默认情况下，该位被清零，用户访问影子寄存器。

在 BYPSHDW=0 模式下读取 ERTC_SBSR、ERTC_TIME 或 ERTC_DATE 寄存器时，APB 时钟频率 (f_{APB}) 必须至少为 ERTC 时钟频率 ($f_{ERTCCLK}$) 的 7 倍。

影子寄存器通过系统复位来复位。

11.3.3 可编程闹钟

ERTC 单元提供两个可编程闹钟，即闹钟 A 和闹钟 B。

可通过将 ERTC_CTRL 寄存器中的 ALAE 和 ALBE 位置 1 来使能可编程闹钟功能。如果日历亚秒、秒、分钟、小时、日期或日分别与闹钟寄存器 ERTC_ALASBS/ERTC_ALA 和 ERTC_ALBSBS/ERTC_ALB 中编程的值相匹配，则 ALAF 和 ALBF 标志会被置为 1。可通过 ERTC_ALA 和 ERTC_ALB 寄存器的 MASKx 位以及 ERTC_ALASBS 和 ERTC_ALBSBS 寄存器的 MASKSBSx 位单独选择各日历字段。可通过 ERTC_CTRL 寄存器中的 ALAIE 和 ALBIE 位使能闹钟中断。

闹钟 A 和闹钟 B (如果已通过 ERTC_CTRL 寄存器中的位 OSEL[0:1] 使能) 可连接到 ERTC_ALARM 输出。可通过 ERTC_CTRL 寄存器的 OPOL 位配置 ERTC_ALARM 极性。

注意：如果选择秒字段 (ERTC_ALA 或 ERTC_ALB 中的 MASK1 位复位)，则 ERTC_PSC 寄存器中设置的同步预分频器分频系数必须至少为 3，才能确保闹钟正确地运行。

11.3.4 周期性自动唤醒

周期性唤醒标志由 16 位可编程自动重载递减计数器生成。唤醒定时器范围可扩展至 17 位。

可通过 ERTC_CTRL 寄存器中的 WATE 位来使能此唤醒功能。

唤醒定时器的时钟输入可以是：

- 2、4、8 或 16 分频的 ERTC 时钟 (ERTCCLK)。
当 ERTCCLK 为 LSE (32.768 kHz) 时，可配置的唤醒中断周期介于 122 μ s 和 32 s 之间，且分辨率低至 61 μ s。
- `ck_spre` (通常为 1 Hz 内部时钟)
当 `ck_spre` 频率为 1 Hz 时，可得到的唤醒时间为 1s 到 36h 左右，分辨率为 1 秒。这一较大的可编程时间范围分为两部分：
- WACKSEL [2:1] = 10 时为 1s 到 18h。
- WACKSEL [2:1] = 11 时约为 18h 到 36h。在后一种情况下，会将 216 添加到 16 位 计数器当前值。完成初始化序列后 (请参见第 11.6.6 节 ERTC 唤

醒定时器寄存器），定时器开始递减计数。在低功耗模式下使能唤醒功能时，递减计数保持有效。此外，当计数器计数到 0 时，ERTC_STS 寄存器的 WATF 标志会置 1，并且唤醒寄存器会使用其重载值（ERTC_WATR 寄存器值）自动重载。

之后必须用软件清零 WATF 标志。

通过将 ERTC_CTRL 寄存器中的 WATIE 位置 1 来使能周期性唤醒中断时，它会使器件退出低功耗模式。

如果已通过 ERTC_CTRL 寄存器中的位 OSEL[0:1] 使能周期性唤醒标志，则该标志可连接到 ERTC_ALARM 输出。可通过 ERTC_CTRL 寄存器的 OPOL 位配置 ERTC_ALARM 极性。

系统复位以及低功耗模式（睡眠、停机和待机）对唤醒定时器没有任何影响。

11.3.5 ERTC 初始化和配置

ERTC 寄存器访问

ERTC 寄存器为 32 位寄存器。除了当 BYPSHDW=0 时对日历影子寄存器执行的读访问之外，APB 接口会在访问 ERTC 寄存器时引入 2 个等待周期。

ERTC 寄存器写保护

系统复位后，可通过 PWR 电源控制寄存器 (PWR_CR) 的 DBP 位保护 ERTC 寄存器以防止 非正常的写访问。必须将 DBP 位置 1 才能使 ERTC 寄存器的写访问。

上电复位后，所有 ERTC 寄存器均受到写保护。通过向写保护寄存器 (ERTC_WPR) 写入一个 密钥来使能对 ERTC 寄存器的写操作。

要解锁所有 ERTC 寄存器(ERTC_STS[13:8]、ERTC_TPAF 和 ERTC_BKPxDT 除外)的写保护，需要执行以下步骤：

1. 将“0xCA”写入 ERTC_WPR 寄存器。
2. 将“0x53”写入 ERTC_WPR 寄存器。

写入一个错误的关键字会再次激活写保护。

保护机制不受系统复位影响。 ERTC 寄存器写保护

日历初始化和配置

要编程包括时间格式和预分频器配置在内的初始时间和日期日历值，需按照以下顺序操作：

1. 将 ERTC_STS 寄存器中的 INITM 位置 1 以进入初始化模式。在此模式下，日历计数器将停止工作并且其值可更新。
2. 轮询 ERTC_STS 寄存器中的 INITF 位。当 INITF 置 1 时进入初始化阶段模式。大约需要 2 个 ERTCCLK 时钟周期（由于时钟同步）。
3. 要为日历计数器生成 1 Hz 时钟，应首先编程 ERTC_PSC 寄存器中的同步预分频系数，然后编程异步预分频系数。即使只需要更改这两个字段中之一，也必须对 ERTC_PSC 寄存器执行两次单独的写访问。
4. 在影子寄存器(ERTC_TIME 和 ERTC_DATE)中加载初始时间和日期值，然后通过 ERTC_CTRL 寄存器中的 HFM 位配置时间格式（12 或 24 小时制）。
5. 通过清零 INITM 位退出初始化模式。随后，自动加载实际日历计数器值，在 4 个 ERTCCLK 时钟周期后重新开始计数。

当初始化序列完成之后，日历开始计数。

注意： 系统复位后，应用可读取 ERTC_STS 寄存器中的 INITS 标志，以检查日历是否已初始化。如果该标志为 0，表明日历尚未初始化，因为年份字段设置为其上电复位时的默认值 (0x00)。

要在初始化之后读取日历，必须首先用软件检查 ERTC_STS 寄存器的 RSF 标志是否置 1。

夏令时

可通过 ERTC_CTRL 寄存器的 SUB1H、ADD1H 和 BKP 位管理夏令时。

利用 SUB1H 或 ADD1H，软件只需单次操作便可在日历中减去或增加一个小时，无需执行整个初始化步骤。

此外，软件还可以使用 BKP 位来记录是否曾经执行过此操作。

编程闹钟

要对可编程的闹钟（闹钟 A 或闹钟 B）进行编程或更新，必须执行类似的步骤：

1. 将 ERTC_CTRL 寄存器中的 ALAE 或 ALBE 位清零以禁止闹钟 A 或闹钟 B。
2. 轮询 ERTC_STS 寄存器中的 ALAWF 或 ALBWF 位，直到其中一个置 1，以确保闹钟寄存器可以访问。大约需要 2 个 ERTCCLK 时钟周期（由于时钟同步）。
3. 编程闹钟 A 或闹钟 B 寄存器（ERTC_ALASBS/ERTC_ALA 或 ERTC_ALBSBS/ERTC_ALB）。
4. 将 ERTC_CTRL 寄存器中的 ALAE 或 ALBE 位置 1 以再次使能闹钟 A 或闹钟 B。

注意：约 2 个 ERTCCLK 时钟周期（由于时钟同步）后，将执行对 ERTC_CTRL 寄存器的更改。

编程唤醒定时器

要配置或更改唤醒定时器的自动重载值（ERTC_WATR 中的 WAREV[15:0]），需要按照以下顺序操作：

1. 清零 ERTC_CTRL 中的 WATE 以禁止唤醒定时器。
2. 轮询 ERTC_STS 中的 WATWF，直到该位置 1，以确保可以访问唤醒自动重载定时器和 WACKSEL[2:0] 位。大约需要 2 个 ERTCCLK 时钟周期（由于时钟同步）。
3. 编程唤醒自动重载值 WAREV[15:0]，并选择唤醒时钟（ERTC_CTRL 中的 WACKSEL[2:0] 位）。将 ERTC_CTRL 寄存器中的 WATE 位置 1 以再次使能定时器。唤醒定时器重新开始递减计数。

11.3.6 读取日历

当 ERTC_CTRL 寄存器中的 BYPSHDW 控制位清零时

要正确读取 ERTC 日历寄存器（ERTC_SBSR、ERTC_TIME 和 ERTC_DATE），APB1 时钟频率 (f_{PCLK1}) 必须等于或大于 $f_{ERTCCLK}$ ERTC 时钟频率的七倍。这可以确保同步机制行为的安全性。

如果 APB1 时钟频率低于 ERTC 时钟频率的七倍，则软件必须分两次读取日历时间寄存器和日期寄存器。这样，当两次读取的 ERTC_TIME 结果相同时，才能确保数据正确。否则必须执行第三次读访问。任何情况下，APB1 的时钟频率都不能低于 ERTC 的时钟频率。

每次将日历寄存器中的值复制到 ERTC_SBSR、ERTC_TIME 和 ERTC_DATE 影子寄存器时，ERTC_STS 寄存器中的 RSF 位都会置 1。每两个 ERTC CLK 周期执行一次复制。为确保这 3 个值来自同一时刻点，读取 ERTC_SBSR 或 ERTC_TIME 时会锁定高阶日历影子寄存器中的值，直到读取 ERTC_DATE。为避免软件对日历执行读访问的时间间隔小于 2 个 ERTCCLK 周期：第一次读取日历之后必须通过软件将 RSF 清零，并且软件必须等待到 RSF 置 1 之后才可再次读取 ERTC_SBSR、ERTC_TIME 和 ERTC_DATE 寄存器。

从低功耗模式（停机模式或待机模式）唤醒之后，必须通过软件将 RSF 清零。之后，软件必须等待至 RSF 再次置 1 之后才可以读取 ERTC_SBSR、ERTC_TIME 和 ERTC_DATE 寄存器。

RSF 位必须在唤醒之后而不是进入低功耗模式之前进行清零。

注意：系统复位之后，软件必须等待至 RSF 置 1 之后才可以读取 ERTC_SBSR、ERTC_TIME 和 ERTC_DATE 寄存器。实际上，系统复位会将影子寄存器复位为其默认值。

初始化之后（请参见第 11.3.5 节的日历初始化和配置）：软件必须等待至 RSF 置 1 之后才可以读取 ERTC_SBSR、ERTC_TIME 和 ERTC_DATE 寄存器。

同步之后（请参见第 11.3.8 节：ERTC 同步）：软件必须等待至 RSF 置 1 之后才可以读取 ERTC_SBSR、ERTC_TIME 和 ERTC_DATE 寄存器。

当 ERTC_CTRL 寄存器中的 BYPSHDW 控制位置 1 时（旁路影子寄存器）

读取日历寄存器时会直接从日历计数器获取值，这样便无需等待至 RSF 位置 1。这对于从低功耗模式（停机模式或待机模式）退出后的情况特别有用，因为影子寄存器在这些模式下不更新。

当 BYPSHDW 位置 1 时，如果在对寄存器的两次读访问之间出现 ERTCCLK 沿，则不同寄存器的

结果彼此可能不一致。此外，如果在读操作期间出现 ERTCCLK 沿，则可能导致其中一个寄存器的值不正确。软件必须分两次读取所有寄存器，然后将两次结果加以比较来确认数据是否一致和正确。此外，软件也可以只比较两次读取日历寄存器得到的结果的最低位。

注意：当 BYPSHDW=1 时，读取日历寄存器的指令需要一个额外的 APB 周期才能完成。

11.3.7 复位ERTC

日历影子寄存器（ERTC_SBSR、ERTC_TIME 和 ERTC_DATE）以及 ERTC 状态寄存器（ERTC_STS）的某些位通过所有可用的系统复位源复位为各自的默认值。

相反，以下寄存器则通过上电复位来复位为各自的默认值并且不受系统复位的影响：ERTC 当前日历寄存器、ERTC 控制寄存器（ERTC_CTRL）、预分频器寄存器（ERTC_PSC）、ERTC 校准寄存器（ERTC_CAL 或 ERTC_CCR）、ERTC 移位寄存器（ERTC_SFCTR）、ERTC 时间戳寄存器（ERTC_TSSBS、ERTC_TSTM 和 ERTC_TSDT）、ERTC 入侵和复用功能配置寄存器（ERTC_TPAF）、ERTC 备份寄存器（ERTC_BKPxDT）、唤醒定时器寄存器（ERTC_WATR）以及闹钟 A 和闹钟 B 寄存器（ERTC_ALASBS/ERTC_ALA 和 ERTC_ALBSBS/ERTC_ALB）。

此外，如果复位源不是上电复位源，则发生系统复位时，ERTC 会继续工作。发生上电复位时，ERTC 会停止工作，并且所有 ERTC 寄存器都会设置为各自的复位值。

11.3.8 ERTC同步

ERTC 可与高精度的远程时钟同步。在读取亚秒字段后（ERTC_SBSR 或 ERTC_TSSBS），即可计算远程时钟的时间与 ERTC 之间的精准偏差。之后，可使用 ERTC_SFCTR 对 ERTC 的时钟进行零点几秒的“平移”，经过调整后可消除此偏差。

ERTC_SBSR 包含同步预分频器计数器的值。这样，便可计算分辨率低至 $1/(PRDIV_S + 1)$ 秒的 ERTC 的准确时间。因此，可通过增大同步预分频器的值（PRDIV_S[14:0]）来提高分辨率。将 PRDIV_S 设置为 0x7FFF 时，可得到允许的最大分辨率（ $30.52 \mu s$ ，时钟频率为 $32768 Hz$ ）。

但是，提高 PRDIV_S 意味着必须降低 PRDIV_A 才能将同步预分频器的输出维持在 $1 Hz$ 。这样，异步预分频器的输出频率会增大，ERTC 的动态功耗也会相应增加。

可以使用 ERTC 平移控制寄存器（ERTC_SFCTR）对 ERTC 进行微调。可以用大小为 $1/(PRDIV_S + 1)$ 秒的分辨率对 ERTC_SFCTR 进行写操作，将时钟平移（延迟或提前）最长 1 秒。在这种平移操作中，会将 SUBSBS[14:0] 值加到同步预分频器计数器 SBS[15:0] 中：这将使时钟产生延迟。如果同时将 ADD1S 位置 1，则会增加一秒，与此同时减去的时间为零点几秒，因此将使时钟提前。

对 ERTC_SFCTR 寄存器执行写操作以启动平移操作时，硬件会将 SFP 标志置 1 以指示平移操作挂起。完成平移操作时，硬件会将该位清零。

注意：初始化平移操作前，用户必须检查确认 SBS[15] = 0，以确保不会发生上溢。

对 ERTC_SFCTR 寄存器执行写操作以启动平移操作时，硬件会将 SFP 标志置 1 以指示平移操作挂起。完成平移操作时，硬件会将该位清零。

注意：该同步功能与参考时钟检测功能不兼容：当 RFCKON=1 时，固件不能对 ERTC_SFCTR 执行写操作。

11.3.9 ERTC参考时钟检测

ERTC 日历更新可与参考时钟 ERTC_REFIN（通常为市电， $50 Hz$ 或 $60 Hz$ ）同步。ERTC_REFIN 参考时钟的精度应高于 $32.768 kHz$ LSE 时钟。使能 ERTC_REFIN 检测时（将 ERTC_CTRL 的 RFCKON 位置 1），日历仍由 LSE 提供时钟，而 ERTC_REFIN 用于补偿不准确的日历更新频率（ $1 Hz$ ）。

每个 $1 Hz$ 时钟边沿都与最近的参考时钟边沿进行比较（如果在给定的时间窗口内发现一个边沿）。在大多数情况下，两个时钟边沿恰好对齐。当 $1 Hz$ 时钟由于 LSE 时钟不精确而发生偏离时，ERTC 会稍微偏移 $1 Hz$ 时钟，以便后续的 $1 Hz$ 时钟边沿能够对齐。利用这种机制，可使日历像参考时钟一样精确。

ERTC 使用 $32.768 kHz$ 石英产生的 $256 Hz$ 时钟（ck_apre）检测是否存在参考时钟源。大约在日

历每次更新时（每 1 秒钟），便会在时间窗口期间执行一次检测。检测到第一个参考时钟边沿时，该窗口等于 7 个 `ck_apre` 周期。随后的日历更新使用长度为 3 个 `ck_apre` 周期的较小窗口。

每次在窗口中检测到参考时钟时，都会行强制输出 `ck_apre` 时钟的异步预分频器进行重载。当参考时钟与 1 Hz 时钟对齐时，此操作不起作用，因为预分频器会在同一时刻重载。当时钟不对齐时，重载操作会微调后续的 1 Hz 时钟边沿，使其与参考时钟对齐。

如果参考时钟停止（在 3 个 `ck_apre` 窗口内未出现参考时钟边沿），日历将仅根据 LSE 时钟进行连续更新。ERTC 随后使用 `ck_spre` 边沿上居中的大检测窗口（7 个 `ck_apre` 周期）等待参考时钟。使能参考时钟检测后，必须将 `PRDIV_A` 和 `PRDIV_S` 设置为各自的默认值：

- `PRDIV_A = 0x007F`
- `PREVID_S = 0x00FF`

注意：参考时钟检测在待机模式下不可用

注意：参考时钟检测功能不能与粗略数字校准同时使用：当 `RFCKON=1` 时，必须使 `ERTC_CAL` 保持为 0x0000 0000。

11.3.10 ERTC粗略数学校准

可以使用两种数字校准方法：粗略校准和精密校准。要执行粗略校准，请参见第 11.6.7 节：ERTC 校准寄存器 (`ERTC_CAL`)。

这两种校准方法不能一起使用，应用必须从中选择一种。粗略校准出于兼容性原因而提供。要执行精密校准，请参见第 11.3.11 节：ERTC 精密数学校准和第 11.6.16 节：ERTC 校准寄存器 (`ERTC_CCR`)。

粗略数学校准功能可通过在异步预分频器 (`ck_apre`) 的输出端增加（正校准）或减少（负校准）时钟周期来实现晶振误差补偿。

将 `ERTC_CAL` 寄存器中的 `DCALS` 位置“0”和“1”可分别选择正校准和负校准。

当使能正校准时（`DCALS = "0"`），在 $2 \times DCAL$ 分钟时间内，每分钟（约 15360 个 `ck_apre` 周期）增加 2 个 `ck_apre` 周期。这会提前更新日历，因此可将 ERTC 的有效频率调高一些。

当使能负校准时（`DCALS = "1"`），在 $2 \times DCAL$ 分钟时间内，每分钟（约 15360 个 `ck_apre` 周期）减少 1 个 `ck_apre` 周期。这将推迟更新日历，因此可将 ERTC 的有效频率调低一些。

可通过 `ERTC_CAL` 寄存器的位 `DCAL [4:0]` 配置 `DCAL`。其数字范围为 0 到 31，对应的时间间隔 ($2 \times DCAL$) 范围为 0 到 62。

粗略数学校准只能在初始化模式下进行配置，并在 `INITM` 位清零后启动。整个校准周期将持续 64 分钟。可采用上述方法修改这 64 分钟周期的前 $2 \times DCAL$ 分钟。

负校准的分辨率为 2 ppm，而正校准的分辨率为 4 ppm。最大校准范围为 63 ppm 到 126 ppm。

当使用 LSE 或 HSE 作为 ERTC 时钟时，可以使用这种校准方法。

注意：如果 `PRDIV_A < 6`，数学校准可能无法正常工作。

例如当 `ERTCCLK=32.768 kHz` 且 `PRDIV_A+1=128` 时

以下描述假定 `ck_apre` 频率为 256 Hz，由标称频率为 32.768 kHz 的 LSE 时钟提供，并且 `PRDIV_A` 设置为 127（默认值）。

`ck_spre` 时钟频率只能在 64 分钟周期的前 $2 \times DCAL$ 分钟内被更改。例如，当 `DCAL` 等于 1 时，只有前两分钟被更改。这意味着，假定每个 `ck_apre` 周期表示 128 个 ERTCCLK 周期（通过 `PRDIV_A+1=128` 计算得出），则对于每个 64 分钟周期的前 $2 \times DCAL$ 分钟来说，每分钟都会有一秒减少 256 个 ERTCCLK 周期或增加 128 个 ERTCCLK 周期。

因此，对于每 125829120 个 ERTCCLK 周期（ $64\text{min} \times 60\text{s/min} \times 32768\text{周期/s}$ ），每个校准步骤都会增加 512 个振荡器周期或减少 256 个振荡器周期。这相当于每个校准步骤的分辨率为 +4.069 ppm 或 -2.035 ppm。因此，每个月的校准分辨率为 +10.5 或 5.27 秒，每个月的总校准范围为 +5.45 到 2.72 分钟。

为测量时钟偏差，需要输出一个 512 Hz 的时钟用于校准。请参见第 11.3.14 节：校准时钟输出。

11.3.11 ERTC精密数数字校准

ERTC 频率可采用约 0.954 ppm 的分辨率进行数字校准，校准范围为 -487.1 ppm 到 +488.5 ppm。使用一系列微调(增加和/或减少单独的 ERTCCLK 脉冲)进行频率校正。这些微调的分布非常均匀，因此 ERTC 的校准效果相当好，即使在短时间内持续观察也是如此。

当输入频率为 32768 Hz 时，精密数数字校准的周期约为 2^{20} 个 ERTCCLK 脉冲或 32 秒。

精密数数字校准寄存器 (ERTC_CCR) 可指定 32 秒周期内要减少的 ERTCCLK 时钟周期数：

- 将 CALM[0] 置 1 时，32 秒周期内将只减少 1 个周期。
- 将 CALM[1] 置 1 时，将减少 2 个周期。
- 将 CALM[2] 置 1 时，将减少 4 个周期。
- 依此类推，将 CALM[8] 置 1 时，将减少 256 个周期。

使用适当分辨率时，CALM 可使 ERTC 频率减少最多 487.1 ppm，而 CALAD 可用于使频率增加 488.5 ppm。将 CALAD 置“1”，可每隔 2^{11} 个 ERTCCLK 周期有效插入一个额外的 ERTCCLK 脉冲，这意味着每 32 秒周期可增加 512 个时钟。

与 CALM 和 CALAD 配合使用时，可在 32 秒周期内增加一个范围为 -511 到 +512 ERTCCLK 周期的偏差，对应的校准范围为 -487.1 ppm 到 +488.5 ppm，分辨率约为 0.954 ppm。

若输入频率 (FERTCCLK) 已知，可通过以下公式计算有效校准频率 (F_{CAL})：

$$F_{CAL} = F_{ERTCCLK} \times [1 + \frac{CALAD \times 512 - CALM}{2^{20} + CALM - CALAD \times 512}]$$

PRDIV_A<3 条件下的校准

当异步预分频器值 (ERTC_PSC 寄存器中的 PRDIV_A 位) 小于 3 时，不能将 CALAD 位置 1。如果 CALAD 已置 1 并且 PRDIV_A 位的值小于 3，则会忽略 CALAD，即假定 CALAD 等于 0 而执行校准。

要在 PRDIV_A 小于 3 的条件下执行校准，应降低同步预分频器值 (PRDIV_S) 以便每秒内可加速 8 个 ERTCCLK 时钟周期，这意味着每 32 秒可增加 256 个时钟周期。因此，仅使用 CALM 位，可在每 32 秒内有效增加 255 到 256 个时钟脉冲 (对应的校准范围为 243.3 ppm 到 244.1 ppm)。在标称 ERTCCLK 频率 32768 Hz 下，当 PRDIV_A 等于 1 时 (分频系数为 2)，应将 PRDIV_S 设置为 16379 而不是 16383 (少 4)。唯一相关的其它情况是，当 PRDIV_A 等于 0 时，应将 PRDIV_S 设置为 32759 而不是 32767 (少 8)。

如果以这种方式减少 PRDIV_S，则采用以下公式计算校准输入时钟的有效频率：

$$F_{CAL} = F_{ERTCCLK} \times [1 + \frac{256 - CALM}{2^{20} + CALM - 256}]$$

在这种情况下，如果 ERTCCLK 恰好为 32768.00 Hz，则当 CALM[7:0] 等于 0x100 时 (CALM 范围的中值)，说明设置正确。

验证 ERTC 校准

通过测量 ERTC CLK 的精确频率，计算正确的 CALM 和 CALAD 值以实现 ERTC 精度。此外，还为应用提供了一个可选的 1 Hz 输出，用来测量和验证 ERTC 精度。

如果在有限的间隔内测量 ERTC 的精确频率，则会导致测量期间产生最多 2 个 ERTCCLK 时钟周期的测量误差，具体取决于数数字校准周期与测量周期的对齐方式。

但是，如果测量周期与校准周期的长度相同，则可以消除此测量误差。在这种情况下，观测到的唯一误差是由数数字校准的分辨率导致的误差。

- 默认情况下，校准周期为 32 秒。在此模式下，测量整个 32 秒内 1 Hz 输出的精度，可确保测量误差在 0.477 ppm 内 (32 秒内为 0.5 个 ERTCCLK 周期)。

期，受校准分辨率限制）。

- 可将 ERTC_CCR 寄存器的 CAL16 位置 1，以强制 16 秒的校准周期。此时，可在 16 秒内测量 ERTC 精度，产生的最大误差为 0.954 ppm（16 秒内为 0.5 个 ERTCCCLK 周期）。但是，由于校准分辨率降低，长期的 ERTC 精度也会降到 0.954 ppm：将 CAL16 置 1 时，CALM[0] 位将始终保持为 0。
- 可将 ERTC_CCR 寄存器的 CAL8 位置 1，以强制 8 秒的校准周期。此时，可在 8 秒内测量 ERTC 精度，产生的最大误差为 1.907 ppm（8 秒内为 0.5 个 ERTCCCLK 周期）。长期的 ERTC 精度也会降到 1.907 ppm：将 CAL8 置 1 时，CALM[1:0] 位将始终保持为 00。

动态重校准

当 ERTC_STS/INITF=0 时，可动态更新校准寄存器 (ERTC_CCR)，具体步骤如下：

1. 轮询 ERTC_STS/RECALPDF（重新校准挂起标志）。
2. 如果该标志为 0，则可以根据需要向 ERTC_CCR 写入新值。随后 RECALPDF 位会被自动置为 1。
3. 新校准设置将在对 ERTC_CCR 执行写操作之后的三个 ck_apre 周期内生效。

11.3.12 时间戳功能

将 ERTC_CTRL 寄存器的 TSE 位置 1 可使能时间戳。

当在 TIMESTAMP 备用功能映射到的引脚上检测到时间戳事件时，日历会保存到时间戳寄存器 (ERTC_TSSBS、ERTC_TSTM 和 ERTC_TSDT) 中。发生时间戳事件时，ERTC_STS 寄存器中的时间戳标志位 (TSF) 将置 1。

通过将 ERTC_CTRL 寄存器中的 TSIE 位置 1，可在发生时间戳事件时生成中断。

如果在时间戳标志 (TSF) 已置 1 的条件下检测到新的时间戳事件，则时间戳上溢标志 (TSOF) 将置 1，而时间戳寄存器 (ERTC_TSTM 和 ERTC_TSDT) 将保持上一事件的结果。

注意：由于同步过程，TSF 将在时间戳事件后 2 个 ck_apre 周期置 1。

将 TSOF 置 1 时不存在延迟。这意味着，如果两个时间戳事件接连发生，则 TSOF 可能为“1”而 TSF 仍为“0”。因此，建议只在检测到 TSF 为“1”后再轮询 TSOF。

注意：如果在 TSF 位清零后紧接着发生时间戳事件，则 TSF 和 TSOF 位都将置 1。为防止在时间戳事件发生的同时屏蔽该事件，除非已将 TSF 位读取为“1”，否则应用程序不得将“0”写入 TSF 位。

此外，入侵事件可能导致时间戳被记录。有关 TMTS 控制位的说明，请参见第 11.6.17 节：ERTC 入侵和复用功能配置寄存器 (ERTC_TPAF)。如果时间戳事件与配置为过滤模式的入侵事 (TMFLT 设置为非零值) 使用同一引脚，则必须通过将 ERTC_TPAF 寄存器中的 TMTS 置“1”来选择入侵检测事件的时间戳模式。

11.3.13 入侵检测

有一个入侵检测输入可用。这两个输入既可配置为边沿检测，也可配置为带过滤的电平检测。

ERTC 备份寄存器

备份寄存器 (ERTC_BKPxDT) 包括 20 个 32 位寄存器，用于存储 80 字节的用户应用数据。这些寄存器在备份域中实现，可在 VDD 电源关闭时通过 VBAT 保持上电状态。备份寄存器不会在系统复位或电源复位时复位，也不会在器件从待机模式唤醒时复位。

发生入侵检测事件时，将复位备份寄存器。（请参见第 11.6.20 节：ERTC 备份寄存器 ERTC_BKPxDT）

入侵检测初始化

入侵检测输入与 ERTC_STS 寄存器中的标志 TPF 相关联。可通过将 ERTC_TPAF 寄存器中相应的 TM1E 位置 1 来使能各输入。

入侵检测事件会复位所有备份寄存器 (ERTC_BKPxDT)。

通过将 ERTC_TPAF 寄存器中的 TMIE 位置 1，可在发生入侵检测事件时生成中断。

入侵事件的时间戳

当 TMTS 置“1”时，任何入侵事件都会导致时间戳事件的发生。在这种情况下，如同发生正常时间戳事件一样，ERTC_STS 中的 TSF 位或 TSOF 位会置 1。在 TSF 或 TSOF 置 1 的同时，受影响的入侵标志寄存器 (TPF) 也会随之置 1。

对入侵输入的边沿检测

如果 TMFLT 位为“00”，则在观测到上升沿或下降沿时（根据相应的 TAMPxTRG 位），TAMPER 引脚会生成入侵检测事件 (ERTC_TAMP[2:1])。选择边沿检测时，会禁止入侵输入上的内部上拉电阻。

注意：为避免丢失入侵检测事件，用于边沿检测的信号与 TAMPxE 使用逻辑与操作来检测入侵事件，以避免丢失在使能 TAMPERx 引脚前发生的入侵事件。

- 当 TAMPxTRG = 0 时：如果 TAMPERx 复用功能在使能入侵检测之前已变为高电平（TAMPxE 位置 1），则使能 TAMPERx 后便会立即检测到入侵事件，即使在 TAMPxE 置 1 后 TAMPERx 引脚上未出现上升沿。
- 当 TAMPxTRG = 1 时：如果 TAMPERx 复用功能在使能入侵检测之前已变为低电平，则使能 TAMPERx 后便可立即检测到入侵事件（即使在 TAMPxE 置 1 后 TAMPERx 引脚上未出现下降沿）。

检测到入侵事件并清零后，应当在重新编程备份寄存器 (ERTC_BKPxDT) 之前禁止 TAMPERx 复用功能，然后再重新使能 (TAMPxE 置 1)。这可防止应用在 TAMPERx 值仍指示入侵检测时，对备份寄存器执行写操作。这相当于对 TAMPERx 复用功能的电平检测。

注意：当 VDD 电源关闭时，入侵检测仍有效。要避免意外复位备份寄存器，应将 TAMPER 复用功能映射到的引脚从外部连接到正确的电平。

对入侵输入的带过滤电平检测

通过将 TMFLT 设置为非零值可执行带过滤的电平检测。在 TM1TRG 位指定的电平连续出现 2、4 或 8 个（取决于 TMFLT 值）采样时生成入侵检测事件。

除非通过将 TMPUDIS 置 1 禁止入侵输入，否则在入侵输入的状态被采样前，将通过 I/O 内部上拉电阻对这些输入预充电。预充电的持续时间由 TMPRCH 位确定，允许增大入侵输入上的电容。

可使用 TMFREQ 确定用于电平检测的采样频率，以便使入侵检测延迟与上拉电阻功耗之间达到最佳平衡。

11.3.14 校准时钟输出

将 ERTC_CTRL 寄存器中的 CALOE 位置 1 时，会在 ERTC_CAL 器件输出上提供一个参考时钟。如果 ERTC_CTRL 寄存器中的 CALSEL 位复位且 PRDIV_A = 0x7F，则 ERTC_CAL 频率为 $f_{ERTCCLK}/64$ 。这相当于 ERTCCLK 频率为 32.768 kHz 时，512 Hz 的校准输出。

ERTC_CAL 寄存器中编程的校准值不会影响 ERTC_CAL 输出。ERTC_CAL 占空比是不规则的：下降沿上存在轻微抖动。因此推荐使用上升沿。

如果 CALSEL 置 1 且“PRDIV_S+1”为 256 的非零整数倍（即：PRDIV_S[7:0] = 0xFF），则 ERTC_CAL 频率为 $f_{ERTCCLK}/(256 * (PRDIV_A+1))$ 。这相当于 ERTCCLK 频率为 32.768 kHz 时，1 Hz 的校准输出，其中预分频器为默认值 (PRDIV_A = 0x7F、PRDIV_S = 0xFF)。

校准复用功能输出

当将 ERTC_CTRL 寄存器中的 CALOE 位置 1 时，ERTC_AF1 上会使能校准复用功能 (ERTC_CAL)。

11.3.15 闹钟输出

闹钟输出有三种功能可供选择：ALAF、ALBF 和 WATF。这些功能可反映 ERTC_STS 寄存器中相应标志的内容。

ERTC_CTRL 寄存器中的 OSEL[1:0] 控制位用于激活 ERTC_AF1 中的闹钟复用功能输出 (ERTC_ALARM)，以及选择 ERTC_ALARM 输出上的功能。

输出的极性由 ERTC_CTRL 中的 OPOL 控制位确定，这样当 OPOL 置 1 时会输出选定标志位的相反值。

闹钟复用功能输出

使用 ERTC_TPAF 寄存器中的控制位 ALAOUTTYPE 可将 ERTC_ALARM 配置为开漏输出或推挽输出。

注意：使能 ERTC_ALARM 之后，其优先级高于 ERTC_CAL (CALOE 位的设置与 ERTC_AF1 无关)。

选择 ERTC_CAL 或 ERTC_ALARM 时，ERTC_AF1 会自动配置为输出复用功能。

11.4 ERTC和低功耗模式

表 11-1. 低功耗模式对 ERTC 的作用

模式	说明
睡眠	无影响 ERTC 中断可使器件退出睡眠模式。
停止	当 ERTC 时钟源为 LSE 或 LSI 时，ERTC 保持工作状态。ERTC 闹钟、ERTC 入侵事件、ERTC 时间戳事件、和 ERTC 唤醒会使器件退出停机模式。
待机	当 ERTC 时钟源为 LSE 或 LSI 时，ERTC 保持工作状态。ERTC 闹钟、ERTC 入侵事件、ERTC 时间戳事件、和 ERTC 唤醒会使器件退出待机模式。

11.5 ERTC中断

所有 ERTC 中断均与 EXTI 控制器相连。

要使能 ERTC 闹钟中断，需按照以下顺序操作：

1. 将 EXTI 线 17 配置为中断模式并将其使能，然后选择上升沿有效。
2. 配置 NVIC 中的 ERTC IRQ 通道并将其使能。
3. 配置 ERTC 以生成 ERTC 闹钟（闹钟 A 或闹钟 B）。

要使能 ERTC 唤醒中断，需按照以下顺序操作：

1. 将 EXTI 线 22 配置为中断模式并将其使能，然后选择上升沿有效。
2. 配置 NVIC 中的 ERTC IRQ 通道并将其使能。
3. 配置 ERTC 以生成 ERTC 唤醒定时器事件。

要使能 ERTC 入侵中断，需按照以下顺序操作：

1. 将 EXTI 线 21 配置为中断模式并将其使能，然后选择上升沿有效。
2. 配置 NVIC 中的 ERTC IRQ 通道并将其使能。
3. 配置 ERTC 以检测 ERTC 入侵事件。

要使能 ERTC 时间戳中断，需按照以下顺序操作：

1. 将 EXTI 线 21 配置为中断模式并将其使能，然后选择上升沿有效。
2. 配置 NVIC 中的 ERTC IRQ 通道并将其使能。
3. 配置 ERTC 以检测 ERTC 时间戳事件。

表11-2 中断控制位

中断事件	时间标志	使能控制位	退出睡眠模式	退出停止模式	退出待机模式
闹钟 A	ALAF	ALAIE	是	是 (1)	是 (1)
闹钟 B	ALBF	ALBIE	是	是 (1)	是 (1)
Wakeup	WATF	WATIE	是	是 (1)	是 (1)
TimeStamp	TSF	TSIE	是	是 (1)	是 (1)
Tamper 检测 (2)	TPF	TMIE	是	是 (1)	是 (1)

1. 仅当 ERTC 时钟源为 LSE 或 LSI 时，才能从停机和待机模式唤醒。

2. 如果存在 ERTC_TAMPER2 引脚。请参见器件数据手册的引脚排列。

11.6 ERTC寄存器

11.6.1 ERTC时间寄存器(ERTC_TIME)

ERTC_TIME 是日历时间影子寄存器。只能在初始化模式下对该寄存器执行写操作。请参见第 11.3.5 节的日历初始化和配置，读取日历。

偏移地址: 0x00

上电复位值: 0x0000 0000

系统复位: 当 BYPSHDW = 0 时为 0x0000 0000; 当 BYPSHDW = 1 时不受影响。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES									AMPM	HT[1:0]	HU[3:0]				
15	14	13	12	11	10	9	8	7	RW	RW	RW	RW	RW	RW	RW
RES	MT[2:0]			MU[3:0]			RES	6	5	4	3	2	1	0	
	RW	RW	RW	RW	RW	RW	RW	ST[2:0]	SU[3:0]				RW	RW	RW

位 31:24	保留
位 23	保留，必须保持复位值
位 22	AMPM:AM/PM 符号 0: AM 或 24 小时制 1: PM
位 21:20	HT[1:0]:小时的十位 (BCD 格式)
位 19:16	HU[3:0]:小时的个位 (BCD 格式)
位 15	保留，必须保持复位值
位 14:12	MT[2:0]:分钟的十位 (BCD 格式)
位 11:8	MU[3:0]:分钟的个位 (BCD 格式)
位 7	保留，必须保持复位值
位 6:4	ST[2:0]:秒的十位 (BCD 格式)
位 3:0	SU[3:0]:秒的个位 (BCD 格式)

注意：此寄存器受写保护。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.2 ERTC日期寄存器(ERTC_DATE)

ERTC_DATE 是日历日期影子寄存器。只能在初始化模式下对该寄存器执行写操作。请参见 第 11.3.5 节的日历初始化和配置，读取日历。

偏移地址: 0x04

上电复位值: 0x0000 2101

系统复位: 当 BYPSHDW = 0 时为 0x0000 2101; 当 BYPSHDW = 1 时不受影响。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES									YT[3:0]		YU[3:0]				
15	14	13	12	11	10	9	8	7	RW	RW	RW	RW	RW	RW	RW
WK[2:0]		MT		MU[3:0]			RES		DT[1:0]		DU[3:0]				
RW	RW	RW	RW	RW	RW	RW	RW	7	6	5	4	3	2	1	0

位 31:24	保留
位 23:20	YT[3:0]:年份的十位
位 19:16	YU[3:0]:年份的个位
位 15:13	WK[2:0]:星期几 000: 禁止 001: 星期一 ... 111: 星期日

位 12	MT:月份的十位 (BCD 格式)														
位 11:8	MU 月份的个位 (BCD)														
位 7:6	保留, 必须保持复位值														
位 5:4	DT[1:0]:日期的十位														
位 3:0	DU[3:0]:日期的个位														

注意： 此寄存器受写保护。第11.3.5节的ERTC 寄存器写保护中介绍了写访问的过程。

11.6.3 ERTC控制寄存器(ERTC_CTRL)

偏移地址: 0x08

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES									C AL O E	OSEL[1:0]	OPOL	CAL SEL	B K P	SUB 1H	ADD 1H
R W								R W	RW	RW	RW	RW	R W	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS IE	WA TIE	ALB IE	ALA E	T S E	WA TE	ALB E	ALA E	C D C E	HF M	BYP SHD W	RFCK ON	TSE DGE	WACKSEL[2:0]		
R W	RW	RW	RW	R W	RW	RW	RW	R W	RW	RW	RW	RW	R W	RW	RW

位 31:24	保留,必须保持复位值
位 23	CALOE:校准输出使能 该位使能 ERTC_CAL 输出 0: 禁止校准输出 1: 使能校准输出
位 22:21	OSEL[1:0]:输出选择 这些位用于选择要连接到 ERTC_ALARM 输出的标志 00: 禁止输出 01: 使能闹钟 A 输出 10: 使能闹钟 B 输出 11: 使能唤醒输出
位 20	OPOL: 输出极性 该位用于配置 ERTC_ALARM 输出的极性 0: 当 ALAF/ALBF/WATF 置 1 时 (取决于 OSEL[1:0]) , 该引脚为高电平 1: 当 ALAF/ALBF/WATF 置 1 时 (取决于 OSEL[1:0]) , 该引脚为低电平
位 19	CALSEL: 校准输出选择 当 CALOE=1 时, 该位可选择 ERTC_CAL 上输出的信号。 0: 校准输出为 512 Hz 1: 校准输出为 1 Hz 在 ERTCCCLK 为 32.768 kHz 且预分频器为其默认值 (PRDIV_A=127 且 PRDIV_S=255) 的条件下, 这些频率有效。请参见第 11.3.14 节: 校准时钟输出。
位 18	BKP: 备份 (Backup) 用户可对此位执行写操作以记录是否已对夏令时进行更改。
位 17	SUB1H: 减少 1 小时 (冬季时间更改) 当该位在初始化模式以外的模式下置 1 时, 如果当前小时不是 0, 则日历时间将减少 1 小时。此位始终读为 0。 当前小时为 0 时, 将此位置 1 没有任何作用。 0: 无作用。 1: 将当前时间减少 1 小时。这可用于冬季时间更改。
位 16	ADD1H: 增加 1 小时 (夏季时间更改) 当该位在初始化模式以外的模式下置 1 时, 日历时间将增加 1 小时。此位始终读为 0。 0: 无作用。 1: 将当前时间增加 1 小时。这可用于夏季时间更改

位 15	TSIE: 时间戳中断使能 0: 禁止时间戳中断 1: 使能时间戳中断
位 14	WATIE: 唤醒定时器中断使能 0: 禁止唤醒定时器中断 1: 使能唤醒定时器中断
位 13	ALBIE: 闹钟 B 中断使能 0: 闹钟 B 中断禁止 1: 闹钟 B 中断使能
位 12	ALAIE: 闹钟 A 中断使能 0: 禁止闹钟 A 中断 1: 使能闹钟 A 中断
位 11	TSE: 时间戳使能 0: 禁止时间戳 1: 使能时间戳
位 10	WATE: 唤醒定时器使能 0: 禁止唤醒定时器 1: 使能唤醒定时器
位 9	ALBE: 闹钟 B 使能 0: 禁止闹钟 B 1: 使能闹钟 B
位 8	ALAE: 闹钟 A 使能 0: 禁止闹钟 A 1: 使能闹钟 A
位 7	CDCE: 粗略数字校准使能 0: 禁止数字校准 1: 使能数字校准 PRDIV_A 必须大于或等于 6
位 6	HFM: 小时格式 0: 24 小时/天格式 1: AM/PM 小时格式
位 5	BYPSHDW: 旁路影子寄存器 0: 日历值（从 EERTC_SBSR、EERTC_TIME 和 EERTC_DATE 读取时）取自影子寄存器，该影子寄存器每两个 ERTCCLK 周期更新一次。 1: 日历值（从 EERTC_SBSR、EERTC_TIME 和 EERTC_DATE 读取时）直接取自日历计数器。注意：如果 APB1 时钟的频率低于 7 倍的 ERTCCLK 频率，则必须将 BYPSHDW 置“1”。
位 4	RFCKON: 参考时钟检测使能（50 Hz 或 60 Hz） 0: 禁止参考时钟检测 1: 使能参考时钟检测 注意：PRDIV_S 必须为 0x00FF。
位 3	TSEDGE: 时间戳事件有效边沿 0: TIMESTAMP 上升沿生成时间戳事件 1: TIMESTAMP 下降沿生成时间戳事件 TSEDGE 发生更改时，必须复位 TSE 以避免将 TSF 意外置 1
位 2:0	WACKSEL[2:0]: 唤醒时钟选择 000: 选择 ERTC/16 时钟 001: 选择 ERTC/8 时钟 010: 选择 ERTC/4 时钟 011: 选择 ERTC/2 时钟 10x: 选择 ck_spre 时钟（通常为 1 Hz） 11x: 选择 ck_spre 时钟（通常为 1 Hz）并将 WAREV 计数器值增加 216（见下面的注释）

注意：WAREV = 唤醒单元计数器值。当 WACKSEL[2:1 = 11] 时，WAREV = (0x0000 - 0xFFFF) + 0x10000 (增加的值)。

只能在初始化模式下 (ERTC_STS/INITF = 1) 对该寄存器的位 7、6 和 4 执行写操作。

只能在 ERTC_CTRL.WATE 位 = 0 且 ERTC_STS.WATWF 位 = 1 时对该寄存器的位 2 到 0 执行写操作。

建议不要在日历小时递增时更改小时，因为这样做会屏蔽日历小时的增量。

ADD1H 和 SUB1H 的更改在下一秒生效。

此寄存器受写保护。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.4 ERTC初始化和状态寄存器(ERTC_STS)

偏移地址: 0x0C

上电复位值: 0x0000 0007

系统复位值: 不受影响 (INITM、INITF 和 RSF 除外, 它们在复位时被清零)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES															RECAL PDF R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RE S	RE S	TPF	TSO F	TSF	WAT F	AL BF	AL AF	INIT M	INI TF	RSF	INI TS	SF P	WAT WF	ALB WF	ALAWF
		RC_ W0	RC_ W0	RC_ W0	RC- W0	RC- W0	RW	R	RC_ W0	R	R C- W 0	R	R	R	R

位 31:17	保留
位 16	RECALPDF: 重新校准挂起标志 (Recalibration pending Flag) 当软件对 ERTC_CCR 寄存器执行写操作时, RECALPDF 状态标志将自动置“1”, 指示 ERTC_CCR 寄存器已屏蔽。当采用新的校准设置时, 该位恢复为“0”。请参见动态重校准一节。
位 15	保留, 必须保持复位值
位 14	保留, 必须保持复位值
位 13	TPF: 入侵检测标志 当检测到入侵检测事件时, 由硬件将此标志置 1。该标志由软件写零清除。
位 12	TSOF: 时间戳溢出标志 当在 TSF 已置 1 的情况下发生时间戳事件时, 由硬件将此标志置 1。 该标志由软件写零清除。 建议仅在 TSF 位清零之后再检查并清零 TSOF 位。否则, 如果时间戳事件恰好在清零 TSF 位之前刚刚发生, 则溢出事件可能会被漏掉。
位 11	TSF: 时间戳标志 发生时间戳事件时, 由硬件将此标志置 1。 该标志由软件写零清除。
位 10	WATF: 唤醒定时器标志 当唤醒自动重载计数器计数到 0 时, 由硬件将此标志置 1。 该标志由软件写零清除。 软件必须在 WATF 再次置 1 的 1.5 个 ERTCLK 周期之前将该标志清零。
位 9	ALBF: 闹钟 B 标志 当时间/日期寄存器 (ERTC_TIME 和 ERTC_DATE) 与闹钟 B 寄存器 (ERTC_ALB) 匹配时, 由硬件将该标志置 1。 该标志由软件写零清除。
位 8	ALAF: 闹钟 A 标志 当时间/日期寄存器 (ERTC_TIME 和 ERTC_DATE) 与闹钟 A 寄存器 (ERTCALA) 匹配时, 由硬件将该标志置 1。 该标志由软件写零清除。
位 7	INITM: 初始化模式 0: 自由运行模式。 1: 初始化模式, 用于编程时间和日期寄存器 (ERTC_TIME 和 ERTC_DATE) 以及预分频器寄存器 (ERTC_PSC)。计数器停止计数, 当 INITM 被复位后, 计数器从新值开始计数。
位 6	INITF: 初始化标志 当此位置 1 时, ERTC 处于初始化状态, 此时可更新事件、日期和预分频器寄存器。 0: 不允许更新日历寄存器。 1: 允许更新日历寄存器。
位 5	RSF: 寄存器同步标志 每次将日历寄存器的值复制到影子寄存器 (ERTC_SBSRx、ERTC_TIMEx 和 ERTC_DATEx) 时, 都会由硬件将此位置 1。在初始化模式下、平移操作挂起时 (SFP=1) 或在旁路影子寄存器模式 (BYPSHDW=1) 下, 该位由硬件清零。该位还可由软件清零。 0: 日历影子寄存器尚未同步

	1: 日历影子寄存器已同步
位 4	INITS: 初始化状态标志 当日历年份字段不为 0 时（上电复位状态），由硬件将该位置 1。 0: 日历尚未初始化 1: 日历已经初始化
位 3	SFP: 平移操作挂起 0: 没有平移操作挂起 1: 某个平移操作挂起 只要通过对 ERTC_SFCTR 寄存器执行写操作来启动平移操作，此标志便由硬件置 1。执行完相应的平移操作后，此标志由硬件清零。对 SFP 执行写入操作不起作用。
位 2	WATWF: 唤醒定时器写标志 在 ERTC_CTRL 寄存器中的 WATE 位置 0 后，当唤醒定时器值可更改时，由硬件将该位置 1。 0: 不允许更新唤醒定时器配置 1: 允许更新唤醒定时器配置
位 1	ALBWF: 闹钟 B 写标志 在 ERTC_CTRL 寄存器中的 ALBIE 位置 0 之后，当闹钟 B 的值可更改时，由硬件将该位置 1。该位在初始化模式下由硬件清零。 0: 不允许更新闹钟 B 1: 允许更新闹钟 B
位 0	ALAWF: 闹钟 A 写标志 在 ERTC_CTRL 寄存器中的 ALAE 位置 0 后，当闹钟 A 的值可更改时，由硬件将该位置 1。该位在初始化模式下由硬件清零。 0: 不允许更新闹钟 A 1: 允许更新闹钟 A

注意： 将 ALAF、ALBF、WATF 和 TSF 位编程为 0 之后 2 个 APB 时钟周期，清零生效。
 此寄存器受写保护（ERTC_STS[13:8] 位除外）。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.5 ERTC 预分频器寄存器(ERTC_PSC)

偏移地址: 0x10

上电复位值: 0x007F 00FF

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES									PRDIV_A[6:0]						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES									PRDIV_S[14:0]						
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

位 31:24	保留
位 23	保留，必须保持复位值
位 22:16	PRDIV_A[6:0]: 异步预分频系数 下面是异步分频系数的公式： $ck_{apre} \text{ 频率} = \text{ERTCCLK} \text{ 频率}/(\text{PRDIV}_A+1)$ 注意： PRDIV_A [6:0]= 000000 为禁用值。
位 15	保留，必须保持复位值
位 14:0	PRDIV_S[14:0]: 同步预分频系数 下面是同步分频系数的公式： $ck_{spre} \text{ 频率} = ck_{apre} \text{ 频率}/(\text{PRDIV}_S+1)$

注意： 只能在初始化模式下对该寄存器执行写操作。必须通过两次独立的写访问执行初始化。请参见第 11.3.5 节的日历初始化和配置。

此寄存器受写保护。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.6 ERTC唤醒定时器寄存器(ERTC_WATR)

偏移地址: 0x14

上电复位值: 0x0000 FFFF

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WAREV[15:0]															
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

位 31:16	保留
位 15:0	<p>WAREV[15:0]: 唤醒自动重载值位 当使能唤醒定时器时 (WATE 置 1)，每 (WAREV[15:0] + 1) 个 ck_WAREV 周期将 WATF 标志置 1 一次。ck_WAREV 周期通过 ERTC_CTRL 寄存器的 WACKSEL[2:0] 位进行选择。 当 WACKSEL[2] = 1 时，唤醒定时器变为 17 位，WACKSEL[1] 等效为 WAREV[16]，即要重载到定时器的最高有效位。 注意：WATF 第一次置 1 发生在 WATE 置 1 之后 (WAREV+1) 个 ck_WAREV 周期。 禁止在 WACKSEL[2:0]=011(ERTCCLK/2) 时将 WAREV[15:0] 设置为 0x0000。</p>

注意：仅当 ERTC_STS 中的 WATWF 置 1 时才可对该寄存器执行写操作。

此寄存器受写保护。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.7 ERTC校准寄存器(ERTC_CAL)

偏移地址: 0x18

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES								DCALS	RES		DCAL[4:0]				
								RW			RW	RW	RW	RW	RW

位 31:8	保留
位 7	<p>DCALS: 数字校准符号 0: 正校准: 增加日历更新频率 1: 负校准: 降低日历更新频率</p>
位 6:5	保留, 必须保持复位值。
位 4:0	<p>DCAL[4:0]: 数字校准 DCALS = 0 (正校准) 00000: + 0 ppm 00001: + 4 ppm (舍入值) 00010: + 8 ppm (舍入值) 11111: + 126 ppm (舍入值) DCALS = 1 (负校准) 00000: - 0 ppm 00001: - 2 ppm (舍入值) 00010: - 4 ppm (舍入值) 11111: - 63 ppm (舍入值) 有关准确的步骤值, 请参见 11.3.10 的例如当 ERTCCLK=32.768 kHz 且 PRDIV_A+1=128 时。</p>

注意：只能在初始化模式 (ERTC_STS/INITF = "1") 下对此寄存器执行写操作。

此寄存器受写保护。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.8 ERTC闹钟A寄存器(ERTC_ALA)

偏移地址: 0x1C

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
MASK4	WKSEL	DT[1:0]		DU[3:0]				MASK3	AMPM	HT[1:0]		HU[3:0]					
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
MASK2	MT[2:0]				MU[3:0]				MSK1	ST[2:0]				SU[3:0]			
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW		

位 31	MASK4: 闹钟 A 日期掩码 0: 如果日期/日匹配, 则闹钟 A 置 1 1: 在闹钟 A 比较中, 日期/日无关
位 30	WKSEL: 星期几选择 0: DU[3:0] 代表日期的个位 1: DU[3:0] 代表星期几。DT[1:0] 为无关位。
位 29:28	DT[1:0]: 日期的十位 (BCD 格式)
位 27:24	DU[3:0]: 日期的个位或日 (BCD 格式)
位 23	MASK3: 闹钟 A 小时掩码 0: 如果小时匹配, 则闹钟 A 置 1 1: 在闹钟 A 比较中, 小时无关
位 22	AMPM: AM/PM 符号 0: AM 或 24 小时制 1: PM
位 21:20	HT[1:0]: 小时的十位 (BCD 格式)
位 19:16	HU[3:0]: 小时的个位 (BCD 格式)
位 15	MASK2: 闹钟 A 分钟掩码 0: 如果分钟匹配, 则闹钟 A 置 1 1: 在闹钟 A 比较中, 分钟无关
位 14:12	MT[2:0]: 分钟的十位 (BCD 格式)
位 11:8	MU[3:0]: 分钟的个位 (BCD 格式)
位 7	MASK1: 闹钟 A 秒掩码 0: 如果秒匹配, 则闹钟 A 置 1 1: 在闹钟 A 比较中, 秒无关
位 6:4	ST[2:0]: 秒的十位 (BCD 格式)
位 3:0	SU[3:0]: 秒的个位 (BCD 格式)

注意: 仅当 ERTC_STS 中的 ALAWF 置 1 时或在初始化模式下, 才可以对该寄存器执行写操作。

此寄存器受写保护。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.9 ERTC闹钟B寄存器(ERTC_ALB)

偏移地址: 0x20

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
MASK4	WKSEL	DT[1:0]		DU[3:0]				MASK3	AMPM	HT[1:0]		HU[3:0]					
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
MASK2	MT[2:0]				MU[3:0]				MSK1	ST[2:0]				SU[3:0]			
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW		

位 31	MASK4: 闹钟 B 日期掩码 0: 如果日期/日匹配, 则闹钟 B 置 1
------	--

	1: 在闹钟 B 比较中，日期/日无关
位 30	WKSEL: 星期几选择 0: DU[3:0] 代表日期的个位 1: DU[3:0] 代表星期几。DT[1:0] 为无关位。
位 29:28	DT[1:0]: 日期的十位 (BCD 格式)
位 27:24	DU[3:0]: 日期的个位或日 (BCD 格式)
位 23	MASK3: 闹钟 B 小时掩码 0: 如果小时匹配，则闹钟 B 置 1 1: 在闹钟 B 比较中，小时无关
位 22	AMPM: AM/PM 符号 0: AM 或 24 小时制 1: PM
位 21:20	HT[1:0]: 小时的十位 (BCD 格式)
位 19:16	HU[3:0]: 小时的个位 (BCD 格式)
位 15	MASK2: 闹钟 B 分钟掩码 0: 如果分钟匹配，则闹钟 B 置 1 1: 在闹钟 B 比较中，分钟无关
位 14:12	MT[2:0]: 分钟的十位 (BCD 格式)
位 11:8	MU[3:0]: 分钟的个位 (BCD 格式)
位 7	MASK1: 闹钟 B 秒掩码 0: 如果秒匹配，则闹钟 B 置 1 1: 在闹钟 B 比较中，秒无关
位 6:4	ST[2:0]: 秒的十位 (BCD 格式)
位 3:0	SU[3:0]: 秒的个位 (BCD 格式)

注意：仅当 ERTC_STS 中的 ALBWF 置 1 时或在初始化模式下，才可以对该寄存器执行写操作。

此寄存器受写保护。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.10 ERTC写保护寄存器(ERTC_WPR)

偏移地址: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES								KEY							
								W	W	W	W	W	W	W	W

位 31:8	保留，必须保持复位值
位 7:0	KEY: 写保护关键字 可通过软件对该字节执行写操作。 读取该字节时，始终返回 0x00。 有关如何解锁 ERTC 寄存器写保护的介绍，请参见第 11.3.5 节 ERTC 寄存器写保护。

11.6.11 ERTC亚秒寄存器(ERTC_SBSR)

偏移地址: 0x28

上电复位值: 0x0000 0000

系统复位: 当 BYPSHDW = 0 时为 0x0000 0000; 当 BYPSHDW = 1 时不受影响。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBS[15:0]															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

位 31:16	保留
位 15:0	<p>SBS: 亚秒值 SBS[15:0] 是同步预分频器计数器的值。 此亚秒值可根据以下公式得出： 亚秒值 = (PRDIV_S - SBS) / (PRDIV_S + 1) 注意： 仅当执行平移操作之后， SBS 才能大于 PRDIV_S。在这种情况下，正确的时间/日期比 ERTC_TIME/ERTC_DATE 所指示的时间 /日期慢一秒钟。</p>

11.6.12 ERTC 平移控制寄存器(ERTC_SFCTR)

偏移地址: 0x2C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD1S															RES
RW															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES															SUBSBS[14:0]
	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

位 31	<p>ADD1S: 增加一秒钟 0: 无作用 1: 对时钟/日历增加一秒钟 此位为只写位且始终读为 0。当平移操作挂起 (ERTC_STS 中的 SFP=1) 时，对该位执行写操作无作用。 此函数应与 SUBSBS 配合使用 (请参见下文介绍)，以便有效地向原子操作机制的时钟添加亚秒值。</p>
位 31:15	保留
位 14:0	<p>SUBSBS: 减少亚秒值 此位为只写位且始终读为 0。当平移操作挂起 (ERTC_STS 中的 SFP=1) 时，对该位执行写操作无作用。 写入 SUBSBS 的值将加到同步预分频器计数器中。由于该计数器递减计数，此操作可有效地从时钟减去 (延迟) 以下时间： 延迟 (秒) = SUBSBS / (PRDIV_S + 1) 当 ADD1S 函数与 SUBSBS 结合使用时，可有效地将亚秒值增加到时钟 (提前时钟)，使时钟 提前以下时间： 提前 (秒) = (1 - (SUBSBS / (PRDIV_S + 1)))。 注意： 对 SUBSBS 执行写操作将使 RSF 清零。软件随后会等待至 RSF=1 以确定影子寄存器已更新为平移后的时间。 请参见第 11.3.8 节：ERTC 同步。</p>

注意： 此寄存器受写保护。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.13 ERTC 时间戳时间寄存器(ERTC_TSTM)

偏移地址: 0x30AM

上电复位值: 0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES															
									AMPM	HT[1:0]		HU[3:0]			
									R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES	MT[2:0]				MU[3:0]				RES	ST[2:0]			SU[3:0]		
	R	R	R	R	R	R	R	R		R	R	R	R	R	R

位 31:23	保留，必须保持复位值
位 22	<p>AMPM: AM/PM 符号 0: AM 或 24 小时制 1: PM</p>
位 21:20	HT[1:0]: 小时的十位 (BCD 格式)

位 19:16	HU[3:0]: 小时的个位 (BCD 格式)
位 15	保留, 必须保持复位值。
位 14:12	MT[2:0]: 分钟的十位 (BCD 格式)
位 11:8	MU[3:0]: 分钟的个位 (BCD 格式)
位 7	保留, 必须保持复位值。
位 6:4	ST[2:0]: 秒的十位 (BCD 格式)
位 3:0	SU[3:0]: 秒的个位 (BCD 格式)

注意：仅当 ERTC_STS 中的 TSF 置 1 时，该寄存器的内容才有效。当 TSF 位复位时，清零该寄存器。

11.6.14 ERTC时间戳日期寄存器(ERTC_TS DT)

偏移地址: 0x34

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WK[1:0]	MT	MU[3:0]		RES	DT[1:0]	DU[3:0]		R	R	R	R	R	R	R	R
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

位 31:16	保留, 必须保持复位值
位 15:13	WK[1:0]: 星期几
位 12	MT: 月份的十位 (BCD 格式)
位 11:8	MU[3:0]: 月份的个位 (BCD 格式)
位 7:6	保留, 必须保持复位值。
位 5:4	DT[1:0]: 日期的十位 (BCD 格式)
位 3:0	DU[3:0]: 日期的个位 (BCD 格式)

注意：仅当 ERTC_STS 中的 TSF 置 1 时，该寄存器的内容才有效。当 TSF 位复位时，清零该寄存器。

11.6.15 ERTC时间戳亚秒寄存器(ERTC_TSSBS)

偏移地址: 0x38

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
SBS[15:0]															

位 31:16	保留
位 15:0	SBS: 亚秒值
当发生时间戳事件时， SBS[15:0] 是同步预分频器计数器的值。	

注意：仅当 ERTC_STS/TSF 置 1 时，该寄存器的内容才有效。当 ERTC_STS/TSF 位复位时，清零该寄存器。

11.6.16 ERTC校准寄存器(ERTC_CCR)

偏移地址: 0x3C

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES															
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CALAD	CAL8	CAL16	RES				CALM[8:0]								
RW	RW	RW	R	R	R	R	RW	RW	RW	RW	RW	RW	RW	RW	RW

位 31:16	保留
位 15	CALAD: 将 ERTC 的频率增加 488.5 ppm 0: 不增加 ERTCCLK 脉冲。 1: 每 211 个脉冲有效插入一个 ERTCCLK 脉冲（将频率增加 488.5 ppm）。 此功能应与 CALM 结合使用，后者在高分辨率下会降低日历的频率。如果输入频率为 32768 Hz，则在 32 秒窗口中增加的 ERTCCLK 脉冲数按如下公式计算: $(512 * \text{CALAD}) - \text{CALM}$ 。 请参见第 11.3.11 节: ERTC 精密数字校准。
位 14	CAL8: 使用 8 秒校准周期 当 CAL8 置“1”时，选择 8 秒校准周期。 CAL8=“1”时，CALM[1:0] 将始终保持为“00”。 请参见第 11.3.11 节: ERTC 精密数字校准。
位 13	CAL16: 使用 16 秒校准周期 当 CAL16 置“1”时，选择 16 秒校准周期。如果 CAL8=1，则必须将该位置“1”。 注意：当 CAL16=“1”时，CALM[0] 将始终保持为“0”。 请参见第 11.3.11 节: ERTC 精密数字校准。
位 12:9	保留
位 8:0	CALM[8:0]: 负校准 在 220 个 ERTCCLK 脉冲内屏蔽 CALM 个脉冲（如果输入频率为 32768 Hz，则为 32 秒）来降低日历的频率。其分辨率为 0.9537 ppm。 要提高日历的频率，则应将此功能与 CALAD 结合使用。请参见第 11.3.11 节: ERTC 精密数字校准。

11.6.17 ERTC 入侵和复用功能配置寄存器(ERTC_TPAF)

偏移地址: 0x40

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	2 2	2 1	20	19	18		17	16			
RES													ALAOUTTY		RES	RES			
15	14	13	12	11	10	9	8	7	6	5	4	3	PE		RW		RW		
TMPUDI S	TMPRCH[1: 0]		TMFLT[1: 0]		TMFREQ[2:0]			TMT S	RES	RE S		TMIE		TM1TR G	TM1 E	RW		RW	
RW	RW	RW	RW	RW	R W	R W	R W	RW		RW		RW		RW		RW			

位 31:19	保留
位 18	ALAOUTTYPE: ERTC_ALARM 输出类型 0: ERTC_ALARM 为开漏输出 1: ERTC_ALARM 为推挽输出
位 17:16	保留
位 15	TMPUDIS: TAMPER 禁止内部上拉 该位决定在每次采样之前是否对入侵引脚都进行预充电。

	0: 采样之前对入侵引脚进行预充电（使能内部上拉） 1: 禁止对入侵引脚进行预充电
位 14:13	TMPRCH[1:0]: 入侵预充电持续时间 这些位决定了在每次采样之前激活上拉的持续时间。TMPRCH 对每个入侵输入都有效。 0x0: 1 个 ERTCCLK 周期 0x1: 2 个 ERTCCLK 周期 0x2: 4 个 ERTCCLK 周期 0x3: 8 个 ERTCCLK 周期
位 12:11	TMFLT[1:0]: 入侵过滤器计数 这些位决定了为激活入侵事件所需的指定电平 (TAMP*TRG) 上的连续采样次数。TMFLT 对每个入侵输入都有效。 0x0: 在入侵输入转变为有效电平的边沿激活入侵（入侵输入上无内部上拉）。 0x1: 在有效电平上连续执行 2 次采样后激活入侵。 0x2: 在有效电平上连续执行 4 次采样后激活入侵。 0x3: 在有效电平上连续执行 8 次采样后激活入侵。
位 10:8	TMFREQ[2:0]: 入侵采样频率 决定对每个入侵输入进行采样时的频率。 0x0: ERTCCLK / 32768 (ERTCCLK = 32768 Hz 时为 1 Hz) 0x1: ERTCCLK / 16384 (ERTCCLK = 32768 Hz 时为 2 Hz) 0x2: ERTCCLK / 8192 (ERTCCLK = 32768 Hz 时为 4 Hz) 0x3: ERTCCLK / 4096 (ERTCCLK = 32768 Hz 时为 8 Hz) 0x4: ERTCCLK / 2048 (ERTCCLK = 32768 Hz 时为 16 Hz) 0x5: ERTCCLK / 1024 (ERTCCLK = 32768 Hz 时为 32 Hz) 0x6: ERTCCLK / 512 (ERTCCLK = 32768 Hz 时为 64 Hz) 0x7: ERTCCLK / 256 (ERTCCLK = 32768 Hz 时为 128 Hz)
位 7	TMTS: 发生入侵检测事件时激活时间戳 0: 发生入侵检测事件时不保存时间戳 1: 发生入侵检测事件时保存时间戳 即便 ERTC_CTRL 寄存器中的 TSE=0, TMTS 仍有效。
位 6:5	保留。始终读为 0
位 4:3	保留
位 2	TMIE: 入侵中断使能 0: 禁止入侵中断 1: 使能入侵中断
位 1	TM1TRG: 入侵 1 的有效电平 如果 TMFLT ≠ 00 0: TAMPER1 保持低电平会触发入侵检测事件。 1: TAMPER1 保持高电平会触发入侵检测事件。 如果 TMFLT = 00: 0: TAMPER1 上升沿会触发入侵检测事件。 1: TAMPER1 下降沿会触发入侵检测事件。 注意: 如果 TMFLT = 0, 则更改 TM1TRG 时必须复位 TM1E, 以避免将 TPF 意外置 1。
位 0	TM1E: 入侵 1 检测使能 0: 禁止入侵 1 检测 1: 使能入侵 1 检测

11.6.18 ERTC闹钟A亚秒寄存器(ERTC_ALASBS)

偏移地址: 0x44

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES				MASKSBS[3:0]				RES							
R	R	R	R	RW	RW	RW	RW	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES	SBS[14:0]														
R	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

位 31:28	保留
位 27:24	MASKSBS[3:0]: 屏蔽从此位开始的最高有效位

	0: 不对闹钟 A 的亚秒进行比较。当秒单元递增时设置闹钟（假定其余字段均匹配）。 1: 在闹钟 A 比较中, SBS[14:1] 为无关位。仅比较 SBS [0]。 2: 在闹钟 A 比较中, SBS [14:2] 为无关位。仅比较 SBS [1:0]。 3: 在闹钟 A 比较中, SBS [14:3] 为无关位。仅比较 SBS [2:0]。 ... 12: 在闹钟 A 比较中, SBS [14:12] 为无关位。比较 SBS [11:0]。 13: 在闹钟 A 比较中, SBS [14:13] 为无关位。比较 SBS [12:0]。 14: 在闹钟 A 比较中, SBS [14] 为无关位。比较 SBS [13:0]。 15: 所有 15 个 SBS 位均进行比较，并且必须全部匹配才能激活闹钟。同步计数器的溢出位（位 15）从不进行比较。仅当执行平移操作之后，此位才不为 0。
位 23:15	保留
位 14:0	SBS[14:0]: 亚秒值 该值与同步预分频器计数器的内容进行比较以确定是否要激活闹钟 A。仅比较位 0 到 MASKSBS-1。

注意：仅当 ERTC_CTRL 中的 ALAE 复位时或在初始化模式下，才可以对该寄存器执行写操作。

此寄存器受写保护。第 11.3.5 节的 ERTC 寄存器写保护中介绍了写访问的过程。

11.6.19 ERTC 闹钟 B 亚秒寄存器(ERTC_ALBSBS)

偏移地址: 0x48

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RES				MASKSBS[3:0]				RES							
R	R	R	R	RW	RW	RW	RW	R	R	R	R	R	R	R	R
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES				SBS[14:0]											
R	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

位 31:28	保留
位 27:24	MASKSBS[3:0]: 屏蔽从此位开始的最高有效位 0: 不对闹钟 B 的亚秒进行比较。当秒单元递增时设置闹钟（假定其余字段均匹配）。 1: 在闹钟 B 比较中, SBS[14:1] 为无关位。仅比较 SBS [0]。 2: 在闹钟 B 比较中, SBS [14:2] 为无关位。仅比较 SBS [1:0]。 3: 在闹钟 B 比较中, SBS [14:3] 为无关位。仅比较 SBS [2:0]。 ... 12: 在闹钟 B 比较中, SBS [14:12] 为无关位。比较 SBS [11:0]。 13: 在闹钟 B 比较中, SBS [14:13] 为无关位。比较 SBS [12:0]。 14: 在闹钟 B 比较中, SBS [14] 为无关位。比较 SBS [13:0]。 15: 所有 15 个 SBS 位均进行比较，并且必须全部匹配才能激活闹钟。同步计数器的溢出位（位 15）从不进行比较。仅当执行平移操作之后，此位才不为 0。
位 23:15	保留
位 14:0	SBS[14:0]: 亚秒值 该值与同步预分频器计数器的内容进行比较以确定是否要激活闹钟 B。仅比较位 0 到 MASKSBS-1。

注意：仅当 ERTC_CTRL 中的 ALBE 复位时或在初始化模式下，才可以对该寄存器执行写操作。

此寄存器受写保护。第11.3.5节的ERTC 寄存器写保护中介绍了写访问的过程。

11.6.20 ERTC 备份寄存器(ERTC_BKPxDT)

偏移地址: 0x50 到 0x9C

上电复位值: 0x0000 0000

系统复位: 不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
D[31:16]															
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D[15:0]															

RW															
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

位 31:0	D[31:0] 应用可向/从这些寄存器写入/读取数据。 当 VDD 关闭时, 这些寄存器由 VBAT 供电, 因而系统复位时, 这些寄存器不会复位, 并且当 器件在低功耗模式下工作时, 寄存器的内容仍然有效。 发生入侵检测事件时该寄存器会被复位, 并且只要 TAMPxF=1, 该寄存器就一直保持复位。
--------	---

12 模拟/数字转换 (ADC)

12.1 ADC介绍

12 位 ADC 是一种逐次逼近型模拟数字转换器。它有多达 18 个通道，可测量 16 个外部和 2 个内部信号源。各通道的 A/D 转换可以单次、连续、扫描或间断模式执行。ADC 的结果可以左对齐或右对齐方式存储在 16 位数据寄存器中。

模拟看门狗特性允许应用程序检测输入电压是否超出用户定义的高/低阈值。

ADC 的输入时钟不得超过 28 MHz，它是由 PCLK2 经分频产生，参见图 3-2。

12.2 ADC主要特征

- 12位分辨率
- 转换结束、注入转换结束和发生模拟看门狗事件时产生中断
- 单次和连续转换模式
- 从通道0到通道n的自动扫描模式
- 自校准時間: 156個ADC時鐘週期
- 带内嵌数据一致性的数据对齐
- 采样间隔可以按通道分别编程
- 规则转换和注入转换均有外部触发选项
- 间断模式
- ADC转换时间
 - 时钟为28MHz时为0.5 μs
- ADC供电要求: 2.6V到3.6V
- ADC输入范围: $V_{SSA} \leq V_{IN} \leq V_{DDA}$
- 规则通道转换期间有DMA请求产生

12.3 ADC功能描述

下图为一个 ADC 模块的框图，表 12-1 为 ADC 引脚的说明。

图 12-1 单个 ADC 框图

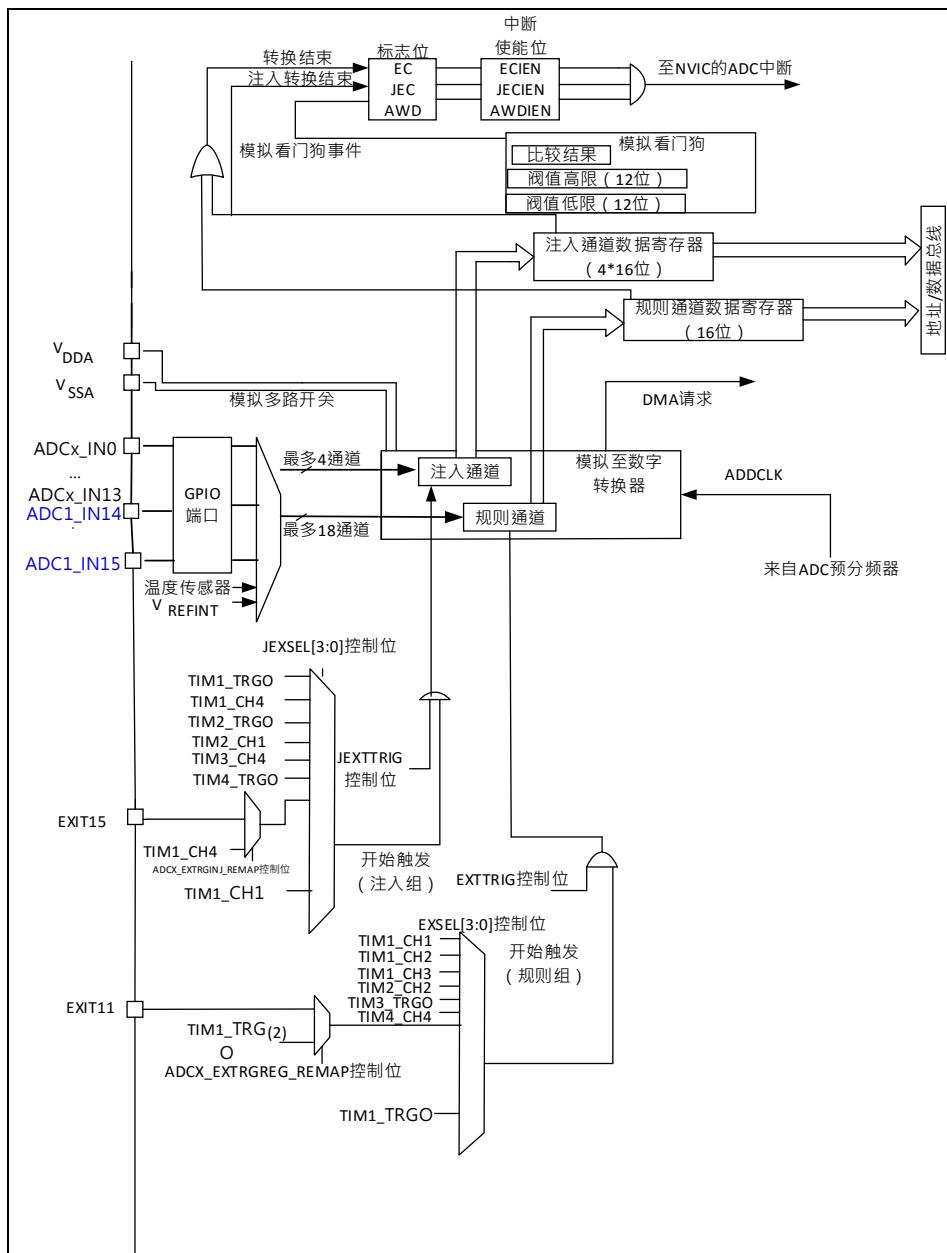


表 12-1 ADC 引脚

名称	信号类型	注解
V _{DDA} ⁽¹⁾	输入, 模拟电源	等效于 V _{DD} 的模拟电源且: 2.6V ≤ V _{DDA} ≤ V _{DD} (3.6V)
V _{SSA} ⁽¹⁾	输入, 模拟电源地	等效于 V _{SS} 的模拟电源地
ADCx_IN[9: 0]	模拟输入信号	18 个模拟输入通道

注意: V_{DDA} 和 V_{SSA} 应该分别连接到 V_{DD} 和 V_{SS}。

12.3.1 ADC开关控制

通过设置 ADC_CTRL2 寄存器的 ADON 位可给 ADC 上电。当第一次设置 ADON 位时，它将 ADC 从断电状态下唤醒。

ADC 上电延迟一段时间后 (t_{STAB})，再次设置 ADON 位时开始进行转换。通过清除 ADON 位可以停止转换，并将 ADC 置于断电模式。在这个模式中，ADC 几乎不耗电（仅几个 μ A）。

12.3.2 ADC时钟

由时钟控制器提供的 ADCCLK 时钟和 PCLK2 (APB2 时钟) 同步。RCC 控制器为 ADC 时钟提供一个专用的可编程预分频器，详见复位和时钟控制 (RCC) 章节。

12.3.3 通道选择

有 18 个多路通道。可以把转换组织成两组：规则组和注入组。在任意多个通道上以任意顺序进行的一系列转换构成组转换。例如，可以如下顺序完成转换：通道 3、通道 8、通道 2、通道 2、通道 0、通道 2、通道 2。

- 规则组由多达 16 个转换组成。规则通道和它们的转换顺序在 ADC_RSQx 寄存器中选择。规则组中转换的总数应写入 ADC_RSQ1 寄存器的 LEN[3: 0] 位中
- 注入组由多达 4 个转换组成。注入通道和它们的转换顺序在 ADC_JSQ 寄存器中选择。注入组里的转换总数目应写入 ADC_JSQ 寄存器的 LEN[1: 0] 位中

如果 ADC_RSQx 或 ADC_JSQ 寄存器在转换期间被更改，当前的转换被清除，一个新的启动脉冲将发送到 ADC 以转换新选择的组。

温度传感器 VREFINT 内部通道

温度传感器和通道 ADC1_IN16 相连接，内部参照电压 VREFINT 和 ADC1_IN17 相连接。可以按注入或规则通道对这两个内部通道进行转换。

注意：温度传感器和 VREFINT 只能出现在主 ADC1 中。

12.3.4 单次转换模式

单次转换模式下，ADC 只执行一次转换。该模式既可通过设置 ADC_CTRL2 寄存器的 ADON 位（只适用于规则通道）启动也可通过外部触发启动（适用于规则通道或注入通道），这时 CON 位为 0。

一旦选择通道的转换完成：

- 如果一个规则通道被转换
 - 转换数据被储存在 16 位 ADC_RDOR 寄存器中
 - EC（转换结束）标志被设置
 - 如果设置了 ECIEN，则产生中断
- 如果一个注入通道被转换
 - 转换数据被储存在 16 位的 ADC_JDOR1 寄存器中
 - JEC（注入转换结束）标志被设置
 - 如果设置了 JECIEN 位，则产生中断

然后 ADC 停止。

12.3.5 连续转换模式

在连续转换模式中，当前面 ADC 转换一结束马上就启动另一次转换。此模式可通过外部触发启动或通过设置 ADC_CTRL2 寄存器上的 ADON 位启动，此时 CON 位是 1。

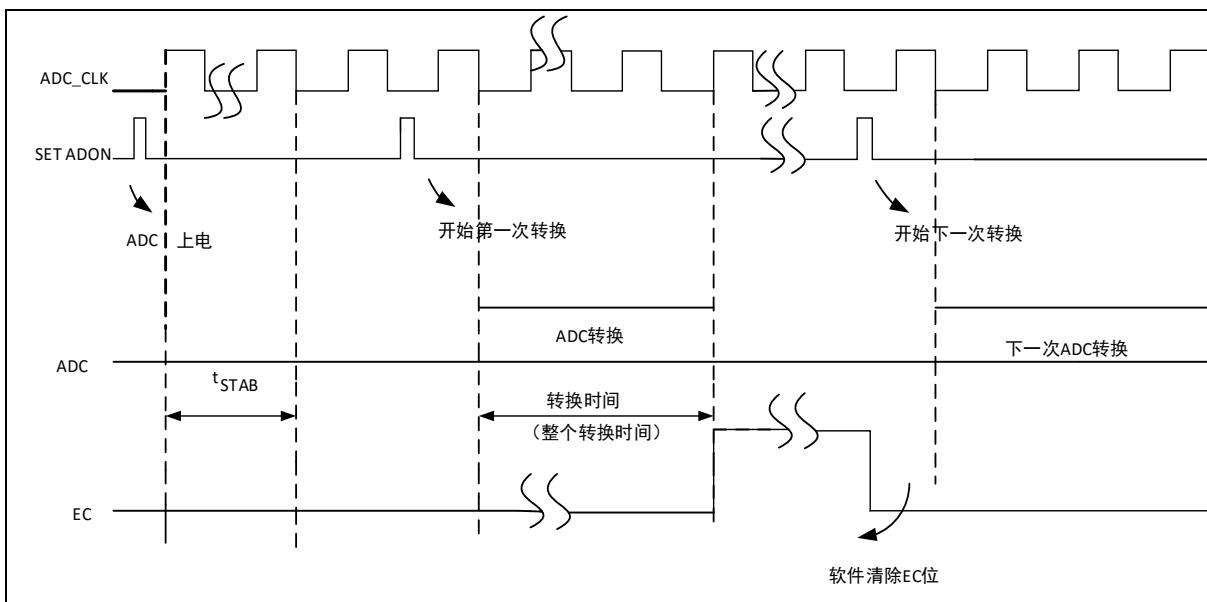
每个转换后：

- 如果一个规则通道被转换
 - 转换数据被储存在 16 位的 ADC_RDOR 寄存器中
 - EC（转换结束）标志被设置
 - 如果设置了 ECIEN，则产生中断
- 如果一个注入通道被转换
 - 转换数据被储存在 16 位的 ADC_JDOR1 寄存器中
 - JEC（注入转换结束）标志被设置
 - 如果设置了 JECIEN 位，则产生中断

12.3.6 时序图

如下图所示，ADC 在开始精确转换前需要一个稳定时间 t_{STAB} 。在开始 ADC 转换和 14 个时钟周期后，EC 标志被设置，16 位 ADC 数据寄存器包含转换的结果。

图 12-2 时序图



12.3.7 模拟看门狗

如果被 ADC 转换的模拟电压低于低阀值或高于高阀值，AWD 模拟看门狗状态位被设置。阀值位于 ADC_WHTR 和 ADC_WLTR 寄存器的最低 12 个有效位中。通过设置 ADC_CTRL1 寄存器的 AWDIEN 位以允许产生相应中断。

阀值独立于由 ADC_CTRL2 寄存器上的 DALIGN 位选择的数据对齐模式。比较是在对齐之前完成的（见 [12.3.12 节](#)）。

通过配置 ADC_CTRL1 寄存器，模拟看门狗可以作用于 1 个或多个通道，如表 12-2 所示。

图 12-3 模拟看门狗警戒区

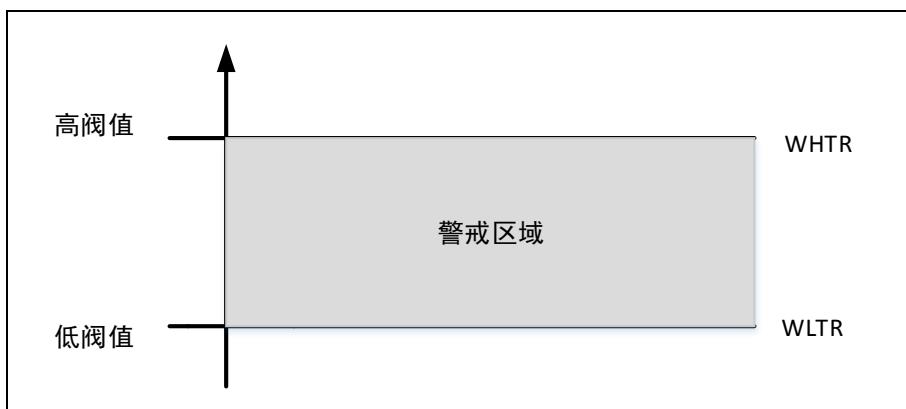


表 12-2 模拟看门狗通道选择

模拟看门狗警戒的通道	ADC_CTRL1 寄存器控制位		
	AWDSGE 位	AWDEN 位	JAWDEN 位
无	任意值	0	0
所有注入通道	0	0	1
所有规则通道	0	1	0
所有注入和规则通道	0	1	1

单一的 ⁽¹⁾ 注入通道	1	0	1
单一的 ⁽¹⁾ 规则通道	1	1	0
单一的 ⁽¹⁾ 注入或规则通道	1	1	1

注意：由 AWDCS[4: 0]位选择。

12.3.8 扫描模式

此模式用来扫描一组模拟通道。

扫描模式可通过设置 ADC_CTRL1 寄存器的 SCN 位来选择。一旦这个位被设置，ADC 扫描所有被 ADC_RSQX 寄存器（对规则通道）或 ADC_JSQ（对注入通道）选中的所有通道。在每个组的每个通道上执行单次转换。在每个转换结束时，同一组的下一个通道被自动转换。如果设置了 CON 位，转换不会在选择组的最后一个通道上停止，而是再次从选择组的第一个通道继续转换。

如果设置了 DMAEN 位，在每次 DOR 寄存器更新后，DMA 控制器把规则组通道的转换数据传输到 SRAM 中。而注入通道转换的数据总是存储在 ADC_JDORx 寄存器中。

12.3.9 注入通道管理

触发注入

清除 ADC_CTRL1 寄存器的 JAUT 位，并且设置 SCN 位，即可使用触发注入功能。

1. 利用外部触发或通过设置 ADC_CTRL2 寄存器的 ADON 位，启动一组规则通道的转换。
2. 如果在规则通道转换期间产生一外部注入触发，当前转换被复位，注入通道序列被以单次扫描方式进行转换。
3. 然后，恢复上次被中断的规则组通道转换。如果在注入转换期间产生一规则事件，注入转换不会被中断，但是规则序列将在注入序列结束后被执行。[图 18-4](#) 是其定时图。

注意：当使用触发的注入转换时，必须保证触发事件的间隔长于注入序列。例如：序列长度为 28 个 ADC 时钟周期（即 2 个具有 1.5 个时钟间隔采样时间的转换），触发之间最小的间隔必须是 29 个 ADC 时钟周期。

自动注入

如果设置了 JAUT 位，在规则组通道之后，注入组通道被自动转换。这可以用来转换在 ADC_RSQX 和 ADC_JSQ 寄存器中设置的多至 20 个转换序列。

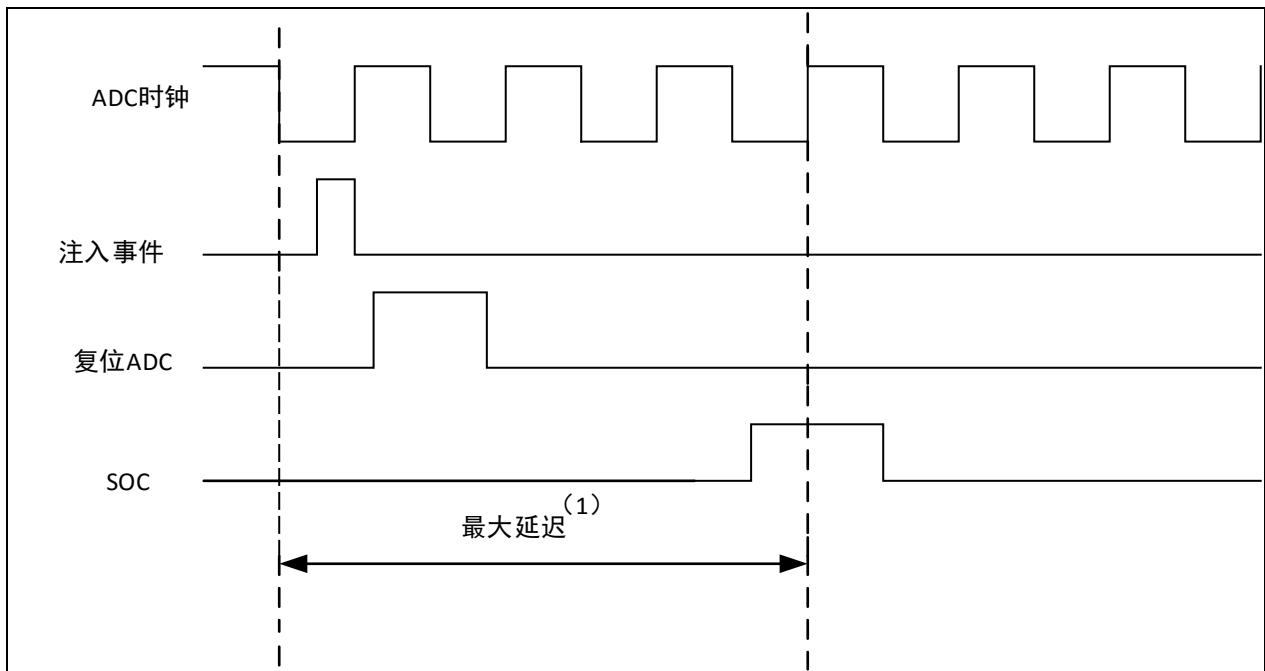
在此模式里，必须禁止注入通道的外部触发。

如果除 JAUT 位外还设置了 CON 位，规则通道至注入通道的转换序列被连续执行。

对于 ADC 时钟预分频系数为 4 至 8 时，当从规则转换切换到注入序列或从注入转换切换到规则序列时，会自动插入 1 个 ADC 时钟间隔；当 ADC 时钟预分频系数为 2 时，则有 2 个 ADC 时钟间隔的延迟。

注意：不可能同时使用自动注入和间断模式。

图 12-4 注入转换延时



注意： 最大延迟数值请参考 AT32F415 系列数据手册中有关电气特性部分。

12.3.10 间断模式

规则组

此模式通过设置 ADC_CTRL1 寄存器上的 RDISEN 位激活。它可以用来执行一个短序列的 n 次转换 ($n \leq 8$)，此转换是 ADC_RSQx 寄存器所选择的转换序列的一部分。数值 n 由 ADC_CTRL1 寄存器的 DISN[2: 0]位给出。

一个外部触发信号可以启动 ADC_RSQx 寄存器中描述的下一轮 n 次转换，直到此序列所有的转换完成为止。总的序列长度由 ADC_RSQ1 寄存器的 LEN[3: 0]定义。

举例：

$n=3$ ，被转换的通道 = 0、1、2、3、6、7、9、5

第一次触发：转换的序列为 0、1、2，并产生 EC 事件

第二次触发：转换的序列为 3、6、7，并产生 EC 事件

第三次触发：转换的序列为 9、5，并产生 EC 事件

第四次触发：转换的序列为 0、1、2，并产生 EC 事件

注意：当以间断模式转换一个规则组时，转换序列结束后不自动从头开始。当所有子组被转换完成，下一次触发启动第一个子组的转换。在上面的例子中，第四次触发重新转换第一子组的通道 0、1 和 2。

注入组

此模式通过设置 ADC_CTRL1 寄存器的 JDISEN 位激活。在一个外部触发事件后，该模式按通道顺序逐个转换 ADC_JSQ 寄存器中选择的序列。

一个外部触发信号可以启动 ADC_JSQ 寄存器选择的下一个通道序列的转换，直到序列中所有的转换完成为止。总的序列长度由 ADC_JSQ 寄存器的 JLEN[1: 0]位定义。

例子：

$n=1$ ，被转换的通道 = 1、2、3

第一次触发：通道 1 被转换

第二次触发：通道 2 被转换

第三次触发：通道 3 被转换，并且产生 EC 和 JEC 事件

第四次触发：通道 1 被转换

- 注意：**
1. 当完成所有注入通道转换，下个触发启动第 1 个注入通道的转换。在上述例子中，第四个触发重新转换第 1 个注入通道 1。
 2. 不能同时使用自动注入和间断模式。
 3. 必须避免同时为规则和注入组设置间断模式。间断模式只能作用于一组转换。

12.3.11 校准

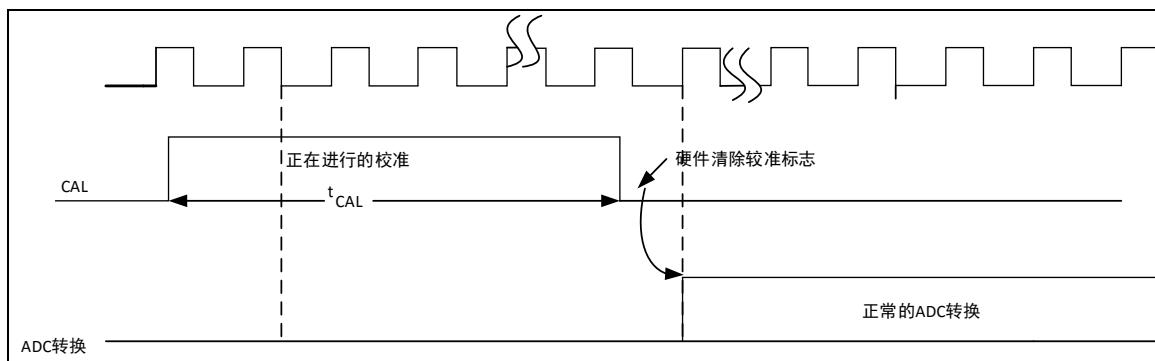
ADC 有一个内置自校准模式。校准可大幅减小因内部电容器组的变化而造成的精度误差。在校准期间，在每个电容器上都会计算出一个误差修正码（数字值），这个码用于消除在随后的转换中每个电容器上产生的误差。

通过设置 ADC_CTRL2 寄存器的 CAL 位启动校准。一旦校准结束，CAL 位被硬件复位，可以开始正常转换。建议在上电时执行一次 ADC 校准。校准阶段结束后，校准码储存在 ADC_RDOR 中。

- 注意：**
1. 建议在每次上电后执行一次校准。

2. 启动校准前，ADC 必须处于开电状态 (**ADON=’1’**) 超过至少两个 ADC 时钟周期。

图 12-5 校准时序图



12.3.12 数据对齐

ADC_CTRL2 寄存器中的 DALIGN 位选择转换后数据储存的对齐方式。数据可以左对齐或右对齐，如图 12-6 和图 12-7 所示。

注入组通道转换的数据值已经减去了在 ADC_JOFSx 寄存器中定义的偏移量，因此结果可以是一个负值。SEXT 位是扩展的符号值。

对于规则组通道，不需减去偏移值，因此只有 12 个位有效。

图 12-6 数据右对齐

注入组

SEXT	SEXT	SEXT	SEXT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
------	------	------	------	-----	-----	----	----	----	----	----	----	----	----	----	----

规则组

0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
---	---	---	---	-----	-----	----	----	----	----	----	----	----	----	----	----

图 12-7 数据左对齐

注入组

SEXT	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0
------	-----	-----	----	----	----	----	----	----	----	----	----	----	---	---	---

规则组

D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0
-----	-----	----	----	----	----	----	----	----	----	----	----	---	---	---	---

12.3.13 可编程的通道采样时间

ADC 使用若干个 ADC_CLK 周期对输入电压采样，采样周期数目可以通过 ADC_SMPT1 和 ADC_SMPT2 寄存器中的 SMP[2: 0]位更改。每个通道可以分别用不同的时间采样。总转换时间如下计算：

$$T_{CONV} = \text{采样时间} + 12.5 \text{ 个周期}$$

例如：

当 ADCCLK=14MHz，采样时间为 1.5 周期

$$T_{CONV} = 1.5 + 12.5 = 14 \text{ 周期} = 1 \mu\text{s}$$

12.3.14 部触发转换

转换可以由外部事件触发（例如定时器捕获，EXTI 线）。如果设置了 EXTRIG 控制位，则外部事件就能够触发转换。EXSEL[3: 0]和 JEXSEL[3: 0]控制位允许应用程序选择 16 个可能的事件中的某一个，可以触发规则和注入组的采样。

注意：当外部触发信号被选为 ADC 规则或注入转换时，只有它的上升沿可以启动转换。

表 12-3 ADC1 用于规则通道的外部触发

触发源	连接类型	EXSEL[3: 0]
TMR1_CC1 事件	来自片上定时器的内部信号	0000
TMR1_CC2 事件		0001
TMR1_CC3 事件		0010
TMR2_CC2 事件		0011
TMR3_TRGO 事件		0100
TMR4_CC4 事件		0101
EXTI 线 11/TMR1_TRGO 事件 ⁽¹⁾	外部引脚/来自片上定时器的内部信号	0110
SWSTR	软件控制位	0111
TMR1_TRGO 事件	来自片上定时器的内部信号	1101

注意：1.对于规则通道，选中 EXTI 线路 11 或 TMR1_TRGO 作为外部触发事件，可以分别通过设置 ADC1 的 ADC1_ETRGREG_REMAP 位实现。

表 12-4 ADC1 用于注入通道的外部触发

触发源	连接类型	JEXSEL[3: 0]
TMR1_TRGO 事件	来自片上定时器的内部信号	0000
TMR1_CC4 事件		0001
TMR2_TRGO 事件		0010
TMR2_CC1 事件		0011
TMR3_CC4 事件		0100
TMR4_TRGO 事件		0101
EXTI 线 15/TMR1_CC4 事件 ⁽¹⁾	外部引脚/来自片上定时器的内部信号	0110
JSWSTR	软件控制位	0111
TMR1_CC1 事件	来自片上定时器的内部信号	1101

注意： 1. 对于注入通道，选中 *EXTI* 线路 15 和 *TMR1_CC4* 作为外部触发事件，可以分别通过设置 *ADC1* 的 *ADC1_ETRGINJ_REMAP* 位实现。

软件触发事件可以通过对寄存器 *ADC_CTRL2* 的 *SWSTR* 或 *JSWSTR* 位置'1'产生。

规则组的转换可以被注入触发打断。

12.3.15 DMA请求

因为规则通道转换的值储存在一个仅有的数据寄存器中，所以当转换多个规则通道时需要使用 *DMA*，这可以避免丢失已经存储在 *ADC_RDOR* 寄存器中的数据。

只有在规则通道的转换结束时才产生 *DMA* 请求，并将转换的数据从 *ADC_RDOR* 寄存器传输到用户指定的目的地址。

注意： 只有 *ADC1* 拥有 *DMA* 功能。

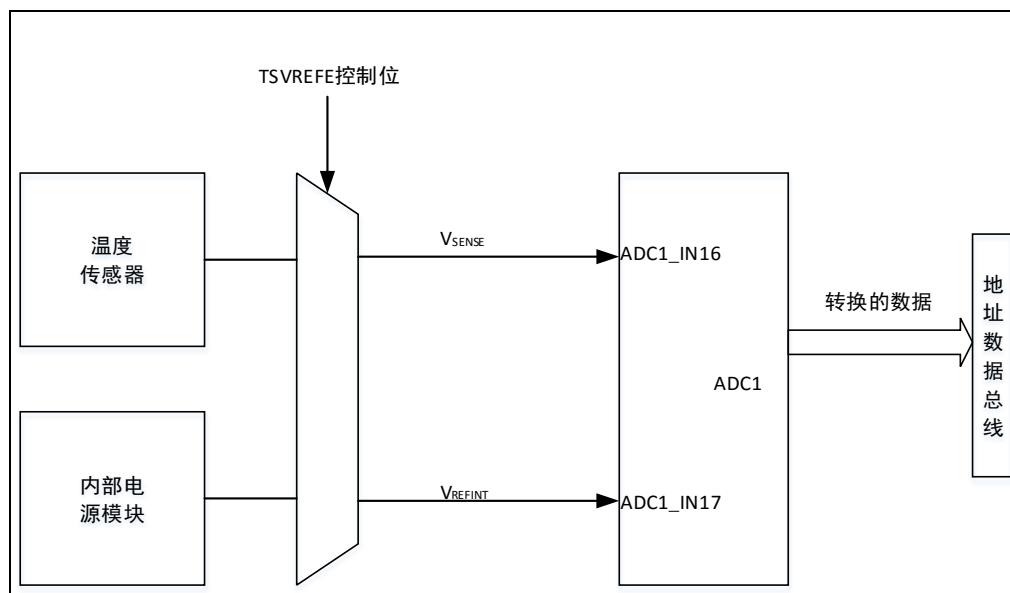
12.3.16 温度传感器

温度传感器可以用来测量器件周围的温度 (T_A)。温度传感器在内部和 *ADC1_IN16* 输入通道相连接，此通道把传感器输出的电压转换成数字值。温度传感器模拟输入推荐采样时间是 $8.6 \mu s$ 。[图 18-18](#) 是温度传感器的方框图。当没有被使用时，传感器可以置于关电模式。

注意： 必须设置 *TSREF* 位激活内部通道：*ADC1_IN16*（温度传感器）和 *ADC1_IN17*（*VREFINT*）的转换。

温度传感器输出电压随温度线性变化，由于生产过程的变化，温度变化曲线的偏移在不同芯片上会有不同（最多相差 $45^\circ C$ ）。内部温度传感器更适合于检测温度的变化，而不是测量绝对的温度。如果需要测量精确的温度，应该使用一个外置的温度传感器。

图 12-8 温度传感器和 *VREFINT* 通道框图



读温度

为使用传感器：

1. 选择 *ADC1_IN16* 输入通道。
2. 选择采样时间为 $8.6 \mu s$ 。
3. 设置 *ADC 控制寄存器 2* (*ADC_CTRL2*) 的 *TSREF* 位，以唤醒关电模式下的温度传感器。
4. 通过设置 *ADON* 位启动 *ADC* 转换（或用外部触发）。
5. 读 *ADC* 数据寄存器上的 *V_{SENSE}* 数据结果。

6. 利用下列公式得出温度。

$$\text{温度 } (\text{ }^\circ \text{C}) = \{ (\text{V}_{25} - \text{V}_{\text{SENSE}}) / \text{Avg_Slope} \} + 25$$

这里：

V_{25} = V_{SENSE} 在 25°C 时的数值

Avg_Slope = 温度与 V_{SENSE} 曲线的平均斜率（单位为 $\text{mV}/^\circ \text{C}$ 或 $\mu\text{V}/^\circ \text{C}$ ）

参考数据手册的电气特性章节中 V_{25} 和 Avg_Slope 的实际值。

注意：传感器从关电模式唤醒后到可以输出正确水平的 V_{SENSE} 前，有一个建立时间。
ADC 在上电后也有一个建立时间，因此为了缩短延时，应该同时设置 ADON 和 TSREF 位。

12.3.17 ADC 中断

规则和注入组转换结束时能产生中断，当模拟看门狗状态位被设置时也能产生中断。它们都有独立的中断使能位。

ADC_寄存器中有 2 个其他标志，但是它们没有相关联的中断：

- JSTR (注入组通道转换的启动)
- RSTR (规则组通道转换的启动)

表12-5 ADC 中断

中断事件	事件标志	使能控制位
规则组转换结束	EC	ECIEN
注入组转换结束	JEC	JECIEN
设置了模拟看门狗状态位	AWD	AWDIEN

12.4 ADC 寄存器

必须以字（32 位）的方式操作这些外设寄存器。

表12-6 ADC 寄存器映像和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
000h	ADC_STS	保留																										RSTR	JSTR	3	0						
		复位值																																			
004h	ADC_CTRL1	保留																										AWDEN	JAWDEN	0	0	0	0				
		复位值																																			
008h	ADC_CTRL2	保留																										DISN[2: 0]	DISN[2: 0]	0	0	0	0				
		复位值																																			
偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
010h	ADC_SMPT2	保留																										JAUT	AWDSGE	0	0	0	0				
		复位值																																			

12.4.1 ADC状态寄存器（ADC_STS）

地址偏移: 0x00

复位值: 0x0000 0000

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

保留

res

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								RSTR	JSTR	JEC	EC	AWD			
res								rc w0							

位 31: 15	保留。必须保持为 0。
位 4	RSTR: 规则通道开始位 (Regular channel Start flag) 该位由硬件在规则通道转换开始时设置，由软件清除。 0: 规则通道转换未开始； 1: 规则通道转换已开始。
位 3	JSTR: 注入通道开始位 (Injected channel Start flag) 该位由硬件在注入通道组转换开始时设置，由软件清除。 0: 注入通道组转换未开始； 1: 注入通道组转换已开始。
位 2	JEC: 注入通道转换结束位 (Injected channel end of conversion) 该位由硬件在所有注入通道组转换结束时设置，由软件清除 0: 转换未完成； 1: 转换完成。
位 1	EC: 转换结束位 (End of conversion) 该位由硬件在（规则或注入）通道组转换结束时设置，由软件清除或由读取 ADC_RDOR 时清除 0: 转换未完成； 1: 转换完成。
位 0	AWD: 模拟看门狗标志位 (Analog watchdog flag) 该位由硬件在转换的电压值超出了 ADC_WLTR 和 ADC_WHTR 寄存器定义的范围时设置，由软件清除。 0: 没有发生模拟看门狗事件； 1: 发生模拟看门狗事件。

12.4.2 ADC控制寄存器1 (ADC_CTRL1)

地址偏移: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
保留					AWDEN	JAWDEN	保留		DUALM[3: 0]							
res				rw		rw		res		rw	rw	rw	rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DISN[2: 0]	JDISEN	RDISEN	JAUT	AWDSGE	SCN	JECIEN	AWDIEN	ECIEN	AWDCS[4: 0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31: 24	保留。必须保持为 0。
位 23	AWDEN: 在规则通道上开启模拟看门狗 (Analog watchdog enable on regular channels) 该位由软件设置和清除。 0: 在规则通道上禁用模拟看门狗； 1: 在规则通道上使用模拟看门狗。
位 22	JAWDEN: 在注入通道上开启模拟看门狗 (Analog watchdog enable on injected channels) 该位由软件设置和清除。 0: 在注入通道上禁用模拟看门狗； 1: 在注入通道上使用模拟看门狗。

位 21: 20	保留。必须保持为 0。
位 19: 16	<p>DUALM[3: 0]: 双模式选择 (Dual mode selection) 软件使用这些位选择操作模式。</p> <p>0000: 独立模式 0001: 混合的同步规则+注入同步模式 0010: 混合的同步规则+交替触发模式 0011: 混合同步注入+快速交叉模式 0100: 混合同步注入+慢速交叉模式 0101: 注入同步模式 0110: 规则同步模式 0111: 快速交叉模式 1000: 慢速交叉模式 1001: 交替触发模式</p> <p>在双模式中，改变通道的配置会产生一个重新开始的条件，这将导致同步丢失。建议在进行任何配置改变前关闭双模式。</p>
位 15: 13	<p>DISN[2: 0]: 间断模式通道计数 (Discontinuous mode channel count) 软件通过这些位定义在间断模式下，收到外部触发后转换规则通道的数目</p> <p>000: 1 个通道 001: 2 个通道 111: 8 个通道</p>
位 12	<p>JDISEN: 在注入通道上的间断模式 (Discontinuous mode on injected channels) 该位由软件设置和清除，用于开启或关闭注入通道组上的间断模式</p> <p>0: 注入通道组上禁用间断模式； 1: 注入通道组上使用间断模式。</p>
位 11	<p>RDISEN: 在规则通道上的间断模式 (Discontinuous mode on regular channels) 该位由软件设置和清除，用于开启或关闭规则通道组上的间断模式</p> <p>0: 规则通道组上禁用间断模式； 1: 规则通道组上使用间断模式。</p>
位 10	<p>JAUT: 自动的注入通道组转换 (Automatic Injected Group conversion) 该位由软件设置和清除，用于开启或关闭规则通道组转换结束后自动的注入通道组转换</p> <p>0: 关闭自动的注入通道组转换； 1: 开启自动的注入通道组转换。</p>
位 9	<p>AWDSGE: 扫描模式中在一个单一的通道上使用看门狗 (Enable the watchdog on a single channel in scan mode) 该位由软件设置和清除，用于开启或关闭由 AWDCS[4: 0]位指定的通道上的模拟看门狗功能</p> <p>0: 在所有的通道上使用模拟看门狗； 1: 在单一通道上使用模拟看门狗。</p>
位 8	<p>SCN: 扫描模式 (Scan mode) 该位由软件设置和清除，用于开启或关闭扫描模式。在扫描模式中，转换由 ADC_RSQx 或 ADC_JSQx 寄存器选中的通道。</p> <p>0: 关闭扫描模式； 1: 使用扫描模式。</p> <p>注：如果分别设置了 ECIEN 或 JECIEN 位，只在最后一个通道转换完毕后才会产生 EC 或 JEC 中断。</p>
位 7	<p>JECIEN: 允许产生注入通道转换结束中断 (Interrupt enable for injected channels) 该位由软件设置和清除，用于禁止或允许所有注入通道转换结束后产生中断。</p> <p>0: 禁止 JEC 中断； 1: 允许 JEC 中断。当硬件设置 JEC 位时产生中断。</p>

位 6	AWDIEN: 允许产生模拟看门狗中断（Analog watchdog interrupt enable） 该位由软件设置和清除，用于禁止或允许模拟看门狗产生中断。在扫描模式下，如果看门狗检测到超范围的数值时，只有在设置了该位时扫描才会中止。 0: 禁止模拟看门狗中断； 1: 允许模拟看门狗中断。
位 5	ECIEN: 允许产生 EC 中断（Interrupt enable for EC） 该位由软件设置和清除，用于禁止或允许转换结束后产生中断。 0: 禁止 EC 中断； 1: 允许 EC 中断。当硬件设置 EC 位时产生中断。
位 4: 0	AWDCS[4: 0]: 模拟看门狗通道选择位（Analog watchdog channel select bits） 这些位由软件设置和清除，用于选择模拟看门狗保护的输入通道。 00000: ADC 模拟输入通道 0 00001: ADC 模拟输入通道 1 01111: ADC 模拟输入通道 15 10000: ADC 模拟输入通道 16 10001: ADC 模拟输入通道 17 保留所有其他数值。 注：ADC1 的模拟输入通道 16 和通道 17 在芯片内部分别连到了温度传感器和 V _{REFINT} 。

12.4.3 ADC控制寄存器2 (ADC_CTRL2)

地址偏移: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						EXSEL L[3]	JEXSEL L[3]	TSR EF	SWS TR	JSWS TR	EXTT RIG	EXSEL L[2:0]			保留
res						rw	rw	rw	rw	rw	rw	rw	rw	rw	res
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JEXT TRIG	JEXSEL[2:0]	DALI GN	保留	DM AEN	保留			RST CAL	CAL	CON	ADON				
rw	rw	rw	rw	rw	res	rw	res			rw	rw	rw	rw	rw	

位 31: 24	保留。必须保持为 0。
位 25	EXSEL[3]: 参考 EXSEL[3: 0] 定义。
位 24	JEXSEL[3]: 参考 JEXSEL[3: 0] 定义。
位 23	TSREF: 温度传感器和 V _{REFINT} 使能（Temperature sensor and V _{REFINT} enable） 该位由软件设置和清除，用于开启或禁止温度传感器和 V _{REFINT} 通道。 0: 禁止温度传感器和 V _{REFINT} ； 1: 启用温度传感器和 V _{REFINT} 。
位 22	SWSTR: 开始转换规则通道（Start conversion of regular channels） 由软件设置该位以启动转换，转换开始后硬件马上清除此位。如果在 EXSEL[3: 0] 位中选择了 SWSTR 为触发事件，该位用于启动一组规则通道的转换。 0: 复位状态； 1: 开始转换规则通道。

位 21	JSWSTR: 开始转换注入通道 (Start conversion of injected channels) 由软件设置该位以启动转换，软件可清除此位或在转换开始后硬件马上清除此位。如果在 JEXSEL[3: 0]位中选择了 JSWSTR 为触发事件，该位用于启动一组注入通道的转换。 0: 复位状态； 1: 开始转换注入通道。
位 20	EXTTRIG: 规则通道的外部触发转换模式 (External trigger conversion mode for regular channels) 该位由软件设置和清除，用于开启或禁止可以启动规则通道组转换的外部触发事件。 0: 不用外部事件启动转换； 1: 使用外部事件启动转换。
位 25 位 19: 17	EXSEL[3: 0]: 选择启动规则通道组转换的外部事件 (External event select for regular group) 这些位选择用于启动规则通道组转换的外部事件 ADC1 的触发配置如下 0000: 定时器 1 的 CC1 事件 0001: 定时器 1 的 CC2 事件 0010: 定时器 1 的 CC3 事件 0011: 定时器 2 的 CC2 事件 0100: 定时器 3 的 TRGO 事件 0101: 定时器 4 的 CC4 事件 0110: EXTI 线 11/TMR1_TRGO 事件 0111: SWSTR 1101: 定时器 1 的 TRGO 事件 1110: 定时器 8 的 CC1 事件 1111: 定时器 8 的 CC2 事件 其余: 无
位 16	保留。必须保持为 0。
位 15	JEXTTRIG: 注入通道的外部触发转换模式 (External trigger conversion mode for injected channels) 该位由软件设置和清除，用于开启或禁止可以启动注入通道组转换的外部触发事件。 0: 不用外部事件启动转换； 1: 使用外部事件启动转换。
位 24 位 14: 12	JEXSEL[3: 0]: 选择启动注入通道组转换的外部事件 (External event select for injected group) 这些位选择用于启动注入通道组转换的外部事件。 ADC1 的触发配置如下 0000: 定时器 1 的 TRGO 事件 0001: 定时器 1 的 CC4 事件 0010: 定时器 2 的 TRGO 事件 0011: 定时器 2 的 CC1 事件 0100: 定时器 3 的 CC4 事件 0101: 定时器 4 的 TRGO 事件 0110: EXTI 线 15/TMR1_CC4 事件 0111: JSWSTR 1101: 定时器 1 的 CC1 事件 1110: 定时器 8 的 CC1 事件 1111: 定时器 8 的 TRGO 事件 其余: 无
位 11	DALIGN: 数据对齐 (Data alignment) 该位由软件设置和清除。参考 图 13-6 和 图 13-7 。 0: 右对齐； 1: 左对齐。
位 10: 9	保留。必须保持为 0。

位 8	DMAEN: 直接存储器访问模式 (Direct memory access mode) 该位由软件设置和清除。详见 DMA 控制器章节。 0: 不使用 DMA 模式; 1: 使用 DMA 模式。
位 7: 4	保留。必须保持为 0。
位 3	RSTCAL: 复位校准 (Reset calibration) 该位由软件设置并由硬件清除。在校准寄存器被初始化后该位将被清除。 0: 校准寄存器已初始化; 1: 初始化校准寄存器。 注: 如果正在进行转换时设置 RSTCAL, 清除校准寄存器需要额外的周期。
位 2	CAL: A/D 校准 (A/D Calibration) 该位由软件设置以开始校准, 并在校准结束时由硬件清除。 0: 校准完成; 1: 开始校准。
位 1	CON: 连续转换 (Continuous conversion) 该位由软件设置和清除。如果设置了此位, 则转换将连续进行直到该位被清除。 0: 单次转换模式; 1: 连续转换模式。
位 0	ADON: 开/关 A/D 转换器 (A/D converter ON / OFF) 该位由软件设置和清除。当该位为'0'时, 写入'1'将把 ADC 从断电模式下唤醒。 当该位为'1'时, 写入'1'将启动转换。应用程序需注意, 在转换器上电至转换开始有一个延迟 t_{STAB} , 参见图 13-2。 0: 关闭 ADC 转换/校准, 并进入断电模式; 1: 开启 ADC 并启动转换。 注: 如果在这个寄存器中与 ADON 一起还有其他位被改变, 则转换不被触发。这是为了防止触发错误的转换。

12.4.4 ADC采样时间寄存器2 (ADC_SMPT2)

地址偏移: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	SMP9[2: 0]			SMP8[2: 0]			SMP7[2: 0]			SMP6[2: 0]			SMP5[2: 1]		
res	rw	rw	rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP5[0]	SMP4[2: 0]			SMP3[2: 0]			SMP2[2: 0]			SMP1[2: 0]			SMP0[2: 0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31: 30	保留。必须保持为 0。
位 29: 0	SMPx[2: 0]: 选择通道 x 的采样时间 (Channel x Sample time selection) 这些位用于独立地选择每个通道的采样时间。在采样周期中通道选择位必须保持不变。 000: 1.5 周期 100: 41.5 周期 001: 7.5 周期 101: 55.5 周期 010: 13.5 周期 110: 71.5 周期 011: 28.5 周期 111: 239.5 周期

12.4.5 ADC注入通道数据偏移寄存器x (ADC_JOFSx) (x=1..4)

地址偏移: 0x14-0x20

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		JOFSTx[11: 0]													
res		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
位 31: 12		保留。必须保持为 0。													
位 11: 0		JOFSTx[11: 0]: 注入通道 x 的数据偏移 (Data offset for injected channel x) 当转换注入通道时, 这些位定义了用于从原始转换数据中减去的数值。转换的结果可以在 ADC_JDORx 寄存器中读出。													

12.4.6 ADC看门狗高阀值寄存器 (ADC_WHTR)

地址偏移: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		AWHT[11: 0]													
res		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
位 31: 12		保留。必须保持为 0。													
位 11: 0		AWHT[11: 0]: 模拟看门狗高阀值 (Analog watchdog high threshold) 这些位定义了模拟看门狗的阀值高限。													

12.4.7 ADC看门狗低阀值寄存器 (ADC_WLTR)

地址偏移: 0x28

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		AWLT[11: 0]													
res		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
位 31: 12		保留。必须保持为 0。													
位 11: 0		AWLT[11: 0]: 模拟看门狗低阀值 (Analog watchdog low threshold) 这些位定义了模拟看门狗的阀值低限。													

12.4.8 ADC规则序列寄存器1 (ADC_RSQ1)

地址偏移: 0x2C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								LEN[3: 0]				保留			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
res															
保留															
res															
位 31: 24		保留。必须保持为 0。													
位 23: 20		LEN[3: 0]: 规则通道序列长度 (Regular channel sequence length) 这些位由软件定义在规则通道转换序列中的通道数目。 0000: 1 个转换 0001: 2 个转换 1001: 10 个转换													
位 19: 0		保留。必须保持为 0。													

12.4.9 ADC规则序列寄存器2 (ADC_RSQ2)

地址偏移: 0x30

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留														SQ10[4: 1]	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ10[0]	SQ9[4: 0]				SQ8[4: 0]				SQ7[4: 0]						
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 20		保留。必须保持为 0。													
位 19: 15		SQ10[4: 0]: 规则序列中的第 10 个转换 (10th conversion in regular sequence)													
位 14: 10		SQ9[4: 0]: 规则序列中的第 9 个转换 (9th conversion in regular sequence)													
位 9: 5		SQ8[4: 0]: 规则序列中的第 8 个转换 (8th conversion in regular sequence)													
位 4: 0		SQ7[4: 0]: 规则序列中的第 7 个转换 (7th conversion in regular sequence)													

12.4.10 ADC规则序列寄存器3 (ADC_RSQ3)

地址偏移: 0x34

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
保留		SQ6[4: 0]				SQ5[4: 0]				SQ4[4: 1]						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SQ4[0]	SQ3[4: 0]				SQ2[4: 0]				SQ1[4: 0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位 31: 30	保留。必须保持为 0。														
位 29: 25	SQ6[4: 0]: 规则序列中的第 6 个转换 (6th conversion in regular sequence) 这些位由软件定义转换序列中的第 6 个转换通道的编号 (0~9)。														
位 24: 20	SQ5[4: 0]: 规则序列中的第 5 个转换 (5th conversion in regular sequence)														
位 19: 15	SQ4[4: 0]: 规则序列中的第 4 个转换 (4th conversion in regular sequence)														
位 14: 10	SQ3[4: 0]: 规则序列中的第 3 个转换 (3rd conversion in regular sequence)														
位 9: 5	SQ2[4: 0]: 规则序列中的第 2 个转换 (2nd conversion in regular sequence)														
位 4: 0	SQ1[4: 0]: 规则序列中的第 1 个转换 (1st conversion in regular sequence)														

12.4.11 ADC注入序列寄存器 (ADC_JSQ)

地址偏移: 0x38

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留										JLEN[3: 0]	JSQ4[4: 0]				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ4[0]	JSQ3[4: 0]				JSQ2[4: 0]				JSQ1[4: 0]						
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31: 22	保留。必须保持为 0。														
位 21: 20	JLEN[1: 0]: 注入通道序列长度 (Injected sequence length) 这些位由软件定义在注入通道转换序列中的通道数目。 00: 1 个转换 01: 2 个转换 10: 3 个转换 11: 4 个转换														
位 19: 15	JSQ4[4: 0]: 注入序列中的第 4 个转换 (4th conversion in injected sequence) 这些位由软件定义转换序列中的第 4 个转换通道的编号 (0~9)。 注: 不同于规则转换序列, 如果 JLEN[1: 0] 的长度小于 4, 则转换的序列顺序是从 (4-JLEN) 开始。例如: ADC_JSQ[21: 0] = 10 00011 00011 00111 00010, 意味着扫描转换将按下列通道顺序转换: 7、3、3, 而不是 2、7、3。														
位 14: 10	JSQ3[4: 0]: 注入序列中的第 3 个转换 (3rd conversion in injected sequence)														
位 9: 5	JSQ2[4: 0]: 注入序列中的第 2 个转换 (2nd conversion in injected sequence)														
位 4: 0	JSQ1[4: 0]: 注入序列中的第 1 个转换 (1st conversion in injected sequence)														

12.4.12 ADC 注入数据寄存器x (ADC_JDORx) (x= 1..4)

地址偏移: 0x3C - 0x48

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

JD[15: 0]															
-----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

位 31: 16	保留。必须保持为 0。
----------	-------------

位 21: 20	JD[15: 0]: 注入转换的数据 (Injected data) 这些位为只读，包含了注入通道的转换结果。数据是左对齐或右对齐，如 图 13-6 和 图 13-7 所示。
----------	---

12.4.13 ADC规则数据寄存器 (ADC_RDOR)

地址偏移: 0x4C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

D[15: 0]															
----------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

位 31: 16	保留
位 15: 0	D[15: 0]: 规则转换的数据 (Regular data) 这些位为只读，包含了规则通道的转换结果。数据是左对齐或右对齐，如 图 13-6 和 图 13-7 所示。

13 I²C接口

13.1 I²C简介

I²C(芯片间)总线接口连接微控制器和串行 I²C 总线。它提供多主机功能，控制所有 I²C 总线特定的时序、协议、仲裁和定时。支持标准和快速两种模式，同时与 SMBus2.0 兼容。I²C 模块有多种用途，包括 CRC 码的生成和校验、SMBus(系统管理总线—System Management Bus)和 PMBus(电源管理总线—Power Management Bus)。根据特定设备的需要，可以使用 DMA 以减轻 CPU 的负担。

13.2 I²C主要特点

- 并行总线/I²C总线协议转换器
- 多主机功能：该模块既可做主设备也可做从设备
- I²C主设备功能
 - 产生时钟
 - 产生起始和停止信号
- I²C从设备功能
 - 可编程的I²C地址检测
 - 可响应2个从地址的双地址能力
 - 停止位检测
- 产生和检测7位/10位地址和广播呼叫
- 支持不同的通讯速度
 - 标准速度(高达 100 kHz)
 - 快速(高达 400 kHz)
- 状态标志：
 - 发送器/接收器模式标志
 - 字节发送结束标志
 - I²C总线忙标志
- 错误标志
 - 主模式时的仲裁丢失
 - 地址/数据传输后的应答(ACK)错误
 - 检测到错位的起始或停止条件
 - 上溢或下溢(在禁止时钟延长的情况下)
- 2个中断向量
 - 1个中断用于地址/数据通讯成功
 - 1个中断用于错误
- 可选的禁止时钟延长功能
- 具单字节缓冲器的DMA
- 可配置的PEC(信息包错误检测)的产生或校验
 - 发送模式中PEC值可以作为最后一个字节传输
 - 用于最后一个接收字节的PEC错误校验
- 兼容SMBus 2.0
 - 25 ms时钟低超时延时
 - 10 ms主设备累积时钟低扩展时间
 - 25 ms从设备累积时钟低扩展时间
 - 带ACK控制的硬件PEC产生/校验

- 支持地址分辨协议(ARP)
- 兼容PMBus

13.3 I²C功能描述

I²C 模块接收和发送数据，并将数据从串行转换成并行，或并行转换成串行。可以开启或禁止中断。接口通过数据引脚(SDA)和时钟引脚(SCL)连接到 I²C 总线。允许连接到标准(高达 100kHz)或快速(高达 400kHz)的 I²C 总线。

13.3.1 模式选择

接口可以运行下述模式中的一种：

- 从发送器模式
- 从接收器模式
- 主发送器模式
- 主接收器模式

在默认状态下，接口工作于从模式。接口在生成起始条件后自动地从从模式切换到主模式；当仲裁丢失或产生停止信号时，则从主模式切换到从模式。允许多主机功能。

通信流

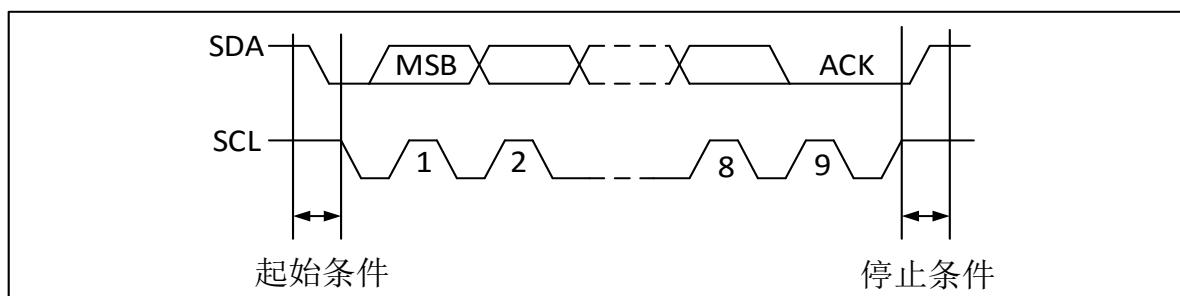
主模式时，I²C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。起始条件和停止条件都是在主模式下由软件控制产生。

从模式时，I²C 接口能识别它自己的地址(7 位或 10 位)和广播呼叫地址。软件能够开启或禁止广播呼叫地址的识别功能。

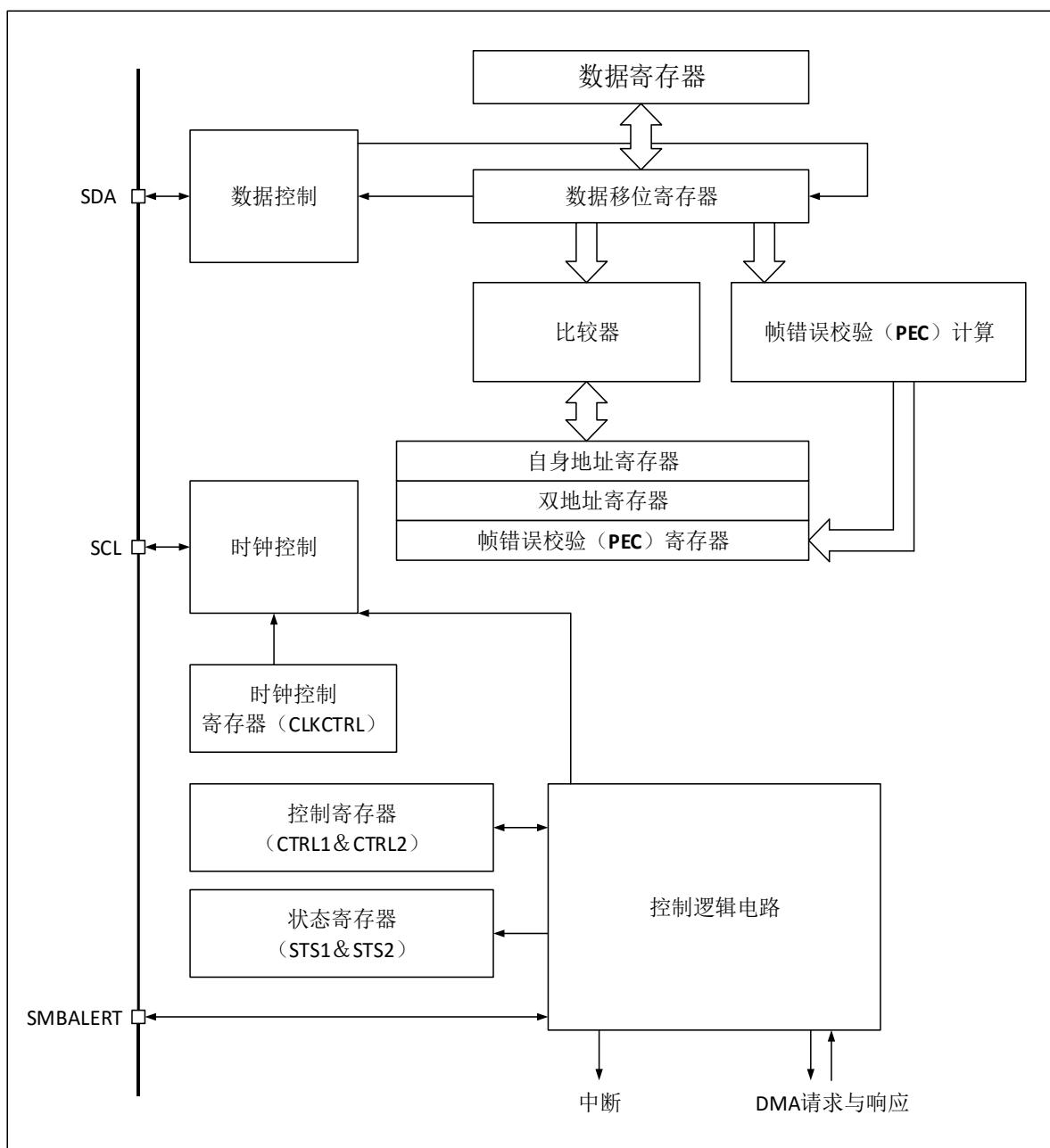
数据和地址按 8 位(也即一个字节)进行传输，高位在前。跟在起始条件后的 1 或 2 个字节是地址(7 位模式为 1 个字节，10 位模式为 2 个字节)。地址只在主模式发送。

在一个字节传输的 8 个时钟后的第 9 个时钟期间，接收器必须回送一个应答位(ACK)给发送器。参考下图。

图 13-1 I²C 总线协议



软件可以开启或禁止应答(ACKEN)，并可以设置 I²C 接口的地址(7 位、10 位地址或广播呼叫地址)。I²C 接口的功能框图示于下图。

图 13-2 I²C 的功能框图

注意：在 SMBus 模式下，SMBALERT 是可选信号。如果禁止了 SMBus，则不能使用该信号。

13.3.2 I²C 从模式

默认情况下，I²C 接口总是工作在从模式。从从模式切换到主模式，需要产生一个起始条件。为了产生正确的时序，必须在 I2C_CTRL2 寄存器中设定该模块的输入时钟。输入时钟的频率必须至少是：

- 标准模式下为：2MHz
- 快速模式下为：4MHz

一旦检测到起始条件，在 SDA 线上接收到的地址被送到移位寄存器。然后与芯片自己的地址 OADDR1 和 OADDR2(当 DUALEN=1)或者广播呼叫地址(如果 GCEN=1)相比较。

注意：在 10 位地址模式时，比较包括头段序列(11110xx0)，其中的 xx 是地址的两个最高有效位。

头段或地址不匹配：I²C 接口将其忽略并等待另一个起始条件。

头段匹配(仅 10 位模式)：如果 ACKEN 位被置'1'，I²C 接口产生一个应答脉冲并等待 8 位从地址。

地址匹配: I²C 接口产生以下时序:

- 如果 ACKEN 被置‘1’，则产生一个应答脉冲
- 硬件设置 ADDRFF 位；如果设置了 EVTITEN 位，则产生一个中断
- 如果 DUALEN=1，软件必须读 DUALF 位，以确认响应了哪个从地址

在 10 位模式，接收到地址序列后，从设备总是处于接收器模式。当接收到重复的起始条件后，在收到与地址匹配的头序列并且最低位为‘1’(即 11110xx1)时，将进入发送器模式。

从模式下 TRF 位指示当前是处于接收器模式还是发送器模式。

从发送器

在接收到地址和清除 ADDRFF 位后，从发送器将字节从 DT 寄存器经由内部移位寄存器发送到 SDA 线上。

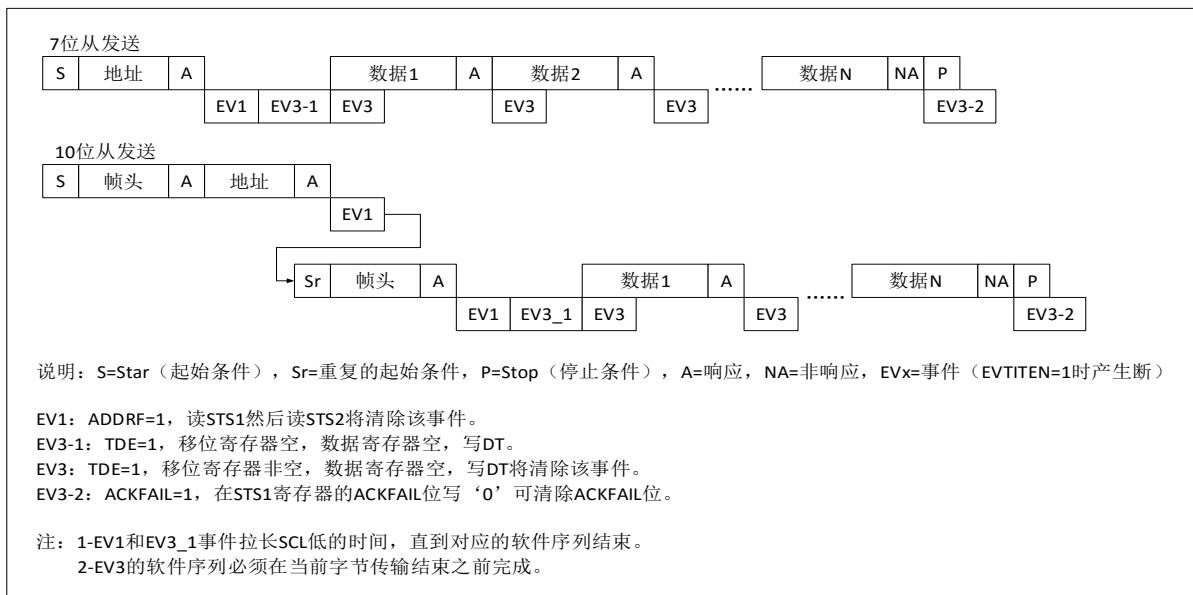
从设备保持 SCL 为低电平，直到 ADDRFF 位被清除并且待发送数据已写入 DT 寄存器。(见图 13-3 中的 EV1 和 EV3)。

当收到应答脉冲时：

- TDE 位被硬件置位，如果设置了 EVTITEN 和 BUFITEN 位，则产生一个中断

如果 TDE 位被置位，但在下一个数据发送结束之前没有新数据写入到 I2C_DT 寄存器，则 BTFF 位被置位，在清除 BTFF 之前 I²C 接口将保持 SCL 为低电平；读出 I2C_STS1 之后再写入 I2C_DT 寄存器将清除 BTFF 位。

图 13-3 从发送器的传送序列图



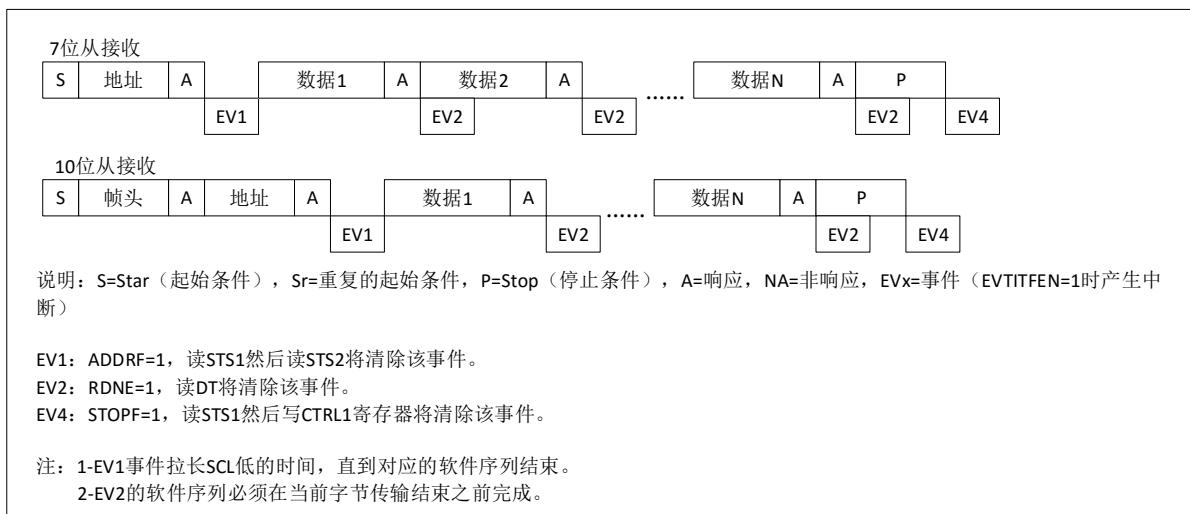
从接收器

在接收到地址并清除 ADDRFF 后，从接收器将通过内部移位寄存器从 SDA 线接收到的字节存进 DT 寄存器。I²C 接口在接收到每个字节后都执行下列操作：

- 如果设置了 ACKEN 位，则产生一个应答脉冲
- 硬件设置 RDNE=1 如果设置了 EVTITEN 和 BUFITEN 位，则产生一个中断。

如果 RDNE 被置位，并且在接收新的数据结束之前 DT 寄存器未被读出，BTFF 位被置位，在清除 BTFF 之前 I²C 接口将保持 SCL 为低电平；读出 I2C_STS1 之后再读出 I2C_DT 寄存器将清除 BTFF 位。

图 13-4 从接收器的传送序列图



关闭从通信

在传输完最后一个数据字节后，主设备产生一个停止条件，I²C 接口检测到这一条件时：

- 设置STOPF=1, 如果设置了EVTITEN位，则产生一个中断

然后 I²C 接口等待读 STS1 寄存器，再写 CR1 寄存器，完成这个操作后 STOPF 位被清零。（见图 13-4 中的 EV4）。

13.3.3 I²C 主模式

在主模式时，I²C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。当通过 STARTGEN 位在总线上产生了起始条件，设备就进入了主模式。

以下是主模式所要求的操作顺序：

- 在 I2C_CTRL2 寄存器中设定该模块的输入时钟以产生正确的时序
- 配置时钟控制寄存器
- 配置上升时间寄存器
- 编程 I2C_CTRL1 寄存器启动外设
- 置 I2C_CTRL1 寄存器中的 STARTGEN 位为 1，产生起始条件

I²C 模块的输入时钟频率必须至少是：

- 标准模式下为：2MHz
- 快速模式下为：4MHz

主机时钟的产生

使用 CLKCTRL 来产生 I²C 时钟的高低电平，它从时钟的上升沿或者下降沿开始。由于从机可能会拉低时钟线，因此外设此后等待一个 TMRISE 寄存器设置的最大上升时间后去检测时钟线的电平。

- 如果时钟线为低，说明从机拉低了总线，并且计数高电平的计数器停止计数直到检测到时钟线变高。这样可以保证时钟的高电平宽度
- 如果时钟线为高，高电平计数器持续计数

起始条件

当 BUSYF=0 时，设置 STARTGEN=1，I²C 接口将产生一个开始条件并切换至主模式(MSF 位置位)。

注意：在主模式下，设置 STARTGEN 位将在当前字节传输完后由硬件产生一个重开始条件。

一旦发出开始条件：

- STARTF 位被硬件置位，如果设置了EVTITEN位，则会产生一个中断

然后主设备等待读 STS1 寄存器，紧跟着将从地址写入 DT 寄存器(见图 13-5 和图 13-6 的 EV5)。

从地址的发送

从地址通过内部移位寄存器被送到 SDA 线上。

- 在10位地址模式时，发送一个头段序列产生以下事件
 - ADDR10F位被硬件置位，如果设置了EVTITEN位，则产生一个中断。然后主设备等待读STS1寄存器，再将第二个地址字节写入DT寄存器(见[图13-5](#)和[图13-6](#))
 - ADDRF位被硬件置位，如果设置了EVTITEN位，则产生一个中断。
- 在7位地址模式时，只需送出一个地址字节
 - 一旦该地址字节被送出，
 - ADDRF位被硬件置位，如果设置了EVTITEN位，则产生一个中断
- 随后主设备等待一次读STS1寄存器，跟着读STS2寄存器(见[图13-5](#)和[图13-6](#))。
- 根据送出从地址的最低位，主设备决定进入发送器模式还是进入接收器模式。
 - 在7位地址模式时
 - 要进入发送器模式，主设备发送从地址时置最低位为'0'
 - 要进入接收器模式，主设备发送从地址时置最低位为'1'
 - 在10位地址模式时
 - 要进入发送器模式，主设备先送头字节(11110xx0)，然后送从地址。(这里xx代表10位地址中的最高2位。)
 - 要进入接收器模式，主设备先送头字节(11110xx0)，然后送从地址。然后再重新发送一个开始条件，后面跟着头字节(11110xx1)(这里xx代表10位地址中的最高2位。)

TRF位指示主设备是在接收器模式还是发送器模式。

主发送器

在发送了地址和清除了ADDRF位后，主设备通过内部移位寄存器将字节从DT寄存器发送到SDA线上。

主设备等待，直到数据写入DT寄存器，TDE被清除，(见[图13-5](#)中的EV8)。

当收到应答脉冲时：

- TDE位被硬件置位，如果设置了EVTITEN和BUFITEN位，则产生一个中断

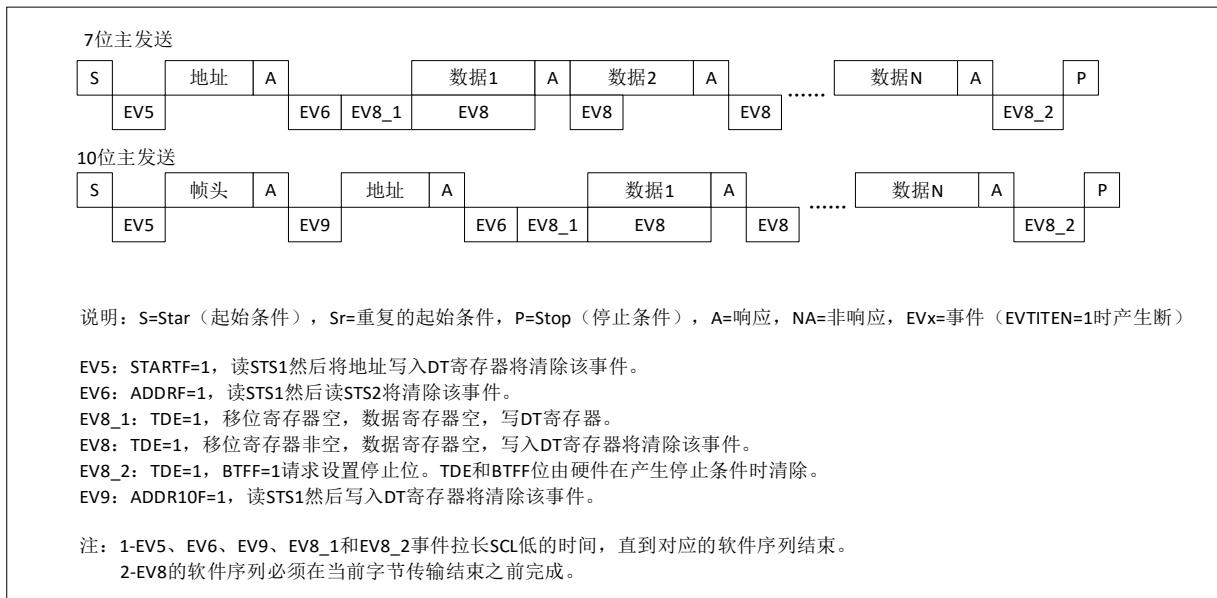
如果TDE被置位并且在上一次数据发送结束之前没有写新的数据字节到DT寄存器，则BTFF被硬件置位，在清除BTFF之前I²C接口将保持SCL为低电平；读出I²C_STS1之后再写入I²C_DT寄存器将清除BTFF位。

关闭通信

在DT寄存器中写入最后一个字节后，通过设置STOPGEN位产生一个停止条件(见[图13-5](#)的EV8_2)，然后I²C接口将自动回到从模式(MSF位清除)。

注意：当TDE或BTFF位置位时，停止条件应安排在出现EV8_2事件时。

图 13-5 主发送器传送序列图



主接收器

在发送地址和清除 ADDR之后, I²C 接口进入主接收器模式。在此模式下, I²C 接口从 SDA 线接收数据字节, 并通过内部移位寄存器送至 DT 寄存器。在每个字节后, I²C 接口依次执行以下操作:

- 如果 ACKEN位被置位, 发出一个应答脉冲
- 硬件设置 RDNE=1, 如果设置了 EVTITEN和BUFITEN位, 则会产生一个中断(见图 13-6 中的 EV7)

如果 RDNE 位被置位, 并且在接收新数据结束前, DT 寄存器中的数据没有被读走, 硬件将设置 BTFF=1, 在清除 BTFF 之前 I²C 接口将保持 SCL 为低电平; 读出 I2C_STS1 之后再读出 I2C_DT 寄存器将清除 BTFF 位。

关闭通信

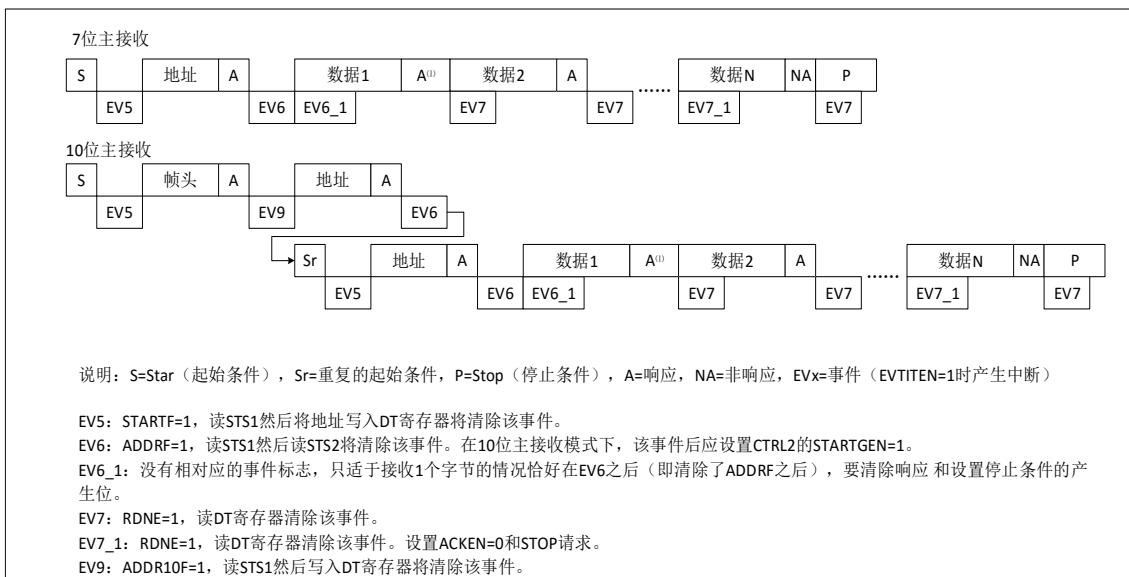
第一种情况: I2C 中断设为最高优先级

主设备在从设备接收到最后一个字节后发送一个 NACK。接收到 NACK 后, 从设备释放对 SCL 和 SDA 线的控制; 主设备就可以发送一个停止/重起始条件。

- 为了在收到最后一个字节后产生一个 NACK脉冲, 在读倒数第二个数据字节之后(在倒数第二个RDNE事件之后)必须清除 ACKEN位
- 为了产生一个停止/重起始条件, 软件必须在读倒数第二个数据字节之后(在倒数第二个RDNE事件之后)设置 STOPGEN/STARTGEN位
- 只接收一个字节时, 刚好在EV6之后(EV6_1时, 清除ADDR之后)要关闭应答和停止条件的产生位

在产生了停止条件后, I²C 接口自动回到从模式(MSF 位被清除)。

图 13-6 主接收器传送序列图



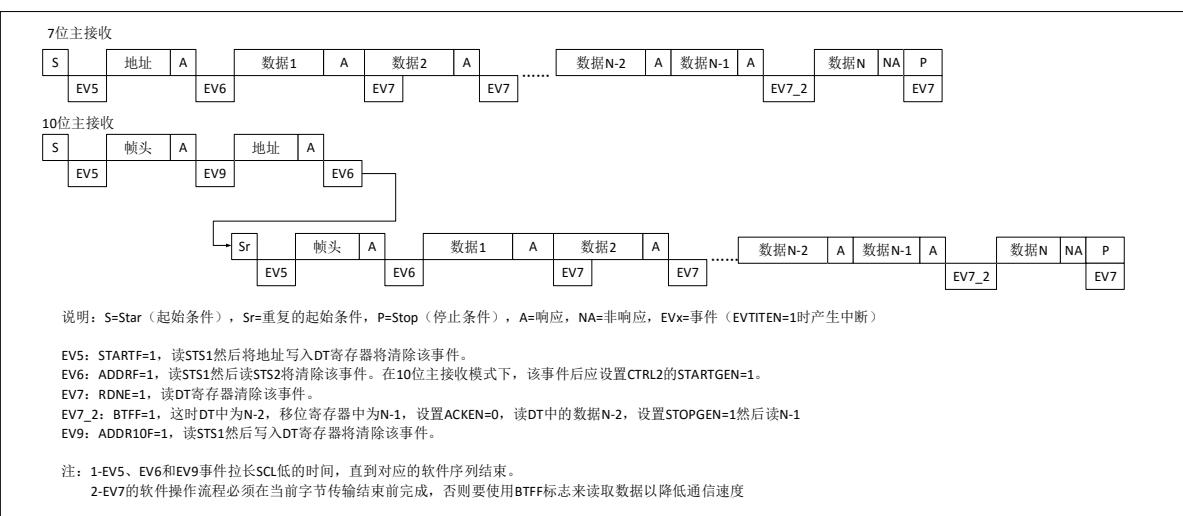
注意: 1.如果收到一个单独的字节, 则是 NA。

- 2.EV5、EV6 和 EV9 事件拉长 SCL 低电平, 直到对应的软件序列结束。
- 3.EV7 的软件序列必须在当前字节传输结束前完成。
- 4.EV6_1 或 EV7_1 的软件序列必须在当前传输字节的 ACK 脉冲之前完成。

第二种情况: I2C 中断未设为最高优先级并且接收字节总数 N>2

在这种条件下, 接收到数据 N-2 时并不读取, 当 N-1 也收到后, 时钟被拉低, 通信暂停。此时清 ACKEN 位, 然后依次读数据 N-2, 设置 STOPGEN/STARTGEN, 读数据 N-1, 再待 RDNE 置位后, 读数据 N, 如下图所示:

图 13-7 N>2 时主收流程图



当剩下三个字节时软件流程如下:

- RDNE=1 => 不做任何操作
- 收到数据 N-1
- BTFF=1, DT 中 N-2, 移位寄存器中 N-1, 时钟被拉低
- 清 ACKEN 位
- 读数据 N-2, 然后总线会开始接收数据 N
- 收到数据 N, 并回复 NACK
- 设置 STARTGEN/STOPGEN 位
- RDNE=1

- 读数据N

第三种情况：I2C 中断未设为最高优先级并且接收字节总数 N=2 或 N=1

- 接收一个字节

- ADDRF事件时清ACKEN位
- 清ADDRF位
- 设置STARTGEN/STOPGEN位
- RDNE置位时读取数据

- 接收两个字节

- 设置POSEN和ACKEN位
- 等待ADDRF置位
- 清ADDRF位
- 清ACKEN位
- 等待BTFF置位
- 置STOPGEN位
- 读两次DT寄存器

图 13-8 N=2 时主收流程图

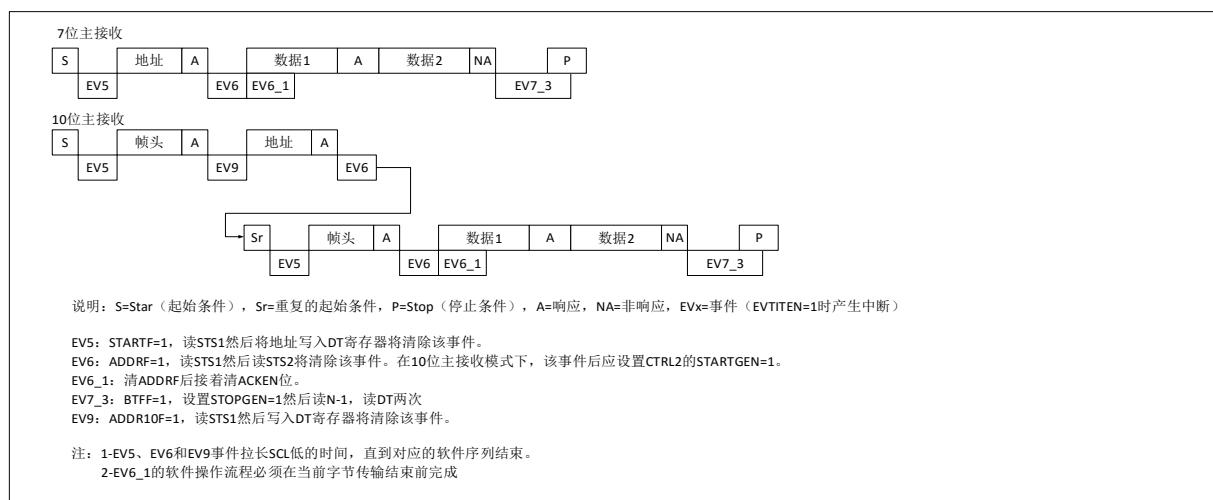
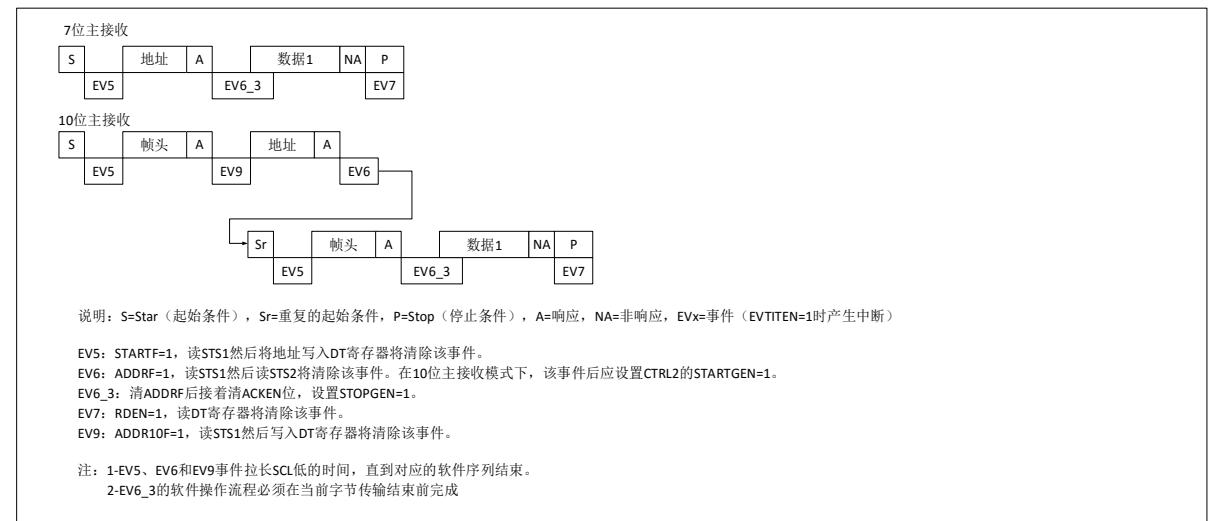


图 13-9 N=1 时主收流程图



13.3.4 错误条件

以下条件可能造成通讯失败。

总线错误(BUSERR)

在一个地址或数据字节传输期间，当 I²C 接口检测到一个外部的停止或起始条件则产生总线错误。此时：

- BUSERR位被置位为'1'；如果设置了ERRITEN位，则产生一个中断
- 在从模式情况下，数据被丢弃，硬件释放总线
 - 如果是错误的开始条件，从设备必须清BUSERR位，然后等待下一次开始条件
 - 如果是错误的停止条件，从设备按正常的停止条件操作，同时硬件释放总线
- 在主模式情况下，硬件不释放总线，同时不影响当前的传输状态。此时由软件决定是否要中止当前的传输

应答错误(ACKFAIL)

当接口检测到一个无应答位时，产生应答错误。此时：

- ACKFAIL位被置位，如果设置了ERRITEN位，则产生一个中断
- 当发送器接收到一个NACK时，必须复位通讯
 - 如果是处于从模式，硬件释放总线
 - 如果是处于主模式，软件必须生成一个停止条件或者重复的起始条件

仲裁丢失(ARLOST)

当 I²C 接口检测到仲裁丢失时产生仲裁丢失错误，此时：

- ARLOST位被硬件置位，如果设置了ERRITEN位，则产生一个中断
- I²C 接口自动回到从模式(MSF位被清除)。当I²C 接口丢失了仲裁，则它无法在同一个传输中响应它的从地址，但它可以在赢得总线的主设备发送重起始条件之后响应
- 硬件释放总线

过载/欠载错误(OVRUN)

在从模式下，如果禁止时钟延长，I²C 接口正在接收数据时，当它已经接收到一个字节(RDNE=1)，但在 DT 寄存器中前一个字节数据还没有被读出，则发生过载错误。此时：

- 最后接收的数据被丢弃
 - 在过载错误时，软件应清除RDNE位，发送器应该重新发送最后一次发送的字节
- 在从模式下，如果禁止时钟延长，I²C 接口正在发送数据时，在下一个字节的时钟到达之前，新的数据还未写入 DT 寄存器(TDE=1)，则发生欠载错误。此时：
- 在DT寄存器中的前一个字节将被重复发出
 - 用户应该确定在发生欠载错时，接收端应丢弃重复接收到的数据。发送端应按I²C 总线标准在规定的时间更新DT寄存器

在发送第一个字节时，必须在清除 ADDR之后并且第一个 SCL 上升沿之前写入 DT 寄存器；如果不能做到这点，则接收方应该丢弃第一个数据。

13.3.5 SDA/SCL线控制

- 如果允许时钟延长：
 - 发送器模式：如果TDE=1且BTFF=1：I²C 接口在传输前保持时钟线为低，以等待软件读取STS1，然后把数据写进数据寄存器(缓冲器和移位寄存器都是空的)
 - 接收器模式：如果RDNE=1且BTFF=1：I²C 接口在接收到数据字节后保持时钟线为低，以等待软件读STS1，然后读数据寄存器DT(缓冲器和移位寄存器都是满的)

- 如果在从模式中禁止时钟延长
 - 如果 RDNE=1，在接收到下个字节前 DT 还没有被读出，则发生过载错。接收到的最后一个字节丢失
 - 如果 TDE=1，在必须发送下个字节之前却没有新数据写进 DT，则发生欠载错。相同的字节将被重复发出
 - 不控制重复写冲突

13.3.6 SMBus

介绍

系统管理总线(SMBus)是一个双线接口。通过它，各设备之间以及设备与系统的其他部分之间可以互相通信。它基于 I²C 操作原理。SMBus 为系统和电源管理相关的任务提供一条控制总线。一个系统利用 SMBus 可以和多个设备互传信息，而不需使用独立的控制线路。

系统管理总线(SMBus)标准涉及三类设备。从设备：接收或响应命令的设备。主设备：用来发送命令、产生时钟和终止发送的设备。主机：一种专用的主设备，它提供与系统 CPU 的主接口。主机必须具有主-从机功能并且必须支持 SMBus 提醒协议。一个系统里只允许有一个主机。

SMBus 和 I²C 之间的相似点

- 2条线的总线协议(1个时钟，1个数据) + 可选的 SMBus 提醒线
- 主-从通信，主设备提供时钟
- 多主机功能
- SMBus 数据格式类似于 I²C 的 7 位地址格式(见 [图 13-1](#))

SMBus 和 I²C 之间的不同点

下表列出了 SMBus 和 I²C 的不同点。

表 13-1 SMBus 与 I²C 的比较

SMBus	I ² C
最大传输速度 100kHz	最大传输速度 400kHz
最小传输速度 10kHz	无最小传输速度
35ms 时钟低超时	无时钟超时
固定的逻辑电平	逻辑电平由 VDD 决定
不同的地址类型(保留的、动态的等)	7 位、10 位和广播呼叫从地址类型
不同的总线协议(快速命令、处理呼叫等)	无总线协议

SMBus 应用用途

利用系统管理总线，设备可提供制造商信息，告诉系统它的型号/部件号，保存暂停事件的状态，报告不同类型的错误，接收控制参数，和返回它的状态。SMBus 为系统和电源管理相关的任务提供控制总线。

设备标识

在系统管理总线上，任何一个作为从模式的设备都有一个唯一的地址，叫做从地址。保留的从地址表请参考 2.0 版的 SMBus 规范(<http://smbus.org/specs>)。

总线协议

SMBus 技术规范支持 9 个总线协议。有关这些协议的详细资料和 SMBus 地址类型，请参考 2.0 版

的 SMBus 规范(<http://smbus.org/specs/>)。这些协议由用户的软件来执行。

地址解析协议(ARP)

通过给每个从设备动态地分配一个新的唯一地址，可以解决 SMBus 的从地址冲突。地址解析协议(ARP)具有以下的特性：

- 使用标准 SMBus 物理层仲裁机制分配地址
- 当设备维持供电期间，分配的地址仍保持不变，也允许设备在断电后保留其地址
- 在地址分配后，没有额外的 SMBus 的打包开销(也就是说访问分配地址的设备与访问固定地址的设备所用时间是一样的)
- 任何一个 SMBus 主设备可以遍历总线

唯一的设备标识符(UDID)

为了分配地址，需要一种区分每个设备的机制，每个设备必须拥有一个唯一的设备标识符。

关于在 ARP 上 128 位的 UDID 的详细信息，参考 2.0 版的 SMBus 规范(<http://smbus.org/specs/>)。

SMBus 提醒模式

SMBus 提醒是一个带中断线的可选信号，用于那些希望扩展它们的控制能力而牺牲一个引脚的设备。SMBALERT 和 SCL、SDA 信号一样，是一种线与信号。SMBALERT 通常和 SMBus 广播呼叫地址一起使用。与 SMBus 有关的消息为 2 字节。

一个只具有从功能的设备，可以通过设置 I2C_CTRL1 寄存器上的 SMBALERT 位，使用 SMBALERT 给主机发信号表示它希望进行通信。主机处理该中断并通过提醒响应地址 ARA(Alert Response Address，地址值为 0001100x)访问所有 SMBALERT 设备。只有那些将 SMBALERT 拉低的设备能应答 ARA。此状态是由 I2C_STS1 寄存器中的 SMBALERTF 状态标记来标识的。主机执行一个修改过的接收字节操作。由从发送设备提供的 7 位设备地址被放在字节的 7 个最高位上，第八个位可以是'0'或'1'。

如果多个设备把 SMBALERT 拉低，最高优先级设备(最小的地址)将在地址传输期间通过标准仲裁赢得通信权。在确认从地址后，此设备不得再拉低它的 SMBALERT，如果当信息传输完成后，主机仍看到 SMBALERT 低，就知道需要再次读 ARA。

没有实现 SMBALERT 信号的主机可以定期访问 ARA。

有关 SMBus 提醒模式的更多详细资料，请参考 2.0 版的 SMBus 规范(<http://smbus.org/specs/>)。

超时错误

在定时规范上 I²C 和 SMBus 之间有很多差别。

SMBus 定义了一个时钟低超时，35ms 的超时。SMBus 规定 TLOW：SEXT 为从设备的累积时钟低扩展时间。SMBus 规定 TLOW：MEXT 为主设备的累积时钟低扩展时间。更多超时细节请参考 2.0 版的 SMBus 规范(<http://smbus.org/specs/>)。

I2C_STS1 中的状态标志 Timeout 或 Tlow 错误表明了这个特性的状态。

如何使用 SMBus 模式的接口

为了从 I²C 模式切换到 SMBus 模式，应该执行下列步骤：

- 设置 I2C_CTRL1 寄存器中的 SMBMODE 位
- 按应用要求配置 I2C_CTRL1 寄存器中的 SMBTYPE 和 ARPEN 位

如果要把设备配置成主设备，产生起始条件的步骤见 [13.3.3 节 I²C 主模式](#)。否则，参见 [13.3.2 节 I²C 从模式](#)。

软件程序必须处理多种 SMBus 协议。

- 如果 ARPEN=1 且 SMBTYPE=0，使用 SMB 设备默认地址
- 如果 ARPEN=1 且 SMBTYPE=1，使用 SMB 主设备头字段
- 如果 SMBALERTF=1，使用 SMB 提醒响应地址

13.3.7 DMA 请求

DMA 请求(当被使能时)仅用于数据传输。发送时数据寄存器变空或接收时数据寄存器变满，则产生 DMA 请求。DMA 请求必须在当前字节传输结束之前被响应。当为相应 DMA 通道设置的数据传输

量已经完成时，DMA控制器发送传输结束信号EOT到I²C接口，并且在中断允许时产生一个传输完成中断：

- 主发送器：在EOT中断服务程序中，需禁止DMA请求，然后在等到BTFF事件后设置停止条件
- 主接收器：当要接收的数据数目大于或等于2时，DMA控制器发送一个硬件信号EOT_1，它对应DMA传输(字节数-1)。如果在I2C_CTRL2寄存器中设置了DMALAST位，硬件在发送完EOT_1后的下一个字节，将自动发送NACK。在中断允许的情况下，用户可以在DMA传输完成的中断服务程序中产生一个停止条件

利用 DMA 发送

通过设置I2C_CTRL2寄存器中的DMAEN位可以激活DMA模式。只要TDE位被置位，数据将由DMA从预置的存储区装载进I2C_DT寄存器。为I²C分配一个DMA通道，须执行以下步骤(x是通道号)：

1. 在DMA_CPBAX寄存器中设置I2C_DT寄存器地址。数据将在每个TDE事件后从存储器传送至这个地址。
2. 在DMA_CMBAx寄存器中设置存储器地址。数据在每个TDE事件后从这个存储区传送至I2C_DT。
3. 在DMA_TCNTx寄存器中设置所需的传输字节数。在每个TDE事件后，此值将被递减。
4. 利用DMA_CHCTRLx寄存器中的CHPL[0: 1]位配置通道优先级。
5. 设置DMA_CHCTRLx寄存器中的DIR位，并根据应用要求可以配置在整个传输完成一半或全部完成时发出中断请求。
6. 通过设置DMA_CHCTRLx寄存器上的CHEN位激活通道。

当DMA控制器中设置的数据传输数目前已经完成时，DMA控制器给I²C接口发送一个传输结束的EOT/EOT_1信号。在中断允许的情况下，将产生一个DMA中断。

注意：如果使用DMA进行发送时，不要设置I2C_CTRL2寄存器的BUFITEN位。

利用 DMA 接收

通过设置I2C_CTRL2寄存器中的DMAEN位可以激活DMA接收模式。每次接收到数据字节时，将由DMA把I2C_DT寄存器的数据传送到设置的存储区(参考DMA说明)。设置DMA通道进行I²C接收，须执行以下步骤(x是通道号)：

1. 在DMA_CPBAX寄存器中设置I2C_DT寄存器的地址。数据将在每次RDNE事件后从此地址传送到存储区。
2. 在DMA_CMBAx寄存器中设置存储区地址。数据将在每次RDNE事件后从I2C_DT寄存器传送到此存储区。
3. 在DMA_TCNTx寄存器中设置所需的传输字节数。在每个RDNE事件后，此值将被递减。
4. 利用DMA_CHCTRLx寄存器中的CHPL[0: 1]配置通道优先级。
5. 清除DMA_CHCTRLx寄存器中的DIR位，根据应用要求可以设置在数据传输完成一半或全部完成时发出中断请求。
6. 设置DMA_CHCTRLx寄存器中的CHEN位激活该通道。

当DMA控制器中设置的数据传输数目前已经完成时，DMA控制器给I²C接口发送一个传输结束的EOT/EOT_1信号。在中断允许的情况下，将产生一个DMA中断。

注意：如果使用DMA进行接收时，不要设置I2C_CTRL2寄存器的BUFITEN位。

13.3.8 包错误校验(PEC)

包错误校验(PEC)计算器是用于提高通信的可靠性，这个计算器使用下述CRC-8多项式对每一位串行数据进行计算：

$$C(x) = x^8 + x^2 + x + 1$$

- PEC计算由I2C_CTRL1寄存器的PECEN位激活。PEC使用CRC-8算法对所有信息

字节进行计算，包括地址和读/写位在内

- 在发送时：在最后一个TDE事件后设置I2C_CTRL1寄存器的PECTRA传输位，PEC将在最后一个字节后被发送
- 在接收时：在最后一个RDNE事件之后设置I2C_CTRL1寄存器的PECTRA位，如果下个接收到的字节不等于内部计算的PECVAL，接收器发送一个NACK。如果是主接收器，不管校对的结果如何，PEC后都将发送NACK。PECTRA位必须在接收当前字节的ACK脉冲之前设置
- 在I2C_STS1寄存器中可获得PECERR错误标记/中断
- 如果DMA和PEC计算器都被激活
 - 在发送时：当I2C接口从DMA控制器处接收到EOT信号时，它在最后一个字节后自动发送PECVAL
 - 在接收时：当I2C接口从DMA处接收到一个EOT_1信号时，它将自动把下一个字节作为PECVAL，并且将检查它。在接收到PECVAL后产生一个DMA请求
- 为了允许中间PEC传输，在I2C_CTRL2寄存器中有一个控制位(DMALAST位)用于判别是否真是最后一个DMA传输。如果确实是最后一个主接收器的DMA请求，在接收到最后一个字节后自动发送NACK
- 仲裁丢失时PEC计算失效

13.3.9 I²C 中断请求

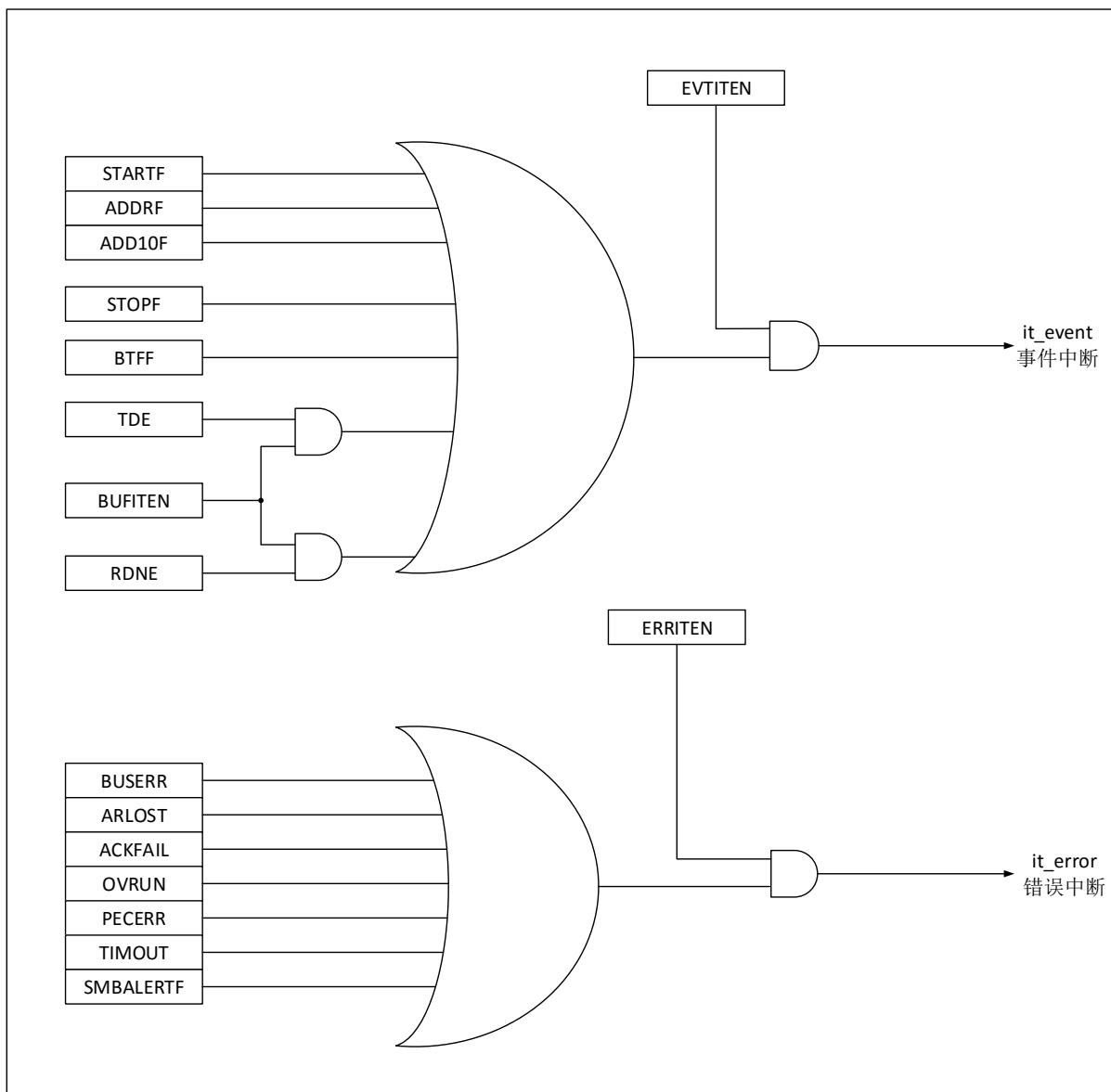
下表列出了所有的 I²C 中断请求。

表 13-2 I²C 中断请求表

中断事件	事件标志	开启控制位
起始位已发送(主)	STARTF	EVTITEN
地址已发送(主)或地址匹配(从)	ADDRF	
10 位头段已发送(主)	ADDR10F	
已收到停止(从)	STOPF	
数据字节传输完成	BTFF	
接收缓冲区非空	RDNE	EVTITEN 和 BUFITEN
发送缓冲区空	TDE	
总线错误	BUSERR	ERRITEN
仲裁丢失(主)	ARLOST	
响应失败	ACKFAIL	
过载/欠载	OVRUN	
PEC 错误	PECERR	
超时/Tlow 错误	TIMOUT	
SMBus 提醒	SMBALERTF	

注意： 1. STARTF、ADDRF、ADDR10F、STOPF、BTFF、RDNE 和 TDE 通过逻辑或汇到同一个中断通道中。

2. BUSERR、ARLOST、ACKFAIL、OVRUN、PECERR、TIMOUT 和 SMBALERTF 通过逻辑或汇到同一个中断通道中。

图 13-7 I²C 中断映射图

13.3.10 I²C 调试模式

当微控制器进入调试模式 (Cortex™-M4 核心处于停止状态) 时，根据 DBG 模块中的 **DBG_I2Cx_SMBUS_TIMEOUT** 配置位，SMBUS 超时控制或者继续正常工作或者可以停止。详见[第 22.3.2 节](#)。

13.4 I²C 寄存器描述

可以用半字(16位)或字(32位)的方式操作这些外设寄存器。

表 13-3 I²C 寄存器地址映像和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	-----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

000h	I2C_CTRL1	保留			SWRESET	保留	SMBALERT	PECTRA	POSEN	ACKEN	STOPGEN	NOCLKSTRECH	GCEN	PECEN	ARPEN	SMBTYPE	SMBMODE	PEN	
			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
004h	I2C_CTRL2	保留			保留	保留	DMALAST	DMAEN	BUFTEN	EVITEN	ERRITEN	CLKFREQ[7: 0]							
			0	0			0	0	0	0	0	0	0	0	0	0	0	0	
008h	I2C_OADDR1	保留	ADDRMOD			保留	保留	ADDR[9: 8]	0	0	0	ADDR[7: 1]						ADDR0	
			0									0	0	0	0	0	0	0	
00Ch	I2C_OADDR2	保留									ADDR2[7: 1]						DUALEN		
			0									0	0	0	0	0	0	0	
010h	I2C_DT	保留									DT[7: 0]								
			0									0	0	0	0	0	0	0	
014h	I2C_STS1	保留																	
			0									0	0	0	0	0	0	0	
018h	I2C_STS2	保留									PECVAL[7: 0]								
			0									0	0	0	0	0	0	0	
01Ch	I2C_CLKCTRL	保留	F/SMODE	0							CLKCTRL[11: 0]								
			F/MDUTY	0							0	0	0	0	0	0	0	0	
020h	I2C_TMRISE	保留									TMRISE[5: 0]								
			E	0							0	0	0	0	1	0	0	0	

13.4.1 控制寄存器1(I²C_CTRL1)

地址偏移: 0x00

复位值: 0x0000

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SW RESET	保留	SMB ALERT	PEC TRA	POS EN	ACK EN	STOP GEN	START GEN	NOCL KSTR ETCH	GCEN	PEC EN	ARP EN	SMB TYPE	保留	SMB MODE	PEN
rW	res	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	res	rW	rW

位 15	<p>SWRESET: 软件复位(Software reset) 当被置位时, I²C 处于复位状态。在复位该位前确信 I²C 的引脚被释放, 总线是空的。 0: I²C 模块不处于复位状态; 1: I²C 模块处于复位状态。 注: 该位可以用于 BUSYF 位为'1', 在总线上又没有检测到停止条件时。</p>
位 14	保留位, 硬件强制为 0
位 13	<p>SMBALERT: SMBus 提醒(SMBus alert) 软件可以设置或清除该位; 当 PEN=0 时, 由硬件清除。 0: 释放 SMBAlert 引脚使其变高。提醒响应地址头紧跟在 NACK 信号后面; 1: 驱动 SMBAlert 引脚使其变低。提醒响应地址头紧跟在 ACK 信号后面。</p>
位 12	<p>PECTRA: 数据包出错检测(Packet error checking) 软件可以设置或清除该位; 当传送 PECVAL 后, 或起始或停止条件时, 或当 PEN=0 时硬件将其清除。 0: 无 PEC 传输; 1: PEC 传输(在发送或接收模式)。 注: 仲裁丢失时, PEC 的计算失效。</p>
位 11	<p>POSEN: 应答/PEC 位置(用于数据接收) (Acknowledge/PEC Position (for data reception)) 软件可以设置或清除该位, 或当 PEN=0 时, 由硬件清除。 0: ACKEN 位控制当前移位寄存器内正在接收的字节的(N)ACK。 PECTRA 位表明当前移位寄存器内的字节是 PECVAL; 1: ACKEN 位控制在移位寄存器里接收的下一个字节的(N)ACK。 PECTRA 位表明在移位寄存器里接收的下一个字节是 PECVAL。 注: POSEN 位只能用在 2 字节的接收配置中, 必须在接收数据之前配置。 为了 NACK 第 2 个字节, 必须在清除 ADDR 为之后清除 ACKEN 位。 为了检测第 2 个字节的 PECVAL, 必须在配置了 POSEN 位之后, 拉伸 ADDR、事件时设置 PECTRA 位。</p>
位 10	<p>ACKEN: 应答使能(Acknowledge enable) 软件可以设置或清除该位, 或当 PEN=0 时, 由硬件清除。 0: 无应答返回; 1: 在接收到一个字节后返回一个应答(匹配的地址或数据)。</p>
位 9	<p>STOPGEN: 停止条件产生(Stop generation) 软件可以设置或清除该位; 或当检测到停止条件时, 由硬件清除; 当检测到超时错误时, 硬件将其置位。 在主模式下: 0: 无停止条件产生; 1: 当数据寄存器和移位寄存器传输完成后或在当前起始条件发出后产生停止条件。 在从模式下: 0: 无停止条件产生; 1: 在当前字节传输完成之后释放 SCL 和 SDA 线。 注: 当设置了 STOPGEN、STARTGEN 或 PECTRA 位, 在硬件清除这个位之前, 软件不要执行任何对 I2C_CTRL1 的写操作; 否则有可能会第 2 次设置 STOPGEN、STARTGEN 或 PECTRA 位。</p>
位 8	<p>STARTGEN: 起始条件产生(Start generation) 软件可以设置或清除该位, 或当起始条件发出后或 PEN=0 时, 由硬件清除。 在主模式下: 0: 无起始条件产生; 1: 重复产生起始条件。 在从模式下: 0: 无起始条件产生; 1: 当总线空闲时, 产生起始条件。</p>

位 7	NOCLKSTRETCH: 禁止时钟延长(从模式) (Clock stretching disable (Slave mode)) 该位用于当 ADDR 或 BTFF 标志被置位，在从模式下禁止时钟延长，直到它被软件复位。 0: 允许时钟延长; 1: 禁止时钟延长。
位 6	GCEN: 广播呼叫使能(General call enable) 0: 禁止广播呼叫。不应答地址 00h; 1: 允许广播呼叫. 应答地址 00h。
位 5	PECEN: PEC 使能(PEC enable) 0: 禁止 PEC 计算; 1: 开启 PEC 计算。
位 4	ARPEN: ARP 使能(APR enable) 0: 禁止 ARP; 1: 使能 ARP。 如果 SMBTYPE=0, 使用 SMBus 设备的默认地址。 如果 SMBTYPE=1, 使用 SMBus 的主地址。
位 3	SMBTYPE: SMBus 类型(SMBus type) 0: SMBus 设备; 1: SMBus 主机。
位 2	保留位，硬件强制为 0。
位 1	SMBMODE: SMBus 模式(SMBus mode) 0: I ² C 模式; 1: SMBus 模式。
位 0	PEN: I ² C 模块使能(Peripheral enable) 0: 禁用 I ² C 模块; 1: 启用 I ² C 模块: 根据 SMBus 位的设置, 相应的 I/O 口需配置为复用功能。 注: 如果清除该位时通讯正在进行, 在当前通讯结束后, I ² C 模块被禁用并返回空闲状态。 由于在通讯结束后发生 PEN=0, 所有的位被清除。 在主模式下, 通讯结束之前, 绝不能清除该位。

注意: 当 STARTGEN、STOPGEN 或 PECTRA 设置后, 软件应该在相应位被硬件清零后写 I2C_CTRL1, 否则有可能产生第二次 STARTGEN、STOPGEN 或 PECTRA 请求。

13.4.2 控制寄存器2(I²C_CTRL2)

地址偏移: 0x04

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	DMA LAST	DM AEN	BUF ITEN	EVT ITEN	ERR ITEN	CLKFREQ[7: 0]									
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15: 13	保留位，硬件强制为 0
位 12	DMALAST: DMA 最后一次传输(DMA last transfer) 0: 下一次 DMA 的 EOT 不是最后的传输; 1: 下一次 DMA 的 EOT 是最后的传输。 注: 该位在主接收模式使用, 使得在最后一次接收数据时可以产生一个 NACK。
位 11	DMAEN: DMA 请求使能(DMA requests enable) 0: 禁止 DMA 请求; 1: 当 TDE=1 或 RDNE =1 时, 允许 DMA 请求。

位 10	BUFITEN: 缓冲器中断使能(Buffer interrupt enable) 0: 当 TDE=1 或 RDNE=1 时, 不产生任何中断; 1: 当 TDE=1 或 RDNE=1 时, 产生事件中断(不管 DMAEN 是何种状态)。
位 9	EVTITEN: 事件中断使能(Event interrupt enable) 0: 禁止事件中断; 1: 允许事件中断。 在下列条件下, 将产生该中断: – STARTF = 1 (主模式) – ADDRF = 1 (主/从模式) – ADDR10F= 1 (主模式) – STOPF = 1 (从模式) – BTFF = 1, 但是没有 TDE 或 RDNE 事件 – 如果 BUFITEN = 1, TDE 事件为 1 – 如果 BUFITEN = 1, RDNE 事件为 1
位 8	ERRITEN: 出错中断使能(Error interrupt enable) 0: 禁止出错中断; 1: 允许出错中断。 在下列条件下, 将产生该中断: – BUSERR = 1 – ARLOST = 1 – ACKFAIL = 1 – OVRUN = 1 – PECERR = 1 – TIMOUT = 1 – SMBALERTF = 1
位 7: 0	CLKFREQ[7: 0]: I ² C 模块时钟频率(Peripheral clock frequency) 必须设置正确的输入时钟频率以产生正确的时序, 允许的范围在 2~100MHz 之间: 00000000: 禁用 00000001: 禁用 00000010: 2MHz ... 01100100: 100MHz

13.4.3 自身地址寄存器1(I²C_OADDR1)

地址偏移: 0x08

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRMODE	保留	保留	res	res	ADDR[9: 8]	rw	ADDR[7: 1]	rw	ADDR0						

位 15	ADDRMODE: 寻址模式(从模式) (Addressing mode (slave mode)) 0: 7 位从地址(不响应 10 位地址); 1: 10 位从地址(不响应 7 位地址)。
位 14: 10	保留位, 硬件强制为 0。
位 9: 8	ADDR[9: 8]: 接口地址(Interface address) 7 位地址模式时不用关心。 10 位地址模式时为地址的 9~8 位。
位 7: 1	ADDR[7: 1]: 接口地址(Interface address) 地址的 7~1 位。
位 0	ADDR0: 接口地址 (Interface address) 7 位地址模式时不用关心。 10 位地址模式时为地址第 0 位。

13.4.4 自身地址寄存器2(I²C_OADDR2)

地址偏移: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							ADDR2[7: 1]								DUALEN
res							rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 8	保留位, 硬件强制为 0														
位 7: 1	ADDR2[7: 1]: 接口地址(Interface address) 在双地址模式下地址的 7~1 位。														
位 0	DUALEN: 双地址模式使能位(Dual addressing mode enable) 0: 在 7 位地址模式下, 只有 OADDR1 被识别; 1: 在 7 位地址模式下, OADDR1 和 OADDR2 都被识别。														

13.4.5 数据寄存器(I²C_DT)

地址偏移: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							DT[7: 0]								
res							rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 8	保留位, 硬件强制为 0														
位 7: 0	DT[7: 0]: 8 位数据寄存器(8-bit data register) 用于存放接收到的数据或放置用于发送到总线的数据 发送器模式: 当写一个字节至 DT 寄存器时, 自动启动数据传输。一旦传输开始(TDE=1), 如果能及时把下一个需传输的数据写入 DT 寄存器, I ² C 模块将保持连续的数据流。 接收器模式: 接收到的字节被拷贝到 DT 寄存器(RDNE=1)。在接收到下一个字(RDNE=1)之前读出数据寄存器, 即可实现连续的数据传送。 注: 在从模式下, 地址不会被拷贝进数据寄存器 DT; 注: 硬件不管理写冲突(如果 TDE=0, 仍能写入数据寄存器); 注: 如果在处理 ACK 脉冲时发生 ARLOST 事件, 接收到的字节不会被拷贝到数据寄存器里, 因此不能读到它。														

13.4.6 状态寄存器1(I²C_STS1)

地址偏移: 0x14

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

SMB ALER TF	TIM OUT	保留	PEC ERR	OVR UN	ACK FAIL	AR LOS T	BUS ERR	TDE	RDN E	保留	STO PF	ADD R10F	BT F	ADD RF	STA RTF
rcw0	rcw0	res	rcw0	rcw0	rcw0	rcw0	rcw0	r	r	res	r	r	r	r	r

位 15	<p>SMBALERTF: SMBus 提醒(SMBus alert) 在 SMBus 主机模式下: 0: 无 SMBus 提醒; 1: 在引脚上产生 SMBALERTF 提醒事件。 在 SMBus 从机模式下: 0: 没有 SMBAlert 响应地址头序列; 1: 收到 SMBAlert 响应地址头序列至 SMBAlert 变低。 – 该位由软件写'0'清除, 或在 PEN=0 时由硬件清除。</p>
位 14	<p>TIMOUT: 超时或 Tlow 错误(Timeout or Tlow error) 0: 无超时错误; 1 : SCL 处于低电平已达到25ms(超时) ; 或者 主机低电平累积时钟扩展时间超过 10ms(Tlow: mext); 或从设备低电平累积时钟扩展时间超过 25ms(Tlow: sext)。 – 当在从模式下设置该位: 从设备复位通讯, 硬件释放总线 – 当在主模式下设置该位: 硬件发出停止条件 – 该位由软件写'0'清除, 或在 PEN=0 时由硬件清除 注: 这个功能仅在 SMBUS 模式下有效</p>
位 13	保留位, 硬件强制为 0。
位 12	<p>PECERR: 在接收时发生 PEC 错误(PEC Error in reception) 0: 无 PEC 错误: 接收到 PEC 后接收器返回 ACK(如果 ACKEN=1); 1: 有 PEC 错误: 接收到 PEC 后接收器返回 NACK(不管 ACKEN 是什么值)。 – 该位由软件写'0'清除, 或在 PEN=0 时由硬件清除</p>
位 11	<p>OVRUN: 过载/欠载(Overrun/Underrun) 0: 无过载/欠载; 1: 出现过载/欠载。 – 当 NOCLKSTRETCH=1 时, 在从模式下该位被硬件置位, 同时 – 在接收模式中当收到一个新的字节时(包括 ACK 应答脉冲), 数据寄存器里的内容还未被读出, 则新接收的字节将丢失 – 在发送模式中当要发送一个新的字节时, 却没有新的数据写入数据寄存器, 同样的字节将被发送两次 – 该位由软件写'0'清除, 或在 PEN=0 时由硬件清除 注: 如果数据寄存器的写操作发生时间非常接近 SCL 的上升沿, 发送的数据是不确定的, 并发生保持时间错误。</p>
位 10	<p>ACKFAIL: 应答失败(Acknowledge failure) 0: 没有应答失败; 1: 应答失败。 – 当没有返回应答时, 硬件将置该位为'1' – 该位由软件写'0'清除, 或在 PEN=0 时由硬件清除</p>
位 9	<p>ARLOST: 仲裁丢失 (主模式) (Arbitration lost (master mode)) 0: 没有检测到仲裁丢失; 1: 检测到仲裁丢失。当接口失去对总线的控制给另一个主机时, 硬件将置该位为'1'。 – 该位由软件写'0'清除, 或在 PEN=0 时由硬件清除 在 ARLOST 事件之后, I²C 接口自动切换回从模式(M/SL=0)。 注: 在 SMBUS 模式下, 在从模式下对数据的仲裁仅仅发生在数据阶段, 或应答传输区间(不包括地址的应答)。</p>
位 8	<p>BUSERR: 总线出错(Bus error) 0: 无起始或停止条件出错; 1: 起始或停止条件出错。 – 当接口检测到错误的起始或停止条件, 硬件将置该位为'1' – 该位由软件写'0'清除, 或在 PEN=0 时由硬件清除。 在发生BUSERR错误时, 软件应及时清除该标志位, 然后才能保证重新正常通信。</p>

位 7	<p>TDE: 数据寄存器为空 (发送时) (Data register empty (transmitters))</p> <p>0: 数据寄存器非空; 1: 数据寄存器空。</p> <ul style="list-style-type: none"> - 在发送数据时, 数据寄存器为空时该位被置'1', 在发送地址阶段不设置该位 - 软件写数据到 DT 寄存器可清除该位; 或在发生一个起始或停止条件后, 或当 PEN=0 时由硬件自动清除 <p>如果收到一个 NACK, 或下一个要发送的字节是 PECVAL(PECTRA=1), 该位不被置位。</p> <p>注: 在写入第 1 个要发送的数据后, 或设置了 BTFF 时写入数据, 都不能清除 TDE 位, 这是因为数据寄存器仍然为空。</p>
位 6	<p>RDNE: 数据寄存器非空 (接收时) (Data register not empty (receivers))</p> <p>0: 数据寄存器为空; 1: 数据寄存器非空。</p> <ul style="list-style-type: none"> - 在接收时, 当数据寄存器不为空, 该位被置'1'. 在接收地址阶段, 该位不被置位 - 软件对数据寄存器的读写操作清除该位, 或当 PEN=0 时由硬件清除 <p>在发生 ARLOST 事件时, RDNE 不被置位。</p> <p>注: 当设置了 BTFF 时, 读取数据不能清除 RDNE 位, 因为数据寄存器仍然为满。</p>
位 5	保留位, 硬件强制为 0
位 4	<p>STOPF: 停止条件检测位 (从模式) (Stop detection (slave mode))</p> <p>0: 没有检测到停止条件; 1: 检测到停止条件。</p> <ul style="list-style-type: none"> - 在一个应答之后(如果 ACKEN=1), 当从设备在总线上检测到停止条件时, 硬件将该位置'1' - 软件读取 STS1 寄存器后, 对 CTRL1 寄存器的写操作将清除该位, 或当 PEN=0 时, 硬件清除该位 <p>注: 在收到 NACK 后, STOPF 位不被置位。</p>
位 3	<p>ADDR10F: 10 位头序列已发送 (主模式) (10-bit header sent (Master mode))</p> <p>0: 没有 ADDR10F 事件发生; 1: 主设备已经将第一个地址字节发送出去。</p> <ul style="list-style-type: none"> - 在 10 位地址模式下, 当主设备已经将第一个字节发送出去时, 硬件将该位置'1' - 软件读取 STS1 寄存器后, 对 CR1 寄存器的写操作将清除该位, 或当 PEN=0 时, 硬件清除该位 <p>注: 收到一个 NACK 后, ADDR10F 位不被置位。</p>
位 2	<p>BTFF: 字节发送结束(Byte transfer finished)</p> <p>0: 字节发送未完成; 1: 字节发送结束。</p> <p>当 NOCLKSTRETCH=0 时, 在下列情况下硬件将该位置'1':</p> <ul style="list-style-type: none"> - 在接收时, 当收到一个新字节(包括 ACK 脉冲)且数据寄存器还未被读取(RDNE=1) - 在发送时, 当一个新数据将被发送且数据寄存器还未被写入新的数据(TDE=1) - 在软件读取 STS1 寄存器后, 对数据寄存器的读或写操作将清除该位; 或在传输中发送一个起始或停止条件后, 或当 PEN=0 时, 由硬件清除该位 <p>注: 在收到一个 NACK 后, BTFF 位不会被置位。</p> <p>如果下一个要传输的字节是 PECVAL(I2C_STS2 寄存器中 TRF 为'1', 同时 I2C_CTRL1 寄存器中 PECTRA 为'1'), BTFF 位不会被置位。</p>

位 1	<p>ADDRF: 地址已被发送(主模式)/地址匹配(从模式)(Address sent (master mode)/matched(slave mode)) 在软件读取 STS1 寄存器后, 对 STS2 寄存器的读操作将清除该位, 或当 PEN=0 时, 由硬件清除该位。</p> <p>地址匹配(从模式)</p> <p>0: 地址不匹配或没有收到地址; 1: 收到的地址匹配。 – 当收到的从地址与 OADDR 寄存器中的内容相匹配、或发生广播呼叫、或 SMBus 设备默认地址 或 SMBus 主机识别出 SMBus 提醒时, 硬件就将该位置'1'(当对应的设置被使能时)</p> <p>地址已被发送(主模式)</p> <p>0: 地址发送没有结束; 1: 地址发送结束。 – 10 位地址模式时, 当收到地址的第二个字节的 ACK 后该位被置'1' – 7 位地址模式时, 当收到地址的 ACK 后该位被置'1' 注: 在收到 NACK 后, ADDR 位不会被置位。</p>
位 0	<p>STARTF: 起始位(主模式)(Start bit(Master mode)) 0: 未发送起始条件; 1: 起始条件已发送。 – 当发出起始条件时该位被置'1' – 软件读取 STS1 寄存器后, 写数据寄存器的操作将清除该位, 或当 PEN=0 时, 硬件清除该位</p>

13.4.7 状态寄存器2(I²C_STS2)

地址偏移: 0x18

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
r	r	r	r	r	r	r	r	r	r	r	r	res	r	r	r

位 15: 8	PECVAL[7: 0]: 数据包出错检测(Packet error checking register) 当 PECEN=1 时, PECVAL[7: 0]存放内部的 PEC 的值, 当 PECEN 重置时清零。
位 7	DUALF: 双标志(从模式)(Dual flag (Slave mode)) 0: 接收到的地址与 OADDR1 内的内容相匹配; 1: 接收到的地址与 OADDR2 内的内容相匹配。 – 在产生一个停止条件或一个重复的起始条件时, 或 PEN=0 时, 硬件将该位清除
位 6	SMBHOSTADDRF: SMBus 主机头系列(从模式) (SMBus host header (Slave mode)) 0: 未收到 SMBus 主机的地址; 1: 当 SMBTYPE=1 且 ARLEN=1 时, 收到 SMBus 主机地址。 – 在产生一个停止条件或一个重复的起始条件时, 或 PEN=0 时, 硬件将该位清除
位 5	SMBDEFTADDRF: SMBus 设备默认地址(从模式) (SMBus device default address (Slave mode)) 0: 未收到 SMBus 设备的默认地址; 1: 当 ARLEN=1 时, 收到 SMBus 设备的默认地址。 – 在产生一个停止条件或一个重复的起始条件时, 或 PEN=0 时, 硬件将该位清除
位 4	GCADDRF: 广播呼叫地址(从模式) (General call address (Slave mode)) 0: 未收到广播呼叫地址; 1: 当 GCEN=1 时, 收到广播呼叫的地址。 – 在产生一个停止条件或一个重复的起始条件时, 或 PEN=0 时, 硬件将该位清除
位 3	保留位, 硬件强制为 0

位 2	TRF: 发送/接收(Transmitter/receiver) 0: 接收到数据; 1: 数据已发送; 在整个地址传输阶段的结尾, 该位根据地址字节的 R/W 位来设定在检测到停止条件(STOPF=1)、重复的起始条件或总线仲裁丢失(ARLOST=1)后, 或当 PEN=0 时, 硬件将其清除。
位 1	BUSYF: 总线忙(Bus busy) 0: 在总线上无数据通讯; 1: 在总线上正在进行数据通讯。 – 在检测到 SDA 或 SCI 为低电平时, 硬件将该位置'1' – 当检测到一个停止条件时, 硬件将该位清除 该位指示当前正在进行的总线通讯, 当接口被禁用(PEN=0)时该信息仍然被更新。
位 0	MSF: 主从模式(Master/slave) 0: 从模式; 1: 主模式。 – 当接口处于主模式(STARTF=1)时, 硬件将该位置位 – 当总线上检测到一个停止条件、仲裁丢失(ARLOST=1 时)、或当 PEN=0 时, 硬件清除该位

13.4.8 时钟控制寄存器(I²C_CLKCTRL)

地址偏移: 0x1C

复位值: 0x0000

注意 1. 要求 FPCLK1 应当是 10MHz 的整数倍, 这样可以正确地产生 400KHz 的快速时钟。

2. CLKCTRL 寄存器只有在关闭 I²C 时(PEN=0)才能设置

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
F/S MODE	FM DUTY	保留	CLKCTRL[11: 0]													
RW	RW	res	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	

位 15	F/SMODE: I ² C 主模式选项 (I ² C master mode selection) 0: 标准模式的 I ² C; 1: 快速模式的 I ² C。
位 14	FMDUTY: 快速模式时的占空比 (Fast mode duty cycle) 0: 快速模式下: $T_{low}/T_{high} = 2$; 1: 快速模式下: $T_{low}/T_{high} = 16/9$ (见 CLKCTRL)。
位 13: 12	保留位, 硬件强制为 0。

位 11: 0	CLKCTRL[11: 0] : 快速 / 标准模式下的时钟控制分频系数(主模式)(Clock control register in Fast/Standard mode (Master mode)) 该分频系数用于设置主模式下的 SCL 时钟。 <u>在 I²C 标准模式或 SMBus 模式下:</u> $T_{high} = CLKCTRL \times T_{PCLK1}$ $T_{low} = CLKCTRL \times T_{PCLK1}$ <u>在 I²C 快速模式下:</u> 如果 FMDUTY = 0: $T_{high} = CLKCTRL \times T_{PCLK1}$ $T_{low} = 2 \times CLKCTRL \times T_{PCLK1}$ 如果 FMDUTY = 1: (速度达 400kHz) $T_{high} = 9 \times CLKCTRL \times T_{PCLK1}$ $T_{low} = 16 \times CLKCTRL \times T_{PCLK1}$ 例如: 在标准模式下, 产生 100kHz 的 SCL 的频率: 如果 CLKFREQ = 08, $T_{PCLK1} = 125\text{ns}$, 则 CLKCTRL 必须写入 0x28($40 \times 125\text{ns} = 5000\text{ns}$)。 注: 1. 允许设定的最小值为 0x04, 在快速 DUTY 模式下允许的最小值为 0x01; 2. $T_{high}=t_r(SCL)+t_w(SCLH)$, 详见数据手册中对这些参数的定义; 3. $T_{low}=t_r(SCL)+t_w(SCLL)$, 详见数据手册中对这些参数的定义; 4. 这些延时没有过滤器; 5. 只有在关闭 I ² C 时(PEN = 0)才能设置 CLKCTRL 寄存器; 6. f _{CK} 应当是 10MHz 的整数倍, 这样可以正确产生 400kHz 的快速时钟。

13.4.9 TMRISE 寄存器(I²C_TMRISE)

地址偏移: 0x20

复位值: 0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								TMRISE[5: 0]							

位 15: 6	保留位, 硬件强制为 0
位 5: 0	TMRISE[5: 0] : 在快速/标准模式下的最大上升时间(主模式)(Maximum rise time in Fast/Standard mode (Master mode)) 这些位必须设置为 I ² C 总线规范里给出的最大 SCL 上升时间, 增长步幅为 1。 例如: 标准模式中最大允许 SCL 上升时间为 1000ns。如果在 I ² C_CTRL2 寄存器中 CLKFREQ[7: 0]中的值等于 0x08 且 $T_{PCLK1}=125\text{ns}$, 故 TMRISE[5: 0]中必须写入 09h($1000\text{ns}/125\text{ns} = 8+1$)。滤波器的值也可以加到 TMRISE[5: 0]内。 如果结果不是一个整数, 则将整数部分写入 TMRISE[5: 0]以确保 t _{HIGH} 参数。 注: 只有当 I ² C 被禁用(PEN=0)时, 才能设置 TMRISE[5: 0]。

14 通用同步异步收发器（USART）

14.1 USART介绍

通用同步异步收发器（USART）提供了一种灵活的方法与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。USART 利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信，也支持 LIN（局部互连网），智能卡协议和 IrDA（红外数据组织）SIRENDEC 规范，以及 CTS/RTS（Clear To Send/Request To Send）硬件流操作。它还允许多处理器通信。

使用多缓冲器配置的 DMA 方式，可以实现高速数据通信。

14.2 USART主要特性

- 全双工异步通信
- 单线半双工通信
- NRZ 标准格式（Mark/Space）
- 可编程的波特率发生器
 - 发送和接收共用的可编程波特率，最高达 6.25MBits/s
- 可编程数据字长度（8 位或 9 位）
- 可配置的停止位-支持 1 或 2 个停止位
- LIN 主机有发送断开符的能力以及 LIN 从机有检测断开符的能力
 - 当 USART 硬件配置成 LIN 时，生成 13 位断开符；检测 10/11 位断开符
- 发送方为同步传输提供时钟
- IrDA SIR 编码器解码器
 - 在普通模式下支持 3/16 位的持续时间
- ISO7816-3 标准里定义的异步智能卡协议
 - 智能卡模式支持 0.5 或 1.5 个停止位
- 可配置的DMA多缓冲器通信
 - 利用 DMA 缓冲接收/发送数据
- 单独的发送器和接收器使能位
- 检测标志
 - 接收缓冲器满
 - 发送缓冲器空
 - 传输结束标志
- 校验控制
 - 发送校验位
 - 对接收数据进行校验
- 四个错误检测标志
 - 溢出错误
 - 噪音错误
 - 帧错误
 - 校验错误
- 10 个带标志的中断源

- CTSF 改变
 - LIN 断开符检测
 - 发送数据寄存器空
 - 发送完成
 - 接收数据寄存器满
 - 检测到总线为空闲
 - 溢出错误
 - 帧错误
 - 噪音错误
 - 校验错误
- 多处理器通信--如果地址不匹配，则进入静默模式
 - 从静默模式中唤醒（通过空闲总线检测或地址检测）
 - 两种唤醒接收器的方式：地址位（MSB，第9位），总线空闲

14.3 USART功能概述

接口通过三个引脚与其他设备连接在一起（见图 14-1）。任何 USART 双向通信至少需要两个脚：接收数据输入（RX）和发送数据输出（TX）。

RX：串行数据输入端。利用过采样技术识别数据和噪音以恢复数据。

TX：串行数据输出端。当发送器被禁止时，输出引脚恢复到它的 I/O 端口配置。当发送器被激活，并且不发送数据时，TX 引脚处于高电平。在单线和智能卡模式里，此 I/O 口被同时用于数据的发送和接收。

- 总线在发送或接收前应处于空闲状态
- 一个起始位
- 一个数据字（8 或 9 位），最低有效位在前
- 0.5, 1, 1.5, 2 个停止位，表示数据帧的结束
- 使用分数波特率发生器——12 位整数和 4 位小数的表示方法。
- 一个状态寄存器（USART_STS）
- 数据寄存器（USART_DT）
- 一个波特率寄存器（USART_BAUDR），12 位的整数和 4 位小数
- 一个智能卡模式下的保护时间寄存器（GTVL）

关于以上寄存器中每个位的具体定义，请参考寄存器描述第 16.6 节：USART 寄存器描述。

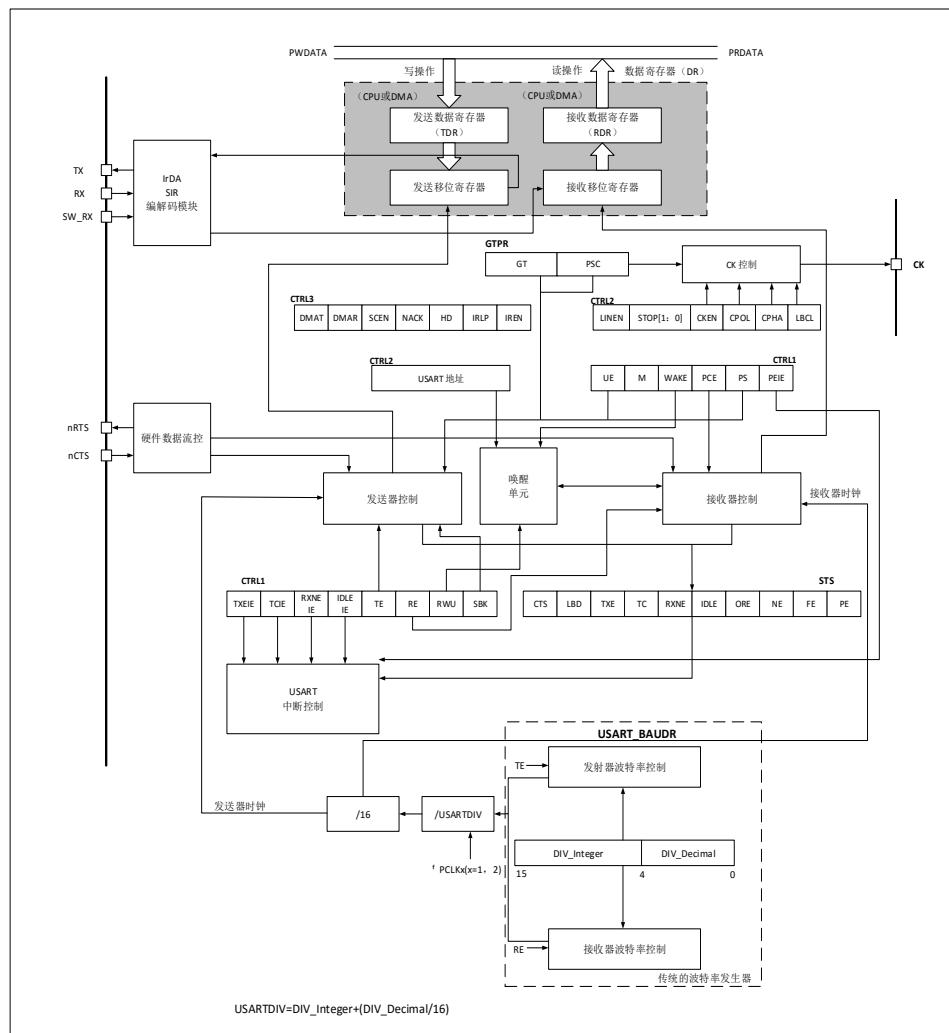
在同步模式中需要下列引脚：

- **CK：**发送器时钟输出。此引脚输出用于同步传输的时钟，（在 Start 位和 Stop 位上没有时钟脉冲，软件可选地，可以在最后一个数据位送出一个时钟脉冲）。数据可以在 RX 上同步被接收。这可以用来控制带有移位寄存器的外部设备（例如 LCD 驱动器）。时钟相位和极性都是软件可编程的。在智能卡模式里，CK 可以为智能卡提供时钟。

在硬件流控模式中需要下列引脚：

- **CTS：**接收清零，若为低电平，表明在当前数据传输结束时可继续下一次的数据发送；若为高电平，在当前数据传输结束时阻断下一次的数据发送。
- **RTS：**发送请求，若为低电平，表明 USART 准备好接收数据。

图 14-1 USART 框图



14.3.1 USART 特性描述

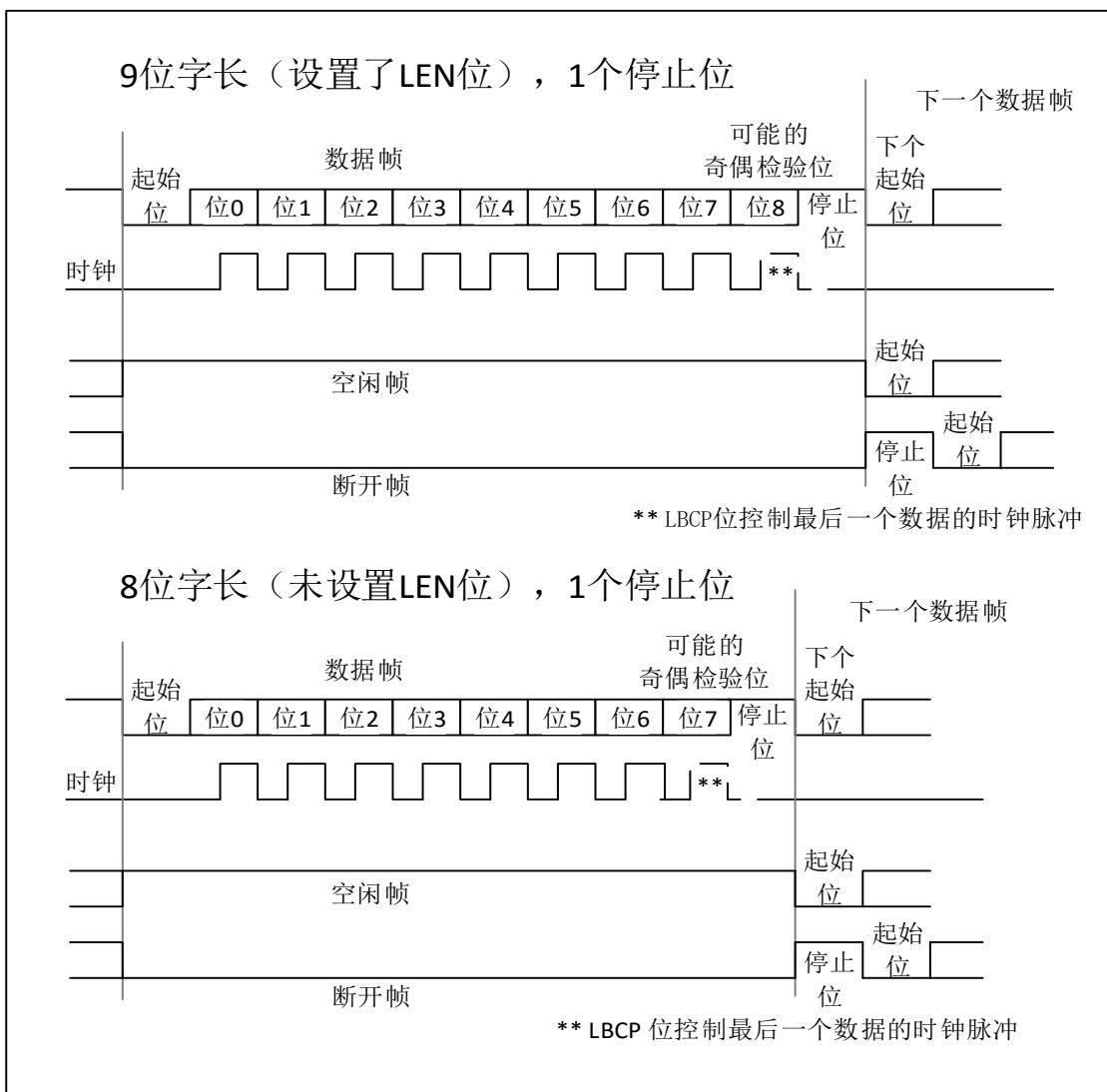
字长可以通过编程 USART_CTRL1 寄存器中的 LEN 位，选择成 8 或 9 位（见图 14-2）。在起始位期间，TX 脚处于低电平，在停止位期间处于高电平。

空闲帧：全部由‘1’组成的一个完整的数据帧，也包含了数据的停止位。例如：如果 LEN=0，则空闲帧由 10 个‘1’组成；如果 LEN=1，则空闲帧由 11 个‘1’组成。

断开帧：被视为在一个帧周期内全部收到‘0’（包括停止位期间，也是‘0’）。在断开帧结束时，发送器再插入 1 或 2 个停止位（‘1’）来应答起始位。

发送和接收均由一个共用的波特时钟发生器驱动，当发送器和接收器的使能位分别置位时，分别为其产生波特时钟。

图 14-2 字长设置



注意： 在本章中，若未特殊说明，置位均表示某个寄存器被置为状态‘1’，复位或清零均表示某个寄存器被置为状态‘0’；硬件或者程序均可能置位或者清零某个寄存器，请参考本章具体内容。

14.3.2 发送器

发送器根据 LEN 位的状态发送 8 位或 9 位的数据字。当发送使能位 (TEN) 被置位时，发送移位寄存器中的数据在 TX 脚上输出；通过配置，相应的时钟脉冲在 CK 脚上输出。

14.3.2.1 字符发送

在 USART 发送期间，在 TX 引脚上首先移出数据的最低有效位。在此模式里，USART_DT 寄存器包含了一个内部总线和发送移位寄存器之间的缓冲器（见图 14-1）。

每个字符之前都有一个低电平的起始位；之后跟着的停止位，其数目可配置。

USART 支持多种停止位的配置：0.5、1、1.5 和 2 个停止位。

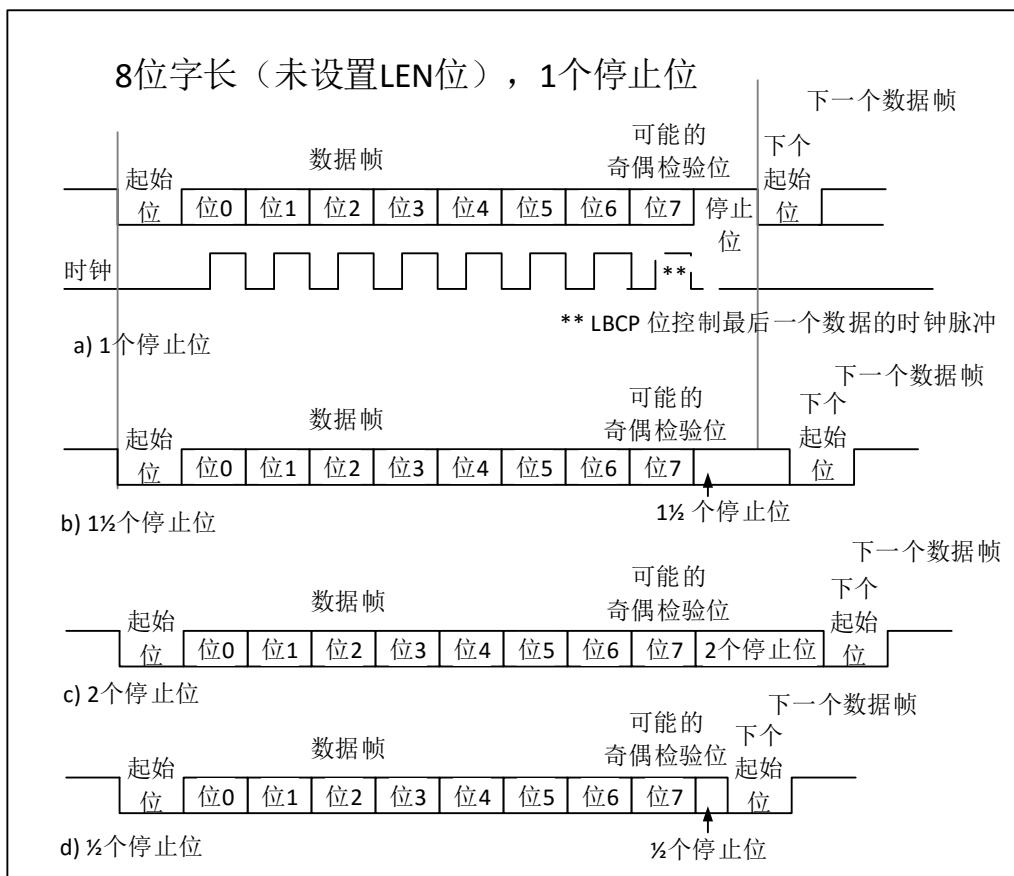
- 注意：**
1. 在数据传输期间不能复位 TEN 位，否则将破坏 TX 脚上的数据，因为波特率计数器停止计数。正在传输的当前数据将丢失。
 2. TEN 位被激活后，USART 将自动发送一个空闲帧。

14.3.2.2 可配置的停止位

每个字符发送的停止位的位数可以通过控制寄存器 2 (USART_CTRL2) 的位 13、12 进行编程。

1. 1个停止位：停止位位数的默认值。
 2. 2个停止位：可用于常规 USART 模式、单线模式以及调制解调器模式。
 3. 0.5 个停止位：在智能卡模式下接收数据时使用。
 4. 1.5 个停止位：在智能卡模式下发送和接收数据时使用。空闲帧包括了停止位。
- 断开帧是 10 位低电平，后跟停止位（当 LEN=0 时）；或者 11 位低电平，后跟停止位（LEN=1 时）。不可能传输更长的断开帧（长度大于 10 或者 11 位）。

图14-3 配置停止位



配置步骤：

1. 通过对 USART_CTRL1 寄存器的 UEN 位写入 1 来激活 USART。
2. 配置 USART_CTRL1 的 LEN 位来定义字长。
3. 配置 USART_CTRL2 的 STOPB 位来定义停止位。
4. 如果采用多缓冲器通信，配置 USART_CTRL3 中的 DMA 使能位 (DMATEN)。按多缓冲器通信中的描述配置 DMA 寄存器。
5. 配置 USART_BAUDR 寄存器来定义波特率。
6. 配置 USART_CTRL1 中的 TEN 位（也即向 TEN 位写入 1），USART 会自动发送一个空闲帧作为第一次数据发送。
7. 把要发送的数据写进 USART_DT 寄存器（此动作清除 TDE 位）。在只有一个缓冲器的情况下，对每个待发送的数据重复步骤 7。
8. 在 USART_DT 寄存器中写入最后一个数据字后，要等待 TRAC=1，它表示最后一个数据帧的传输结束。当需要关闭 USART 或需要进入停机模式之前，需要确认传输结束，避免破坏最后一次数据传输。

14.3.2.3 单字节通信

清零 TDE 位总是通过对数据寄存器的写操作来完成的。

TDE 位由硬件（也即 USART IP 核）来置位，这表明：

- 数据已经从 TDR 寄存器（Transmitter Data Register）移送到移位寄存器，数据发送已经开始。
- TDR 寄存器被清空。
- 下一个数据可以被写进 USART_DT 寄存器而不会覆盖先前的数据。

如果 TDEIEN 位被设置，此标志将产生一个中断。如果此时 USART 正在发送数据，对 USART_DT 寄存器的写操作把数据存入 TDR 寄存器，并在当前传输结束时把该数据复制到移位寄存器。

如果此时 USART 没有发送数据，处于空闲状态，对 USART_DT 寄存器的写操作直接把数据放进移位寄存器，数据传输开始，TDE 位立即被置起（也即写入“1”）。

当一帧发送完成时（停止位发送后）并且设置了 TDE 位，TRAC 位被置起，如果 USART_CTRL1 寄存器中的 TRACIEN 位被置起时，则会产生中断。

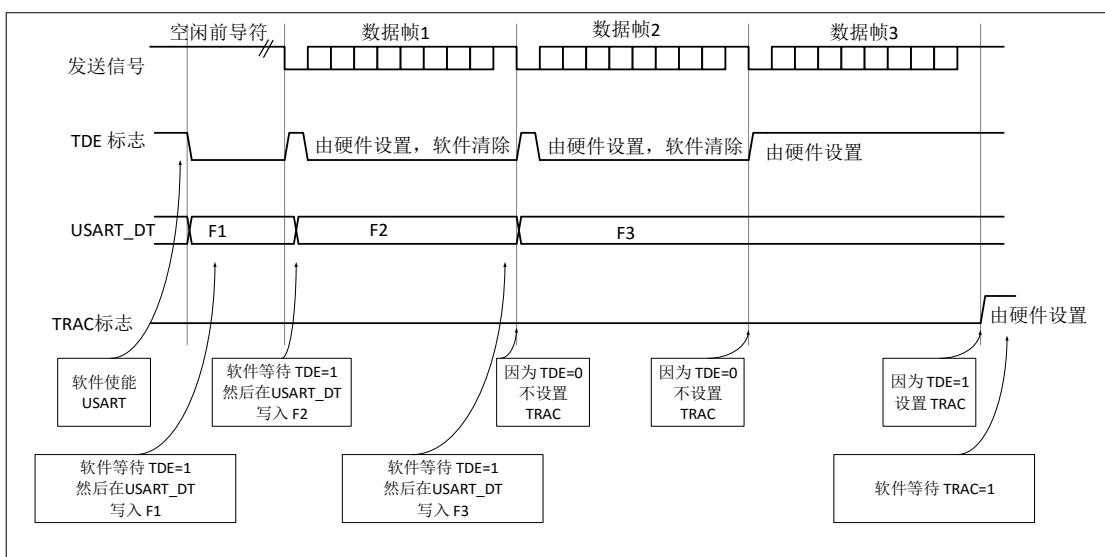
在 USART_DT 寄存器中写入了最后一个数据字后，在关闭 USART 模块之前或设置微控制器进入低功耗模式（见图 14-4）之前，必须先等待 TRAC=1。

使用下列软件过程清除 TRAC 位：

1. 读一次 USART_STS 寄存器；
2. 写一次 USART_DT 寄存器。

注意： TRAC 位也可以通过软件对它写‘0’来清除。此清零方式只推荐在 DMA 多缓冲器通信模式下使用。

图 14-4 发送时 TRAC/TDE 的变化情况



14.3.2.4 断开帧

设置 SBRK 可发送一个断开帧。断开帧长度取决 LEN 位（见图 14-2）。如果设置 SBRK=1，在完成当前数据发送后，将在 TX 线上发送一个断开帧。断开字符发送完成时（在断开帧的停止位时）SBRK 被硬件复位。USART 在最后一个断开帧的结束处插入一逻辑‘1’，以保证能识别下一帧的起始位。

注意： 若在开始发送断开帧之前，软件又复位了 SBRK 位，断开帧将不被发送。如果要发送两个连续的断开帧，SBRK 位应该在前一个断开帧的停止位之后置起。

14.3.2.5 空闲符号

置位 TEN 将使得 USART 在第一个数据帧前发送一空闲帧。

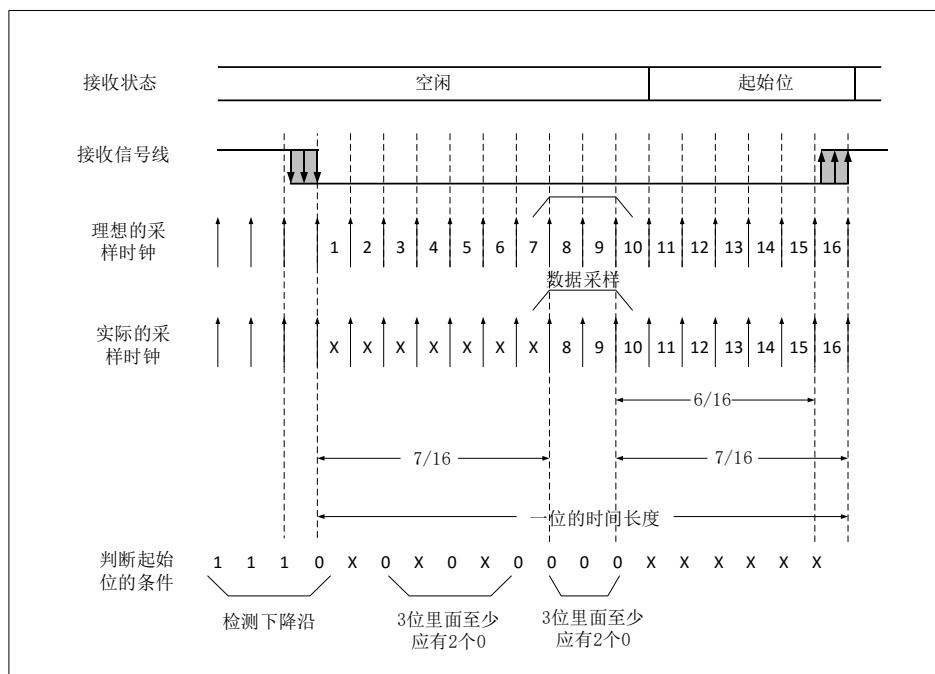
14.3.3 接收器

USART 可以根据 USART_CTRL1 的 LEN 位接收 8 位或 9 位的数据字。

14.3.3.1 起始位侦测

在 USART 中, 如果辨认出一个特殊的采样序列, 那么就认为侦测到一个起始位。该序列为: 1110X0X0X0000。

图 14-5 起始位侦测



注意: 如果该序列不完整, 那么接收端将退出起始位侦测并回到空闲状态 (不设置任何标志位) 等待下降沿。

1. 在第 3、5、7 位的采样, 以及在第 8、9、10 位的采样都为 '0' (也即 6 个 '0'), 则确认收到起始位, 并且不会置位 NERR 噪声标志位。
2. 第 3、5、7 位的采样有两个 '0', 与此同时, 第 8、9、10 位的采样有两个 '0' 点, 那么确认收到起始位, 但是会置位 NERR 噪声标志位。
3. 第 3、5、7 位的采样有两个 '0', 与此同时, 第 8、9、10 位的采样有三个 '0' 点, 那么确认收到起始位, 但是会置位 NERR 噪声标志位。
4. 第 3、5、7 位的采样有三个 '0', 与此同时, 第 8、9、10 位的采样有两个 '0' 点, 那么确认收到起始位, 但是会置位 NERR 噪声标志位。
5. 如果在第 3、5、7、8、9、10 位的采样值满足不了上面四种要求, 则该 USART 接收器认为没有接受到正确的起始位, 将退出起始位侦测并回到空闲状态等待下降沿。

14.3.3.2 字符接收

在 USART 接收期间, 数据的最低有效位首先从 RX 脚移进。在此模式里, USART_DT 寄存器包含的缓冲器位于内部 APB 总线和接收移位寄存器之间。

配置步骤:

1. 通过对 USART_CTRL1 寄存器的 UEN 位写入 1 来激活 USART。
2. 配置 USART_CTRL1 的 LEN 位来定义字长。
3. 配置 USART_CTRL2 的 STOPB 位来定义停止位。

4. 如果采用多缓冲器通信，配置 USART_CTRL3 中的 DMA 使能位（DMAREN）。按多缓冲器通信中的描述配置 DMA 寄存器。
5. 配置 USART_BAUDR 寄存器来定义波特率。
6. 配置 USART_CTRL1 中的 REN 位（也即向 REN 位写入 1）。激活接收器，使它开始寻找起始位。

当一字符被接收到时：

- RDNE 位被置位。它表明移位寄存器的内容被转移到 RDR (Receiver Data Register)。换句话说，数据已经被接收并且可以被读出（包括与之有关的错误标志）。
- 如果 RDNEIEN 位被设置，则产生中断。
- 在接收期间如果检测到帧错误，噪音或溢出错误，错误标志将被置起。
- 在多缓冲器通信时，RDNE 在每个字节接收后被置起，并由 DMA 对数据寄存器的读操作而清零。
- 在单缓冲器模式里，由软件读 USART_DT 寄存器完成对 RDNE 位清除。RDNE 标志也可以通过对它写 0 来清除。RDNE 位必须在下一帧数据接收结束前被清零，以避免溢出错误。

注意：在接收数据时，REN 位不应该被复位。如果 REN 位在接收时被清零，当前字节的接收被丢失。

14.3.3.3 断开帧

当接收到一个断开帧时，USART 按处理帧错误一样处理它。

备注：在 LIN 模式下，当接收到一个断开帧时，将按断开帧处理，LBDF 将会置起。

14.3.3.4 空闲符号

当一空闲帧被检测到时，其处理步骤和接收到普通数据帧一样，但如果 IDLEIEN 位被设置将产生一个中断。

14.3.3.5 溢出错误

如果接收的数据未及时被读走，导致 RDNE 没有及时被复位，又接收到一个字符，则发生溢出错误。数据只有当 RDNE 位被清零后才能从移位寄存器转移到 RDR 寄存器。RDNE 标记是接收到每个字节后被硬件置位的。如果下一个数据已被收到或先前 DMA 请求还没被服务时，RDNE 标志仍是置起的，溢出错误产生。

当溢出错误产生时：

- ORERR 位被置位。
- RDR 内容将不会丢失。读 USART_DT 寄存器仍能得到先前的数据。
- 移位寄存器中的内容将被覆盖。随后接收到的数据都将丢失。
- 如果 RDNEIEN 位被设置或 ERRIEN 和 DMAREN 位都被设置，中断产生。
- 顺序执行对 USART_STS 和 USART_DT 寄存器的读操作，可复位 ORERR。

注意：当 ORERR 置位时，表明至少有 1 个数据已经丢失。有两种可能性：

- 如果 RDNE=1，上一个有效数据还在接收寄存器 RDR 上，可以被读出。
- 如果 RDNE=0，这意味着上一个有效数据已经被读走，RDR 已经没有东西可读。当上一个有效数据在 RDR 中被读取的同时又接收到新的（也就是丢失的）数据时，此种情况可能发生。在读序列期间（在 USART_STS 寄存器读访问和 USART_DT 读访问之间）接收到新的数据，此种情况也可能发生。

噪音错误使用过采样技术（同步模式除外），通过区别有效输入数据和噪音来进行数据恢复。

图14-6 检测噪声的数据采样

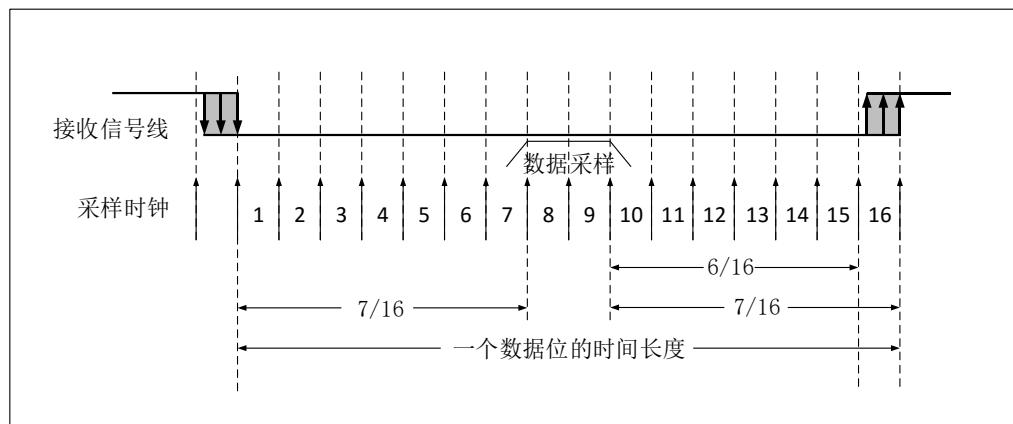


表14-1 检测噪声的数据采样

采样值	NERR 状态	接收的位	数据有效性
000	0	0	有效
001	1	0	无效
010	1	0	无效
011	1	1	无效
100	1	0	无效
101	1	1	无效
110	1	1	无效
111	0	1	有效

当在接收帧中检测到噪音时：

- 在 RDNE 位的上升沿设置 NERR 标志。
- 无效数据从移位寄存器传送到 USART_DT 寄存器。
- 在单个字节通信情况下，没有噪音中断产生。然而，因为 NERR 标志位和 RDNE 标志位是同时被置位，RDNE 将产生中断。在多缓冲器通信情况下，如果已经设置了 USART_CTRL3 寄存器中 ERRIEN 位，将产生一个中断。

顺序读 USART_STS，再读 USART_DT 寄存器，将清除 NERR 标志位。

14.3.3.6 帧错误

当以下情况发生时检测到帧错误：由于数据未同步或大量噪音的原因，停止位没有在预期的时间上接收和识别出来。当帧错误被检测到时：

- FERR 位被硬件置起
- 无效数据从移位寄存器传送到 USART_DT 寄存器。
- 在单字节通信时，没有帧错误中断产生。然而，这个位和 RDNE 位同时置起，后者将产生中断。在多缓冲器通信情况下，如果 USART_CTRL3 寄存器中 ERRIEN 位被置位的话，将产生中断。

顺序执行对 USART_STS 和 USART_DT 寄存器的读操作，可复位 FERR 位。

14.3.3.7 接收期间可配置的停止位

在数据接收期间，数据停止位的个数可以通过控制寄存器 2 (USART_CTRL2 中的 STOPB) 的控制

位来配置，在普通模式时，可以是 1 或 2 个。在智能卡模式里可能是 0.5 或 1.5 个。

1. 0.5 个停止位（智能卡模式中的接收）：不对 0.5 个停止位进行采样。因此，如果选择 0.5 个停止位则不能检测帧错误和断开帧。
2. 1 个停止位：对 1 个停止位的采样在第 8, 第 9 和第 10 采样点上进行。
3. 1.5 个停止位（智能卡模式）：当以智能卡模式发送时，器件必须检查数据是否被正确的发送出去。所以接收器功能块必须被激活（USART_CTRL1 寄存器中的 REN=1），并且在停止位的发送期间采样数据线上的信号。如果出现校验错误，智能卡会在发送方采样 NACK 信号时，即总线上停止位对应的时间内时，拉低数据线，以此表示出现了帧错误。发送端的 FERR 在 1.5 个停止位结束时被置起。对 1.5 个停止位的采样是在第 16, 第 17 和第 18 采样点进行的。对于智能卡发送端而言，1.5 个的停止位可以被分成 2 部分：一个是 0.5 个数据位的周期，期间不做任何事情；随后是 1 个数据位的周期的停止位，在这段时间的中点处采样。对于智能卡接收端而言，1.5 个的停止位也可以被分成 2 部分：一个是 0.5 个数据位的周期，判断是否有奇偶校验错误；如果有奇偶校验错误，则在随后的 1 个数据位的周期拉低数据总线；如果没有奇偶校验错误，则在随后的 1 个数据位的周期，释放数据总线（数据总线处于高电平）。详见第 16.3.11 节：智能卡。
4. 2 个停止位：对 2 个停止位的采样是在第一停止位的第 8, 第 9 和第 10 个采样点完成的。如果第一个停止位期间检测到一个帧错误，帧错误标志将被设置。第二个停止位不再检查帧错误。在第一个停止位结束时 RDNE 标志将被设置。

14.3.4 分数波特率的产生

接收器和发送器的波特率在 USARTDIV 的整数和小数寄存器中的值是相同的。

$$\text{TX/RX 波特率} = \frac{f_{CK}}{16 * \text{USARTDIV}}$$

这里的 f_{CK} 是给外设的时钟（PCLK1 用于 USART2、3 和 UART4、5，PCLK2 用于 USART1）
USARTDIV 是一个无符号的定点数。该值设置在 USART_BAUDR 寄存器。

注意：在写入 USART_BAUDR 之后，波特率计数器会被波特率寄存器的新值替换。因此，不要在通信过程中改变波特率寄存器的数值。

14.3.4.1 如何从 USART_BAUDR 寄存器值得到 USARTDIV

例 1：

如果 DIV_Integer=27, DIV_Decimal=12 (USART_BAUDR=0x1BC)，于是

DIV_Integer (USARTDIV) =27

DIV_Decimal (USARTDIV) =12/16=0.75

所以 USARTDIV=27.75

例 2：

要求 USARTDIV=25.62,就有：

DIV_Decimal=16*0.62=9.92

最接近的整数是：10=0x0A

DIV_Integer= DIV_Integer (25.620) =25=0x19

于是，USART_BAUDR=0x19A

例 3：

要求 USARTDIV=50.99 就有：

DIV_Decimal=16*0.99=15.84

最接近的整数是：16=0x10=> DIV_Decimal[3: 0]溢出=>进位必须加到小数部分

DIV_Integer= DIV_Integer (0d50.990+进位) =51=0x33

于是：USART_BAUDR=0x330, USARTDIV=0d51.000

表14-2 设置波特率时的误差计算

波特率		fPCLK=36MHz			fPCLK=72MHz			fPCLK=75MHz		
序号	Kbps	实际	置于波特率寄存器中的值	误差%	实际	置于波特率寄存器中的值	误差%	实际	置于波特率寄存器中的值	误差%
1	2.4	2.4	937.5	0%	2.4	1875	0%	2.4	1953.125	0%
2	9.6	9.6	234.375	0%	9.6	468.75	0%	9.599	488.3125	0.01%
3	19.2	19.2	117.1875	0%	19.2	234.375	0%	19.201	244.125	0.01%
4	57.6	57.6	39.0625	0%	57.6	78.125	0%	57.604	81.375	0.01%
5	115.2	115.384	19.5	0.15%	115.2	39.0625	0%	115.207	40.6875	0.01%
6	230.4	230.769	9.75	0.16%	230.769	19.5	0.16%	230.061	20.375	0.15%
7	460.8	461.538	4.875	0.16%	461.538	9.75	0.16%	460.123	10.1875	0.15%
8	921.6	923.076	2.4375	0.16%	923.076	4.875	0.16%	925.926	5.0625	0.47%
9	2250	2250	1	0%	2250	2	0%	2272.727	2.0625	1.01%
10	4500	不可能	不可能	不可能	4500	1	0%	4411.705	1.0625	1.96%
11	4687.5	不可能	不可能	不可能	不可能	不可能	不可能	4687.5	1	0%

注意： 1. CPU 的时钟频率越低，则某一特定波特率的误差也越低。可以达到的波特率上限可以由这组数据得到。

2. USART1 使用 PCLK2（最高 75MHz）。USART2、3 和 UART4、5 使用 PCLK1（最高 75MHz）。

14.3.5 USART接收器容忍时钟的变化

只有当整体的时钟系统地变化小于 USART 异步接收器能够容忍的范围，USART 异步接收器才能正常地工作。影响这些变化的因素有：

- DTRA: 由于发送器误差而产生的变化（包括发送器端振荡器的变化）
- DQUANT: 接收器端波特率取整所产生的误差
- DREC: 接收器端振荡器的变化
- DTCL: 由于传输线路产生的变化（通常是由收发器在由低变高的转换时序，与由高变低转换时序之间的不一致性所造成）。

需要满足：DTRA + DQUANT + DREC + DTCL < USART 接收器的容忍度

对于正常接收数据，USART 接收器的容忍度等于最大能容忍的变化，它依赖于下述选择：

- 由 USART_CTRL1 寄存器的 LEN 位定义的 10 或 11 位字符长度
- 是否使用分数波特率产生

表14-3当DIV_Decimal=0时， USART接收器的容忍度

M 位	认为 NF 是错误	不认为 NF 是错误
0	3.75%	4.375%
1	3.41%	3.97%

表14-4当DIV_Decimal≠0时， USART接收器的容忍度

M 位	认为 NF 是错误	不认为 NF 是错误
0	3.33%	3.88%
1	3.03%	3.53%

注意：在特殊的情况下，即当收到的帧包含一些在 $LEN=0$ 时，正好是 10 位 ($LEN=1$ 时是 11 位) 的空闲帧，上面 2 个表格中的数据可能会有少许出入。

14.3.6 多处理器通信

通过 USART 可以实现多处理器通信（将几个 USART 连在一个网络里）。例如某个 USART 设备可以是主，它的 TX 输出和其他 USART 从设备的 RX 输入相连接；USART 从设备各自的 TX 输出逻辑地与在一起，并且和主设备的 RX 输入相连接。

在多处理器配置中，通常希望只有被寻址的接收器才被激活，来接收随后的数据，这样就可以减少由未被寻址的接收器的参与带来的多余的 USART 服务开销。未被寻址的设备可启用其静默功能置于静默模式。在静默模式里：

- 任何接收状态位都不会被置位。
- 所有接收中断被禁止。
- USART_CTRL1 寄存器中的 RECMUTE 位被置 1。RECMUTE 可以被硬件自动控制或在某个条件下由软件写入。

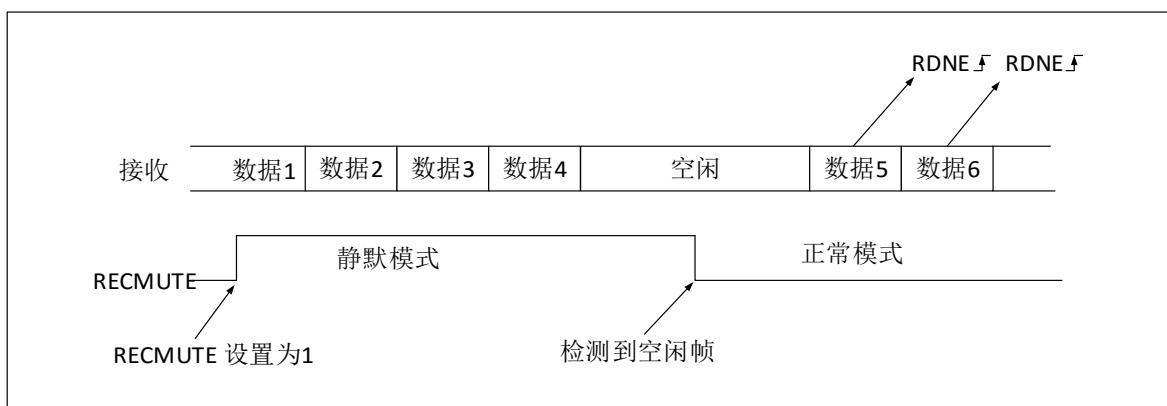
根据 USART_CTRL1 寄存器中的 WUMODE 位状态，USART 可以用二种方法进入或退出静默模式。

- 如果 WUMODE 位被复位：进行空闲总线检测。
- 如果 WUMODE 位被置位：进行地址标记检测。

14.3.6.1 空闲总线检测 (WUMODE=0)

当 RECMUTE 位被写 1 时，USART 进入静默模式。当检测到一空闲帧时，它被唤醒。然后，RECMUTE 被硬件清零，但是 USART_STS 寄存器中的 IDLEF 位并不置起。RECMUTE 还可以被软件写 0。下图给出利用空闲总线检测来唤醒和进入静默模式的一个例子。

图 14-7 利用空闲总线检测的静默模式



14.3.6.2 地址标记 (address mark) 检测 (WUMODE=1)

在这个模式里，如果 MSB 是 1，该字节被认为是地址，否则被认为是数据。在一个地址字节中，目标接收器的地址被放在 4 个 LSB 中。这个 4 位地址被接收器同它自己地址做比较，接收器的地址被编程在 USART_CTRL2 寄存器的 ADDR。

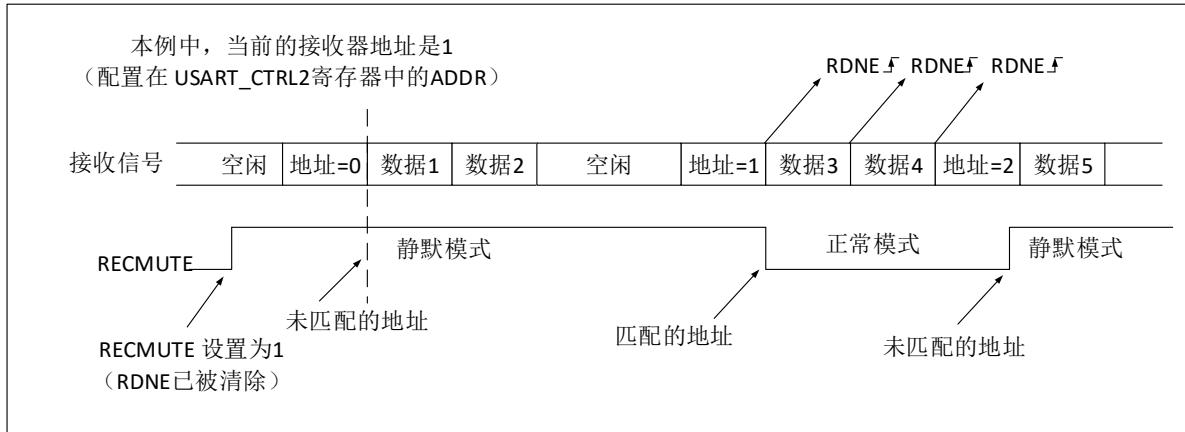
关闭奇偶校验功能时，当 $LEN=0$ 时，MSB 是 USART_DT[7]，当 $LEN=1$ 时，MSB 是 USART_DT[8]；开启奇偶校验功能时，当 $LEN=0$ 时，MSB 是 USART_DT[6]，当 $LEN=1$ 时，MSB 是 USART_DT[7]。

如果接收到的字节与它的编程地址不匹配时，USART 进入静默模式。此时，硬件设置 RECMUTE 位。

接收该字节既不会设置 RDNE 标志也不会产生中断或发出 DMA 请求，因为 USART 已经在静默模式。

当接收到的字节与接收器内编程地址匹配时，USART 退出静默模式。然后 RECMUTE 位被清零，随后的字节被正常接收。收到这个匹配的地址字节时将设置 RDNE 位，因为 RECMUTE 位已被清零。当接收缓冲器不包含数据时（USART_STS 的 RDNE=0），RECMUTE 位可以被写 0 或 1。否则，该次写操作被忽略。下图给出利用地址标记检测来唤醒和进入静默模式的例子。

图 14-8 利用地址标记检测的静默模式



14.3.7 校验控制

设置 USART_CTRL1 寄存器上的 PCEN 位，可以使能奇偶控制（发送时生成一个奇偶位，接收时进行奇偶校验）。根据 LEN 位定义的帧长度，可能的 USART 帧格式列在下表中。

表 14-5 帧格式

M 位	PCEN 位	USART 帧
0	0	起始位 8 位数据 停止位
0	1	起始位 7 位数据 奇偶检验位 停止位
1	0	起始位 9 位数据 停止位
1	1	起始位 8 位数据 奇偶检验位 停止位

注意：地址标记唤醒设备时，地址的匹配只考虑到数据的 MSB 位，而不用关心校验位。
(MSB 是数据位中最后发出的，后面紧跟校验位或者停止位。)

偶校验：校验位使得一帧中的 7 或 8 个 LSB 数据以及校验位中‘1’的个数为偶数。例如：数据 =00110101，有 4 个‘1’，如果选择偶校验（在 USART_CTRL1 中的 PSEL=0），校验位将是‘0’。

奇校验：此校验位使得一帧中的 7 或 8 个 LSB 数据以及校验位中‘1’的个数为奇数。例如：数据 =00110101，有 4 个‘1’，如果选择奇校验（在 USART_CTRL1 中的 PSEL=1），校验位将是‘1’。

传输模式：如果 USART_CTRL1 的 PCEN 位被置位，写进数据寄存器的数据的 MSB 位被校验位替换后发送出去（如果选择偶校验偶数个‘1’，如果选择奇校验奇数个‘1’）。如果奇偶校验失败，USART_STS 寄存器中的 PERR 标志被置‘1’，并且如果 USART_CTRL1 寄存器的 PERRIEN 在被预先设置的话，中断产生。

14.3.8 LIN（局域互联网）模式

LIN 模式是通过设置 USART_CTRL2 寄存器的 LINEN 位选择。在 LIN 模式下，下列控制寄存器必须

保持为 0:

- USART_CTRL2 寄存器的 CLKEN 位,
- USART_CTRL3 寄存器的 STOPB[1: 0], SCMEN, HALFSEL 和 IRDAEN

14.3.8.1 LIN发送

14.3.2 节里所描述的同样步骤适用于 LIN 主发送，但和普通 USART 发送有以下区别：

- 清零 LEN 位以配置 8 位字长
- 置位 LINEN 位以进入 LIN 模式。这时，置位 SBRK 将发送 13 位' 0' 作为断开帧；断开帧包括 13 位' 0' 和一位' 1'，以允许对下一个开始位的检测。

14.3.8.2 LIN接收

当 LIN 模式被使能时，断开帧检测电路被激活。该检测完全独立于 USART 接收器。断开帧只要一出现就能检测到，不管是在总线空闲时还是在接收某数据帧期间（例如，数据帧还未完成，又插入了断开帧的发送）。

当接收器被激活时（USART_CTRL1 的 REN=1），电路监测 RX 上的起始信号。监测起始位的方法同检测断开帧或数据帧是一样的。当起始位被检测到后，电路对每个接下来的位，在每个位的第 8, 9, 10 个过采样时钟点上进行采样。如果 10 个（当 USART_CTRL2 的 LBDLEN=0）或 11 个（当 USART_CTRL2 的 LBDLEN=1）连续位都是' 0'，并且又跟着一个定界符（定界符，也即是 RX 的上升沿），USART_STS 的 LBDF 标志被设置。如果 LBDIEN 位=1，中断产生。在确认断开帧前，要检查定界符，因为它意味 RX 线已经回到高电平。

如果在第 10 或 11 个采样点之前采样到了' 1'，检测电路取消当前检测并重新寻找起始位。如果 LIN 模式被禁止，接收器继续如普通 USART 那样工作，并不检测断开帧。如果 LIN 模式没有被激活（LINEN=0），接收器仍然正常工作于 USART 模式，不会进行断开检测。如果 LIN 模式被激活（LINEN=1），只要一发生帧错误（也就是停止位检测到' 0'，这种情况出现在断开帧），接收器就停止，直到断开帧检测电路接收到一个' 1'（这种情况发生于断开帧没有完整的发出来），或一个定界符（这种情况发生于已经检测到一个完整的断开帧）。[图 14-9](#) 说明了断开帧检测器状态机的行为和断开帧标志的关系。[图 14-10](#) 给出了一个断开帧的例子。

图 14-9 LIN 模式下的断开检测（11位断开长度 - 设置了 LBDLEN 位）

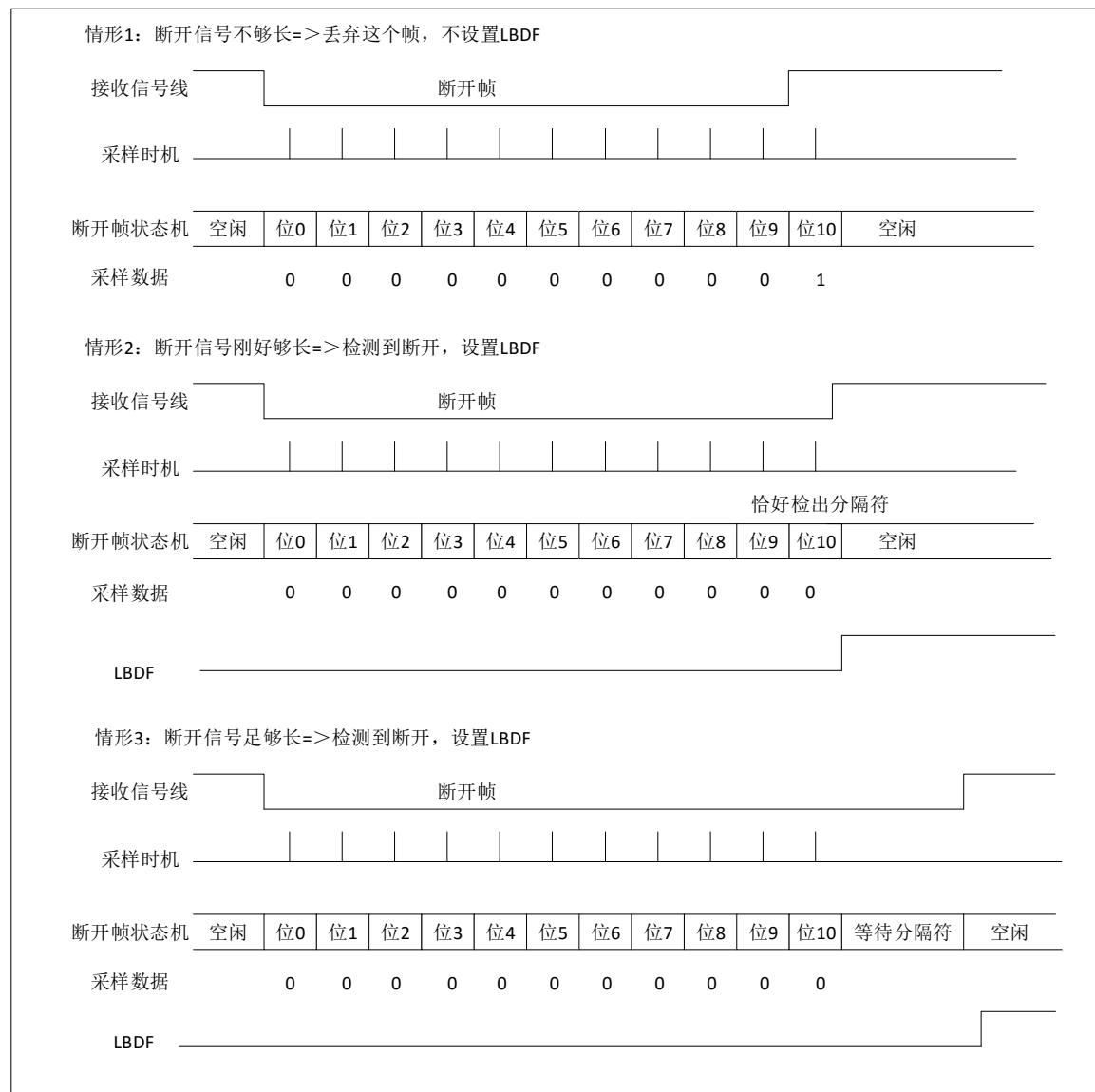
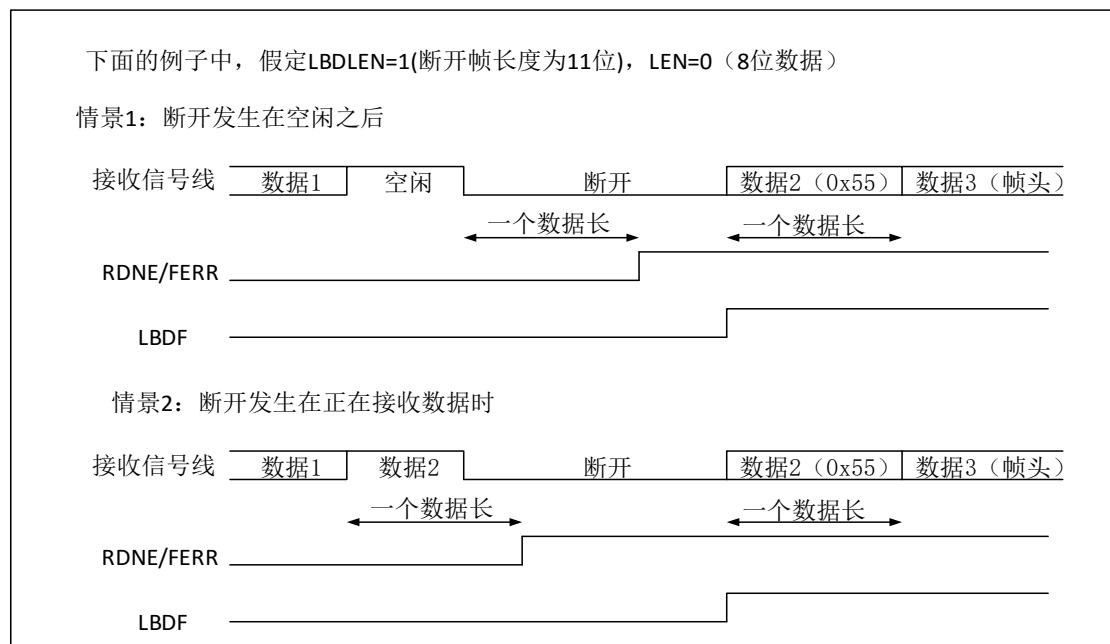


图 14-10 LIN 模式下的断开检测与帧错误的检测



14.3.9 USART 同步模式

通过在 USART_CTRL2 寄存器上写 CLKEN 位选择同步模式。在同步模式里，下列控制位必须保持清零状态：

- USART_CTRL2 寄存器中的 LINEN 位
- USART_CTRL3 寄存器中的 SCMEN, HALFSEL 和 IRDAEN 位

USART 允许用户以主模式方式控制双向同步串行通信。CK 脚是 USART 发送器时钟的输出。在起始位和停止位期间，CK 脚上没有时钟脉冲。根据 USART_CTRL2 寄存器中 LBCP 位的状态，决定在最后一个有效数据位期间产生或不产生时钟脉冲。USART_CTRL2 寄存器的 CLKPOL 位允许用户选择时钟极性，USART_CTRL2 寄存器上的 CLKPHA 位允许用户选择外部时钟的相位（见图 14-11、图 14-12 和图 14-13）。在总线空闲期间，实际数据到来之前以及发送断开帧的时候，外部 CK 时钟不被激活。同步模式时，USART 发送器和异步模式里工作一模一样。但是因为 CK 是与 TX 同步的（根据 CLKPOL 和 CLKPHA），所以 TX 上的数据是随 CK 同步发出的。

同步模式的 USART 接收器工作方式与异步模式不同。如果 REN=1，数据在 CK 上采样（根据 CLKPOL 和 CLKPHA 决定在上升沿还是下降沿），不需要任何的过采样。但必须考虑建立时间和持续时间（取决于波特率，1/16 位时间）。

- 注意：
1. CK 脚同 TX 脚一起联合工作。因而，只有在使能了发送器 (*TEN*=1)，并且发送数据时（写入数据至 USART_DT 寄存器）才提供时钟。这意味着在没有发送数据时是不可能接收一个同步数据的。
 2. LBCP, CLKPOL 和 CLKPHA 位的配置，应该在发送器和接收器都被禁止时；当使能了发送器或接收器时，这些位不能被改变。
 3. 建议在同一条指令中设置 *TEN* 和 *REN*，以减少接收器的建立时间和保持时间。
 4. USART 只支持主模式：它不能用来自其他设备的输入时钟接收或发送数据（CK 永远是输出）。

图 14-11 USART 同步传输的例子

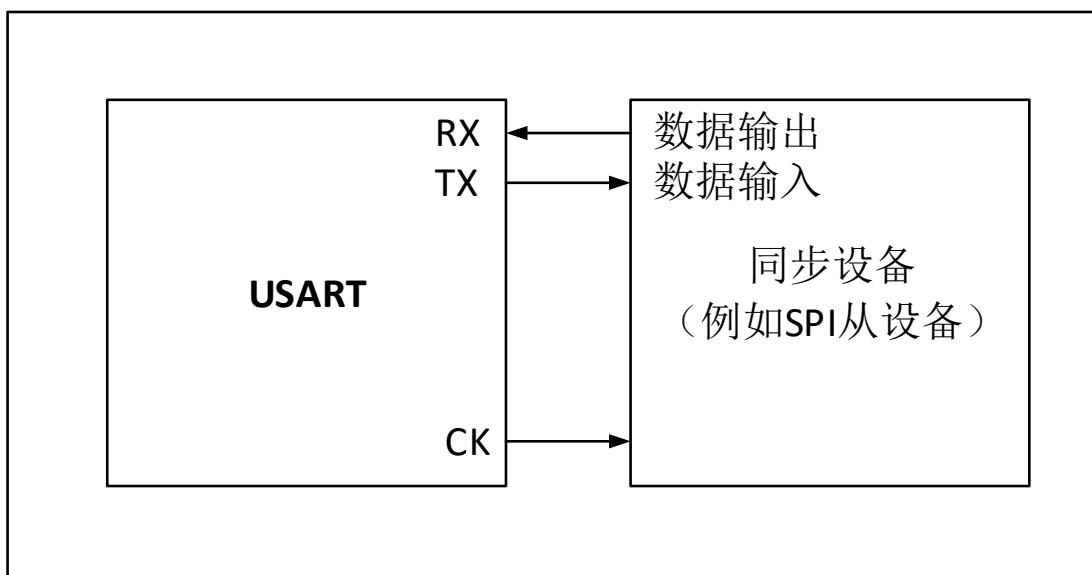


图 14-12 USART 数据时钟时序示例 (LEN=0)

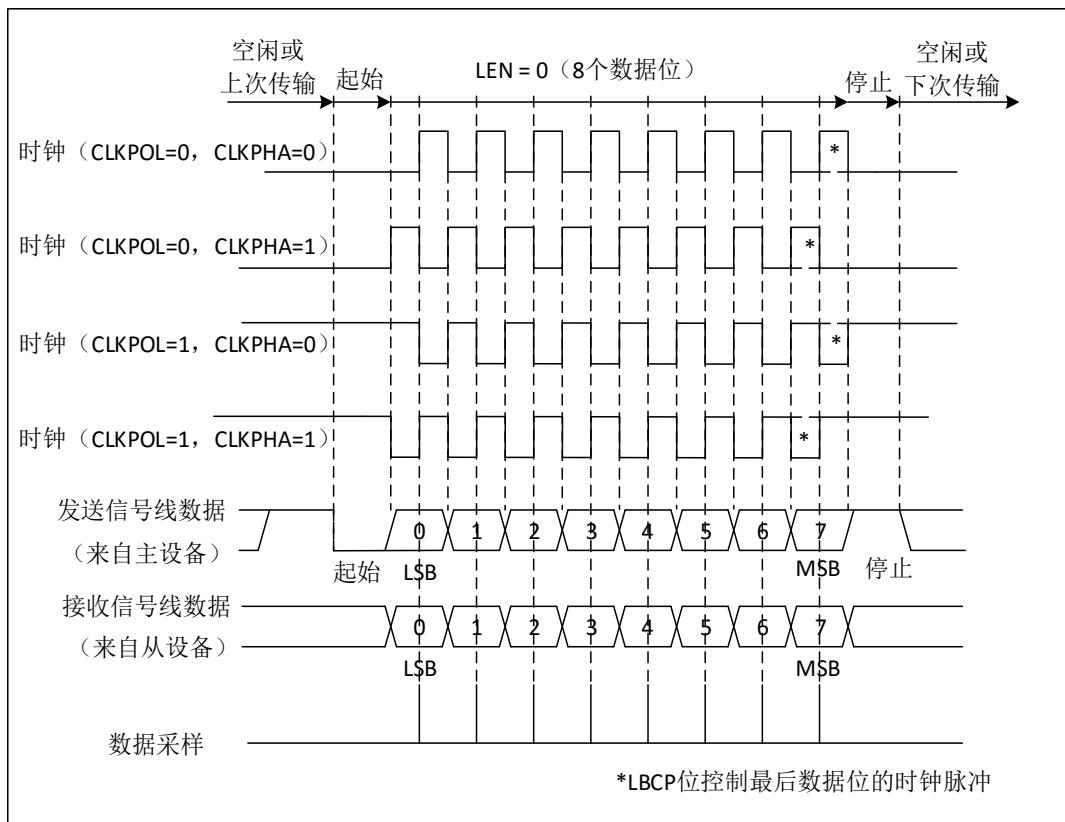


图 14-13 USART 数据时钟时序示例 (LEN=1)

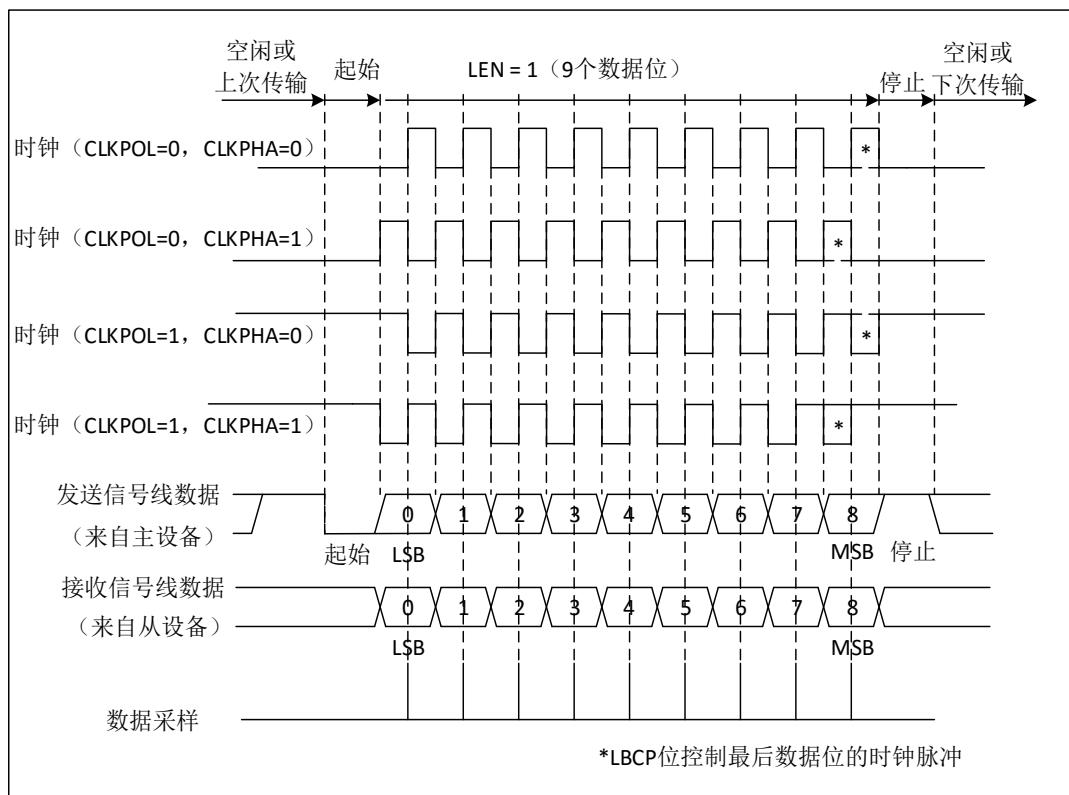
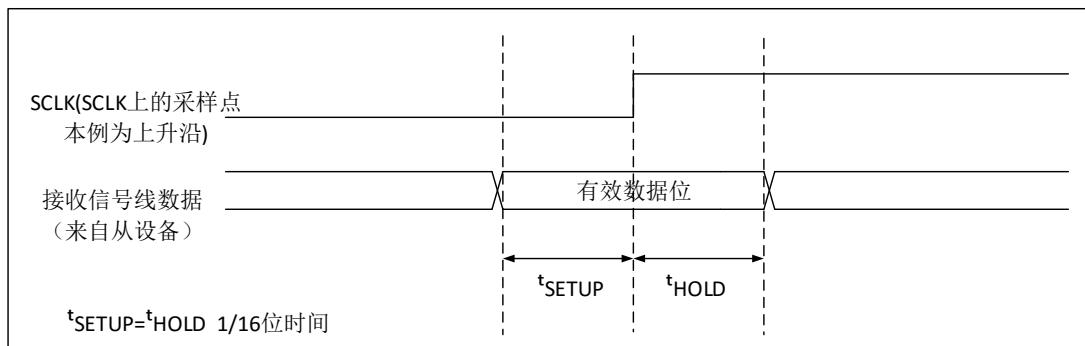


图 14-14 RX 数据采样/保持时间



注意： 在智能卡模式下 CK 的功能不同，有关细节请参考智能卡模式部分。

14.3.10 单线半双工通信

单线半双方模式通过设置 USART_CTRL3 寄存器的 HALFSEL 位选择。在这个模式里，下面的位必须保持清零状态：

- USART_CTRL2 寄存器的 LINEN 和 CLKEN 位
- USART_CTRL3 寄存器的 SCMEN 和 IRDAEN 位

USART 可以配置成遵循单线半双工协议。在单线半双工模式下，TX 和 RX 引脚在芯片内部互连。使用控制位“HALFSEL”(USART_CTRL3 中的 HALFSEL 位) 选择半双工和全双工通信。

当 HALFSEL 为‘1’时

- RX 不再被使用。
- 当没有数据传输时，TX 总是被释放。因此，它在空闲状态的或接收状态时表现为一个标准 I/O 口。这就意味该 I/O 在不被 USART 驱动时，必须配置成悬空输入（或开漏的输出高）。

除此以外，通信与普通 USART 模式类似。由软件来管理线上的冲突（例如通过使用一个中央仲裁器）。特别的是，发送从不会被硬件所阻碍，也即如果 USART 处于发送状态时，USART 是无法接收数据的。换句话说，在半双工模式下，发送具有比接收有更高的优先权，发送和接收的冲突应该由软件处理。当 TEN 位被设置时，只要数据一写到数据寄存器上，发送就继续。

14.3.11 智能卡

设置 USART_CTRL3 寄存器的 SCLEN 位选择智能卡模式。在智能卡模式下，下列位必须保持清零：

- USART_CTRL2 寄存器的 LINEN 位
- USART_CTRL3 寄存器的 HALFSEL 位和 IRDAEN 位

此外，CLKEN 位可以被设置，以提供时钟给智能卡。

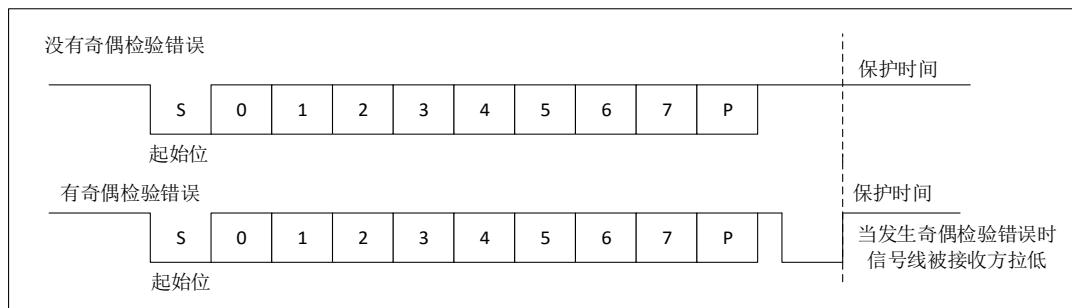
该接口符合 ISO7816-3 标准，支持智能卡异步协议。USART 应该被设置为：

- 8 位数据位加校验位：此时 USART_CTRL1 寄存器中 LEN=1、PCEN=1
- 发送和接收时为 1.5 个停止位：即 USART_CTRL2 寄存器的 STOPB=11

注意： 也可以在接收时选择 0.5 个停止位，但为了避免在 2 种配置间转换，建议在发送和接收时都使用 1.5 个停止位。

[图 14-15](#) 给出的例子说明了数据线上，在有校验错误和没校验错误两种情况下的信号。

图 14-15 ISO7816-3 异步协议



当与智能卡相连接时，USART 的 TX 驱动一根智能卡也驱动的双向线；TX 需配置成开漏。

智能卡是一个单线半双工通信协议。

从发送移位寄存器把数据发送出去，要被延时最小 1/2 波特时钟。在普通操作时，一个满的发送移位寄存器将在下一个波特时钟沿开始向外移出数据。在智能卡模式下，此发送被延迟 1/2 波特时钟。

- 如果在接收一个设置为 0.5 或 1.5 个停止位的数据帧期间，检测到一奇偶校验错误，在完成接收该帧后（即停止位结束时），发送线被拉低一个波特时钟周期。这是告诉智能卡发送到 USART 的数据没有被正确地接收到。此 NACK 信号（拉低发送线一个波特时钟周期）在发送端将产生一个帧错误（发送端被配置成 1.5 个停止位）。应用程序可以根据协议处理重新发送数据。如果设置了 NACKEN 控制位，发生校验错误时接收器会给出一个 NACK 信号；否则就不会发送 NACK。
- 若发生奇偶校验错误，发送端的 FERR 在 1.5 个停止位结束时被置起。对于智能卡发送端而言，1.5 个的停止位可以被分成 2 部分：一个是 0.5 个数据位的周期，期间不做任何事情；随后是 1 个数据位的周期的停止位，在这段时间的中点处采样。对于智能卡接收端而言，1.5 个的停止位也可以被分成 2 部分：一个是 0.5 个数据位的周期，判断是否有奇偶校验错误；如果有奇偶校验错误，则在随后的 1 个数据位的周期拉低数据总线；如果没有奇偶校验错误，则在随后的 1 个数据位的周期，释放数据总线（数据总线处于高电平）。
- TRAC 标志的置起可以通过编程保护时间寄存器 (GTVL) 得以延时。在普通操作时，当发送移位寄存器变空并且没有新的发送请求出现时，TRAC 被立即置起。在智能卡模式里，空的发送移位寄存器将触发保护时间计数器开始向上计数，直到保护时间寄存器 (GTVL) 中的值。TRAC 在这段时间（也就是 GTVL 个 bit 的时间宽度）被强制拉低。当保护时间计

数据达到保护时间寄存器中的值时，TRAC 才能置起（也即置 1）。

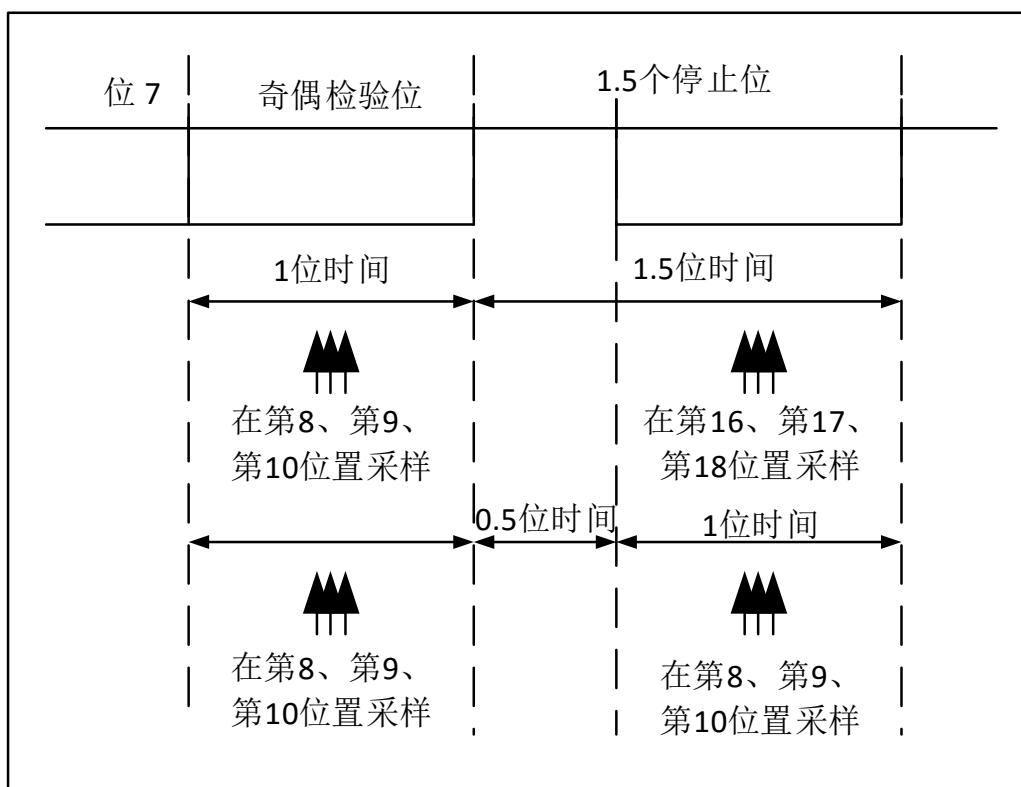
- TRAC 标志的清零不受智能卡模式的影响。
- 如果发送器检测到一个帧错误（收到接收器的 NACK 信号），发送器的接收功能模块不会把 NACK 信号当作起始位检测。根据 ISO 协议，接收到的 NACK 信号的持续时间可以是 1 或 2 波特时钟周期。
- 在接收器这边，如果一个校验错误被检测到，并且 NACK 被发送，接收器不会把 NACK 检测成起始位。

注意： 1. 断开帧在智能卡模式里没有意义。一个带帧错误的 $00h$ 数据将被当成数据而不是断开帧。

2. 当来回切换 TEN 位时，没有 IDLE 帧被发送。ISO 协议没有定义 IDLE 帧。

下图详述了 USART 是如何采样 NACK 信号的。在这个例子里，USART 正在发送数据，并且被配置成 1.5 个停止位。为了检查数据的完整性和 NACK 信号，USART 的接收功能块被激活。

图 14-16 使用 1.5 停止位检测奇偶检验错



USART 可以通过 CK 输出为智能卡提供时钟。在智能卡模式里，CK 不和通信直接关联，而是先通过一个 5 位预分频器简单地用内部的外设输入时钟来驱动智能卡的时钟。分频率在预分频寄存器 GTVAL 中配置。CK 频率可以从 $f_{CK}/2$ 到 $f_{CK}/62$ ，这里的 f_{CK} 是外设输入时钟。

14.3.12 IrDA SIR ENDEC 功能模块

通过设置 USART_CTRL3 寄存器的 IRDAEN 位选择 IrDA 模式。在 IrDA 模式里，下列位必须保持清零：

- USART_CTRL2 寄存器的 LINEN,STOPB 和 CLKEN 位
- USART_CTRL3 寄存器的 SCMEN 和 HALFSEL 位。

IrDA SIR 物理层规定使用反相归零调制方案 (RZI)，该方案用一个红外光脉冲代表逻辑‘0’（见图 14-17）。SIR 发送编码器对从 USART 输出的 NRZ (非归零) 比特流进行调制。输出脉冲流被传送到一个外部输出驱动器和红外 LED。USART 为 SIRENDEC 最高只支持到 115.2Kbps 速率。在普通模式里，脉冲宽度规定为一个位周期的 3/16。

SIR 接收解码器对来自红外接收器的归零位比特流进行解调，并将接收到的 NRZ 串行比特流输出到 USART。在空闲状态里，解码器输入通常是高（标记状态 marking state）。发送编码器输出的极性和解码器的输入相反。当解码器输入低时，检测到一个起始位。

- IrDA 是一个半双工通信协议。如果发送器忙（也就是 USART 正在送数据给 IrDA 编码器），IrDA 接收线上的任何数据将被 IrDA 解码器忽视。如果接收器忙（也就是 USART 正在接收从 IrDA 解码器来的解码数据），从 USART 到 IrDA 的 TX 上的数据将不会被 IrDA 编码。当接收数据时，应该避免发送，因为将被发送的数据可能被破坏。
- SIR 发送逻辑把' 0' 作为高脉冲发送，把' 1' 作为低电平发送。脉冲的宽度规定为普通模式时位周期的 3/16（见图 14-18）。
- SIR 接收逻辑把高电平状态解释为' 1'，把低脉冲解释为' 0'。
- 发送编码器输出与解码器输入有着相反的极性。当空闲时，SIR 输出处于低状态。
- SIR 解码器把 IrDA 兼容的接收信号转变成给 USART 的比特流。
- IrDA 规范要求脉冲要宽于 1.41us。脉冲宽度是可编程的。接收器端的尖峰脉冲检测逻辑滤除宽度小于 2 个 DIV 周期的脉冲（DIV 是在 IrDA 低功耗波特率寄存器 GTP 中编程的预分频值）。宽度小于 1 个 DIV 周期的脉冲一定被滤除掉，但是那些宽度大于 1 个而小于 2 个 DIV 周期的脉冲可能被接收或滤除，那些宽度大于 2 个周期的将被视为一个有效的脉冲。当 DIV=0 时，IrDA 编码器/解码器不工作。
- 接收器可以与一低功耗发送器通信。
- 在 IrDA 模式里，USART_CTRL2 寄存器上的 STOPB 位必须配置成 1 个停止位。

IrDA 低功耗模式

发送器在低功耗模式，脉冲宽度不再持续 3/16 个位周期。取而代之，脉冲的宽度是低功耗波特率的 3 倍，它最小可以是 1.42MHz。通常这个值是 1.8432MHz ($1.42\text{MHz} < \text{DIV} < 2.12\text{MHz}$)。一个低功耗模式可编程分频器把系统时钟进行分频以达到这个值。低功耗模式的接收器类似于普通模式的接收器。为了滤除尖峰干扰脉冲，USART 应该滤除宽度短于 1 个 DIV 的脉冲。只有持续时间大于 2 个周期的 IrDA 低功耗波特率时钟（GTP 中的 DIV）的低电平信号才被接受为有效的信号。

注意：

1. 宽度小于 2 个，但大于 1 个 DIV 周期的脉冲可能会也可能不会被滤除。
2. 接收器的建立时间应该由软件管理。IrDA 物理层技术规范规定了在发送和接收之间最小要有 10ms 的延时（IrDA 是一个半双工协议）。

图 14-17 IrDA SIR ENDEC 框图

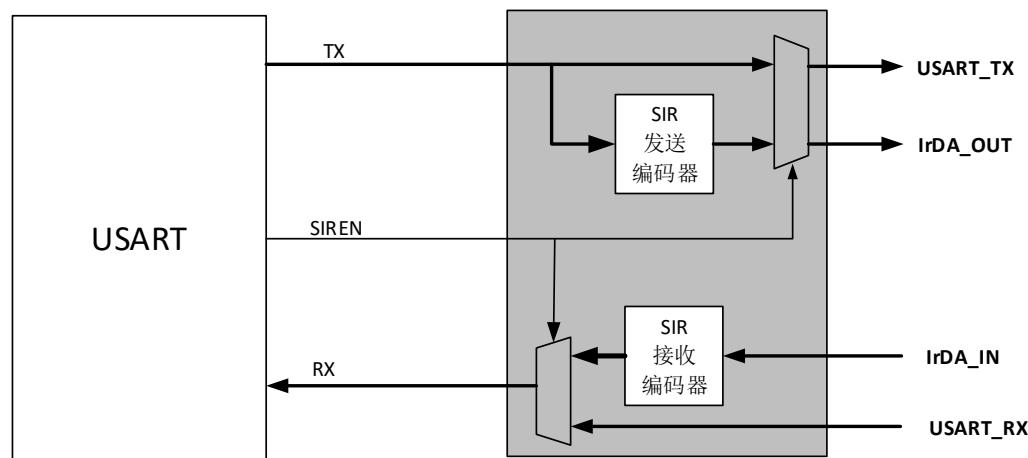
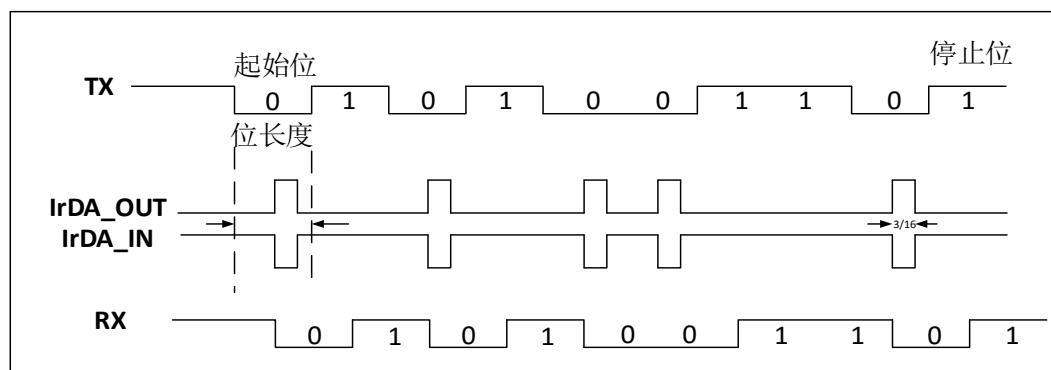


图 14-18 IrDA 数据调制 (3/16) - 普通模式



14.3.13 利用 DMA 连续通信

USART 可以利用 DMA 连续通信。RX 缓冲器和 TX 缓冲器的 DMA 请求是分别产生的。

注意：参考产品技术说明以确定是否可用 DMA 控制器。如果所用产品无 DMA 功能，应按 [14.3.2 节](#) 或 [14.3.3 节](#) 里所描述的方法使用 USART。在 USART_STS 寄存器里，可以清零 TDE/RDNE 标志来实现连续通信。

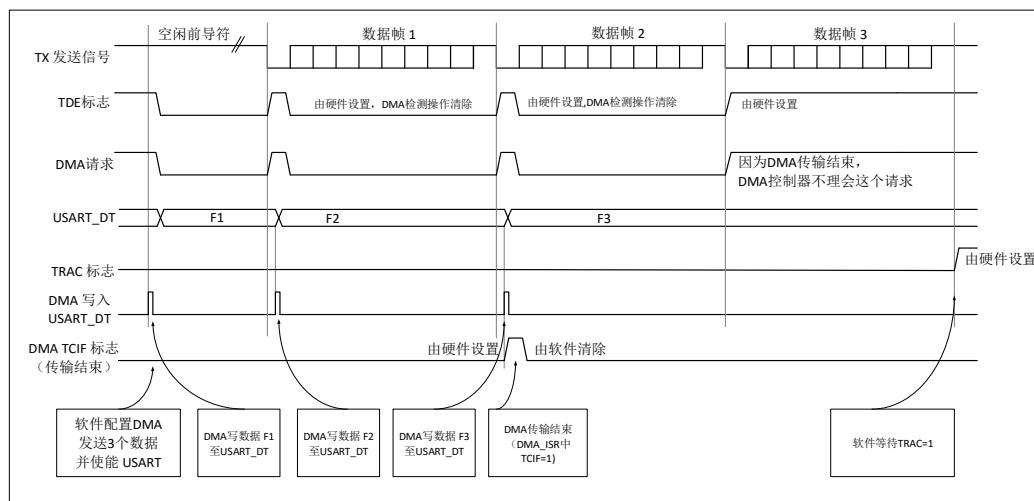
14.3.13.1 利用 DMA 发送

使用 DMA 进行发送，可以通过设置 USART_CTRL3 寄存器上的 DMATEN 位激活。当 TDE 位被置为‘1’时，DMA 就从指定的 SRAM 区传送数据到 USART_DT 寄存器。为 USART 的发送分配一个 DMA 通道的步骤如下（x 表示通道号）：

1. 在 DMA 控制寄存器上将 USART_DT 寄存器地址配置成 DMA 传输的目的地址。在每个 TDE 事件后，数据将被传送到这个地址。
2. 在 DMA 控制寄存器上将存储器地址配置成 DMA 传输的源地址。在每个 TDE 事件后，将从此存储器区读出数据并传送到 USART_DT 寄存器。
3. 在 DMA 控制寄存器中配置要传输的总的字节数。
4. 在 DMA 寄存器上配置通道优先级。
5. 根据应用程序的要求，配置在传输完成一半还是全部完成时产生 DMA 中断。
6. 在 DMA 寄存器上激活该通道。当传输完成 DMA 控制器指定的数据量时，DMA 控制器在该 DMA 通道的中断向量上产生一中断。在发送模式下，当 DMA 传输完所有要发送的数据时，DMA 控制器设置 DMA_ISTS 寄存器的 TCIF 标志；监视 USART_STS 寄存器的 TRAC 标志可以确认 USART 通信是否结束，这样可以在关闭 USART 或进入停机模式之前避免破坏

最后一次传输的数据；软件需要先等待 TDE=1，再等待 TRAC=1。

图 14-19 利用 DMA 发送

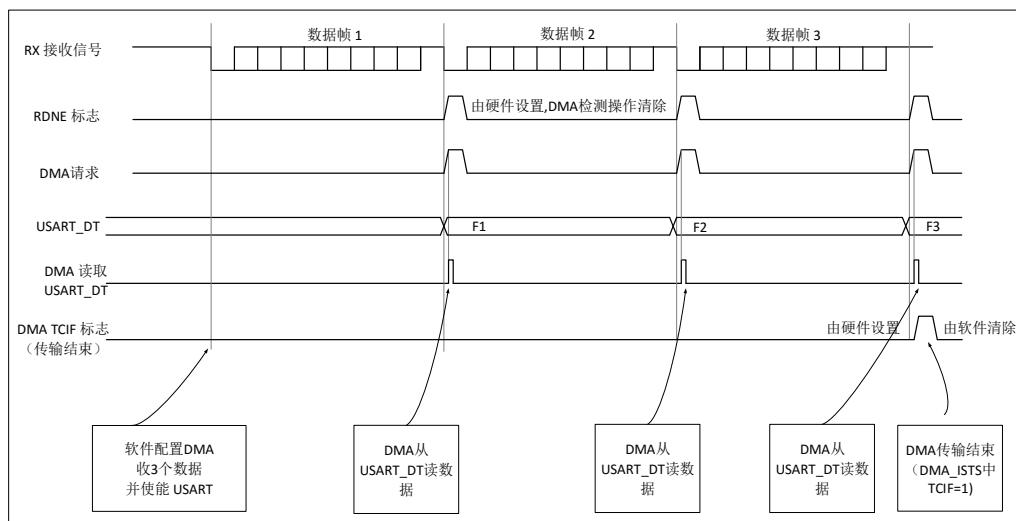


14.3.13.2 利用 DMA 接收

可以通过设置 USART_CTRL3 寄存器的 DMAREN 位激活使用 DMA 进行接收，每次接收到一个字节，DMA 控制器就就把数据从 USART_DT 寄存器传送到指定的 SRAM 区（参考 DMA 相关说明）。为 USART 的接收分配一个 DMA 通道的步骤如下（x 表示通道号）：

1. 通过 DMA 控制寄存器把 USART_DT 寄存器地址配置成传输的源地址。在每个 RDNE 事件后，将从此地址读出数据并传输到存储器。
2. 通过 DMA 控制寄存器把存储器地址配置成传输的目的地址。在每个 RDNE 事件后，数据将从 USART_DT 传输到此存储器区。
3. 在 DMA 控制寄存器中配置要传输的总的字节数。
4. 在 DMA 寄存器上配置通道优先级。
5. 根据应用程序的要求配置在传输完成一半还是全部完成时产生 DMA 中断。
6. 在 DMA 控制寄存器上激活该通道。当接收完成 DMA 控制器指定的传输量时，DMA 控制器在该 DMA 通道的中断向量上产生一中断。

图 14-20 利用 DMA 接收



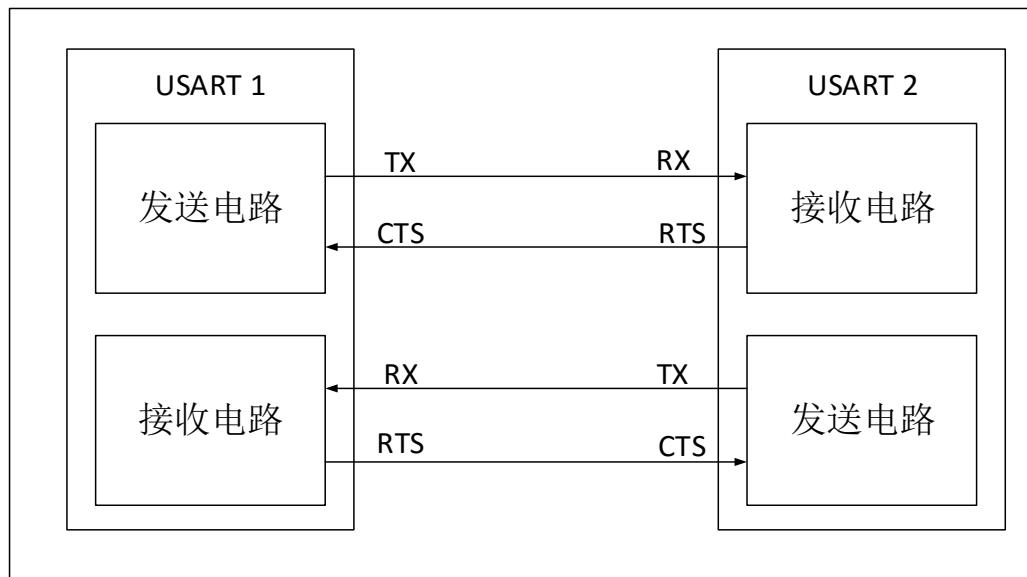
14.3.13.3 多缓冲器通信中的错误标志和中断产生

在多缓冲器通信的情况下，通信期间如果发生任何错误，在当前字节传输后将置起错误标志。如果中断使能位被设置，将产生中断。在单个字节接收的情况下，和 RDNE 一起被置起的帧错误、溢出错误和噪音标志，有单独的错误标志中断使能位；如果设置了，会在当前字节传输结束后，产生中断。

14.3.14 硬件流控制

利用 CTS 输入和 RTS 输出可以控制 2 个设备间的串行数据流。下图表明在这个模式里如何连接 2 个设备。

图 14-21 两个 USART 间的硬件流控制

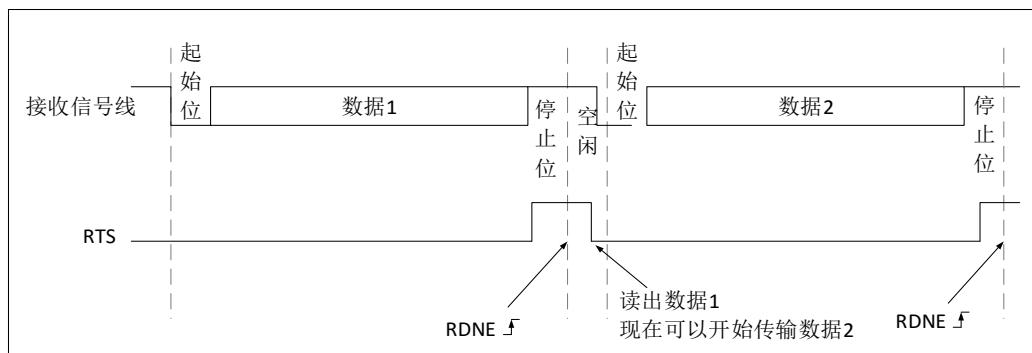


通过将 UASRT_CTRL3 中的 RTSEN 和 CTSEN 置位，可以分别独立地使能 RTS 和 CTS 流控制。

14.3.14.1 RTS 流控制

如果 RTS 流控制被使能 (RTSEN=1)，只要 USART 接收器准备好接收新的数据，RTS 就变成有效（下拉为低电平）。当接收寄存器内有数据到达时（在每个 stop 位开始时），RTS 被置位，由此表明希望在当前帧结束时停止数据传输；当 RDNE 置起后，读 DR 会使得 RDNE 被清零，从而 RTS 也被清零，表示接收机可以接收下一个数据。下图是一个启用 RTS 流控制的通信的例子。

图 14-22 RTS 流控制

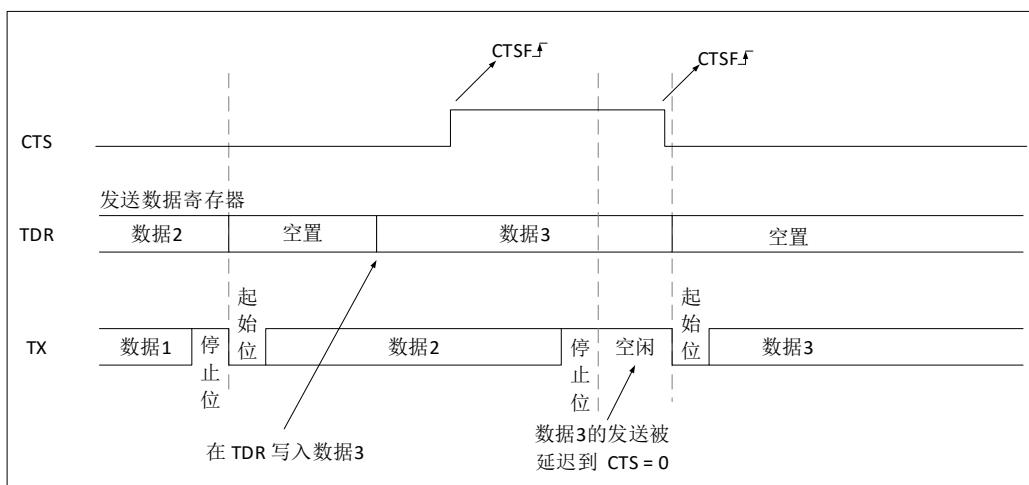


14.3.14.2 CTS流控制

如果 CTS 流控制被使能 (CTSEN=1)，发送器在发送下一帧前检查 CTS 输入。如果 CTS 有效（也即 CTS 为低电平），则下一个数据被发送（假设那个数据是准备发送的，也就是 TDE=0）；若 CTS 在传输期间被变成无效(也即 CTS 为高电平)，当前的传输完成后停止发送。

当 CTSEN=1 时，只要 CTS 电平发生变化，硬件就自动设置 CTSF 状态位。它表明接收器是否准备好进行通信。如果设置了 USART_CTS3 寄存器的 CTSIEN 位，则产生中断。下图是一个启用 CTS 流控制通信的例子。

图 14-23 CTS 流控制



14.4 USART中断请求

表 14-6 USART 中断请求

中断事件	事件标志	使能位
发送数据寄存器空	TDE	TDEIEN
CTS 标志	CTSF	CTSIEN
发送完成	TRAC	TRACIEN
接收数据就绪可读	RDNE	RDNEIEN
检测到数据溢出	ORERR	
检测到空闲线路	IDLEF	IDLEIEN
奇偶检验错	PERR	PERRIEN
断开标志	LBDF	LBDIEN
噪声标志, 多缓冲通信中的溢出错误和帧错误	NERR 或 ORERR 或 FERR	ERRIEN ⁽¹⁾

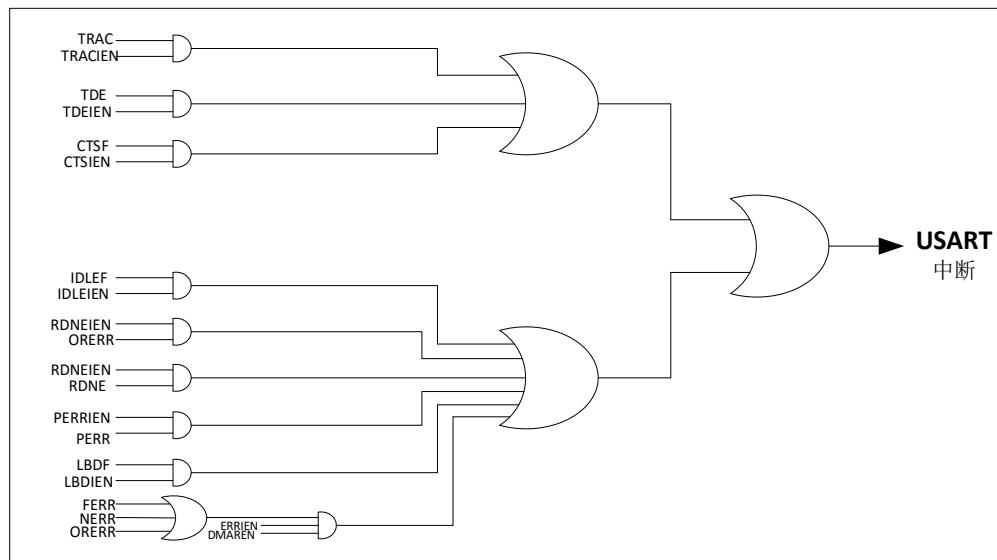
注意：仅当使用 DMA 接收数据时，才使用这个标志位。

USART 的各种中断事件被连接到同一个中断向量（见下图），有以下各种中断事件：

- 发送期间：发送完成、CTS 变化、发送数据寄存器空。
- 接收期间：空闲总线检测、溢出错误、接收数据寄存器非空、校验错误、LIN 断开帧检测、噪音标志（仅在多缓冲器通信）和帧错误（仅在多缓冲器通信）。

如果设置了对应的使能控制位，这些事件就可以产生各自的中断。

图 14-24 USART 中断映像图



14.5 USART 模式配置

表 14-7 USART 模式设置 (1)

USART 模式	USART1	USART2	USART3	UART4	UART5
异步模式	X	X	X	X	X
硬件流控制	X	X	X	NA	NA
多缓存通讯 (DMA)	X	X	X	X	NA
多处理器通讯	X	X	X	X	X
同步	X	X	X	NA	NA
智能卡	X	X	X	NA	NA
半双工 (单线模式)	X	X	X	X	X
IrDA	X	X	X	X	X
LIN	X	X	X	X	X

注：X=支持，NA=不支持该应用。

14.6 USART 寄存器描述

有关寄存器描述里所使用的缩写，请参考“寄存器描述表中使用的缩写列表”。

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

14.6.1 USART 寄存器地址映象

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	-----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

0x00	USART_STS	保留												CTSF	LBDF	TDE	TRAC	RDNE	IDLEF	ORERR	NERR	FERR	PERR	
	0x00C0											0	0	1	1	0	0	0	0	0	0	0		
0x04	USART_DT	保留												DT[8: 0]										
	0x0000											0	0	0	0	0	0	0	0	0	0	0		
0x08	USART_BAUDR	保留												DIV_Integer[11: 0]					DIV_Decimal [3: 0]					
	0x0000											0	0	0	0	0	0	0	0	0	0	0		
0x0C	USART_CTRL1	保留												UEN	LEN	WUMODE	PCEN	0	0	0	0	0	0	
	0x0000											0	0	0	0	0	0	0	0	0	0	0		
0x10	USART_CTRL2	保留												LINEN	STOPB [1: 0]	CLKEN	CLKPOL	PSEL	PERREN	TDEIEN	TRACIEN	RDNEIEN	IDLIEIEN	SBRK
	0x0000											0	0	0	0	0	0	0	0	0	0	0		
0x14	USART_CTRL3	保留												CTSIEN	CLKPHASE	LBCP	保留	LBDIEN	LBDLEN	保留	保留	保留	保留	ADDR[3: 0]
	0x0000											0	0	0	0	0	0	0	0	0	0	0		
0x18	USART_GTP	保留												GTVVAL[7: 0]					DIV[7: 0]					
	0x0000											0	0	0	0	0	0	0	0	0	0	0		

14.6.2 状态寄存器 (USART_STS)

地址偏移: 0x00

复位值: 0x00C0

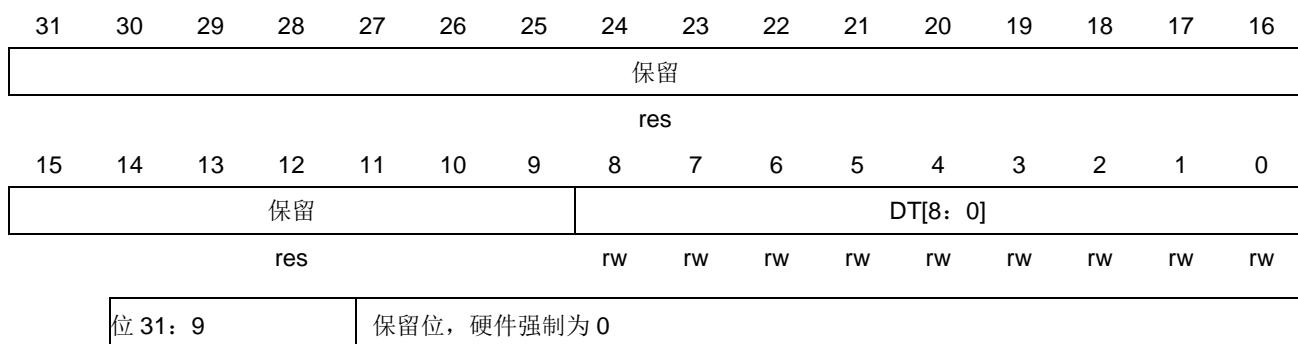
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	CTSF	LBDF	TDE	TRAC	RDNE	IDLEF	ORERR	NERR	FERR	PERR					
res	rc_w0	rc_w0	r	rc_w0	rc_w0	r	r	r	r	r	r	r	r	r	r
位 31: 10	保留位, 硬件强制为 0														
位 9	CTSF: CTSF 标志 (CTS flag) 如果设置了 CTSEN 位, 当 CTS 输入变化状态时, 该位被硬件置高。由软件将其清零。如果 USART_CTRL3 中的 CTSIEN 为'1', 则产生中断。 0: CTS 状态线上没有变化; 1: CTS 状态线上发生变化。 注意: UART4 和 UART5 上不存在这一位。														
位 8	LBDF: LIN 断开检测标志 (LIN break detection flag) 当探测到 LIN 断开时, 该位由硬件置'1', 由软件清'0' (向该位写 0)。如果 USART_CTRL3 中的 LBDIEN=1, 则产生中断。 0: 没有检测到 LIN 断开; 1: 检测到 LIN 断开。 注意: 若 LBDIEN=1, 当 LBDF 为'1'时要产生中断。														
位 7	TDE: 发送数据寄存器空 (Transmit data register empty) 当 TDR 寄存器中的数据被硬件转移到移位寄存器的时候, 该位被硬件置位。如果 USART_CTRL1 寄存器中的 TDEIEN 为 1, 则产生中断。对 USART_DT 的写操作, 将清零该位。 0: 数据还没有被转移到移位寄存器; 1: 数据已经被转移到移位寄存器。 注意: 单缓冲器传输中使用该位。														
位 6	TRAC: 发送完成 (Transmission complete) 当包含有数据的一帧发送完成后, 并且 TDE=1 时, 由硬件将该位置'1'。如果 USART_CTRL1 中的 TRACIEN 为'1', 则产生中断。由软件序列清除该位 (先读 USART_STS, 然后写入 USART_DT)。TRAC 位也可以通过写入'0'来清除, 只有在多缓存通讯中才推荐这种清除程序。 0: 发送还未完成; 1: 发送完成。														
位 5	RDNE: 读数据寄存器非空 (Read data register not empty) 当 RDR 移位寄存器中的数据被转移到 USART_DT 寄存器中, 该位被硬件置位。如果 USART_CTRL1 寄存器中的 RDNEIEN 为 1, 则产生中断。对 USART_DT 的读操作可以将该位清零。RDNE 位也可以通过写入 0 来清除, 只有在多缓存通讯中才推荐这种清除程序。 0: 数据没有收到; 1: 收到数据, 可以读出。														

位 4	IDLEF: 监测到总线空闲 (IDLE line detected) 当检测到总线空闲 (空闲帧) 时, 该位被硬件置位。如果 USART_CTRL1 中的 IDLEIEN 为'1', 则产生中断。由软件序列清除该位 (先读 USART_STS, 然后读 USART_DT)。 0: 没有检测到空闲总线, 也即没有检测到空闲帧; 1: 检测到空闲总线。 注意: IDLEF 位不会再次被置高直到 RDNE 位被置起 (即又检测到一次空闲总线)
位 3	ORERR: 过载错误 (Overrun error) 当 RDNE 仍然是'1'的时候, 当前被接收在移位寄存器中的数据, 需要传送至 RDR 寄存器时, 硬件将该位置位。如果 USART_CTRL1 中的 RDNEIEN 为'1'的话, 则产生中断。由软件序列将其清零 (先读 USART_STS, 然后读 USART_DT)。 0: 没有过载错误; 1: 检测到过载错误。 注意: 该位被置位时, RDR 寄存器中的值不会丢失, 但是移位寄存器中的数据会被覆盖。如果设置了 ERRIEN 位, 在多缓冲器通信模式下, ORERR 标志置位会产生中断的。
位 2	NERR: 噪声错误标志 (Noise error flag) 在接收到的帧检测到噪音时, 由硬件对该位置位。由软件序列对其清零 (先读 USART_STS, 再读 USART_DT)。 0: 没有检测到噪音; 1: 检测到噪音。 注意: 该位不会产生中断, 因为它和 RDNE 一起出现, 硬件会在设置 RDNE 标志时产生中断。在多缓冲区通信模式下, 如果设置了 ERRIEN 位, 则设置 NERR 标志时会产生中断。
位 1	FERR: 帧错误 (Framing error) 当检测到同步错位, 过多的噪声或者检测到断开符, 该位被硬件置位。由软件序列将其清零 (先读 USART_STS, 再读 USART_DT)。 0: 没有检测到帧错误; 1: 检测到帧错误或者断开帧 (break frame)。 注意: 该位不会产生中断, 因为它和 RDNE 一起出现, 硬件会在设置 RDNE 标志时产生中断。如果当前传输的数据既产生了帧错误, 又产生了过载错误, 硬件还是会继续该数据的传输, 并且只设置 ORERR 标志位。 在多缓冲区通信模式下, 如果设置了 ERRIEN 位, 则设置 FERR 标志时会产生中断。
位 0	PERR: 校验错误 (Parity error) 在接收模式下, 如果出现奇偶校验错误, 硬件对该位置位。由软件序列对其清零 (依次读 USART_STS 和 USART_DT)。在清除 PERR 位前, 软件必须等待 RDNE 标志位被置'1'。如果 USART_CTRL1 中的 PERRIEN 为'1', 则产生中断。 0: 没有奇偶校验错误; 1: 奇偶校验错误。

14.6.3 数据寄存器 (USART_DT)

地址偏移: 0x04

复位值: 0x0000



位 8: 0	DT[8: 0]: 数据值 (Data value) 包含了发送或接收的数据。由于它是由两个寄存器组成的，一个给发送用 (TDR)，一个给接收用 (RDR)，该寄存器兼具读和写的功能。TDR 寄存器提供了内部总线和输出移位寄存器之间的并行接口 (参见图 16-1)。RDR 寄存器提供了输入移位寄存器和内部总线之间的并行接口。 当使能校验位 (USART_CTRL1 中 PCEN 位被置位) 进行发送时，写到 MSB 的值 (根据数据的长度不同，MSB 是第 7 位或者第 8 位) 会被校验位取代。当使能校验位进行接收时，读到的 MSB 位是接收到的校验位。
--------	--

14.6.4 波特比率寄存器 (USART_BAUDR)

地址偏移: 0x08

复位值: 0x0000

注意: 如果 TE 或 RE 被分别禁止，波特计数器停止计数。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV_Integer[11: 0]												DIV_Decimal[3: 0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 18		保留位，硬件强制为 0													
位 15: 4		DIV_Integer[11: 0]: USARTDIV 的整数部分 这 12 位定义了 USART 分频器除法因子 (USARTDIV) 的整数部分。													
位 3: 0		DIV_Decimal[3: 0]: USARTDIV 的小数部分 这 4 位定义了 USART 分频器除法因子 (USARTDIV) 的小数部分。													

14.6.5 控制寄存器1 (USART_CTRL1)

地址偏移: 0x0C

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	UEN	LEN	WUM_ODE	PCEN	PSEL	PERIEN	TDEIEN	TRA CIEN	RDN EIEN	IDLEI EN	TEN	REN	REC MUTE	SBRK	
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 14		保留位，硬件强制为 0。													
位 13		UEN: USART 使能 (USART enable) 当该位被清零，在当前字节传输完成后 USART 的分频器和输出停止工作，以减少功耗。该位由软件设置和清零。 0: USART 分频器、输出和输入均被被禁止； 1: USART 模块使能。													
位 12		LEN: 字长 (Word length) 该位定义了数据字的长度，由软件对其进行设置和清零 0: 一个起始位，8 个数据位，n 个停止位； 1: 一个起始位，9 个数据位，n 个停止位。 注意: 在数据传输过程中 (发送或者接收时)，不能修改这个位。													

位 11	WUMODE: 唤醒方法 (Wake up mode) 这位决定了把 USART 唤醒的方法，由软件对该位设置和清零。 0: 被空闲帧唤醒； 1: 被地址标记唤醒。
位 10	PCEN: 检验控制使能 (Parity control enable) 用该位选择是否进行硬件校验控制（对于发送来说就是校验位的产生；对于接收来说就是校验位的检测）。当使能了该位，在发送数据的最高位（如果 LEN=1，最高位就是第 9 位；如果 LEN=0，最高位就是第 8 位）插入校验位；对接收到的数据检查其校验位。软件对它置'1'或清'0'。一旦设置了该位，当前字节传输完成后，校验控制才生效。 0: 禁止校验控制； 1: 使能校验控制。
位 9	PSEL: 校验选择 (Parity selection) 当校验控制使能后，该位用来选择是采用偶校验还是奇校验。软件对它置'1'或清'0'。当前字节传输完成后，该选择生效。 0: 偶校验； 1: 奇校验。
位 8	PERRIEN: PERR 中断使能 (PERR interrupt enable) 该位由软件设置或清除。 0: 禁止产生中断； 1: 当 USART_STS 中的 PERR 为'1'时，产生 USART 中断。
位 7	TDEIEN: 发送缓冲区空中断使能 (TDE interrupt enable) 该位由软件设置或清除。 0: 禁止产生中断； 1: 当 USART_STS 中的 TDE 为'1'时，产生 USART 中断。
位 6	TRACIEN: 发送完成中断使能 (TRAC interrupt enable) 该位由软件设置或清除。 0: 禁止产生中断； 1: 当 USART_STS 中的 TRAC 为'1'时，产生 USART 中断。
位 5	RDNEIEN: 接收缓冲区非空中断使能 (RDNE interrupt enable) 该位由软件设置或清除。 0: 禁止产生中断； 1: 当 USART_SR 中的 RDNE 或者 ORERR 为'1'时，产生 USART 中断。
位 4	IDLEIEN: IDLE 中断使能 (IDLE interrupt enable) 该位由软件设置或清除。 0: 禁止产生中断； 1: 当 USART_STS 中的 IDLEF 为'1'时，产生 USART 中断。
位 3	TEN: 发送使能 (Transmitter enable) 该位使能发送器。该位由软件设置或清除。 0: 禁止发送； 1: 使能发送。 注意：1. 在数据传输过程中，除了在智能卡模式下，如果 TEN 位上有个 0 脉冲（即设置为'0'之后 再设置为'1'），会在当前数据字传输完成后，发送一个“前导符”（空闲总线，也即空闲帧）。 2. 当 TEN 被设置后，在真正发送开始之前，有一个比特时间的延迟。
位 2	REN: 接收使能 (Receiver enable) 该位由软件设置或清除。 0: 禁止接收； 1: 使能接收，并开始搜寻 RX 引脚上的起始位。

位 1	RECMUTE: 接收唤醒 (Receiver wakeup) 该位用来决定是否把 USART 置于静默模式。该位由软件设置或清除。当唤醒序列到来时，硬件也会将其清零。 0: 接收器处于普通工作模式; 1: 接收器处于静默模式。 注意: 1. 在把 USART 置于静默模式 (设置 RECMUTE 位) 之前, USART 要先接收一个数据。否则在静默模式下, 不能被空闲总线检测唤醒。 2. 当配置成地址标记检测唤醒 (WUMODE 位=1), 在 RDNE 位被置位时, 不能用软件修改 RECMUTE 位。
位 0	SBRK: 发送断开帧 (Send break) 使用该位来发送断开字符。该位可以由软件设置或清除。操作过程应该是软件设置该位, 然后在断开帧的停止位时, 由硬件将该位复位。 0: 没有发送断开字符; 1: 将要发送断开字符。

14.6.6 控制寄存器2 (USART_CTRL2)

地址偏移: 0x10

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	LIN EN	STOP B[1: 0]	CLK EN	CLK POL	CLKP HA	LBCP	保留	LBD IEN	LBD LEN	保留	ADDR[3: 0]				
res	rw	rw	rw	rw	rw	rw	rw	res	rw	rw	res	rw	rw	rw	rw

位 31: 15	保留位, 硬件强制为 0。
位 14	LINEN: LIN 模式使能 (LIN mode enable) 该位由软件设置或清除。 0: 禁止 LIN 模式; 1: 使能 LIN 模式。在 LIN 模式下, 可以用 USART_CTRL1 寄存器中的 SBRK 位发送 LIN 同步断开符 (也即 13 位低电平), 以及检测 LIN 同步断开符。
位 13: 12	STOPB: 停止位 (STOP bits) 这 2 位用来设置停止位的位数 00: 1 个停止位; 01: 0.5 个停止位; 10: 2 个停止位; 11: 1.5 个停止位; 注: UART4 和 UART5 不能用 0.5 停止位和 1.5 停止位。
位 11	CLKEN: 时钟使能 (Clock enable) 该位用来使能 CK 引脚 0: 禁止 CK 引脚; 1: 使能 CK 引脚。 注意: UART4 和 UART5 上不存在这一位。
位 10	CLKPOL: 时钟极性 (Clock polarity) 在同步模式下, 可以用该位选择 SLCK 引脚上时钟输出的极性。和 CLKPHA 位一起配合来产生需要的时钟/数据的采样关系 0: 总线空闲时 CK 引脚上保持低电平; 1: 总线空闲时 CK 引脚上保持高电平。注: UART4 和 UART5 上不存在这一位。

位 9	CLKPHA: 时钟相位 (Clock phase) 在同步模式下, 可以用该位选择 SLCK 引脚上时钟输出的相位。和 CLKPOL 位一起配合来产生需要的时钟/数据的采样关系 (参见 图 16-12 和 图 16-13)。 0: 在时钟的第一个边沿进行数据捕获; 1: 在时钟的第二个边沿进行数据捕获。注: UART4 和 UART5 上不存在这一位。
位 8	LBCP: 最后一位时钟脉冲 (Last bit clock pulse) 在同步模式下, 使用该位来控制是否在 CK 引脚上输出最后发送的那个数据字节 (MSB) 对应的时钟脉冲 0: 最后一位数据的时钟脉冲不从 CK 输出; 1: 最后一位数据的时钟脉冲会从 CK 输出。 注意: 1. 最后一个数据位就是第 8 或者第 9 个发送的位 (根据 USART_CTRL1 寄存器中的 LEN 位所定义的 8 或者 9 位数据帧格式)。2. UART4 和 UART5 上不存在这一位。
位 7	保留位, 硬件强制为 0
位 6	LBDIEN: LIN 断开符检测中断使能 (LIN break detection interrupt enable) 断开符中断屏蔽 (使用断开分隔符来检测断开符) 0: 禁止中断; 1: 只要 USART_STS 寄存器中的 LBDF 为'1'就产生中断。
位 5	LBDLEN: LIN 断开符检测长度 (LIN break detection length) 该位用来选择是 11 位还是 10 位的断开符检测 0: 10 位的断开符检测; 1: 11 位的断开符检测。 注意: LBDLEN 可用于 LIN 模式及其他模式下的断开帧的检测长度控制, 且检测长度和 LIN 模式相同。
位 4	保留位, 硬件强制为 0
位 3: 0	ADDR[3: 0]: 本设备的 USART 节点地址 该位域给出本设备 USART 节点的地址。这是在多处理器通信下的静默模式中使用的, 使用地址标记来唤醒某个 USART 设备。

注意: 在使能发送后不能改写这三个位 (CLKPOL、CLKPHA、LBCP)。

14.6.7 控制寄存器3 (USART_CTRL3)

地址偏移: 0x14

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	CTS IEN	CTS EN	RTS EN	DMA TEN	DMA REN	SCM EN	NAC KEN	HALF SEL	IRD ALP	IRD AEN	ERR IEN				
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				
位 31: 11	保留位, 硬件强制为 0														
位 10	CTSIEN: CTSF 中断使能 (CTSF interrupt enable) 0: 禁止中断; 1: USART_STS 寄存器中的 CTSF 为'1'时生中断。 注意: UART4 和 UART5 上不存在这一位。														

位 9	CTSEN: CTS 使能 (CTS enable) 0: 禁止 CTS 硬件流控制; 1: CTS 模式使能, 只有 CTS 输入信号有效 (拉成低电平) 时才能发送数据。如果在数据传输的过程中, CTS 信号变成无效, 那么发完这个数据后, 传输就停止下来。如果当 CTS 为无效时, 往数据寄存器里写数据, 则要等到 CTS 有效时才会发送这个数据。 注: <i>UART4</i> 和 <i>UART5</i> 上不存在这一位。
位 8	RTSEN: RTS 使能 (RTS enable) 0: 禁止 RTS 硬件流控制; 1: RTS 中断使能, 只有接收缓冲区内有空余的空间时才请求下一个数据。当前数据发送完成后, 发送操作就需要暂停下来。如果可以接收数据了, 将 RTS 输出置为有效 (拉至低电平)。 注: <i>UART4</i> 和 <i>UART5</i> 上不存在这一位。
位 7	DMATEN: DMA 使能发送 (DMA transmitter enable) 该位由软件设置或清除。 0: 禁止发送时的 DMA 模式。 1: 使能发送时的 DMA 模式; 注: <i>UART5</i> 上不存在这一位。
位 6	DMAREN: DMA 使能接收 (DMA receiver enable) 该位由软件设置或清除。 0: 禁止接收时的 DMA 模式。 1: 使能接收时的 DMA 模式; 注: <i>UART4</i> 和 <i>UART5</i> 上不存在这一位。
位 5	SCMEN: 智能卡模式使能 (Smart card mode enable) 该位用来使能智能卡模式 0: 禁止智能卡模式; 1: 使能智能卡模式。 注: <i>UART4</i> 和 <i>UART5</i> 上不存在这一位。
位 4	NACKEN: 智能卡 NACKEN 使能 (Smart card NACK enable) 0: 校验错误出现时, 不发送 NACK; 1: 校验错误出现时, 发送 NACK。 注: <i>UART4</i> 和 <i>UART5</i> 上不存在这一位。
位 3	HALFSEL: 半双工选择 (Half-duplex selection) 选择单线半双工模式 0: 不选择半双工模式; 1: 选择半双工模式。
位 2	IRDALP: 红外低功耗 (IrDA low-power) 该位用来选择普通模式还是低功耗红外模式 0: 普通模式; 1: 低功耗模式。
位 1	IRDAEN: 红外模式使能 (IrDA mode enable) 该位由软件设置或清除。 0: 不使能红外模式; 1: 使能红外模式。
位 0	ERRIEN: 错误中断使能 (Error interrupt enable) 在多缓冲区通信模式下, 当有帧错误、过载或者噪声错误时 (<i>USART_STS</i> 中的 <i>FERR=1</i> , 或者 <i>ORERR=1</i> , 或者 <i>NERR=1</i>) 产生中断。 0: 禁止中断; 1: 只要 <i>USART_CTRL3</i> 中的 <i>DMAREN=1</i> , 并且 <i>USART_STS</i> 中的 <i>FERR=1</i> , 或者 <i>ORERR=1</i> , 或者 <i>NERR=1</i> , 则产生中断

14.6.8 保护时间和预分频寄存器 (GTP)

地址偏移: 0x18

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GTVAL[7: 0]								DIV[7: 0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 16	保留位, 硬件强制为 0														
位 15: 8	GTVAL[7: 0]: 保护时间值 (Guard time value) 该位域规定了以波特时钟为单位的保护时间。在智能卡模式下, 需要这个功能。当保护时间过去后, 才会设置发送完成标志。 <i>注: UART4 和 UART5 上不存在这一位。</i>														
位 7: 0	DIV[7: 0]: 预分频器值 (Prescaler value) -在红外 (IrDA) 低功耗模式下: DIV[7: 0]=红外低功耗波特率对系统时钟分频以获得低功耗模式下的频率: 源时钟被寄存器中的值 (仅有 8 位有效) 分频: 00000000: 保留–不要写入该值; 00000001: 对源时钟 1 分频; 00000010: 对源时钟 2 分频; -在红外 (IrDA) 的普通模式下: DIV 只能设置为 00000001 -在智能卡模式下: DIV[4: 0]: 预分频值对系统时钟进行分频, 给智能卡提供时钟。 寄存器中给出的值 (低 5 位有效) 乘以 2 后, 作为对源时钟的分频因子 00000: 保留–不要写入该值; 00001: 对源时钟进行 2 分频; 00010: 对源时钟进行 4 分频; 00011: 对源时钟进行 6 分频; <i>注意: 1. 位[7: 5]在智能卡模式下没有意义。 2. UART4 和 UART5 上不存在这一位。</i>														

15 串行外设接口（SPI）

15.1 SPI简介

SPI 接口可以配置为支持 SPI 协议或者支持 I²S 音频协议。

SPI 接口默认工作在 SPI 方式，可以通过软件把功能从 SPI 模式切换到 I²S 模式。

串行外设接口（SPI）允许芯片与外部设备以半/全双工、同步、串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟（SCK）。接口还能以多主配置方式工作。它可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还可使用 CRC 校验的可靠通信。

I²S 也是一种 3 引脚的同步串行接口通讯协议。它支持四种音频标准，包括飞利浦 I²S 标准，MSB 和 LSB 对齐标准，以及 PCM 标准。它在半双工通讯中，可以工作在主和从 2 种模式下。当它作为主设备时，通过接口向外部的从设备提供时钟信号。

15.2 主要特点

15.2.1 SPI特点

- 3线全双工同步传输
- 带或不带第三根双向数据线的双线单工同步传输
- 8或16位传输帧格式选择
- 主或从操作
- 支持多主模式
- 10个主模式波特率预分频系数（最大为f_{PCLK}/2）
- 从模式频率（最大为f_{PCLK}/2）
- 主模式和从模式的快速通信
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI总线忙状态标志
- 支持可靠通信的硬件CRC
 - 在发送模式下，CRC 值可以被作为最后一个字节发送
 - 在全双工模式中对接收到的最后一个字节自动进行 CRC 校验
- 可触发中断的主模式故障、过载以及 CRC 错误标志
- 支持 DMA 功能的 2 字节发送和接收缓冲器：产生发送和接受请求

15.2.2 I²S功能

- 单工通信（仅发送或接收）
- 主或者从操作
- 8位线性可编程预分频器，获得精确的音频采样频率（8KHz 到 192kHz）
- 数据格式可以是 16 位，24 位或者 32 位
- 音频信道固定数据包帧为 16 位（16 位数据帧）或 32 位（16、24 或 32 位数据帧）
- 可编程的时钟极性（稳定态）
- 从发送模式下的下溢标志位和主/从接收模式下的上溢标志位
- 16 位数据寄存器用来发送和接收，在通道两端各有一个寄存器

- 支持的I²S协议：
 - I²S飞利浦标准
 - MSB对齐标准（左对齐）
 - LSB对齐标准（右对齐）
 - PCM标准（16位通道帧上带长或短帧同步或者16位数据帧扩展为32位通道帧）
- 数据方向总是MSB在先
- 发送和接收都具有DMA能力
- 主时钟可以输出到外部音频设备，比率固定为256xFs（Fs为音频采样频率）

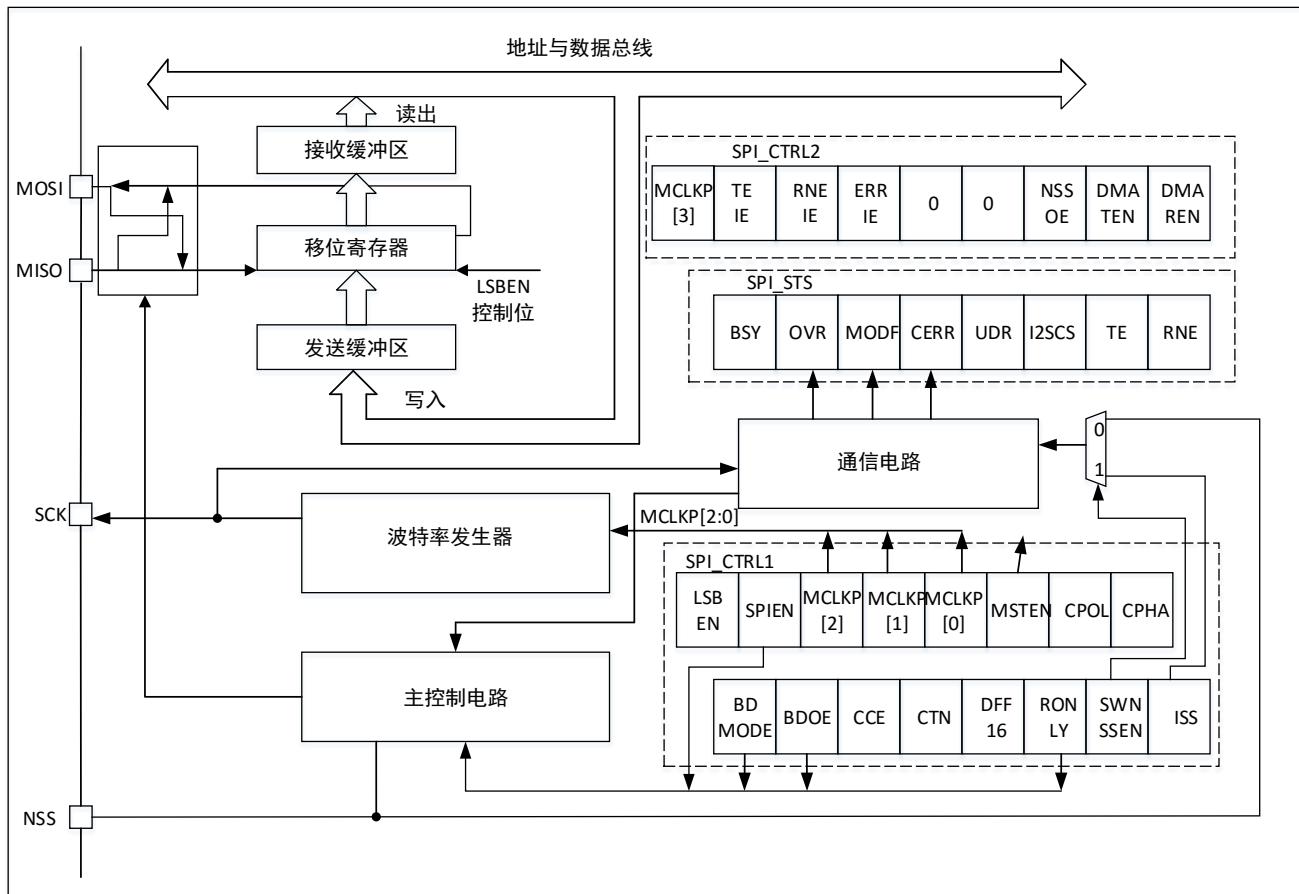
15.3 功能描述

15.3.1 SPI功能描述

15.3.1.1 概述

SPI的方框图见下图。

图 15-1 SPI 框图

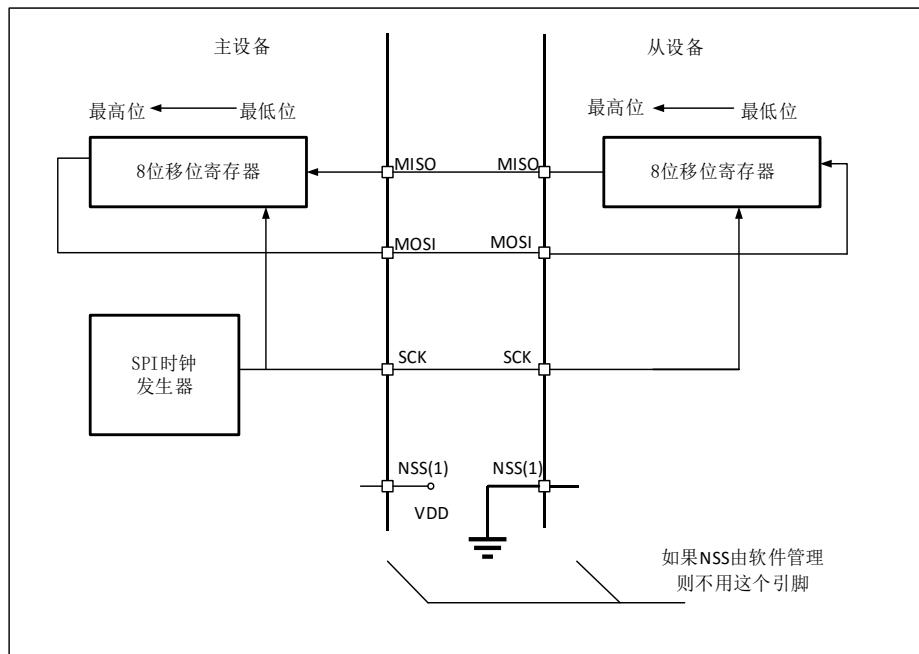


通常 SPI 通过 4 个引脚与外部器件相连：

- **MISO:** 主设备输入/从设备输出引脚。该引脚在从模式下发送数据，在主模式下接收数据。
- **MOSI:** 主设备输出/从设备输入引脚。该引脚在主模式下发送数据，在从模式下接收数据。
- **SCK:** 串口时钟，作为主设备的输出，从设备的输入。
- **NSS:** 从设备选择。这是一个可选的引脚，用来选择主/从设备。它的功能是用来作为“片选引脚”，让主设备可以单独地与特定从设备通讯，避免数据线上的冲突。从设备的 NSS 引脚可以由主设备的一个标准 I/O 引脚来驱动。一旦被使能（NSSOE 位），NSS 引脚也可以作为输出引脚，并在 SPI 处于主模式时拉低；此时，所有的 SPI 设备，如果它们的 NSS 引脚连接到主设备的 NSS 引脚，则会检测到低电平，如果它们被设置为 NSS 硬件模式，就会自动进入从设备状态。当配置为主设备、NSS 配置为输入引脚（MSTEN=1, NSSOE=0）时，如果 NSS 被拉低，则这个 SPI 设备进入主模式失败状态：即 MSTEN 位被自动清除，此设备进入从模式。

下图是一个单主和单从设备互连的例子。

图 15-2 单主和单从应用



注意：这里 NSS 引脚设置为输入。

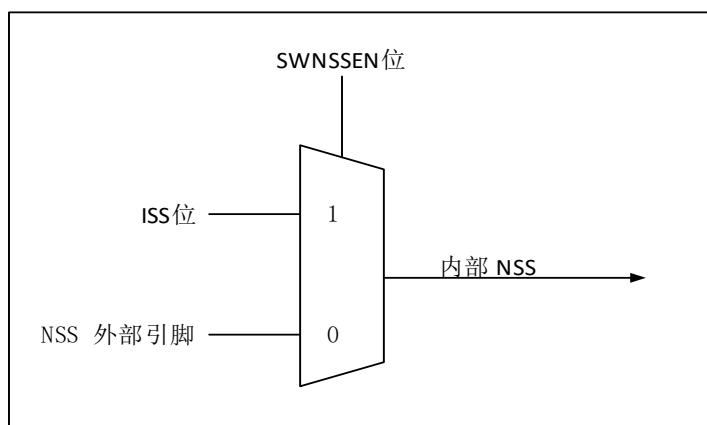
MOSI 脚相互连接，MISO 脚相互连接。这样，数据在主和从之间串行地传输（MSB 位在前）。通信总是由主设备发起。主设备通过 MOSI 脚把数据发送给从设备，从设备通过 MISO 引脚回传数据。这意味着全双工通信的数据输出和数据输入是用同一个时钟信号同步的；时钟信号由主设备通过 SCK 脚提供。

从选择 (NSS) 脚管理

有 2 种 NSS 模式：

- 软件 NSS 模式：可以通过设置 SPI_CTRL1 寄存器的 SWNSSEN 位来使能这种模式（见 [图 15-3](#)）。在这种模式下 NSS 引脚可以用作它用，而内部 NSS 信号电平可以通过写 SPI_CTRL1 的 ISS 位来驱动
- 硬件 NSS 模式，分两种情况：
 - NSS 输出被使能：当 AT32F415 工作为主 SPI，并且 NSS 输出已经通过 SPI_CTRL2 寄存器的 NSSOE 位使能，这时 NSS 引脚被拉低，所有 NSS 引脚与这个主 SPI 的 NSS 引脚相连并配置为硬件 NSS 的 SPI 设备，将自动变成从 SPI 设备。当一个 SPI 设备需要发送广播数据，它必须拉低 NSS 信号，以通知所有其它的设备它是主设备；如果它不能拉低 NSS，这意味着总线上有另外一个主设备在通信，这时将产生一个硬件失败错误（HardFault）。
 - NSS 输出被关闭：允许操作于多主环境。

图 15-3 硬件/软件的从选择管理



时钟信号的相位和极性

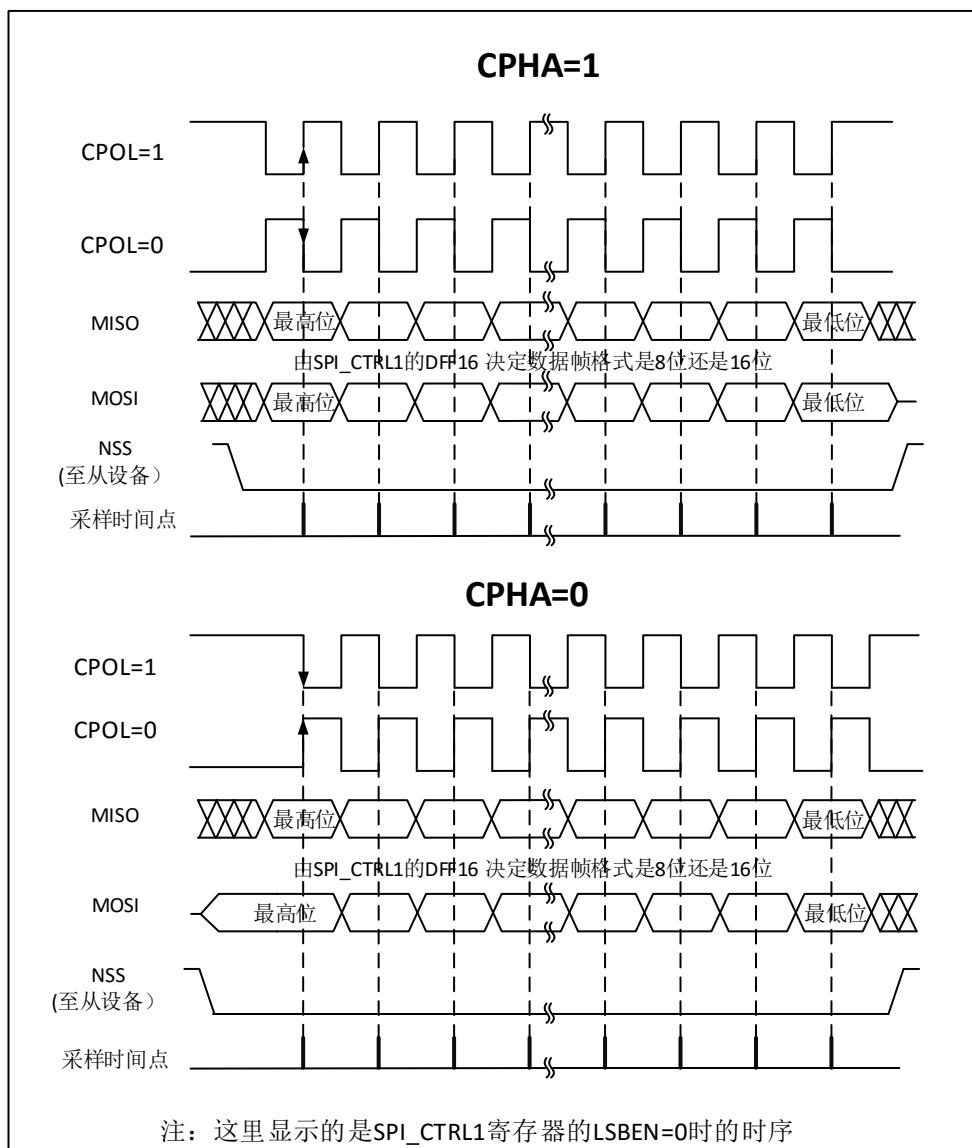
SPI_CTRL1 寄存器的 CPOL 和 CPHA 位，能够组合成四种可能的时序关系。CPOL（时钟极性）位控制在没有数据传输时时钟的空闲状态电平，此位对主模式和从模式下的设备都有效。如果 CPOL 被清‘0’，SCK 引脚在空闲状态保持低电平；如果 CPOL 被置‘1’，SCK 引脚在空闲状态保持高电平。

如果 CPHA（时钟相位）位被置‘1’，SCK 时钟的第二个边沿（CPOL 位为‘0’时就是下降沿，CPOL 位为‘1’时就是上升沿）进行数据位的采样，数据在第二个时钟边沿被锁存。如果 CPHA 位被清‘0’，SCK 时钟的第一边沿（CPOL 位为‘0’时就是上升沿，CPOL 位为‘1’时就是下降沿）进行数据位采样，数据在第一个时钟边沿被锁存。

CPOL 时钟极性和 CPHA 时钟相位的组合选择数据捕捉的时钟边沿。[图 15-4](#) 显示了 SPI 传输的 4 种 CPHA 和 CPOL 位组合。此图可以解释为主设备和从设备的 SCK 脚、MISO 脚、MOSI 脚直接连接的主或从时序图。

- 注意：
1. 在改变 CPOL/CPHA 位之前，必须清除 SPIEN 位将 SPI 禁止。
 2. 主和从必须配置成相同的时序模式。
 3. SCK 的空闲状态必须和 SPI_CTRL1 寄存器指定的极性一致（CPOL 为‘1’时，空闲时应上拉 SCK 为高电平；CPOL 为‘0’时，空闲时应下拉 SCK 为低电平）。
 4. 数据帧格式（8 位或 16 位）由 SPI_CTRL1 寄存器的 DFF16 位选择，并且决定发送/接收的数据长度。

图 15-4 数据时钟时序图



数据帧格式

根据 SPI_CTRL1 寄存器中的 LSBEN 位，输出数据位时可以 MSB 在先也可以 LSB 在先。根据 SPI_CTRL1 寄存器的 DFF16 位，每个数据帧可以是 8 位或是 16 位。所选择的数据帧格式对发送和 / 或接收都有效。

15.3.1.2 配置 SPI 为从模式

在从模式下，SCK 引脚用于接收从主设备来的串行时钟。SPI_CTRL1 寄存器中 MCLKP[3: 0]的设置不影响数据传输速率。

注意：建议在主设备发送时钟之前使能 SPI 从设备，否则可能会发生意外的数据传输。
在通信时钟的第一个边沿到来之前或正在进行的通信结束之前，从设备的数据寄存器必须就绪。在使能从设备和主设备之前，通信时钟的极性必须处于稳定的数值。

请按照以下步骤配置 SPI 为从模式：

配置步骤

1. 设置 DFF16 位以定义数据帧格式为 8 位或 16 位。
2. 选择 CPOL 和 CPHA 位来定义数据传输和串行时钟之间的相位关系（见 [图 15-4](#)）。
为保证正确的数据传输，从设备和主设备的 CPOL 和 CPHA 位必须配置成相同的方式。

3. 帧格式 (**SPI_CTRL1** 寄存器中的 **LSBEN** 位定义的“MSB在前”还是“LSB在前”) 必须与主设备相同。
4. 硬件模式下(参考从选择(**NSS**)脚管理部分),在完整的数据帧(8位或16位)传输过程中,**NSS**引脚必须为低电平。在**NSS**软件模式下,设置**SPI_CTRL1**寄存器中的**SWNSSEN**位并清除**ISS**位。
5. 清除**MSTEN**位、设置**SPIEN**位(**SPI_CTRL1**寄存器),使相应引脚工作于**SPI**模式下。在这个配置中,**MOSI**引脚是数据输入,**MISO**引脚是数据输出。

数据发送过程

在写操作中,数据被写入发送缓冲器。

当从设备收到时钟信号,并且在**MOSI**引脚上出现第一个数据位时,发送过程开始(注:此时第一个位被发送出去)。余下的位(对于8位数据帧格式,还有7位;对于16位数据帧格式,还有15位)被装进移位寄存器。当发送缓冲器中的数据传输到移位寄存器时,**SPI_STS**寄存器的**TE**标志被设置,如果设置了**SPI_CTRL2**寄存器的**TEIE**位,将会产生中断。

数据接收过程

对于接收器,当数据接收完成时:

- 移位寄存器中的数据传送到接收缓冲器,**SPI_STS**寄存器中的**RNE**标志被设置。
- 如果设置了**SPI_CTRL2**寄存器中的**RNEIE**位,则产生中断。

在最后一个采样时钟边沿后,**RNE**位被置‘1’,移位寄存器中接收到的数据字节被传送到接收缓冲器。当读**SPI_DT**寄存器时,**SPI**设备返回这个接收缓冲器的数值。

读**SPI_DT**寄存器时,**RNE**位被清除。

15.3.1.3 配置SPI为主模式

在主配置时,在**SCK**脚产生串行时钟。

配置步骤

1. 通过**SPI_CTRL1**寄存器的**MCLKP[3: 0]**位定义串行时钟波特率。
2. 选择**CPOL**和**CPHA**位,定义数据传输和串行时钟间的相位关系(见[图15-4](#))。
3. 设置**DFF16**位来定义8位或16位数据帧格式。
4. 配置**SPI_CTRL1**寄存器的**LSBEN**位定义帧格式。
5. 如果需要**NSS**引脚工作在输入模式,硬件模式下,在整个数据帧传输期间应把**NSS**脚连接到高电平;在软件模式下,需设置**SPI_CTRL1**寄存器的**SWNSSEN**位和**ISS**位。如果**NSS**引脚工作在输出模式,则只需设置**NSOE**位。
6. 必须设置**MSTEN**位和**SPIEN**位(只当**NSS**脚被连到高电平,这些位才能保持置位)。在这个配置中,**MOSI**引脚是数据输出,而**MISO**引脚是数据输入。

数据发送过程

当写入数据至发送缓冲器时,发送过程开始。在发送第一个数据位时,数据字被并行地(通过内部总线)传入移位寄存器,而后串行地移出到**MOSI**脚上;**MSB**在先还是**LSB**在先,取决于**SPI_CTRL1**寄存器中的**LSBEN**位的设置。数据从发送缓冲器传输到移位寄存器时**TE**标志将被置位,如果设置了**SPI_CTRL1**寄存器中的**TEIE**位,将产生中断。

数据接收过程

对于接收器来说,当数据传输完成时:

- 传送移位寄存器里的数据到接收缓冲器,并且**RNE**标志被置位。
- 如果设置了**SPI_CTRL2**寄存器中的**RNEIE**位,则产生中断。

在最后采样时钟沿,**RNE**位被设置,在移位寄存器中接收到的数据字被传送到接收缓冲器。读**SPI_DT**寄存器时,**SPI**设备返回接收缓冲器中的数据。

读**SPI_DT**寄存器将清除**RNE**位。一旦传输开始,如果下一个将发送的数据被放进了发送缓冲器,

就可以维持一个连续的传输流。在试图写发送缓冲器之前，需确认 TE 标志应该为’1’。

注意： 在 NSS 硬件模式下，从设备的 NSS 输入由 NSS 引脚控制或另一个由软件驱动的 GPIO 引脚控制。

15.3.1.4 配置SPI为单工通信

SPI 模块能够以两种配置工作于单工方式：

- 1条时钟线和1条双向数据线；
- 1条时钟线和1条数据线（只接收或只发送）；

1条时钟线和1条双向数据线（BDMODE=1）

设置 SPI_CTRL1 寄存器中的 BDMODE 位而启用此模式。在这个模式下，SCK 引脚作为时钟，主设备使用 MOSI 引脚而从设备使用 MISO 引脚作为数据通信。传输的方向由 SPI_CTRL1 寄存器里的 BDOE 控制，当这个位是’1’的时候，数据线是输出，否则是输入。

1条时钟和1条单向数据线（BDMODE=0）

在这个模式下，SPI 模块可以或者作为只发送，或者作为只接收。

- 只发送模式类似于全双工模式（BDMODE=0，RONLY=0）：数据在发送引脚（主模式时是MOSI、从模式时是MISO）上传输，而接收引脚（主模式时是MISO、从模式时是MOSI）可以作为通用的I/O使用。此时，软件不必理会接收缓冲器中的数据（如果读出数据寄存器，它不包含任何接收数据）。
- 在只接收模式，可以通过设置 SPI_CTRL1 寄存器的 RONLY 位而关闭 SPI 的输出功能；此时，发送引脚（主模式时是MOSI、从模式时是MISO）被释放，可以作为其它功能使用。

配置并使能 SPI 模块为只接收模式的方式是：

- 在主模式时，一旦使能 SPI，通信立即启动，当清除 SPIEN 位时立即停止当前的接收。在此模式下，不必读取 BSY 标志，在 SPI 通信期间这个标志始终为’1’。
- 在从模式时，只要 NSS 被拉低（或在 NSS 软件模式时，ISS 位为’0’）同时 SCK 有时钟脉冲，SPI 就一直在接收。

15.3.1.5 数据发送与接收过程

接收与发送缓冲器

在接收时，接收到的数据被存放在一个内部的接收缓冲器中；在发送时，在被发送之前，数据将首先被存放在一个内部的发送缓冲器中。

对 SPI_DT 寄存器的读操作，将返回接收缓冲器的内容；写入 SPI_DT 寄存器的数据将被写入发送缓冲器中。

主模式下开始传输

- 全双工模式（BDMODE=0 并且 RONLY=0）
 - 当写入数据到 SPI_DT 寄存器（发送缓冲器）后，传输开始；
 - 在传送第一位数据的同时，数据被并行地从发送缓冲器传送到 8 位的移位寄存器中，然后按顺序被串行地移位送到 MOSI 引脚上；
 - 与此同时，在 MISO 引脚上接收到的数据，按顺序被串行地移位进入 8 位的移位寄存器中，然后被并行地传送到 SPI_DT 寄存器（接收缓冲器）中。
- 单向的只接收模式（BDMODE=0 并且 RONLY=1）
 - SPIEN=1 时，传输开始；
 - 只有接收器被激活，在 MISO 引脚上接收到的数据，按顺序被串行地移位进入 8 位的移位寄存器中，然后被并行地传送到 SPI_DT 寄存器（接收缓冲器）中。
- 双向模式，发送时（BDMODE=1 并且 BDOE=1）
 - 当写入数据到 SPI_DT 寄存器（发送缓冲器）后，传输开始；

- 在传送第一位数据的同时，数据被并行地从发送缓冲器传送到 8 位的移位寄存器中，然后按顺序被串行地移位送到 MOSI 引脚上；
- 不接收数据。
- 双向模式，接收时（BDMODE=1 并且 BDOE=0）
 - SPIEN=1 并且 BDOE=0 时，传输开始；
 - 在 MOSI 引脚上接收到的数据，按顺序被串行地移位进入 8 位的移位寄存器中，然后被并行地传送到 SPI_DT 寄存器（接收缓冲器）中。
 - 不激活发送器，没有数据被串行地送到 MOSI 引脚上。

从模式下开始传输

- 全双工模式（BDMODE=0 并且 RONLY=0）
 - 当从设备接收到时钟信号并且第一个数据位出现在它的 MOSI 时，数据传输开始，随后的数据位依次移动进入移位寄存器；
 - 与此同时，在传输第一个数据位时，发送缓冲器中的数据被并行地传送到 8 位的移位寄存器，随后被串行地发送到 MISO 引脚上。软件必须保证在 SPI 主设备开始数据传输之前在发送寄存器中写入要发送的数据。
- 单向的只接收模式（BDMODE=0 并且 RONLY=1）
 - 当从设备接收到时钟信号并且第一个数据位出现在它的 MOSI 时，数据传输开始，随后数据位依次移动进入移位寄存器；
 - 不启动发送器，没有数据被串行地传送到 MISO 引脚上。
- 双向模式，发送时（BDMODE=1 并且 BDOE=1）
 - 当从设备接收到时钟信号并且发送缓冲器中的第一个数据位被传送到 MISO 引脚上的时候，数据传输开始；
 - 在第一个数据位被传送到 MISO 引脚上的同时，发送缓冲器中要发送的数据被平行地传送到 8 位的移位寄存器中，随后被串行地发送到 MISO 引脚上。软件必须保证在 SPI 主设备开始数据传输之前在发送寄存器中写入要发送的数据；
 - 不接收数据。
- 双向模式，接收时（BDMODE=1 并且 BDOE=0）
 - 当从设备接收到时钟信号并且第一个数据位出现在它的 MOSI 时，数据传输开始；
 - 从 MISO 引脚上接收到的数据被串行地传送到 8 位的移位寄存器中，然后被平行地传送到 SPI_DT 寄存器（接收缓冲器）；
 - 不启动发送器，没有数据被串行地传送到 MISO 引脚上。

处理数据的发送与接收

当数据从发送缓冲器传送到移位寄存器时，设置 TE 标志（发送缓冲器空），它表示内部的发送缓冲器可以接收下一个数据；如果在 SPI_CTRL2 寄存器中设置了 TEIE 位，则此时会产生一个中断；写入 SPI_DT 寄存器即可清除 TE 位。

注意： 在写入发送缓冲器之前，软件必须确认 TE 标志为‘1’，否则新的数据会覆盖已经在发送缓冲器中的数据。

在采样时钟的最后一个边沿，当数据被从移位寄存器传送到接收缓冲器时，设置 RNE 标志（接收缓冲器非空）；它表示数据已经就绪，可以从 SPI_DT 寄存器读出；如果在 SPI_CTRL2 寄存器中设置了 RXNIE 位，则此时会产生一个中断；读出 SPI_DT 寄存器即可清除 RXNIE 标志位。

在一些配置中，传输最后一个数据时，可以使用 BSY 标志等待数据传输的结束。

主或从模式下（BDMODE=0 并且 RONLY=0）全双工发送和接收过程模式

软件必须遵循下述过程，发送和接收数据（见图 15-5 和图 15-6）：

1. 设置 SPIEN 位为‘1’，使能 SPI 模块；

2. 在**SPI_DT**寄存器中写入第一个要发送的数据，这个操作会清除**TE**标志；
3. 等待**TE=1**，然后写入第二个要发送的数据。等待**RNE=1**，然后读出**SPI_DT**寄存器并获得第一个接收到的数据，读**SPI_DT**的同时清除了**RNE**位。重复这些操作，发送后续的数据同时接收n-1个数据；
4. 等待**RNE=1**，然后接收最后一个数据；
5. 等待**TE=1**，在**BSY=0**之后关闭**SPI**模块。

也可以在响应**RNE**或**TE**标志的上升沿产生的中断的处理程序中实现这个过程。

图 15-5 主模式、全双工模式下（BDMODE=0并且RONLY=0）连续输出时，TE/RNE/BSY的变化示意图

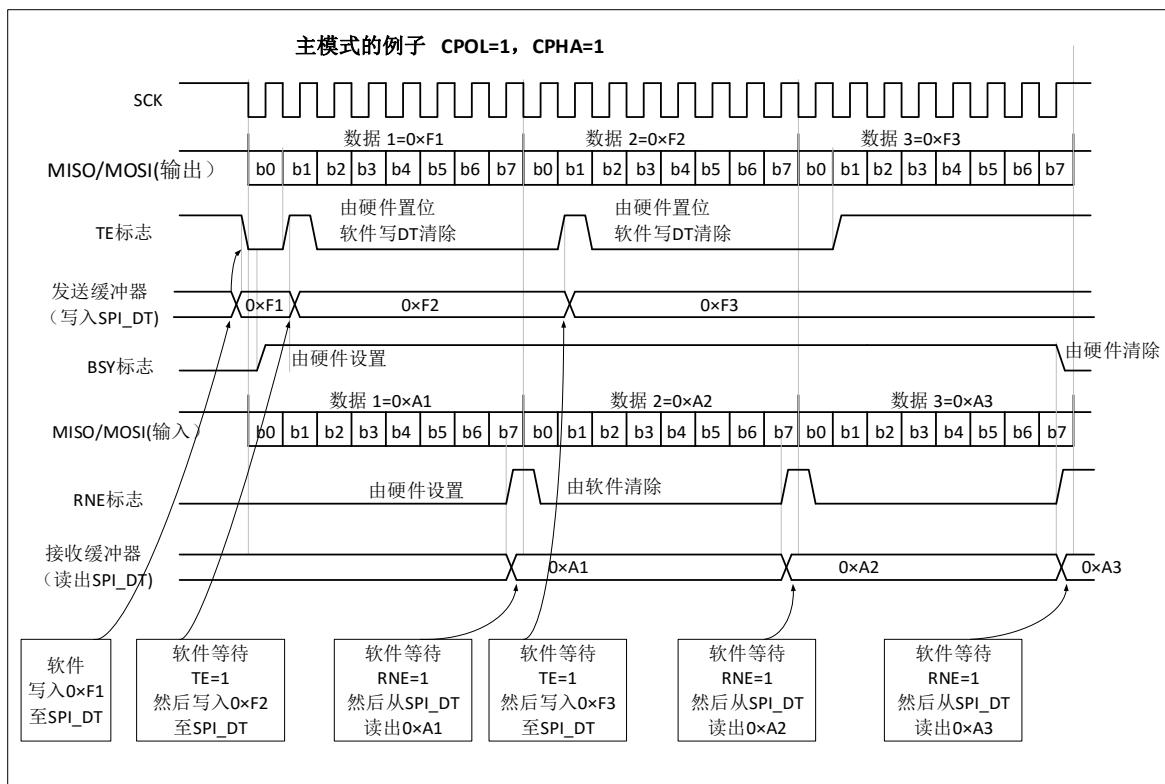
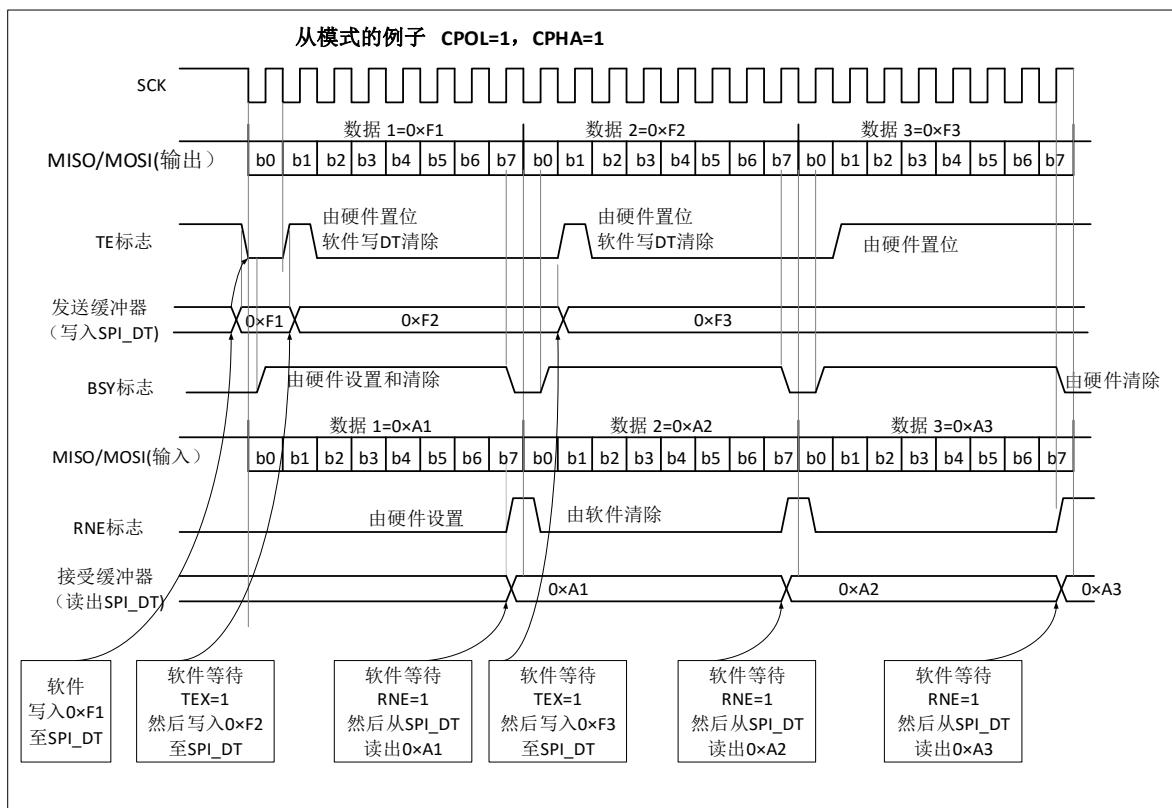


图 15-6 从模式、全双工模式下（BDMODE=0 并且 RONLY=0）连续传输时，TE/RNE/BSY 的变化示意图。



只发送过程（BDMODE=0 并且 RONLY=0）

在此模式下，传输过程可以简要说明如下，使用 BSY 位等待传输的结束（见图 15-7 和图 15-8）：

1. 设置 SPIEN 位为‘1’，使能 SPI 模块；
2. 在 SPI_DT 寄存器中写入第一个要发送的数据，这个操作会清除 TE 标志；
3. 等待 TE=1，然后写入第二个要发送的数据。重复这个操作，发送后续的数据；
4. 写入最后一个数据到 SPI_DT 寄存器之后，等待 TE=1；然后等待 BSY=0，这表示最后一个数据的传输已经完成。

也可以在响应 TE 标志的上升沿产生的中断的处理程序中实现这个过程。

- 注意：**
1. 对于不连续的传输，在写入 SPI_DT 寄存器的操作与设置 BSY 位之间有 2 个 APB 时钟周期的延迟，因此在只发送模式下，写入最后一个数据后，最好先等待 TE=1，然后再等待 BSY=0。
 2. 只发送模式下，在传输 2 个数据之后，由于不会读出接收到的数据，SPI_STS 寄存器中的 OVR 位会变为‘1’。（注：软件不必理会这个 OVR 标志位）

图 15-7 主设备只发送模式 (BDMODE=0 并且 RONLY=0) 下连续传输时, TE/BSY 变化示意图

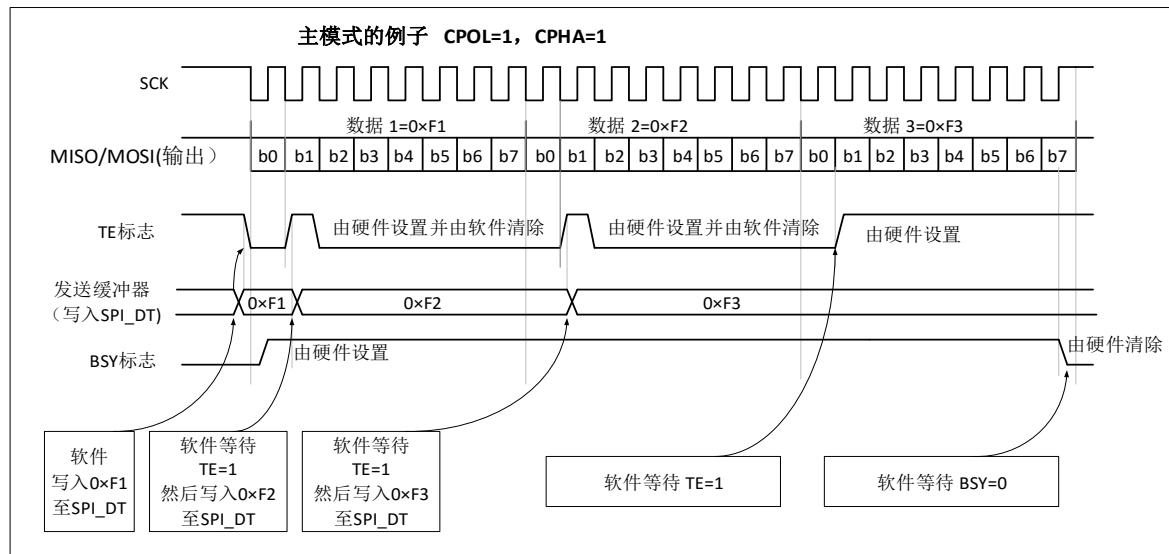
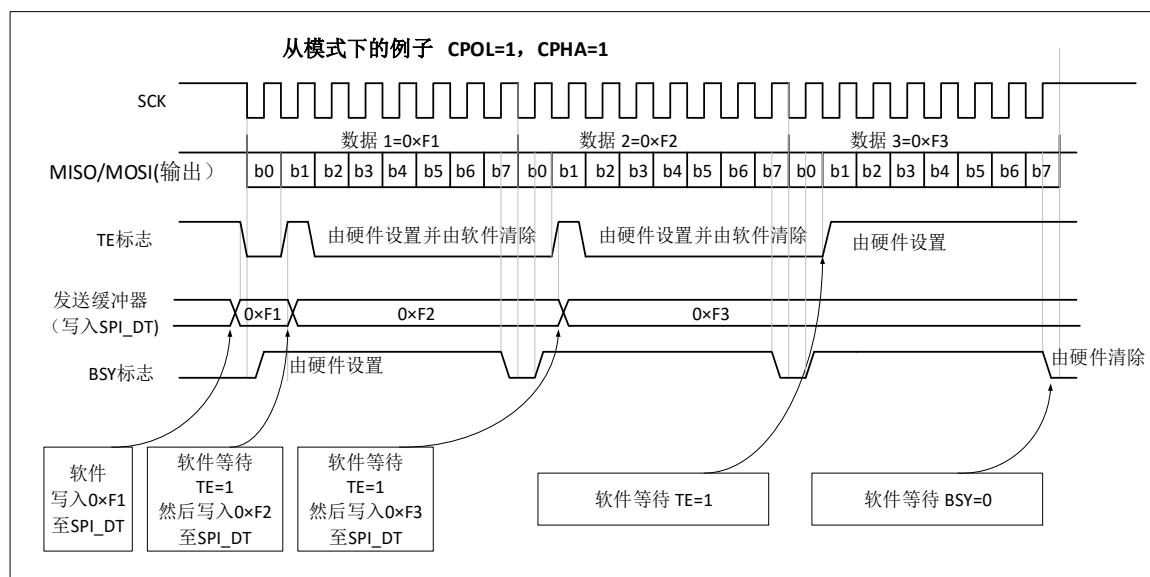


图 15-8 从设备只发送模式 (BDMODE=0 并且 RONLY=0) 下连续传输时, TE/BSY 变化示意图



双向发送过程 (BDMODE=1 并且 BDOE=1)

在此模式下, 操作过程类似于只发送模式, 不同的是: 在使能 SPI 模块之前, 需要在 SPI_CTRL1 寄存器中同时设置 BDMODE 和 BDOE 位为'1'。

单向只接收模式 (BDMODE=0 并且 RONLY=1)

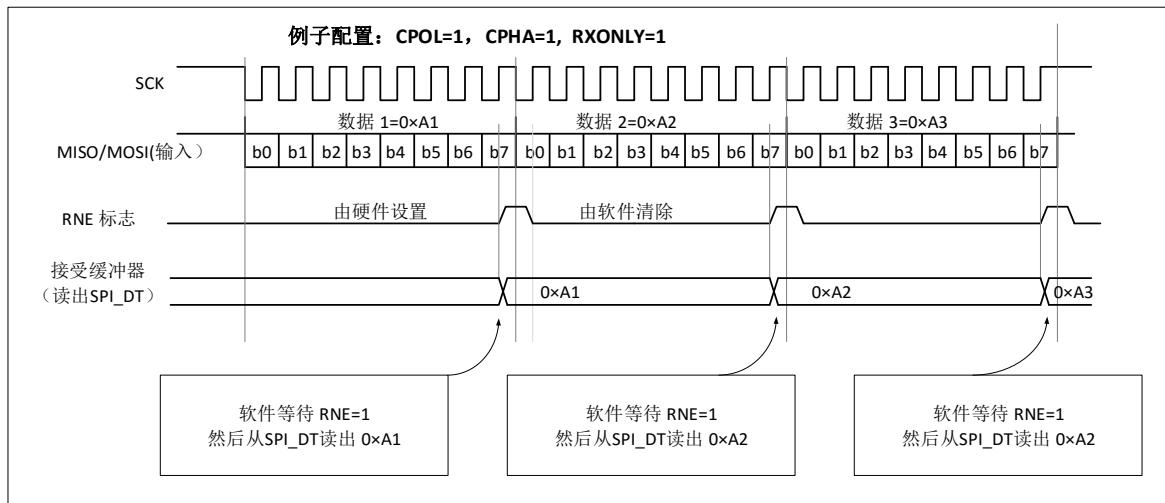
在此模式下, 传输过程可以简要说明如下 (见图 15-9):

- 在 SPI_CTRL1 寄存器中, 设置 RONLY=1;
- 设置 SPIEN=1, 使能 SPI 模块:
 - 主模式下, 立刻产生 SCK 时钟信号, 在关闭 SPI (SPIEN=0) 之前, 不断地接收串行数据;
 - 从模式下, 当 SPI 主设备拉低 NSS 信号并产生 SCK 时钟时, 接收串行数据。
- 等待 RNE=1, 然后读出 SPI_DT 寄存器以获得收到的数据 (同时会清除 RNE 位)。重复这个操作接收所有数据。

也可以在响应 RNE 标志的上升沿产生的中断的处理程序中实现这个过程。

注意：如果在最后一个数据传输结束后关闭 SPI 模块，请按照[第 15.3.1.9 节](#)的建议操作。

图 15-9 只接收模式（BDMODE=0 并且 RONLY=1）下连续传输时，RNE 变化示意图



单向接收过程（BDMODE=1 并且 BDOE=0）

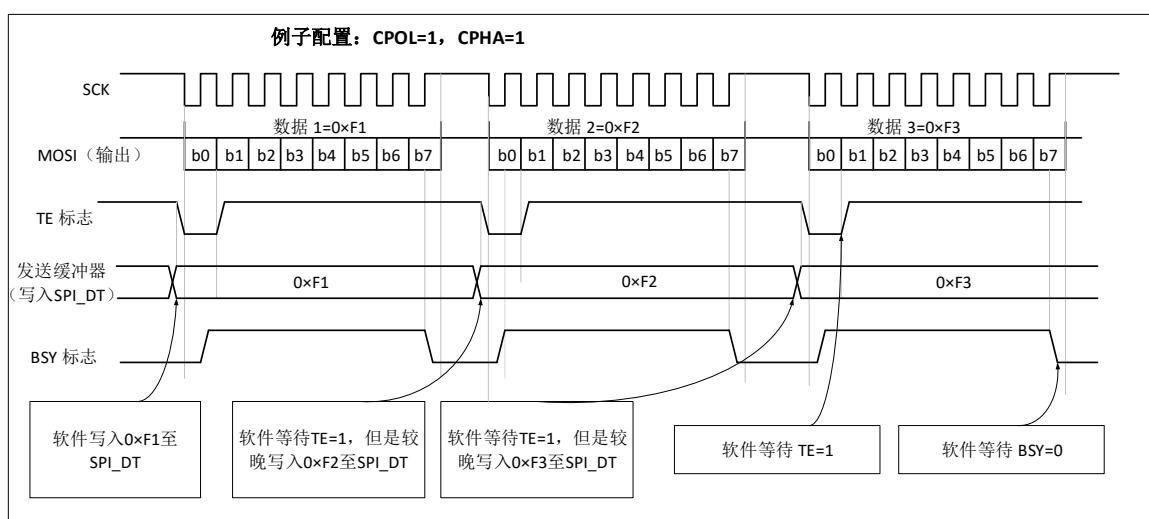
在此模式下，操作过程类似于只接收模式，不同的是：在使能 SPI 模块之前，需要在 SPI_CTRL1 寄存器中设置 BDMODE 为‘1’并清除 BDOE 位为‘0’。

连续和非连续传输

当在主模式下发送数据时，如果软件足够快，能够在检测到每次 TE 的上升沿（或 TE 中断），并立即在正在进行的传输结束之前写入 SPI_DT 寄存器，则能够实现连续的通信；此时，在每个数据项的传输之间的 SPI 时钟保持连续，同时 BSY 位不会被清除。

如果软件不够快，则会导致不连续的通信；这时，在每个数据传输之间会被清除（见下图）。在主模式的只接收模式下（RONLY=1），通信总是连续的，而且 BSY 标志始终为‘1’。在从模式下，通信的连续性由 SPI 主设备决定。不管怎样，即使通信是连续的，BSY 标志会在每个数据项之间至少有一个 SPI 时钟周期为低（见[图 15-8](#)）。

图 15-10 非连续传输发送（BDMODE=0 并且 RONLY=0）时，TE/BSY 变化示意图



15.3.1.6 CRC计算

CRC 校验用于保证全双工通信的可靠性。数据发送和数据接收分别使用单独的 CRC 计算器。通过对每一个接收位进行可编程的多项式运算来计算 CRC。CRC 的计算是在由 SPI_CTRL1 寄存器中 CPHA 和 CPOL 位定义的采样时钟边沿进行的。

注意：该 SPI 接口提供了两种 CRC 计算方法，取决于所选的发送和/或接收的数据帧格式：8 位数据帧采用 CRC8；16 位数据帧采用 CRC16。

CRC 计算是通过设置 SPI_CTRL1 寄存器中的 CCE 位启用的。设置 CCE 位时同时复位 CRC 寄存器 (SPI_RCRC 和 SPI_TCRC)。当设置了 SPI_CTRL1 的 CTN 位，SPI_TCRC 的内容将在当前字节发送之后发出。

在传输 SPI_TCRC 的内容时，如果在移位寄存器中收到的数值与 SPI_RCRC 的内容不匹配，则 SPI_STS 寄存器的 CERR 标志位被置 1。

如果在 TX 缓冲器中还有数据，CRC 的数值仅在数据字节传输结束后传送。在传输 CRC 期间，CRC 计算器关闭，寄存器的数值保持不变。

注意：请参考产品说明书，以确认有此功能（不是所有型号都有此功能）。

SPI 通信可以通过以下步骤使用 CRC：

- 设置 CPOL、CPHA、LSBEN、MCLKP、SWNSSEN、ISS 和 MSTEN 的值；
- 在 SPI_CPOLY 寄存器输入多项式；
- 通过设置 SPI_CTRL1 寄存器 CCE 位使能 CRC 计算，该操作也会清除寄存器 SPI_RCRC 和 SPI_TCRC；
- 设置 SPI_CTRL1 寄存器的 SPIEN 位启动 SPI 功能；
- 启动通信并且维持通信，直到只剩最后一个字节或者半字；
- 在把最后一个字节或半字写进发送缓冲器时，设置 SPI_CTRL1 的 CTN 位，指示硬件在发送完成最后一个数据之后，发送 CRC 的数值。在发送 CRC 数值期间，停止 CRC 计算；
- 当最后一个字节或半字被发送后，SPI 发送 CRC 数值，CTN 位被清除。同样，接收到的 CRC 与 SPI_RCRC 值进行比较，如果比较不相配，则设置 SPI_STS 上的 CERR 标志位，当设置了 SPI_CTRL2 寄存器的 ERRIE 时，则产生中断。

注意：1、当 SPI 模块处于从设备模式时，请注意在时钟稳定之后再使能 CRC 计算，否则可能会得到错误的 CRC 计算结果。事实上，只要设置了 CCE 位，只要在 SCK 引脚上有输入时钟，不管 SPIEN 位的状态，都会进行 CRC 的计算。
2、当 SPI 时钟频率较高时，用户在发送 CRC 时必须小心。在 CRC 传输期间，使用 CPU 的时间应尽可能少；为了避免在接收最后的数据和 CRC 时出错，在发送 CRC 过程中应禁止函数调用。必须在发送/接收最后一个数据之前完成设置 CTN 位的操作。
3、当 SPI 时钟频率较高时，因为 CPU 的操作会影响 SPI 的带宽，建议采用 DMA 模式以避免 SPI 降低的速度。
4、当 AT32F415 配置为从模式并且使用了 NSS 硬件模式，NSS 引脚应该在数据传输和 CRC 传输期间保持为低。

当配置 SPI 为从模式并且使用 CRC 的功能，即使 NSS 引脚为高时仍然会执行 CRC 的计算（注：当 NSS 信号为高时，如果 SCK 引脚上有时钟脉冲，则 CRC 计算会继续执行）。例如：当主设备交替地与多个从设备进行通信时，将会出现这种情况（注：此时要想办法避免 CRC 的误操作）。

在不选中一个从设备（NSS 信号为高）转换到选中一个新的从设备（NSS 信号为低）的时候，为了保持主从设备端下次 CRC 计算结果的同步，应该清除主从两端的 CRC 数值。

按照下述步骤清除 CRC 数值：

1. 关闭 SPI 模块 (SPIEN=0)；
2. 清除 CCE 位为 '0'；
3. 设置 CCE 位为 '1'；
4. 使能 SPI 模块 (SPIEN=1)。

15.3.1.7 状态标志

应用程序通过 3 个状态标志可以完全监控 SPI 总线的状态。

发送缓冲器空闲标志 (TE)

此标志为' 1' 时表明发送缓冲器为空，可以写下一个待发送的数据进入缓冲器中。当写入 SPI_DT 时，TE 标志被清除。

接收缓冲器非空 (RNE)

此标志为' 1' 时表明在接收缓冲器中包含有效的接收数据。读 SPI 数据寄存器可以清除此标志。

忙 (Busy) 标志

BSY 标志由硬件设置与清除（写入此位无效果），此标志表明 SPI 通信层的状态。

当它被设置为' 1' 时，表明 SPI 正忙于通信，但有一个例外：在主模式的双向接收模式下(MSTEN=1、BDMODE=1 并且 BDOE=0)，在接收期间 BSY 标志保持为低。

在软件要关闭 SPI 模块并进入停机模式（或关闭设备时钟）之前，可以使用 BSY 标志检测传输是否结束，这样可以避免破坏最后一次传输，因此需要严格按照下述过程执行。

BSY 标志还可以用于在多主系统中避免写冲突。

除了主模式的双向接收模式 (MSTEN=1、BDMODE=1 并且 BDOE=0)，当传输开始时，BSY 标志被置' 1'。

以下情况时此标志将被清除为' 0'：

- 当传输结束（主模式下，如果是连续通信的情况例外）；
- 当关闭 SPI 模块；
- 当产生主模式失效 (MODF=1)。

如果通信不是连续的，则在每个数据项的传输之间，BSY 标志为低。

当通信是连续时：

- 主模式下：在整个传输过程中，BSY 标志保持为高；
- 从模式下：在每个数据项的传输之间，BSY 标志在一个 SPI 时钟周期中为低。

注意：不要使用 BSY 标志处理每一个数据项的发送和接收，最好使用 TE 和 RNE 标志。

15.3.1.8 关闭 SPI

当通讯结束，可以通过关闭 SPI 模块来终止通讯。清除 SPIEN 位即可关闭 SPI。在某些配置下，如果在传输还未完成时，就关闭 SPI 模块并进入停机模式，则可能导致当前的传输被破坏，而且 BSY 标志也变得不可信。

为了避免发生这种情况，关闭 SPI 模块时，建议按照下述步骤操作：

在主或从模式下的全双工模式 (BDMODE=0, RONLY=0)

1. 等待 RNE=1 并接收最后一个数据；
2. 等待 TE=1；
3. 等待 BSY=0；
4. 关闭 SPI (SPIEN=0)，最后进入停机模式（或关闭该模块的时钟）。

在主或从模式下的单向只发送模式 (BDMODE=0, RONLY=0) 或双向的发送模式 (BDMODE=1, BDOE=1)

在 SPI_DT 寄存器中写入最后一个数据后：

1. 等待 TE=1；
2. 等待 BSY=0；
3. 关闭 SPI (SPIEN=0)，最后进入停机模式（或关闭该模块的时钟）。

在主模式下的单向只接收模式 (MSTEN=1, BDMODE=0, RONLY=1) 或双向的接收模式 (MSTEN=1, BDMODE=1, BDOE=0)

这种情况需要特别地处理，以保证 SPI 不会开始一次新的传输：

1. 等待倒数第二个（第 n-1 个）RNE=1;
2. 在关闭 SPI (SPIEN=0) 之前等待一个 SPI 时钟周期（使用软件延迟）;
3. 在进入停机模式（或关闭该模块的时钟）之前等待最后一个 RNE=1。

注意：在主模式下的双向只接收模式 (MSTEN=1, BDMODE=1, BDOE=0) 时，传输过程中 BSY 标志始终为低。

在从模式下的只接收模式 (MSTEN=0, BDMODE=0, RONLY=1) 或双向的接收模式 (MSTEN=0, BDMODE=1, BDOE=0)

1. 可以在任何时候关闭 SPI (SPIEN=0)，SPI 会在当前的传输结束后被关闭；
2. 如果希望进入停机模式，在进入停机模式（或关闭该模块的时钟）之前必须首先等待 BSY=0。

15.3.1.9 利用 DMA 的 SPI 通信

为了达到最大通信速度，需要及时往 SPI 发送缓冲器填数据，同样接收缓冲器中的数据也必须及时读走以防止溢出。为了方便高速率的数据传输，SPI 实现了一种采用简单的请求/应答的 DMA 机制。

当 SPI_CTRL2 寄存器上的对应使能位被设置时，SPI 模块可以发出 DMA 传输请求。发送缓冲器和接收缓冲器亦有各自的 DMA 请求。

- 发送时，在每次 TE 被设置为‘1’时发出 DMA 请求，DMA 控制器则写数据至 SPI_DT 寄存器，TE 标志因此而被清除。
- 接收时，在每次 RNE 被设置为‘1’时发出 DMA 请求，DMA 控制器则从 SPI_DT 寄存器读出数据，RNE 标志因此而被清除。

当只使用 SPI 发送数据时，只需使能 SPI 的发送 DMA 通道。此时，因为没有读取收到的数据，OVR 被置为‘1’（译注：软件不必理会这个标志）。当只使用 SPI 接收数据时，只需使能 SPI 的接收 DMA 通道。

在发送模式下，当 DMA 已经传输了所有要发送的数据 (DMA_ISTS 寄存器的 TCIF 标志变为‘1’) 后，可以通过监视 BSY 标志以确认 SPI 通信结束，这样可以避免在关闭 SPI 或进入停止模式时，破坏最后一个数据的传输。因此软件需要先等待 TE=1，然后等待 BSY=0。

注意：在不连续的通信中，在写数据到 SPI_DT 的操作与 BSY 位被置为‘1’之间，有 2 个 APB 时钟周期的延迟，因此，在写完最后一个数据后需要先等待 TE=1 再等待 BSY=0。

图 15-11 使用 DMA 发送

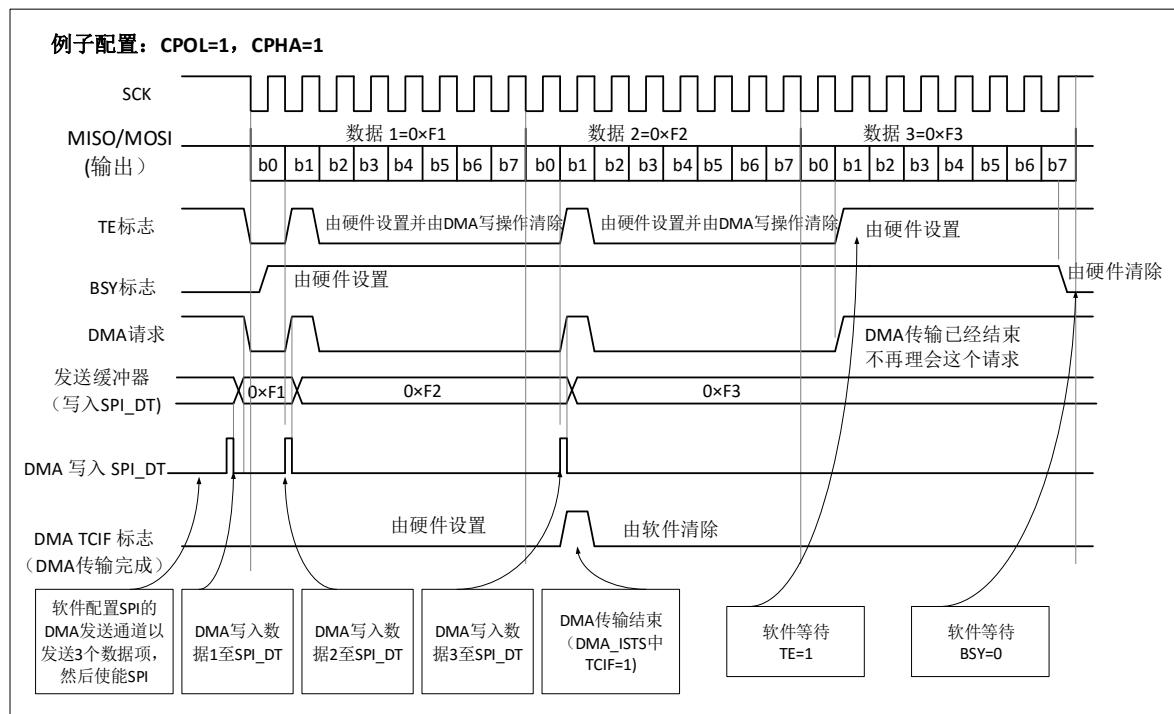
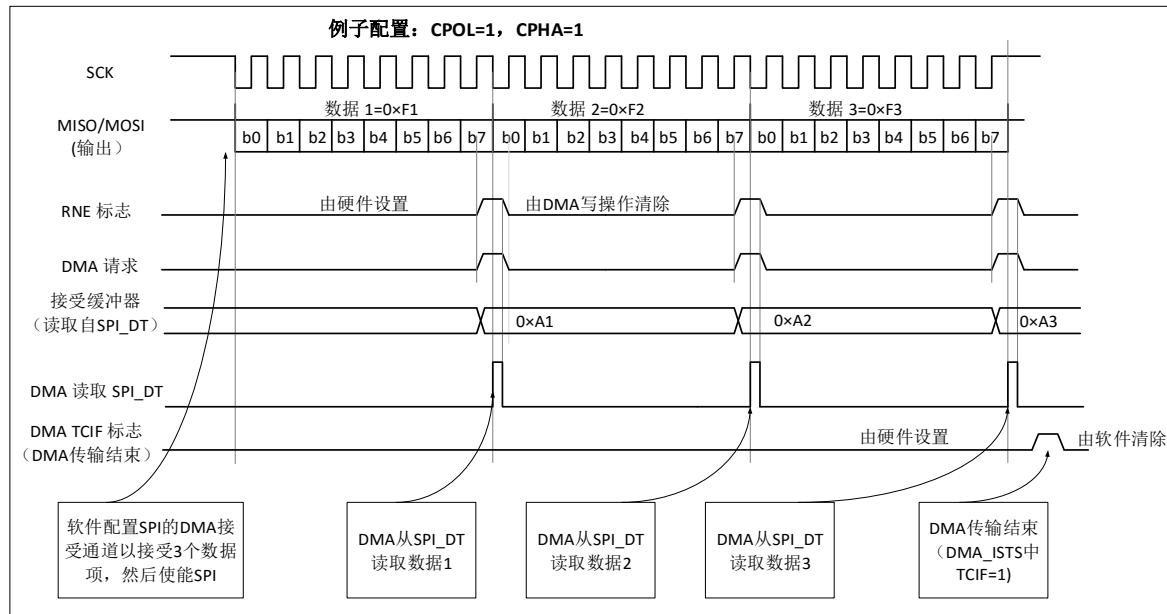


图 17-12 使用 DMA 接收



带 CRC 的 DMA 功能

当使能 SPI 使用 CRC 检验并且启用 DMA 模式时，在通信结束时，CRC 字节的发送和接收是自动完成的。

数据和 CRC 传输结束时，SPI_STS 寄存器的 CERR 标志为'1' 表示在传输期间发生错误。

15.3.1.10 错误标志

主模式失效错误 (MODF)

主模式失效仅发生在：NSS 引脚硬件模式管理下，主设备的 NSS 脚被拉低；或者在 NSS 引脚软件模式管理下，ISS 位被置为'0' 时；MODF 位被自动置位。主模式失效对 SPI 设备有以下影响：

- MODF位被置为'1'，如果设置了ERRIE位，则产生SPI中断；
- SPIEN位被清为'0'。这将停止一切输出，并且关闭SPI接口；
- MSTEN位被清为'0'，因此强迫此设备进入从模式。

下面的步骤用于清除 MODF 位：

1. 当 MODF 位被置为'1'时，执行一次对 SPI_STS 寄存器的读或写操作；
2. 然后写 SPI_CTRL1 寄存器。

在有多个 MCU 的系统中，为了避免出现多个从设备的冲突，必须先拉高该主设备的 NSS 脚，再对 MODF 位进行清零。在完成清零之后，SPIEN 和 MSTEN 位可以恢复到它们的原始状态。

出于安全的考虑，当 MODF 位为'1'时，硬件不允许设置 SPIEN 和 MSTEN 位。

通常配置下，从设备的 MODF 位不能被置为'1'。然而，在多主配置里，一个设备可以在设置了 MODF 位的情况下，处于从设备模式；此时，MODF 位表示可能出现了多主冲突。中断程序可以执行一个复位或返回到默认状态来从错误状态中恢复。

溢出错误

当主设备已经发送了数据字节，而从设备还没有清除前一个数据字节产生的 RNE 时，即为溢出错误。当产生溢出错误时：

- OVR位被置为'1'；当设置了ERRIE位时，则产生中断。

此时，接收器缓冲器的数据不是主设备发送的新数据，读 SPI_DT 寄存器返回的是之前未读的数据，所有随后传送的数据都被丢弃。

依次读出 SPI_DT 寄存器和 SPI_STS 寄存器可将 OVR 清除。

CRC 错误

当设置了 SPI_CTRL 寄存器上的 CCE 位时，CRC 错误标志用来核对接收数据的有效性。如果移位寄存器中接收到的值(发送方发送的 SPI_TCRC 数值)与接收方 SPI_RCRC 寄存器中的数值不匹配，则 SPI_STS 寄存器上的 CERR 标志被置位为'1'。

15.3.1.11 SPI中断

表 15-1 SPI 中断请求

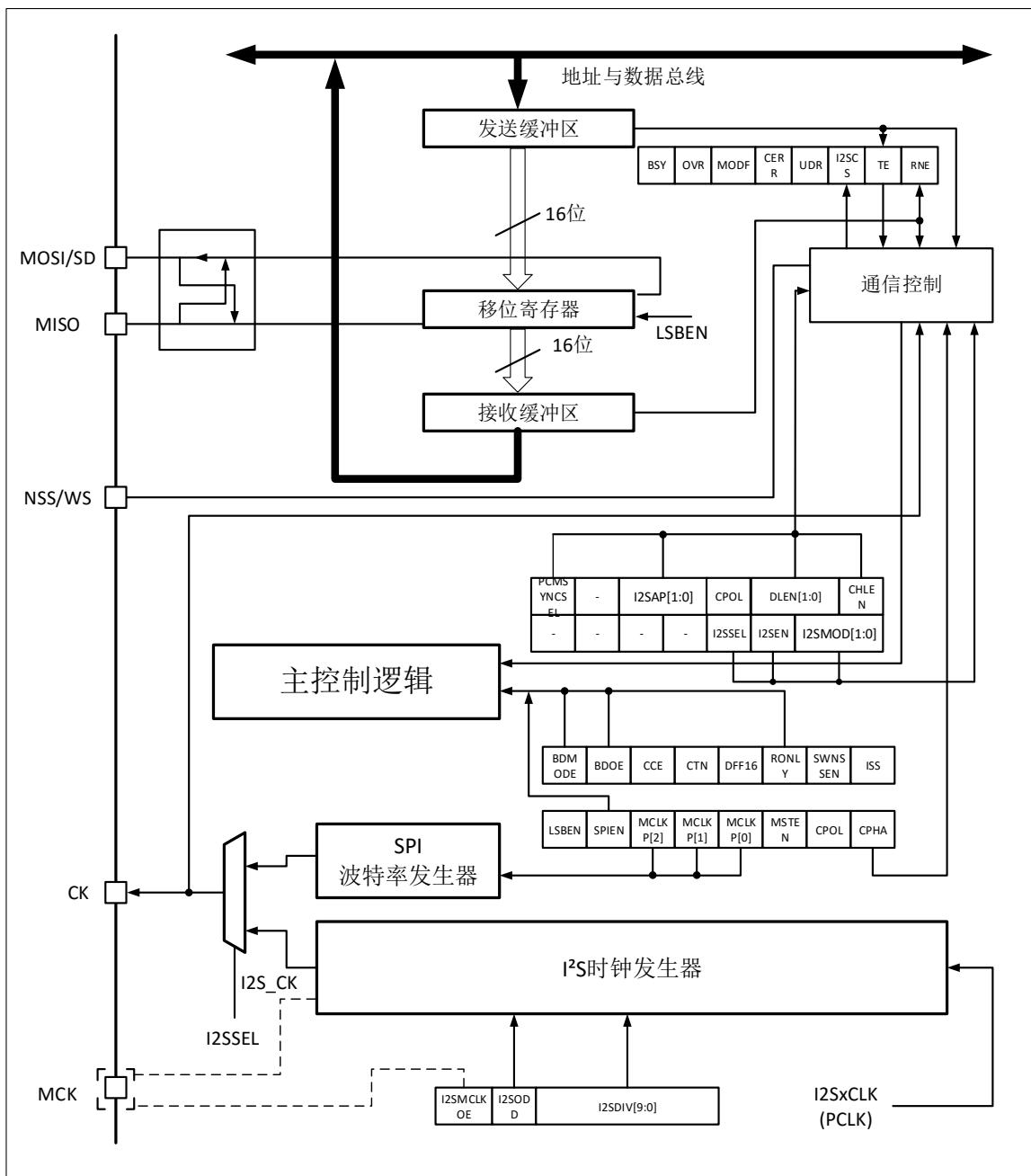
中断事件	事件标志	使能控制位
发送缓冲器空标志	TE	TEIE
接收缓冲器非空标志	RNE	RNEIE
主模式失效事件	MODF	ERRIE
溢出错误	OVR	
CRC 错误标志	CERR	

15.3.2 I²S 功能描述

所有的 AT32F415 产品均支持 I²S 音频协议。

15.3.2.1 I²S 功能描述

I²S 的框图如下图所示：

图 15-13 I²S 框图

通过将寄存器 SPI_I2SCTRL 的 I2SSEL 位置为'1'，即可使能 I²S 功能。此时，可以把 SPI 模块用作 I²S 音频接口。I²S 接口与 SPI 接口使用大致相同的引脚、标志和中断。

I²S 与 SPI 共用 3 个引脚：

- SD: 串行数据（映射至MOSI引脚），用来发送和接收2路时分复用通道的数据；
- WS: 字选（映射至NSS引脚），主模式下作为数据控制信号输出，从模式下作为输入；
- CK: 串行时钟（映射至SCK引脚），主模式下作为时钟信号输出，从模式下作为输入。

在某些外部音频设备需要主时钟时，可以另有一个附加引脚输出时钟：

- MCLK: 主时钟（独立映射），在 I²S 配置为主模式，寄存器 SPI_I2SCLKP 的 I2SMCLKOE 位为'1' 时，作为输出额外的时钟信号引脚使用。输出时钟信号的频率预先设置为 $256 \times F_s$ ，其中 F_s 是音频信号的采样频率。

设置成主模式时， I^2S 使用自身的时钟发生器来产生通信用的时钟信号。这个时钟发生器也是主时钟输出的时钟源。 I^2S 模式下有 2 个额外的寄存器，一个是与时钟发生器配置相关的寄存器 SPI_I2SCLKP，另一个是 I^2S 通用配置寄存器 SPI_I2SCTRL（可设置音频标准、从/主模式、数据格式、数据包帧、时钟极性等参数）。

在 I^2S 模式下不使用寄存器 SPI_CTRL1 和所有的 CRC 寄存器。同样， I^2S 模式下也不使用寄存器 SPI_CTRL2 的 NSSOE 位，和寄存器 SPI_STS 的 MODF 位和 CERR 位。 I^2S 使用与 SPI 相同的寄存器 SPI_DT 用作 16 位宽模式数据传输。

15.3.2.2 支持的音频协议

三线总线支持 2 个声道上音频数据的时分复用：左声道和右声道，但是只有一个 16 位寄存器用作发送或接收。因此，软件必须在对数据寄存器写入数据时，根据当前传输中的声道写入相应数据；同样，在读取寄存器数据时，通过检查寄存器 SPI_STS 的 I2SCS 位来判明接收到的数据属于哪个声道。左声道总是先于右声道发送数据（I2SCS 位在 PCM 协议下无意义）。

有四种可用的数据和包帧组合。可以通过以下四种数据格式发送数据：

- 16位数据打包进16位帧
- 16位数据打包进32位帧
- 24位数据打包进32位帧
- 32位数据打包进32位帧

在使用 16 位数据扩展到 32 位帧时，前 16 位（MSB）是有意义的数据，后 16 位（LSB）被强制为 0，该操作不需要软件干预，也不需要有 DMA 请求（仅需要一次读/写操作）。

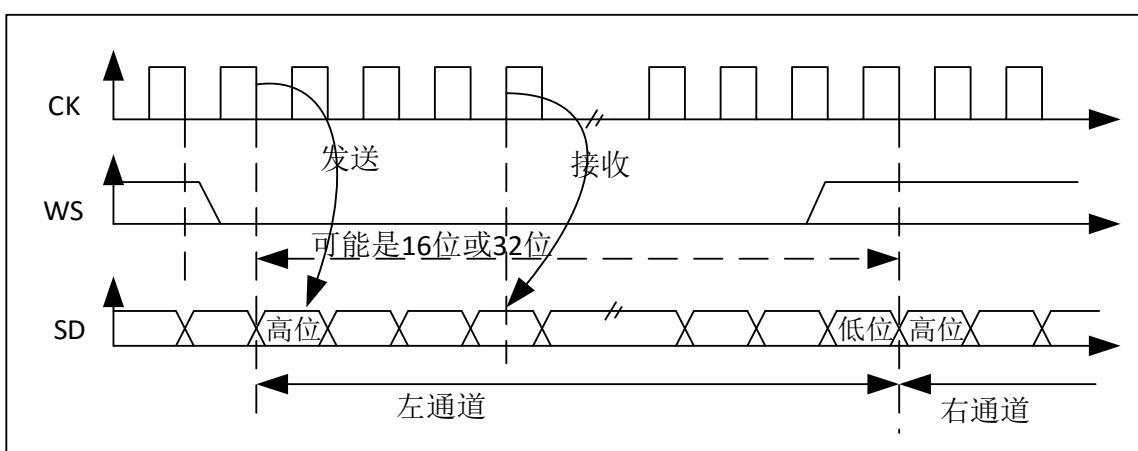
24 位和 32 位数据帧需要 CPU 对寄存器 SPI_DT 进行 2 次读或写操作，在使用 DMA 时，需要 2 次 DMA 传输。对于 24 位数据，扩展到 32 位后，最低 8 位由硬件置 0。对于所有的数据格式和通讯标准，总是先发送最高位（MSB）。

I^2S 接口支持四种音频标准，可以通过设置寄存器 SPI_I2SCTRL 的 I2SAP[1：0] 位和 PCMSYNCSEL 位来选择。

I^2S 飞利浦标准

在此标准下，引脚 WS 用来指示正在发送的数据属于哪个声道。在发送第一位数据（MSB）前 1 个时钟周期，该引脚即为有效。

图 15-14 I^2S 飞利浦协议波形（16/32位全精度，CPOL=0）



发送方在时钟信号（CK）的下降沿改变数据，接收方在上升沿读取数据。WS 信号也在时钟信号的下降沿变化。

图 15-15 I^2S 飞利浦协议标准波形（24位帧，CPOL=0）

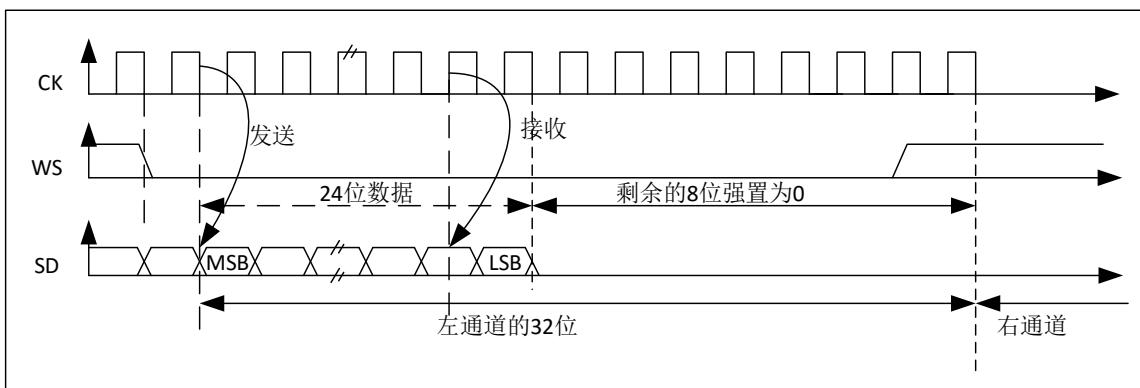


图 15-16 发送 0x8EAA33

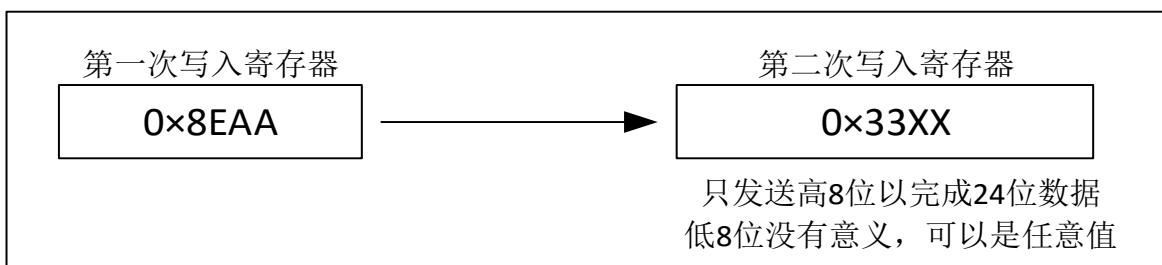
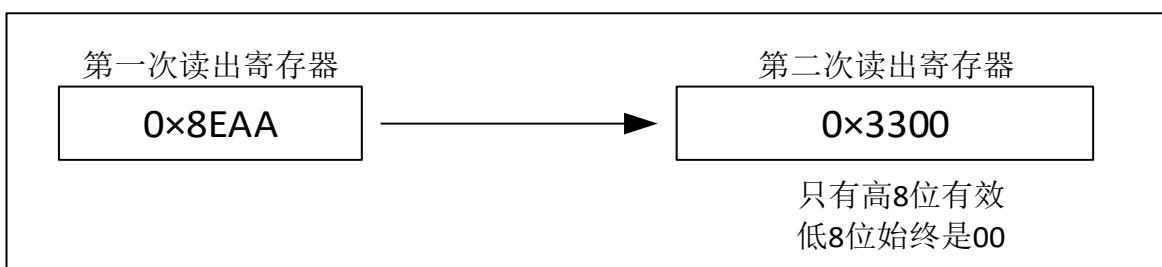
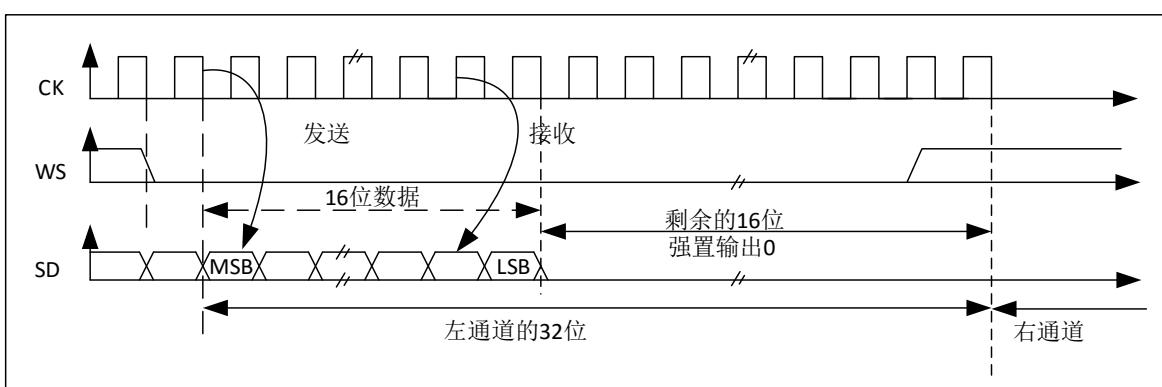


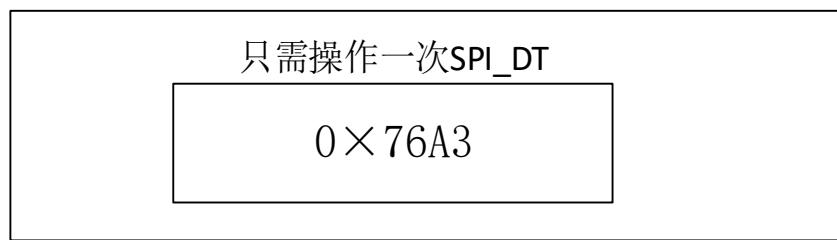
图 15-17 接收 0x8EAA33

图 15-18 I²S 飞利浦协议标准波形（16位扩展至32位包帧，CPOL=0）

在 I²S 配置阶段，如果选择将 16 位数据扩展到 32 位声道帧，只需要访问一次寄存器 SPI_DT。用来扩展到 32 位的低 16 位被硬件置为 0x0000。

如果待传输或者接收的数据是 0x76A3（扩展到 32 位是 0x76A30000），需要的操作如下图所示。

图 15-19 示例



在发送时需要将 MSB 写入寄存器 SPI_DT；标志位 TE 为‘1’表示可以写入新的数据，如果允许了相应的中断，则可以产生中断。发送是由硬件完成的，即使还未发送出后 16 位的 0x0000，也会设置 TE 并产生相应的中断。

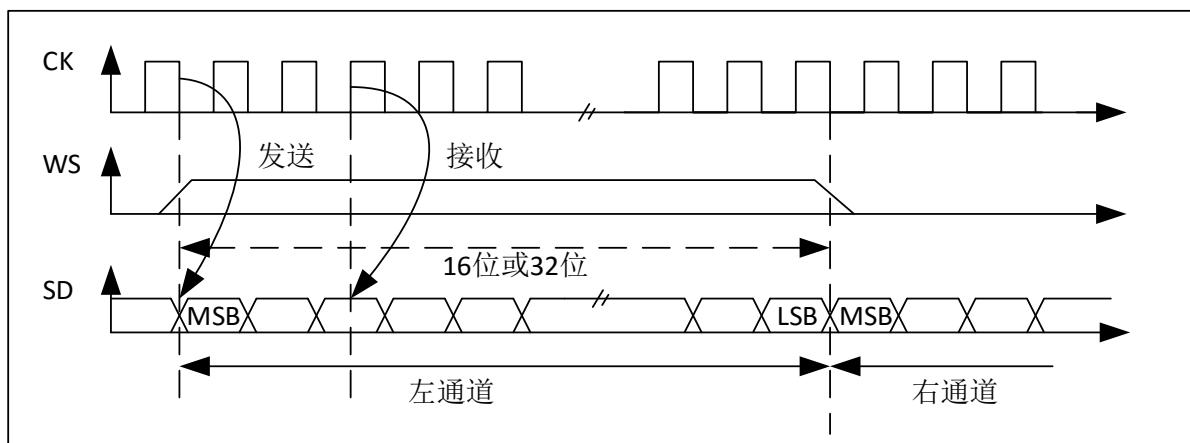
接收时，每次收到高 16 位半字（MSB）后，标志位 RNE 置‘1’，如果允许了相应的中断，则可以产生中断。

这样，在 2 次读和写之间有更多的时间，可以防止下溢或者上溢的情况发生。

MSB 对齐标准

在此标准下，WS 信号和第一个数据位，即最高位（MSB）同时产生。

图 15-20 MSB 对齐 16 位或 32 位全精度，CPOL=0



发送方在时钟信号的下降沿改变数据；接收方是在上升沿读取数据。

图 15-21 MSB 对齐 24 位数据，CPOL=0

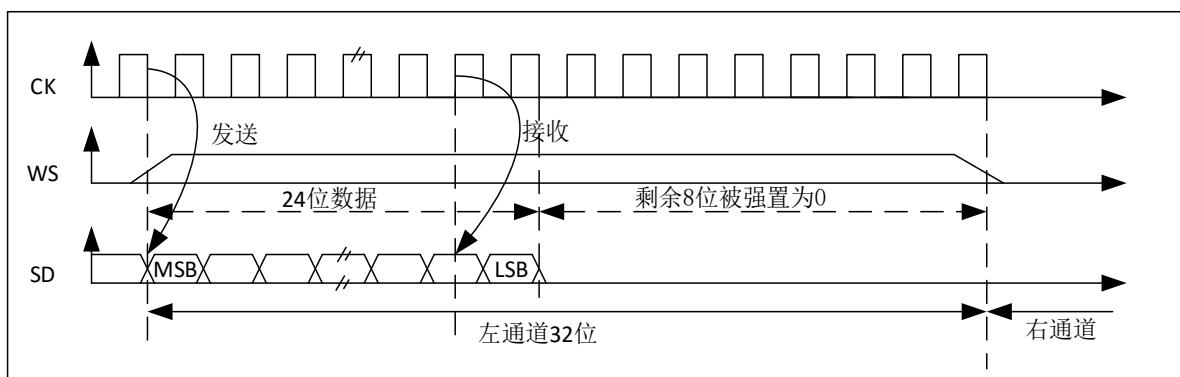
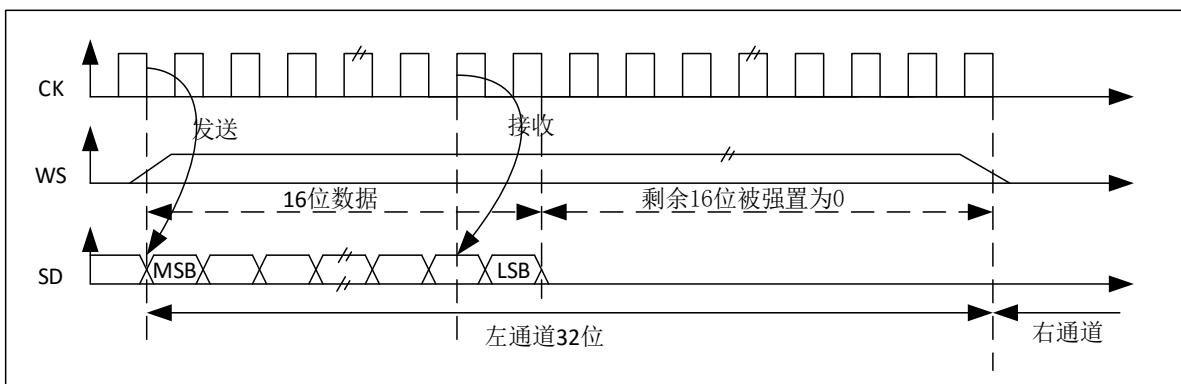


图 15-22 MSB 对齐 16 位数据扩展到 32 位包帧，CPOL=0



LSB 对齐标准

此标准与 MSB 对齐标准类似（在 16 位或 32 位全精度帧格式下无区别）。

图 15-23 LSB 对齐 16 位或 32 位全精度，CPOL=0

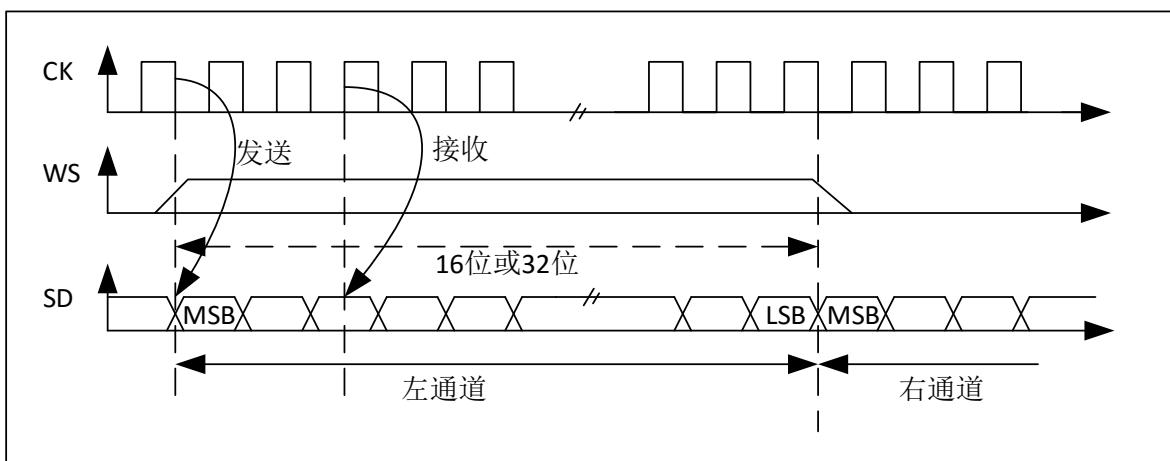
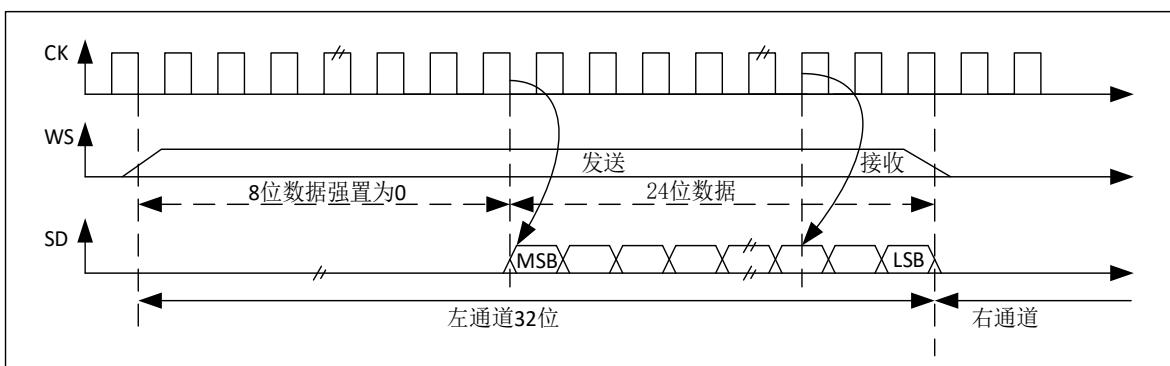


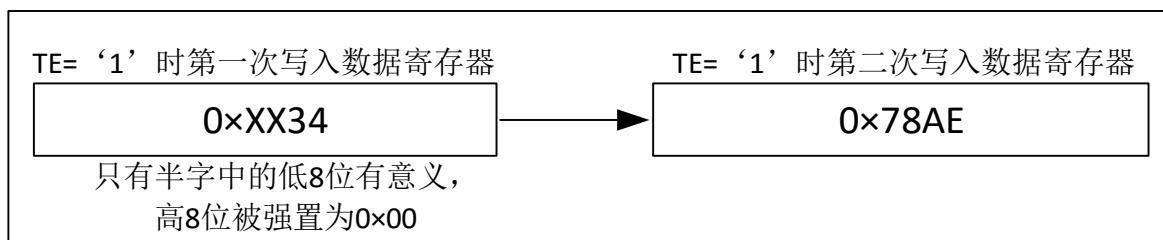
图 15-24 LSB 对齐 24 位数据，CPOL=0



- 在发送模式下

如果要发送数据 0x3478AE，需要通过软件或者 DMA 对寄存器 SPI_DT 进行 2 次写操作。操作流程如下图所示。

图 15-25 要求发送 0x3478AE 的操作



- 在接收模式下
如果要接收数据 0x3478AE，需要在 2 个连续的 RNE 事件发生时，分别对寄存器 SPI_DT 进行 1 次读操作。

图 15-26 要求接收 0x3478AE 的操作

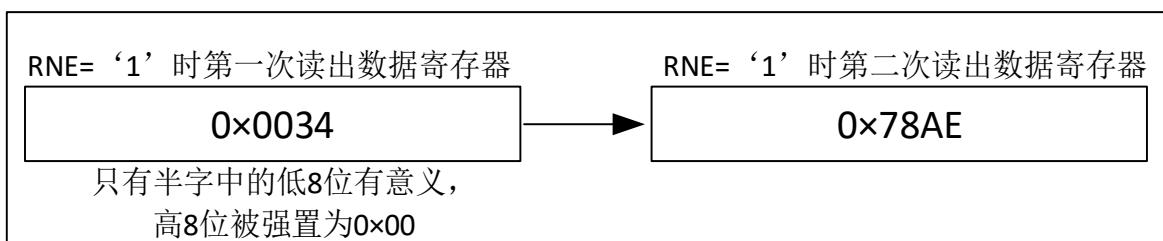
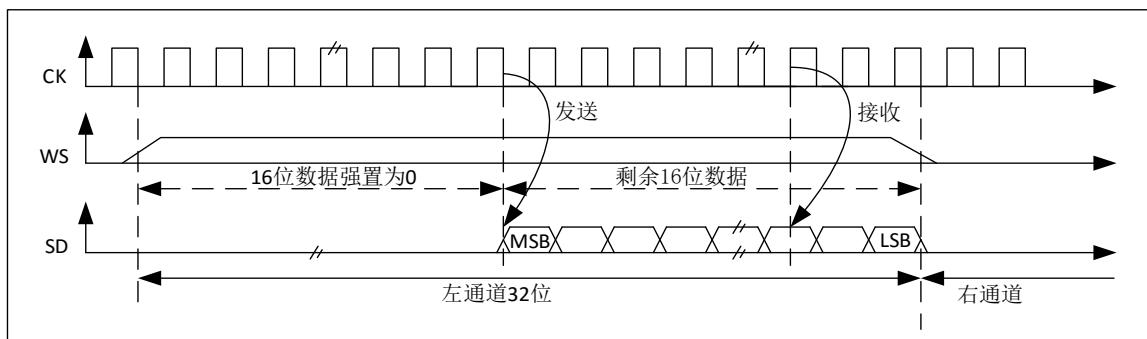


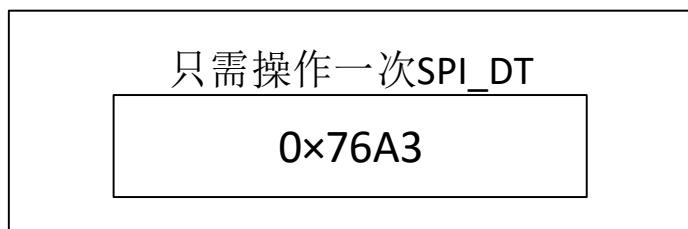
图 15-27 LSB 对齐 16 位数据扩展到 32 位包帧，CPOL=0



在 I2S 配置阶段，如果选择将 16 位数据扩展到 32 声道帧，只需要访问一次寄存器 SPI_DT。此时，扩展到 32 位后的高半字（16 位 MSB）被硬件置为 0x0000。

如果待传输或者接收的数据是 0x76A3（扩展到 32 位是 0x000076A3），需要的操作如下图所示。

图 15-28 示例

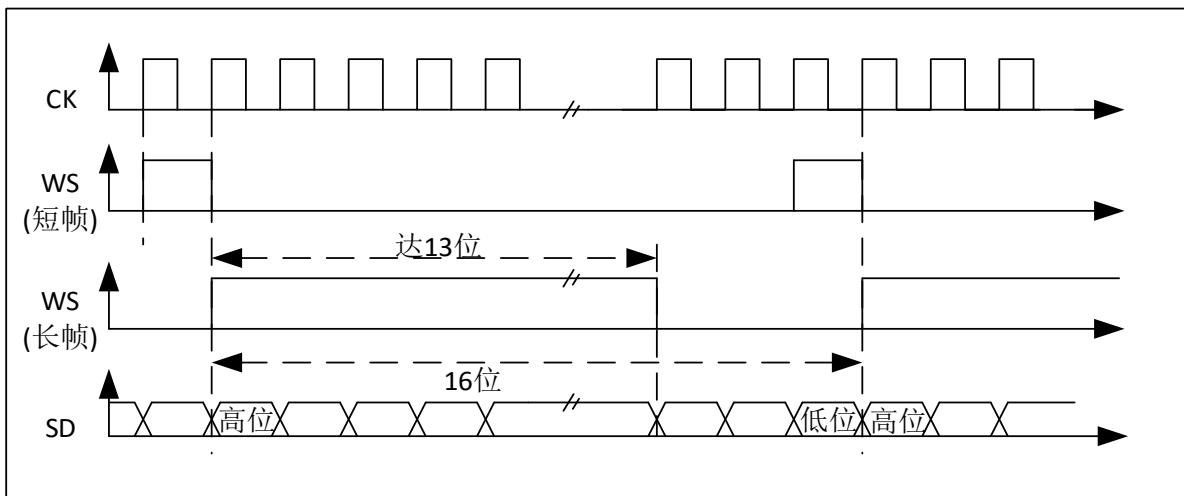


在发送时，如果 TE 为‘1’，用户需要写入待发送的数据（即 0x76A3）。用来扩展到 32 位的 0x0000 部分由硬件首先发送出去，一旦有效数据开始从 SD 引脚送出，即发生下一次 TE 事件。在接收时，一旦接收到有效数据（而不是 0x0000 部分），即发生 RNE 事件。这样，在 2 次读和写之间有更多的时间，可以防止下溢或者上溢的情况发生。

PCM 标准

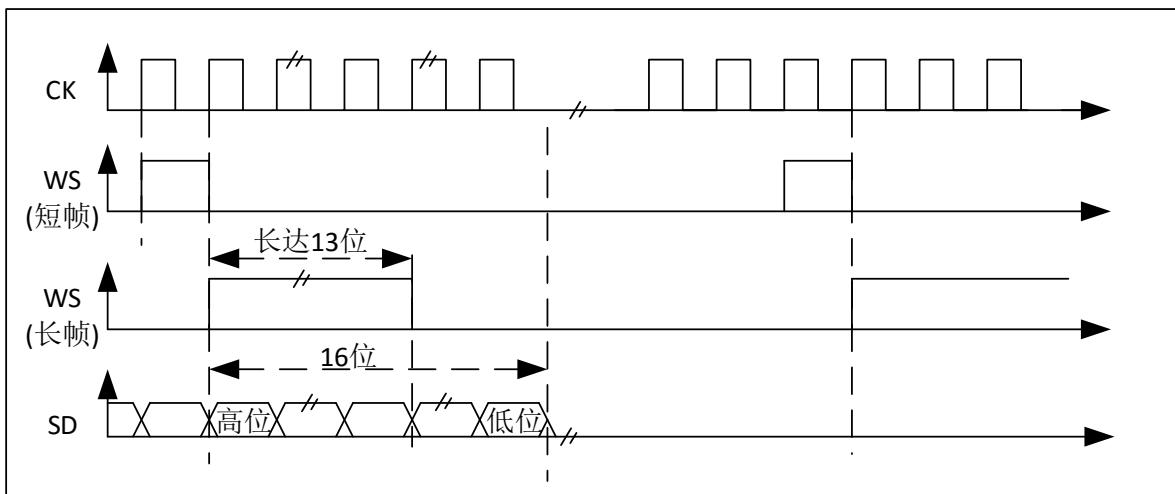
在 PCM 标准下，不存在声道选择的信息。PCM 标准有 2 种可用的帧结构，短帧或者长帧，可以通过设置寄存器 SPI_I2SCTRL 的 PCMSYNCSEL 位来选择。

图 15-29 PCM 标准波形（16位）



对于长帧，主模式下，用来同步的 WS 信号有效的时间固定为 13 位。对于短帧，用来同步的 WS 信号长度只有 1 位。

图 15-30 PCM 标准波形（16位扩展到32位包帧）



注意：无论哪种模式（主或从）、哪种同步方式（短帧或长帧），连续的 2 帧数据之间和 2 个同步信号之间的时间差，（即使是从模式）需要通过设置 SPI_I2SCTRL 寄存器的 DLEN 位和 CHLEN 位来确定。

15.3.2.3 时钟发生器

I2S 的比特率即确定了在 I2S 数据线上的数据流和 I2S 的时钟信号频率。

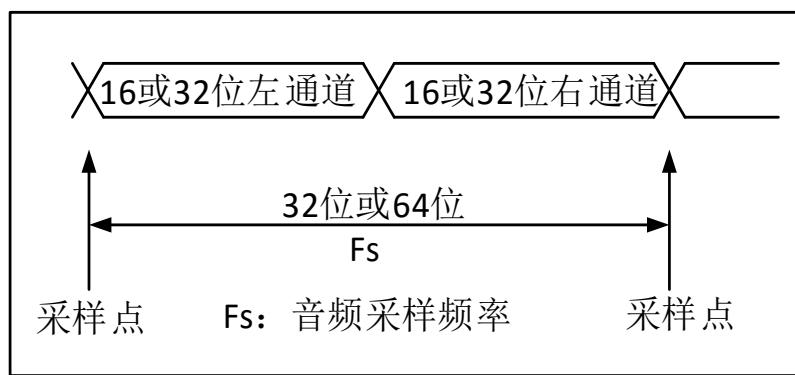
I2S 比特率=每个声道的比特数×声道数目×音频采样频率

对于一个具有左右声道和 16 位音频信号，I2S 比特率计算如下：

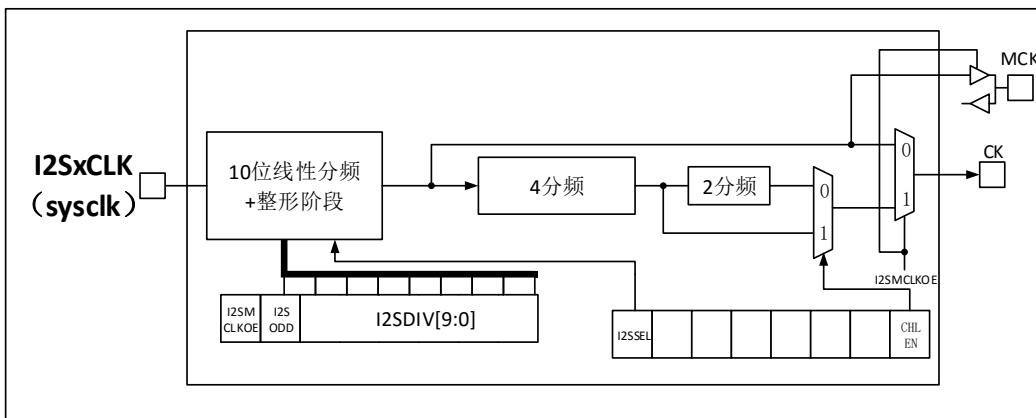
I2S 比特率=16×2×Fs

如果包长为 32 位，则有：I2S 比特率=32×2×Fs

图 15-31 音频采样频率定义



在主模式下，为了获得需要的音频频率，需要正确地对线性分频器进行设置。

图 15-32 I²S 时钟发生器结构

上图中 I2SxCLK 的时钟源是系统时钟（即驱动 AHB 时钟的 HSI、HSE 或 PLL）。

音频的采样频率可以是 192kHz、96kHz、48kHz、44.1kHz、32kHz、22.05kHz、16kHz、11.025kHz 或者 8kHz（或任何此范围内的数值）。为了获得需要的频率，需按照以下公式设置线性分频器：

当需要生成主时钟时（寄存器 SPI_I2SCLKP 的 I2SMCLKOE 位为‘1’）：

$$\text{声道的帧长为 16 位时, } \text{Fs} = \text{I2SxCLK} / [(16 * 2) * ((2 * \text{I2SDIV}) + \text{I2SODD}) * 8]$$

$$\text{声道的帧长为 32 位时, } \text{Fs} = \text{I2SxCLK} / [(32 * 2) * ((2 * \text{I2SDIV}) + \text{I2SODD}) * 4]$$

当关闭主时钟时（I2SMCLKOE 位为‘0’）：

$$\text{声道的帧长为 16 位时, } \text{Fs} = \text{I2SxCLK} / [(16 * 2) * ((2 * \text{I2SDIV}) + \text{I2SODD})]$$

$$\text{声道的帧长为 32 位时, } \text{Fs} = \text{I2SxCLK} / [(32 * 2) * ((2 * \text{I2SDIV}) + \text{I2SODD})]$$

下面 2 张表给出了不同时钟配置时，精确参数的例子。

注意： 可以使用其它配置以达到优化时钟精确度的目的。

表 15-2 使用系统时钟得到精确的音频频率

SysCLK (MHz)	MCLK	TargetFs (Hz)	16bit				32bit			
			I2sDIV	I2S_ODD	RealFs	Error	I2sDIV	I2S_ODD	RealFs	Error
150	NO	192000	12	0	1953125	1.73%	6	0	1953125	1.73%
150	NO	96000	24	1	95663	0.35%	12	0	97656	1.73%
150	NO	48000	49	0	47831	0.35%	24	1	47831	0.35%
150	NO	44100	53	0	44221	0.28%	26	1	442217	0.28%
150	NO	32000	73	0	32106	0.33%	36	1	32106	0.33%
150	NO	22050	106	1	22007	0.19%	53	1	22110	0.28%

150	NO	16000	146	1	15998	0.01%	73	0	16053	0.33%
150	NO	11025	212	1	11029	0.04%	106	1	11003	0.19%
150	NO	8000	293	0	7999	0.01%	146	1	7999	0.01%
150	YES	96000	3	0	97656	1.73%	3	0	97656	1.73%
150	YES	48000	6	0	48828	1.73%	6	0	48828	1.73%
150	YES	44100	6	1	45072	2.20%	6	1	45072	2.20%
150	YES	32000	9	0	32552	1.73%	9	0	32552	1.73%
150	YES	22050	13	1	21701	1.58%	13	1	21701	1.58%
150	YES	16000	18	1	15836	1.02%	18	1	15836	1.02%
150	YES	11025	26	1	11055	0.28%	26	1	11055	0.28%
150	YES	8000	36	2	8026	0.28%	36	2	8026	0.28%
100	No	192000	8	0	195312.5	1.73%	4	0	195312.5	1.73%
100	No	96000	16	1	94696.97	1.36%	8	0	97656.25	1.73%
100	No	48000	32	1	48076.92	0.16%	16	1	47348.48	1.36%
100	No	44100	35	1	44014.08	0.19%	17	1	44642.86	1.23%
100	No	32000	49	0	31887.76	0.35%	24	1	31887.76	0.35%
100	No	22050	71	0	22007.04	0.19%	35	1	22007.04	0.19%
100	No	16000	97	1	16025.64	0.16%	49	0	15943.88	0.35%
100	No	11025	141	1	11042.4	0.16%	71	0	11003.52	0.19%
100	No	8000	195	1	7992.327	0.10%	97	1	8012.821	0.16%
100	Yes	96000	2	0	97656.25	1.73%	2	0	97656.25	1.73%
100	Yes	48000	4	0	48828.13	1.73%	4	0	48828.13	1.73%
100	Yes	44100	4	1	43402.78	1.58%	4	1	43402.78	1.58%
100	Yes	32000	6	0	32552.08	1.73%	6	0	32552.08	1.73%
100	Yes	22050	9	0	21701.39	1.58%	9	0	21701.39	1.58%
100	Yes	16000	12	0	16276.04	1.73%	12	0	16276.04	1.73%
100	Yes	11025	17	1	11160.71	1.23%	17	1	11160.71	1.23%
100	Yes	8000	24	1	7971.939	0.35%	24	1	7971.939	0.35%
72	No	192000	6	0	187500	2.34%	3	0	187500	2.34%
72	No	96000	11	1	97826.09	1.90%	6	0	93750	2.34%
72	No	48000	32	1	34615.38	27.88%	11	1	48913.04	1.90%
72	No	44100	25	1	44117.65	0.04%	13	0	43269.23	1.88%
72	No	32000	35	0	32142.86	0.45%	17	1	32142.86	0.45%
72	No	22050	51	0	22058.82	0.04%	25	1	22058.82	0.04%
72	No	16000	70	1	15957.45	0.27%	35	0	16071.43	0.45%
72	No	11025	102	0	11029.41	0.04%	51	0	11029.41	0.04%
72	No	8000	140	1	8007.117	0.09%	70	1	7978.723	0.27%
72	Yes	96000	2	0	70312.5	26.76%	2	0	70312.5	26.76%
72	Yes	48000	3	0	46875	2.34%	3	0	46875	2.34%
72	Yes	44100	3	0	46875	6.29%	3	0	46875	6.29%
72	Yes	32000	4	1	31250	2.34%	4	1	31250	2.34%
72	Yes	22050	6	1	21634.62	1.88%	6	1	21634.62	1.88%
72	Yes	16000	9	0	15625	2.34%	9	0	15625	2.34%
72	Yes	11025	13	0	10817.31	1.88%	13	0	10817.31	1.88%
72	Yes	8000	17	1	8035.714	0.45%	17	1	8035.714	0.45%

15.3.2.4 I²S主模式

设置I²S工作在主模式，串行时钟由引脚CK输出，字选信号由引脚WS产生。可以通过设置寄存器SPI_I2SCLKP的I2SMCLKOE位来选择输出或者不输出主时钟(MCLK)。

流程

1. 设置寄存器SPI_I2SCLKP的I2SDIV[9:0]定义与音频采样频率相符的串行时钟波特率。同时也要定义寄存器SPI_I2SCLKP的I2SODD位。

2. 设置 CPOL 位定义通信用时钟在空闲时的电平状态。如果需要向外部的 ADC 音频器件提供主时钟 MCLK，将寄存器 SPI_I2SCLKP 的 I2SMCLKOE 位置为'1'。(按照不同的 MCLK 输出状态，计算 I2SDIV 和 I2SODD 的值，详见 [15.4.3 节](#))。
3. 设置寄存器 SPI_I2SCTRL 的 I2SSEL 位为'1'激活 I²S 功能，设置 I2SAP[1: 0]和 PCMSYNCSEL 位选择所用的 I²S 标准，设置 CHLEN 选择每个声道的数据位数。还要设置寄存器 SPI_I2SCTRL 的 I2SMOD[1: 0]选择 I²S 主模式和方向（发送端还是接收端）。
4. 如果需要，可以通过设置寄存器 SPI_CTRL2 来打开所需的中断功能和 DMA 功能。
5. 必须将寄存器 SPI_I2SCTRL 的 I2SEN 位置为'1'。
6. 引脚 WS 和 CK 需要配置为输出模式。如果寄存器 SPI_I2SCLKP 的 I2SMCLKOE 位为'1'，引脚 MCLK 也要配置成输出模式。

发送流程

当写入 1 个半字（16 位）的数据至发送缓存，发送流程开始。假设第一个写入发送缓存的数据对应的是左声道数据。当数据从发送缓存移到移位寄存器时，标志位 TE 置'1'，这时，要把对应右声道的数据写入发送缓存。标志位 I2SCS 提示了目前待传输的数据对应哪个声道。标志位 I2SCS 的值在 TE 为'1'时更新，因此它在 TE 为'1'时有意义。

在先左声道后右声道的数据都传输完成后，才能被认为是一个完整的数据帧。不可以只传输部分数据帧，如仅有左声道的数据。

当发出第一位数据的同时，半字数据被并行地传送至 16 位移位寄存器，然后后面的位依次按高位在先的顺序从引脚 MOSI/SD 发出。每次数据从发送缓存移至移位寄存器时，标志位 TE 置为'1'，如果寄存器 SPI_CTRL2 的 TEIE 位为'1'，则产生中断。

写入数据的操作取决于所选择的 I²S 标准，详见 [15.4.2 节](#)。

为了保证连续的音频数据传输，建议在当前传输完成之前，对寄存器 SPI_DT 写入下一个要传输的数据。

当写入最后一个数据，等待 TE=1 及 BSY=0 后再清除 I2SEN 位关闭 I²S 功能。

接收流程

接收流程的配置步骤除了第 3 点外，与发送流程的一致（参见前述的“发送流程”），需要通过配置 I2SMOD[1: 0]来选择主接收模式。无论何种数据和声道长度，音频数据总是以 16 位包的形式接收。即每次填满接收缓存后，标志位 RNE 置'1'，如果寄存器 SPI_CTRL2 的 RNEIE 位为'1'，则产生中断。根据配置的数据和声道长度，收到左声道或右声道的数据会需要 1 次或者 2 次把数据传送到接收缓存的过程。

对寄存器 SPI_DT 进行读操作即可清除 RNE 标志位。

每次接收以后即更新 I2SCS。它的值取决于 I²S 单元产生的 WS 信号。

读取数据的操作取决于所选择的 I²S 标准，详见 [15.4.2 节](#)。

如果前一个接收到的数据还没有被读取，又接收到新数据，即发生上溢，标志位 OVR 被置为'1'，如果寄存器 SPI_CTRL2 的 ERRIE 位为'1'，则产生中断，表示发生了错误。

若要关闭 I²S 功能，需要执行特别的操作，以保证 I²S 模块可以正常地完成传输周期而不会开始新的数据传输。操作过程与数据配置和通道长度、以及音频协议的模式相关：

- 16位数据扩展到32位通道长度（DLEN=00并且CHLEN=1），使用 LSB（低位）对齐模式（I2SAP=10）
 - a) 等待倒数第二个（n-1）RNE=1;
 - b) 等待 17 个 I²S 时钟周期（使用软件延迟）;
 - c) 关闭 I²S (I2SEN=0)。
- 16位数据扩展到32位通道长度（DLEN=00并且CHLEN=1），使用 MSB（高位）对齐、I²S 或 PCM 模式（分别为 I2SAP=00， I2SAP=01 或 I2SAP=11）
 - a) 等待最后一个 RNE=1;
 - b) 等待 1 个 I²S 时钟周期（使用软件延迟）;
 - c) 关闭 I²S (I2SEN=0)。
- 所有其它 DLEN 和 CHLEN 的组合，I2SAP 选择的任意音频模式，使用下述方式关闭

I^2S :

- a) 等待倒数第二个 ($n-1$) RNE=1;
- b) 等待一个 I^2S 时钟周期 (使用软件延迟);
- c) 关闭 I^2S ($I^2SEN=0$)。

注意：在传输期间 BSY 标志始终为低。

15.3.2.5 I^2S 从模式

在从模式下， I^2S 可以设置成发送和接收模式。从模式的配置方式基本遵循和配置主模式一样的流程。在从模式下，不需要 I^2S 接口提供时钟。时钟信号和 WS 信号都由外部主 I^2S 设备提供，连接到相应的引脚上。因此用户无需配置时钟。

配置步骤列举如下：

1. 设置寄存器 SPI_I2SCTRL 的 I2SEL 位激活 I^2S 功能；设置 I2SAP[1: 0]来选择所用的 I^2S 标准；设置 DLEN[1: 0]选择数据的比特数；设置 CHLEN 选择每个声道的数据位数。设置寄存器 SPI_I2SCTRL 的 I2SMOD[1: 0]选择 I^2S 从模式的数据方向(发送端还是接收端)。
2. 根据需要，设置寄存器 SPI_CTRL2 打开所需的中断功能和 DMA 功能。
3. 必须设置寄存器 SPI_I2SCTRL 的 I2SEN 位为'1'。

发送流程

当外部主设备发送时钟信号，并且当 NSS_WS 信号请求传输数据时，发送流程开始。必须先使能从设备，并且写入 I^2S 数据寄存器之后，外部主设备才能开始通信。

对于 I^2S 的 MSB 对齐和 LSB 对齐模式，第一个写入数据寄存器的数据项对应左声道的数据。当开始通信时，数据从发送缓冲器传送到移位寄存器，然后标志位 TE 置为'1'；这时，要把对应右声道的数据项写入 I^2S 数据寄存器。

标志位 I2SCS 提示了目前待传输的数据对应哪个声道。与主模式的发送流程相比，在从模式中，I2SCS 取决于来自外部主 I^2S 的 WS 信号。这意味着从 I^2S 在接收到主端生成的时钟信号之前，就要准备好第一个要发送的数据。对于 I^2S 的 MSB 对齐和 LSB 对齐模式，WS 信号为'1'表示先发送左声道。

注意：设置 I2SEN 位为'1'的时间，应当比 CK 引脚上的主 I^2S 时钟信号早至少 2 个 PCLK 时钟周期。

当发出第一位数据的时候，半字数据并行地通过 I^2S 内部总线传输至 16 位移位寄存器，然后其它位依次按高位在先的顺序从引脚 MOSI/SD 发出。每次数据从发送缓冲器传送至移位寄存器时，标志位 TE 置'1'，如果寄存器 SPI_CTRL2 的 TEIE 位为'1'，则产生中断。

注意：在对发送缓冲器写入数据前，要确认标志位 TE 为'1'。

写入数据的操作取决于所选中的 I^2S 标准，详见 [15.4.2 节](#)。为了保证连续的音频数据传输，建议在当前传输完成之前，对寄存器 SPI_DT 写入下一个要传输的数据。如果在代表下一个数据传输的第一个时钟边沿到达之前，新的数据仍然没有写入寄存器 SPI_DT，下溢标志位会置'1'，并可能产生中断；它指示软件发送数据错误。如果寄存器 SPI_CTRL2 的 ERRIE 位为'1'，在寄存器 SPI_STS 的标志位 UDR 为高时，就会产生中断。建议在这时关闭 I^2S ，然后重新从左声道开始发送数据。

当写入最后一个数据，等待 TE=1 及 BSY=0 后再清除 I2SEN 位关闭 I^2S 功能。

接收流程

配置步驟除了第 1 点外，与发送流程一致。需要通过配置 I2SMOD[1: 0]来选择主接收模式。无论何种数据和声道长度，音频数据总是以 16 位包的形式接收，即每次填满接收缓存，标志位 RNE 置'1'，如果寄存器 SPI_CTRL2 的 RNEIE 位为'1'，则产生中断。按照不同的数据和声道长度设置，收到左声道或者右声道数据会需要 1 次或者 2 次传输数据至接收缓冲器的过程。

每次接收到数据（将要从 SPI_DT 读出）以后即更新 I2SCS，它对应 I^2S 单元产生的 WS 信号。

读取 SPI_DT 寄存器，将清除 RNE 位。

读取数据的操作取决于所选中的 I^2S 标准，详见 [15.4.2 节](#)。

在还没有读出前一个接收到的数据，又接收到新数据时，即产生上溢，并设置标志位 OVR 为'1'；如果寄存器 SPI_CTRL2 的 ERRIE 位为'1'，则产生中断，指示发生了错误。

要关闭 I^2S 功能时，需要在接收到最后一次 RNE=1 时将 I2SEN 位清'0'。

注意：外部主 I²S 器件需要有通过音频声道发送/接收 16 位或 32 位数据包的功能。

15.3.2.6 状态标志位

有 3 个状态标志位供用户监控 I²S 总线的状态。

忙标志位（BSY）

BSY 标志由硬件设置与清除（写入此位无效果），该标志位指示 I²S 通信层的状态。

该位为'1'时表明 I²S 通讯正在进行中，但有一个例外：主接收模式（I2SMOD=11）下，在接收期间 BSY 标志始终为低。

在软件要关闭 SPI 模块之前，可以使用 BSY 标志检测传输是否结束，这样可以避免破坏最后一次传输，因此需要严格按照下述过程执行。

当传输开始时，BSY 标志被置为'1'，除非 I²S 模块处于主接收模式。

下述情况时，该标志位被清除：

- 当传输结束时（除了主发送模式，这种模式下通信是连续的）；
- 当关闭 I²S 模块时。

当通信是连续的时候：

- 在主发送模式时，整个传输期间，BSY 标志始终为高；
- 在从模式时，每个数据项传输之间，BSY 标志在 1 个 I²S 时钟周期内变低。

注意：不要使用 BSY 标志处理每一个数据项的发送和接收，最好使用 TE 和 RNE 标志。

发送缓存空标志位（TE）

该标志位为'1'表示发送缓冲器为空，可以对发送缓冲器写入新的待发送数据。在发送缓冲器中已有数据时，标志位清'0'。在 I²S 被关闭时（I2SEN 位为'0'），该标志位也为'0'。

接收缓存非空标志位（RNE）

该标志位置'1'表示在接收缓存里有接收到的有效数据。在读取寄存器 SPI_DT 时，该位清'0'。

声道标志位（I2SCS）

在发送模式下，该标志位在 TE 为高时刷新，指示从 SD 引脚上发送的数据所在的声音。如果在从发送模式下发生了下溢错误，该标志位的值无效，在重新开始通讯前需要把 I²S 关闭再打开。

在接收模式下，该标志位在寄存器 SPI_DT 接收到数据时刷新，指示接收到的数据所在的声音。

注意：如果发生错误（如上溢 OVR），该标志位无意义，需要将 I²S 关闭再打开（同时，如果必要修改 I²S 的配置）。

在 PCM 标准下，无论短帧格式还是长帧格式，这个标志位都没有意义。

如果寄存器 SPI_STS 的标志位 OVR 或 UDR 为'1'，且寄存器 SPI_CTRL2 的 ERRIE 位为'1'，则会产生中断。（中断源已经被清除后）可以通过读寄存器 SPI_STS 来清除中断标志。

15.3.2.7 错误标志位

I²S 单元有 2 个错误标志位。

下溢标志位（UDR）

在从发送模式下，如果数据传输的第一个时钟边沿到达时，新的数据仍然没有写入 SPI_DT 寄存器，该标志位会被置'1'。在寄存器 SPI_I2SCTRL 的 I2SSEL 位置'1'后，该标志位才有效。如果寄存器 SPI_CTRL2 的 ERRIE 位为'1'，就会产生中断。

通过对寄存器 SPI_STS 进行读操作来清除该标志位。

上溢标志位（OVR）

如果还没有读出前一个接收到的数据时，又接收到新的数据，即产生上溢，该标志位置'1'，如果寄存器 SPI_CTRL2 的 ERRIE 位为'1'，则产生中断指示发生了错误。

这时，接收缓存的内容，不会刷新为从发送设备送来的新数据。对寄存器 SPI_DT 的读操作返回最后一个正确接收到的数据。其他所有在上溢发生后由发送设备发出的 16 位数据都会丢失。

通过先读寄存器 SPI_STS 再读寄存器 SPI_DT，来清除该标志位。

15.3.2.8 I²S 中断

下表列举了全部 I²S 中断。

表15-3 I²S中断请求

中断事件	事件标志位	使能标志位
发送缓冲器空标志位	TE	TEIE
接收缓冲器非空标志位	RNE	RNEIE
上溢标志位	OVR	ERRIE
下溢标志位	UDR	

15.3.2.9 DMA功能

DMA 的工作方式在 I²S 模式除了 CRC 功能不可用以外，与在 SPI 模式完全相同。

因为在 I^2S 模式下没有数据传输保护系统。

15.4 SPI寄存器

可以用半字(16位)或字(32位)的方式操作这些外设寄存器。

表15-4 SPI寄存器列表及其复位值

15.4.1 SPI控制寄存器1 (SPI_CTRL1) (I²S模式下不使用)

地址偏移: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BD MO DE	BD OE	CCE	CTN	DFF 16	RO NLY	SW NSS EN	ISS	LSB EN	SPI EN	MCLKP[2: 0]	MST EN	CP OL	CPH A		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15	BDMODE: 双向数据模式使能 (Bidirectional data mode enable) 0: 选择“双线单向”模式; 1: 选择“单线双向”模式。 注: I ² S 模式下不使用。
位 14	BDOE: 双向模式下的输出使能 (Output enable in bidirectional mode) 和 BDMODE 位一起决定在“单线双向”模式下数据的输出方向 0: 输出禁止 (只收模式); 1: 输出使能 (只发模式)。 这个“单线”数据线在主设备端为 MOSI 引脚, 在从设备端为 MISO 引脚。 注: I ² S 模式下不使用。
位 13	CCE: 硬件 CRC 校验使能 (Hardware CRC calculation enable) 0: 禁止 CRC 计算; 1: 启动 CRC 计算。 注: 只有在禁止 SPI 时 (SPIEN=0), 才能写该位, 否则出错。该位只能在全双工模式下使用。 注: I ² S 模式下不使用。
位 12	CTN: 下一个发送 CRC (Transmit CRC next) 0: 下一个发送的值来自发送缓冲区。 1: 下一个发送的值来自发送 CRC 寄存器。 注: 在 SPI_DT 寄存器写入最后一个数据后应马上设置该位。 注: I ² S 模式下不使用。
位 11	DFF16: 数据帧格式 (Data frame format) 0: 使用 8 位数据帧格式进行发送/接收; 1: 使用 16 位数据帧格式进行发送/接收。 注: 只有当 SPI 禁止 (SPIEN=0) 时, 才能写该位, 否则出错。 注: I ² S 模式下不使用。
位 10	RONLY: 只接收 (Receive only) 该位和 BDMODE 位一起决定在“双线双向”模式下的传输方向。在多个从设备的配置中, 在未被访问的从设备上该位被置 1, 使得只有被访问的从设备有输出, 从而不会造成数据线上数据冲突。 0: 全双工 (发送和接收); 1: 禁止输出 (只接收模式)。 注: I ² S 模式下不使用。
位 9	SWNSSEN: 软件从设备管理 (Software slave management) 当 SWNSSEN 被置位时, NSS 引脚上的电平由 ISS 位的值决定。 0: 禁止软件从设备管理; 1: 启用软件从设备管理。 注: I ² S 模式下不使用。
位 8	ISS: 内部从设备选择 (Internal slave select) 该位只在 SWNSSEN 位为'1'时有意义。它决定了 NSS 上的电平, 在 NSS 引脚上的 I/O 操作无效。 注: I ² S 模式下不使用。

位 7	LSBEN: 帧格式 (Frame format) 0: 先发送 MSB; 1: 先发送 LSB。 注: 当通信在进行时不能改变该位的值。 注: I ² S 模式下不使用。
位 6	SPIEN: SPI 使能 (SPI enable) 0: 禁止 SPI 设备; 1: 开启 SPI 设备。 注: I ² S 模式下不使用。 注: 当关闭 SPI 设备时, 请按照 第 17.3.1.8 节 的过程操作。
位 5: 3	MCLKP[2: 0]: 波特率控制 (Baudrate control) MCLKP[3]位在 SPI_CTRL2 寄存器, MCLKP[3:0]: 0000: f _{PCLK} /2 0001: f _{PCLK} /4 0010: f _{PCLK} /8 0011: f _{PCLK} /16 0100: f _{PCLK} /32 0101: f _{PCLK} /64 0110: f _{PCLK} /128 0111: f _{PCLK} /256 1000: f _{PCLK} /512 1001: f _{PCLK} /1024 当通信正在进行的时候, 不能修改这些位。 注: I ² S 模式下不使用。
位 2	MSTEN: 主设备选择 (Master selection) 0: 配置为从设备; 1: 配置为主设备。 注: 当通信正在进行的时候, 不能修改该位。 注: I ² S 模式下不使用。
位 1	CPOL: 时钟极性 (Clock polarity) 0: 空闲状态时, SCK 保持低电平; 1: 空闲状态时, SCK 保持高电平。 注: 当通信正在进行的时候, 不能修改该位。 注: I ² S 模式下不使用。
位 0	CPHA: 时钟相位 (Clock phase) 0: 数据采样从第一个时钟边沿开始; 1: 数据采样从第二个时钟边沿开始。 注: 当通信正在进行的时候, 不能修改该位。 注: I ² S 模式下不使用。

15.4.2 SPI控制寄存器2 (SPI_CTRL2)

地址偏移: 0x04

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留					MCLKP[3]	TEIE	RNEIE	ERRIE	保留	NSSOE	DMA TEN	DMA REN			
res					rw	rw	rw	rw	res	rw	rw	rw			

位 15: 9	保留位, 硬件强制为 0
位 8	MCLKP[3]: 波特率控制 (Baudrate control) 详见 MCLKP[2: 0]在 SPI_CTRL1 寄存器。
位 7	TEIE: 发送缓冲区空中断使能 (Rx buffer empty interrupt enable) 0: 禁止 TE 中断; 1: 允许 TE 中断, 当 TE 标志置位为'1'时产生中断请求。
位 6	RNEIE: 接收缓冲区非空中断使能 (RX buffer not empty interrupt enable) 0: 禁止 RNE 中断; 1: 允许 RNE 中断, 当 RNE 标志置位时产生中断请求。

位 5	ERRIE: 错误中断使能 (Error interrupt enable) 当错误 (CERR、OVR、MODF) 产生时, 该位控制是否产生中断 0: 禁止错误中断; 1: 允许错误中断。
位 4: 3	保留位, 硬件强制为 0。
位 2	NSSOE: SS 输出使能 (SS output enable) 0: 禁止在主模式下 SS 输出, 该设备可以工作在多主设备模式; 1: 设备开启时, 开启主模式下 SS 输出, 该设备不能工作在多主设备模式。 注: I ² S 模式下不使用。
位 1	DMATEN: 发送缓冲区 DMA 使能 (DMA Tx enable) 当该位被设置时, TE 标志一旦被置位就发出 DMA 请求 0: 禁止发送缓冲区 DMA; 1: 启动发送缓冲区 DMA。
位 0	DMAREN: 接收缓冲区 DMA 使能 (DMA Rx enable) 当该位被设置时, RNE 标志一旦被置位就发出 DMA 请求 0: 禁止接收缓冲区 DMA; 1: 启动接收缓冲区 DMA。

15.4.3 SPI状态寄存器 (SPI_STS)

地址偏移: 0x08

复位值: 0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留					BSY	OVR	MO DF	CERR	UD R	I ² S CS	TE	RNE			
res					r	r	r	r_w0	r	r	r	r			

位 15: 8	保留位, 硬件强制为 0
位 7	BSY: 忙标志 (Busy flag) 0: SPI 不忙; 1: SPI 正忙于通信, 或者发送缓冲非空。 该位由硬件置位或者复位。 注: 使用这个标志时需要特别注意, 详见第 17.3.1.7 节和第 17.3.1.8 节。
位 6	OVR: 溢出标志 (Over run flag) 0: 没有出现溢出错误; 1: 出现溢出错误。 该位由硬件置位, 由软件序列复位。 关于软件序列的详细信息, 参考 17.3.2.7 节。
位 5	MODF: 模式错误 (Mode fault) 0: 没有出现模式错误; 1: 出现模式错误。 该位由硬件置位, 由软件序列复位。 关于软件序列的详细信息, 参考 17.3.2.7 节。 注: I ² S 模式下不使用。
位 4	CERR: CRC 错误标志 (CRC error flag) 0: 收到的 CRC 值和 SPI_RCRC 寄存器中的值匹配; 1: 收到的 CRC 值和 SPI_RCRC 寄存器中的值不匹配。 该位由硬件置位, 由软件写'0'而复位。 注: I ² S 模式下不使用。

位 3	UDR: 下溢标志位 (Under run flag) 0: 未发生下溢; 1: 发生下溢。 该标志位由硬件置'1', 由一个软件序列清'0', 详见 17.3.2.7 节 。 注: 在 SPI 模式下不使用。
位 2	I2SCS: 声道 (Channel side) 0: 需要传输或者接收左声道; 1: 需要传输或者接收右声道。 注: 在 SPI 模式下不使用。在 PCM 模式下无意义。
位 1	TE: 发送缓冲为空 (Transmit buffer empty) 0: 发送缓冲非空; 1: 发送缓冲为空。
位 0	RNE: 接收缓冲非空 (Receive buffer not empty) 0: 接收缓冲为空; 1: 接收缓冲非空。

15.4.4 SPI数据寄存器 (SPI_DT)

地址偏移: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DT[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15: 0	DT[15: 0]: 数据寄存器 (Dataregister) 待发送或者已经收到的数据 数据寄存器对应两个缓冲区: 一个用于写 (发送缓冲); 另外一个用于读 (接收缓冲)。 写操作将数据写到发送缓冲区; 读操作将返回接收缓冲区里的数据。 对 SPI 模式的注释: 根据 SPI_CTRL1 的 DFF16 位对数据帧格式的选择, 数据的发送和接收可以是 8 位或者 16 位的。为保证正确的操作, 需要在启用 SPI 之前就确定好数据帧格式。 对于 8 位的数据, 缓冲器是 8 位的, 发送和接收时只会用到 SPI_DT[7: 0]。在接收时, SPI_DT[15: 8]被强制为 0。 对于 16 位的数据, 缓冲器是 16 位的, 发送和接收时会用到整个数据寄存器, 即 SPI_DT[15: 0]
---------	--

15.4.5 SPICRC多项式寄存器 (SPI_CPOLY) (I²S模式下不使用)

地址偏移: 0x10

复位值: 0x0007

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CPOLY[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15: 0	CPOLY[15: 0]: CRC 多项式寄存器 (CRCpolynomialregister) 该寄存器包含了 CRC 计算时用到的多项式。其复位值为 0x0007，根据应用可以设置其他数值。 注：在 I ² S 模式下不使用。
---------	--

15.4.6 SPIRxCRC 寄存器 (SPI_RCRC) (I²S 模式下不使用)

地址偏移: 0x14

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCRC[15: 0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 15: 0	RCRC[15: 0]: 接收 CRC 寄存器 在启用 CRC 计算时，RCRC[15: 0]中包含了依据收到的字节计算的 CRC 数值。当在 SPI_CTRL1 的 CCE 位写入'1'时，该寄存器被复位。CRC 计算使用 SPI_CPOLY 中的多项式。当数据帧格式被设置为 8 位时，仅低 8 位参与计算，并且按照 CRC8 的方法进行；当数据帧格式为 16 位时，寄存器中的所有 16 位都参与计算，并且按照 CRC16 的标准。 注：当 BSY 标志为'1'时读该寄存器，将可能读到不正确的数值。 注：在 I ² S 模式下不使用。
---------	---

15.4.7 SPITxCRC 寄存器 (SPI_TCRC)

地址偏移: 0x18

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCRC[15: 0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 15: 0	TCRC[15: 0]: 发送 CRC 寄存器 在启用 CRC 计算时，TCRC[15: 0]中包含了依据将要发送的字节计算的 CRC 数值。当在 SPI_CTRL1 中的 CCE 位写入'1'时，该寄存器被复位。CRC 计算使用 SPI_CPOLY 中的多项式。 当数据帧格式被设置为 8 位时，仅低 8 位参与计算，并且按照 CRC8 的方法进行；当数据帧格式为 16 位时，寄存器中的所有 16 位都参与计算，并且按照 CRC16 的标准。 注：当 BSY 标志为'1'时读该寄存器，将可能读到不正确的数值。 注：在 I ² S 模式下不使用。
---------	--

15.4.8 SPI_I2S 配置寄存器 (SPI_I2SCTRL)

地址偏移: 0x1C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
保留	I2SS EL	I2SE N	I2SMOD[1: 0]	PCMS YNCS EL	保留	I2SAP[1: 0]	CPO L	DLEN[1: 0]	CHL EN															
res	rw	rw	rw	rw	rw	res	rw	rw	rw	保留位，硬件强制为 0														
位 15: 12	保留位，硬件强制为 0																							

位 11	I2SEL: I ² S 模式选择 (I ² S mode selection) 0: 选择 SPI 模式; 1: 选择 I ² S 模式。 注: 该位只有在关闭了 SPI 或者 I ² S 时才能设置。
位 10	I2SEN: I ² S 使能 (I ² S enable) 0: 关闭 I ² S; 1: I ² S 使能。 注: 在 SPI 模式下不使用。
位 9: 8	I2SMOD[1: 0]: I2S 模式设置 (I2S configuration mode) 00: 从设备发送; 01: 从设备接收; 10: 主设备发送; 11: 主设备接收。 注: 该位只有在关闭了 I2S 时才能设置。 在 SPI 模式下不使用。
位 7	PCMSYNCSEL: PCM 帧同步 (PCM frame synchronization) 0: 短帧同步; 1: 长帧同步。 注: 该位只在 I2SAP=11 (使用 PCM 标准) 时有意义。 在 SPI 模式下不使用。
位 6	保留位, 硬件强制为 0。
位 5: 4	I2SAP[1: 0]: I2S 标准选择 (I2S standard selection) 00: I2S 飞利浦标准; 01: 高字节对齐标准 (左对齐); 10: 低字节对齐标准 (右对齐); 11: PCM 标准。关于 I2S 标准的细节, 详见 17.3.2.2 节 。 注: 为了正确操作, 只有在关闭了 I2S 时才能设置该位。 在 SPI 模式下不使用。
位 3	CPOL: 静止态时钟极性 (Steady state clock polarity) 0: I2S 时钟静止态为低电平; 1: I2S 时钟静止态为高电平。 注: 为了正确操作, 该位只有在关闭了 I2S 时才能设置。 在 SPI 模式下不使用。
位 2: 1	DLEN[1: 0]: 待传输数据长度 (Data length to be transferred) 00: 16 位数据长度; 01: 24 位数据长度; 10: 32 位数据长度; 11: 不允许。 注: 为了正确操作, 该位只有在关闭了 I2S 时才能设置。 在 SPI 模式下不使用。
位 0	CHLEN: 声道长度 (每个音频声道的数据位数) (Channel length (number of bits per audio channel)) 0: 16 位宽; 1: 32 位宽。 只有在 DLEN=00 时该位的写操作才有意义, 否则声道长度都由硬件固定为 32 位。 注: 为了正确操作, 该位只有在关闭了 I2S 时才能设置。 在 SPI 模式下不使用。

15.4.9 SPI_I2S预分频寄存器 (SPI_I2SCLKP)

地址偏移: 0x20

复位值: 0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	I2SDIV[9: 8]	I2SM CLK OE	I2SO DD	I2SDIV[7: 0]											

res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 15: 12	保留位, 硬件强制为 0											
位 12: 11	I2SDIV[9: 8]: I2S 线性预分频 (I2Slinearprescaler) 描述见 I2SDIV[7: 0].											
位 9	I2SMCLKOE: 主设备时钟输出使能 (LENasterclockoutputenable) 0: 关闭主设备时钟输出; 1: 主设备时钟输出使能。 注: 为了正确操作, 该位只有在关闭了 I2S 时才能设置。仅在 I2S 主设备模式下使用该位。在 SPI 模式下不使用。											
位 8	I2SODD: 奇系数预分频 (Oddfactorfortheprescaler) 0: 实际分频系数=I2SDIV*2; 1: 实际分频系数=(I2SDIV*2)+1。 参见 17.3.2.3 节 。 注: 为了正确操作, 该位只有在关闭了 I2S 时才能设置。仅在 I2S 主设备模式下使用该位。在 SPI 模式下不使用。											
位 7: 0	I2SDIV[7: 0]: I2S 线性预分频 (I2Slinearprescaler) I2SDIV[9: 8]设置在 bit12: 11。 禁止设置 I2SDIV[9: 0]=0 或者 I2SDIV[9: 0]=1 参见 17.3.2.3 节 。 注: 为了正确操作, 该位只有在关闭了 I2S 时才能设置。仅在 I2S 主设备模式下使用该位。在 SPI 模式下不使用。											

16 CAN总线控制器

16.1 简介

bxCAN 是基本扩展 CAN (Basic Extended CAN) 的缩写, 它支持 CAN 协议 2.0A 和 2.0B。它的设计目标是以最小的 CPU 负荷来高效处理大量收到的报文。它也支持报文发送的优先级要求 (优先级特性可软件配置)。

对于安全紧要的应用, bxCAN 提供所有支持时间触发通信模式所需的硬件功能。

16.2 主要特点

- 支持 CAN 协议 2.0A 和 2.0B 主动模式
- 波特率最高可达 1 兆位/秒
- 支持时间触发通信功能

发送

- 3 个发送邮箱
- 发送报文的优先级特性可软件配置
- 记录发送 SOF 时刻的时间戳

接收

- 3 级深度的 2 个接收 FIFO
- 可变的过滤器组:
 - 有 14 个过滤器组
- 标识符列表
- FIFO 溢出处理方式可配置
- 记录接收 SOF 时刻的时间戳

时间触发通信模式

- 禁止自动重传模式
- 16 位自由运行定时器
- 可在最后 2 个数据字节发送时间戳

管理

- 中断可屏蔽
- 邮箱占用单独 1 块地址空间，便于提高软件效率

CAN 的 SRAM 存储器

- CAN 负责管理 512 字节的 SRAM 存储器

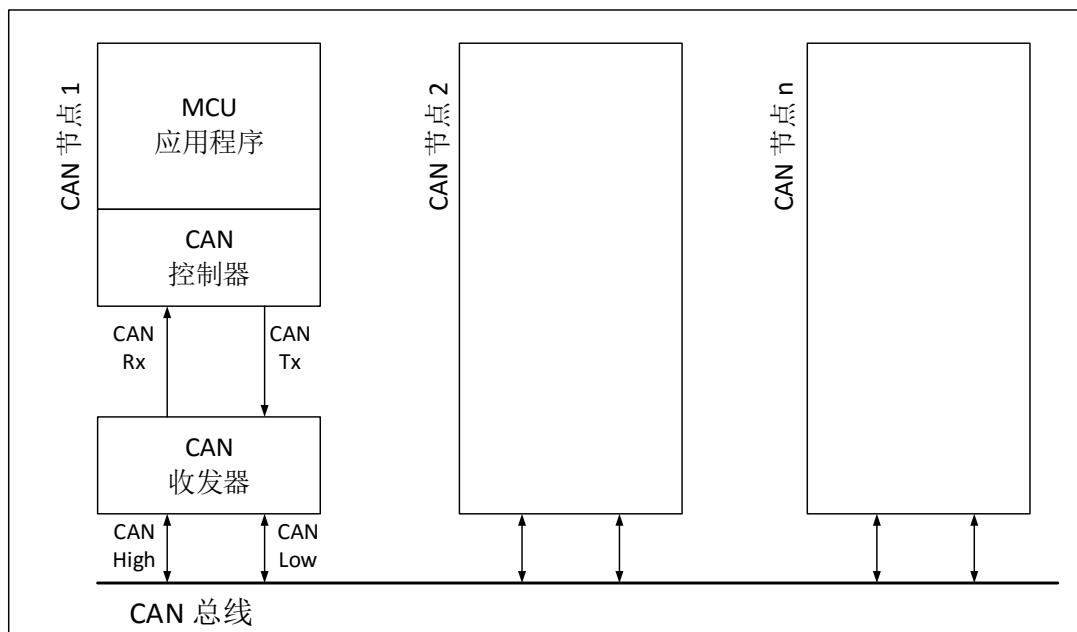
16.3 功能描述

16.3.1 CAN整体功能描述

在当今的 CAN 应用中，CAN 网络的节点在不断增加，并且多个 CAN 常常通过网关连接起来，因此整个 CAN 网中的报文数量（每个节点都需要处理）急剧增加。除了应用层报文外，网络管理和诊断报文也被引入。

- 需要一个增强的过滤机制来处理各种类型的报文
此外，由于应用层任务需要占用更多 CPU 时间，为满足实时性的要求，需减少接收报文的处理时间。
- 采用接收 FIFO 的方案，使得 CPU 可以长时间处理应用层任务而不会丢失报文。
构筑在底层 CAN 驱动程序上的高层协议软件，要求跟 CAN 控制器之间有高效的接口。

图 16-1 CAN 网拓扑结构



bxCAN 模块可以完全自动地接收和发送 CAN 报文；且完全支持标准标识符（11 位）和扩展标识符（29 位）。

应用程序通过这些寄存器，可以：

- 配置 CAN 参数，如波特率
- 请求发送报文
- 处理报文接收

- 管理中断
- 获取诊断信息

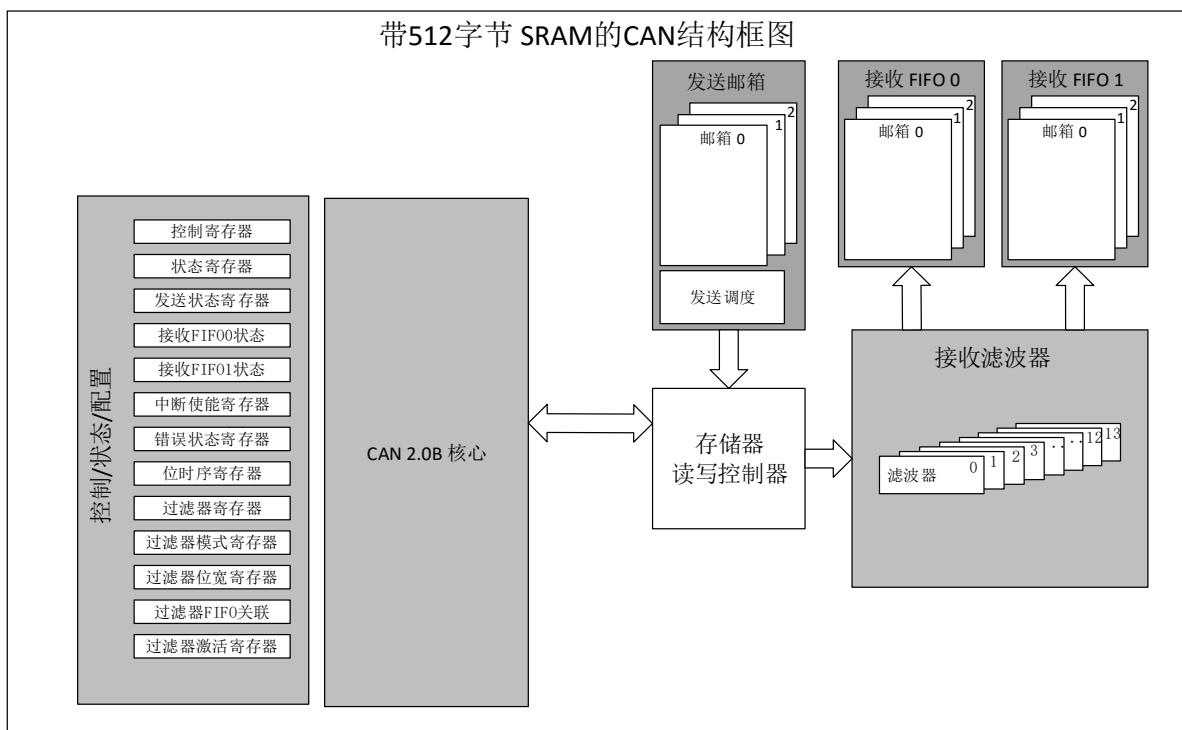
共有 3 个发送邮箱供软件来发送报文。发送调度器根据优先级决定哪个邮箱的报文先被发送。

bxCAN 提供 14 个位宽可变/可配置的标识符过滤器组，软件通过对它们编程，可以在收到的报文中选择它需要的报文，丢掉其它不需要的报文。

接收 FIFO

共有 2 个接收 FIFO，每个 FIFO 都可以存放 3 个完整的报文。它们完全由硬件来管理。

图 16-2 CAN 框图



16.3.2 工作模式

bxCAN 有 3 个主要的工作模式：初始化、正常和睡眠模式。在硬件复位后，bxCAN 工作在睡眠模式以节省电能，同时 CANTX 引脚的内部上拉电阻被激活。软件通过对 CAN_MCTRL 寄存器的 INRQ 或 SLP 位置'1'，可以请求 bxCAN 进入初始化或睡眠模式。一旦进入了初始化或睡眠模式，bxCAN 就对 CAN_MSTS 寄存器的 IAK 或 SAK 位置'1'来进行确认，同时内部上拉电阻被禁用。当 IAK 和 SAK 位都为'0'时，bxCAN 就处于正常模式。在进入正常模式前，bxCAN 必须跟 CAN 总线取得同步；为取得同步，bxCAN 要等待 CAN 总线达到空闲状态，即在 CANRX 引脚上监测到 11 个连续的隐性位。

16.3.2.1 初始化模式

软件初始化应该在硬件处于初始化模式时进行。设置 CAN_MCTRL 寄存器的 INRQ 位为'1'，请求 bxCAN 进入初始化模式，然后等待硬件对 CAN_MSTS 寄存器的 IAK 位置'1'来进行确认。清除 CAN_MCTRL 寄存器的 INRQ 位为'0'，请求 bxCAN 退出初始化模式，当硬件对 CAN_MSTS 寄存器的 IAK 位清'0'就确认了初始化模式的退出。

当 bxCAN 处于初始化模式时，禁止报文的接收和发送，并且 CANTX 引脚输出隐性位（高电平）。初始化模式的进入，不会改变配置寄存器。

软件对 bxCAN 的初始化，至少包括位时间特性（CAN_BTMG）和控制（CAN_MCTRL）这 2 个寄存器。在对 bxCAN 的过滤器组（模式、位宽、FIFO 关联、激活和过滤器值）进行初始化前，软件要对 CAN_FM 寄存器的 FINT 位设置'1'。对过滤器的初始化可以在非初始化模式下进行。

注意：当 FINT=1 时，报文的接收被禁止。

可以先对过滤器激活位清'0'（在 CAN_FA1 中），然后修改相应过滤器的值。

如果过滤器组没有使用，那么就应该让它处于非激活状态（保持其 FEN 位为清'0'状态）。

16.3.2.2 正常模式

在初始化完成后，软件应该让硬件进入正常模式，以便正常接收和发送报文。软件可以通过对 CAN_MCTRL 寄存器的 INRQ 位清'0'，来请求从初始化模式进入正常模式，然后要等待硬件对 CAN_MSTS 寄存器的 IAK 位清'0'的确认。在跟 CAN 总线取得同步，即在 CANRX 引脚上监测到 11 个连续的隐性位（等效于总线空闲）后，bxCAN 才能正常接收和发送报文。

不需要在初始化模式下进行过滤器初值的设置，但必须在它处在非激活状态下完成（相应的 FEN 位为 0）。而过滤器的位宽和模式的设置，则必须在初始化模式中进入正常模式前完成。

16.3.2.3 睡眠模式（低功耗）

bxCAN 可工作在低功耗的睡眠模式。软件通过对 CAN_MCTRL 寄存器的 SLP 位置'1'，来请求进入这一模式。在该模式下，bxCAN 的时钟停止了，但软件仍然可以访问邮箱寄存器。

当 bxCAN 处于睡眠模式，软件必须对 CAN_MCTRL 寄存器的 INRQ 位置'1' 并且同时对 SLP 位清'0'，才能进入初始化模式。

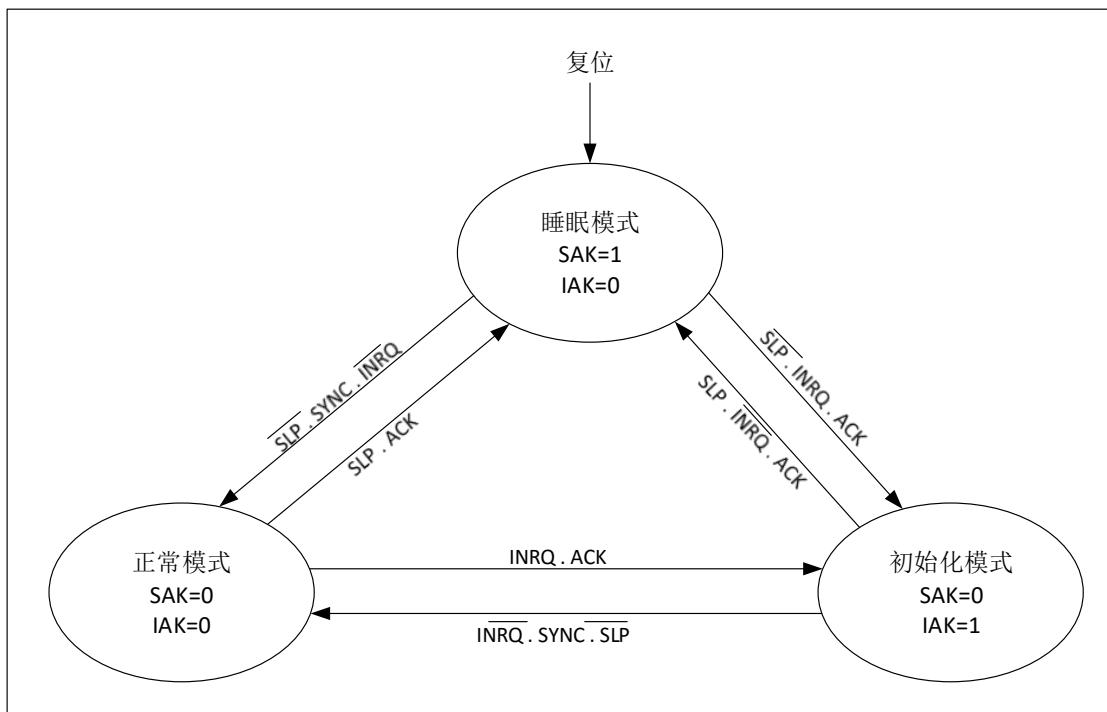
有 2 种方式可以唤醒（退出睡眠模式）bxCAN：通过软件对 SLP 位清'1'，或硬件检测到 CAN 总线的活动。

如果 CAN_MCTRL 寄存器的 AWU 位为'1'，一旦检测到 CAN 总线的活动，硬件就自动对 SLP 位清'0' 来唤醒 bxCAN。如果 CAN_MCTRL 寄存器的 AWU 位为'0'，软件必须在唤醒中断里对 SLP 位清'0' 才能退出睡眠状态。

注意： 如果唤醒中断被允许（CAN_INTEN 寄存器的 WKIE 位为'1'），那么一旦检测到 CAN 总线活动就会产生唤醒中断，而不管硬件是否会自动唤醒 bxCAN。

在对 SLP 位清'0'后，睡眠模式的退出必须与 CAN 总线同步，请参考图 18-3：bxCAN 工作模式。当硬件对 SAK 位清'0'时，就确认了睡眠模式的退出。

图 16-3 bxCAN 工作模式



注意：

1. ACK = 硬件响应睡眠或初始化请求，而对 CAN_MSTS 寄存器的 IAK 或 SAK 位置 1 的状态。
2. SYNC = bxCAN 等待 CAN 总线变为空闲的状态，即在 CANRX 引脚上监测到连续的 11 个隐性位。

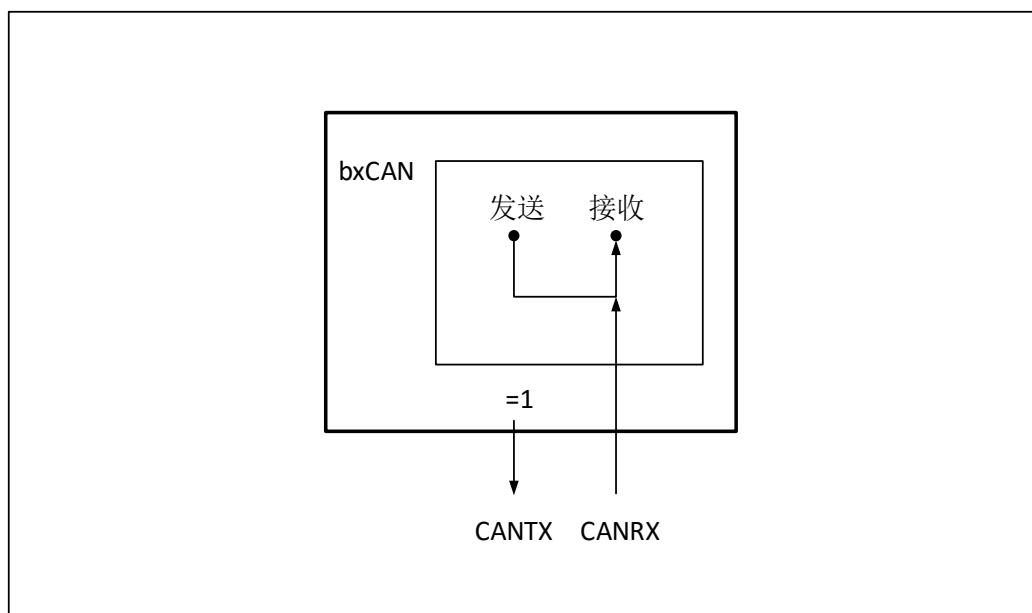
16.3.3 测试模式

通过对 CAN_BTMG 寄存器的 SIL 和/或 LBK 位置'1'，来选择一种测试模式。只能在初始化模式下，修改这 2 位。在选择了一种测试模式后，软件需要对 CAN_MCTRL 寄存器的 INRQ 位清'0'，来真正进入测试模式。

16.3.3.1 静默模式

通过对 CAN_BTMG 寄存器的 SIL 位置'1'，来选择静默模式。在静默模式下，bxCAN 可以正常地接收数据帧和远程帧，但只能发出隐性位，而不能真正发送报文。如果 bxCAN 需要发出显性位（确认位、过载标志、主动错误标志），那么这样的显性位在内部被接回来从而可以被 CAN 内核检测到，同时 CAN 总线不会受到影响而仍然维持在隐性位状态。因此，静默模式通常用于分析 CAN 总线的活动，而不会对总线造成影响—显性位（确认位、错误帧）不会真正发送到总线上。

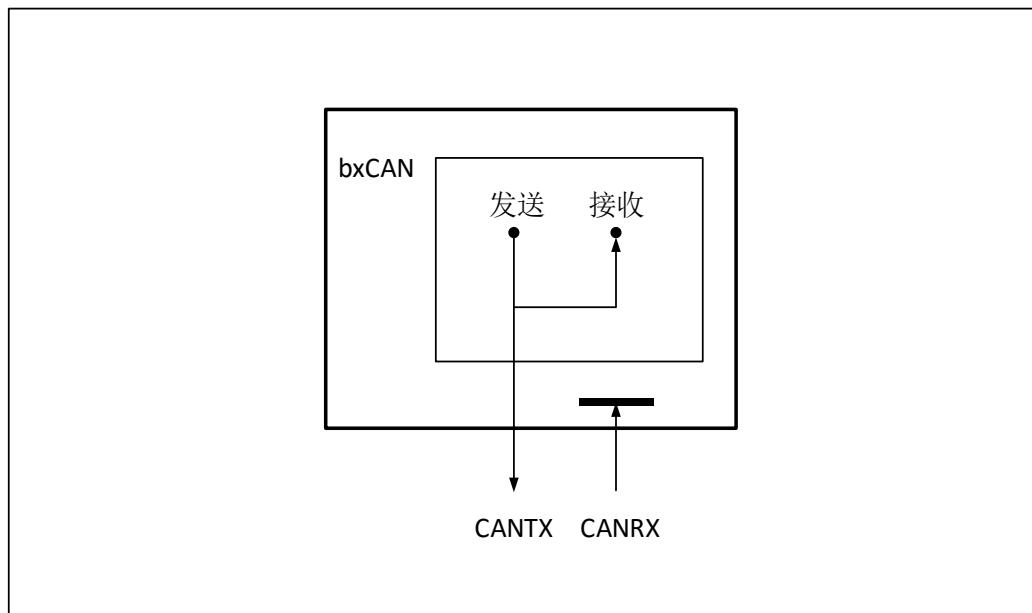
图 16-4 bxCAN 工作在静默模式



16.3.3.2 环回模式

通过对 CAN_BTMG 寄存器的 LBK 位置'1'，来选择环回模式。在环回模式下，bxCAN 把发送的报文当作接收的报文并保存（如果可以通过接收过滤）在接收邮箱里。

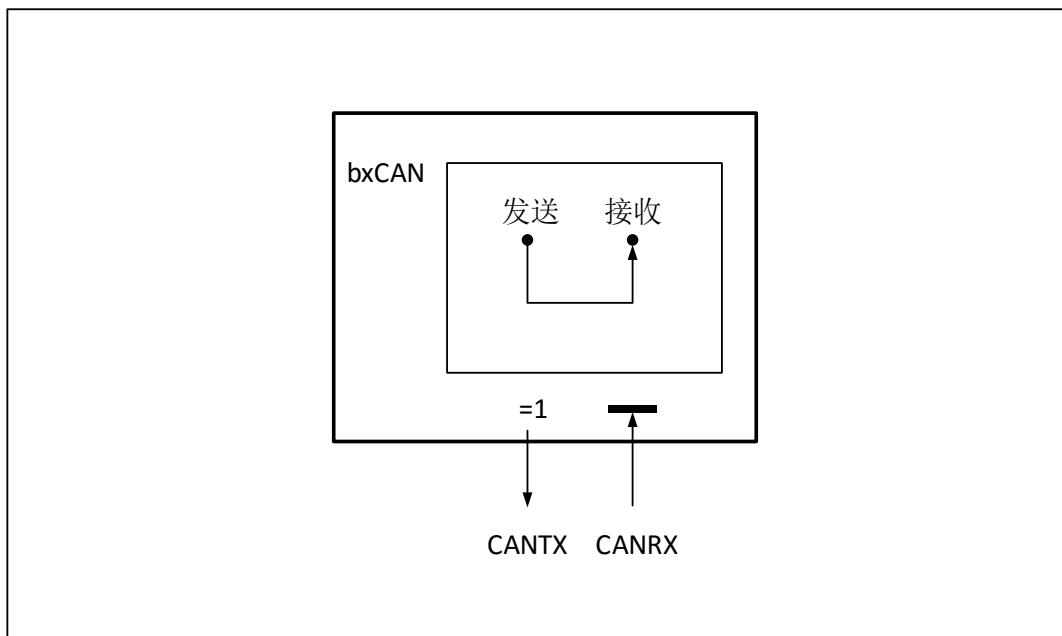
图 16-5 bxCAN 工作在环回模式



环回模式可用于自测试。为了避免外部的影响，在环回模式下 CAN 内核忽略确认错误（在数据/远程帧的确认位时刻，不检测是否有显性位）。在环回模式下，bxCAN 在内部把 Tx 输出回馈到 Rx 输入上，而完全忽略 CANRX 引脚的实际状态。发送的报文可以在 CANTX 引脚上检测到。

16.3.3.3 环回静默模式

图 16-6 bxCAN 工作在环回静默模式



通过对 CAN_BTMG 寄存器的 LBK 和 SIL 位同时置'1'，可以选择环回静默模式。该模式可用于“热自测试”，即可以像环回模式那样测试 bxCAN，但却不会影响 CANTX 和 CANRX 所连接的整个 CAN 系统。在环回静默模式下，CANRX 引脚与 CAN 总线断开，同时 CANTX 引脚被驱动到隐性位状态。

16.3.4 AT32F415 系列处于调试模式时

当微控制器处于调试模式时，Cortex™-M4 核心处于暂停状态，依据下述配置位的状态，bxCAN 可以继续正常工作或停止工作：

- 调试 (DBG) 模块中 CAN1 的 DBG_CAN1_STOP 位。
- CAN_MCTRL 中的 DBF 位。

16.3.5 发送处理

发送报文的流程为：应用程序选择 1 个空置的发送邮箱；设置标识符，数据长度和待发送数据；然后对 CAN_TMIx 寄存器的 TRQ 位置'1'，来请求发送。TRQ 位置'1'后，邮箱就不再是空邮箱；而一旦邮箱不再为空置，软件对邮箱寄存器就不再有写的权限。TRQ 位置 1 后，邮箱马上进入挂号状态，并等待成为最高优先级的邮箱，参见发送优先级。一旦邮箱成为最高优先级的邮箱，其状态就变为预定发送状态。一旦 CAN 总线进入空闲状态，预定发送邮箱中的报文就马上被发送（进入发送状态）。一旦邮箱中的报文被成功发送后，它马上变为空置邮箱；硬件相应地对 CAN_TSTS 寄存器的 RQC 和 TOK 位置 1，来表明一次成功发送。

如果发送失败，由于仲裁引起的就对 CAN_TSTS 寄存器的 ALS 位置'1'，由于发送错误引起的就对 TER 位置'1'。

发送优先级

1. 由标识符决定

当有超过 1 个发送邮箱在挂号时，发送顺序由邮箱中报文的标识符决定。根据 CAN 协议，标识符数值最低的报文具有最高的优先级。如果标识符的值相等，那么邮箱号小的报文先被发送。

2. 由发送请求次序决定

通过对 CAN_MCTRL 寄存器的 TFP 位置'1'，可以把发送邮箱配置为发送 FIFO。在该模式下，发送的优先级由发送请求次序决定。该模式对分段发送很有用。

中止

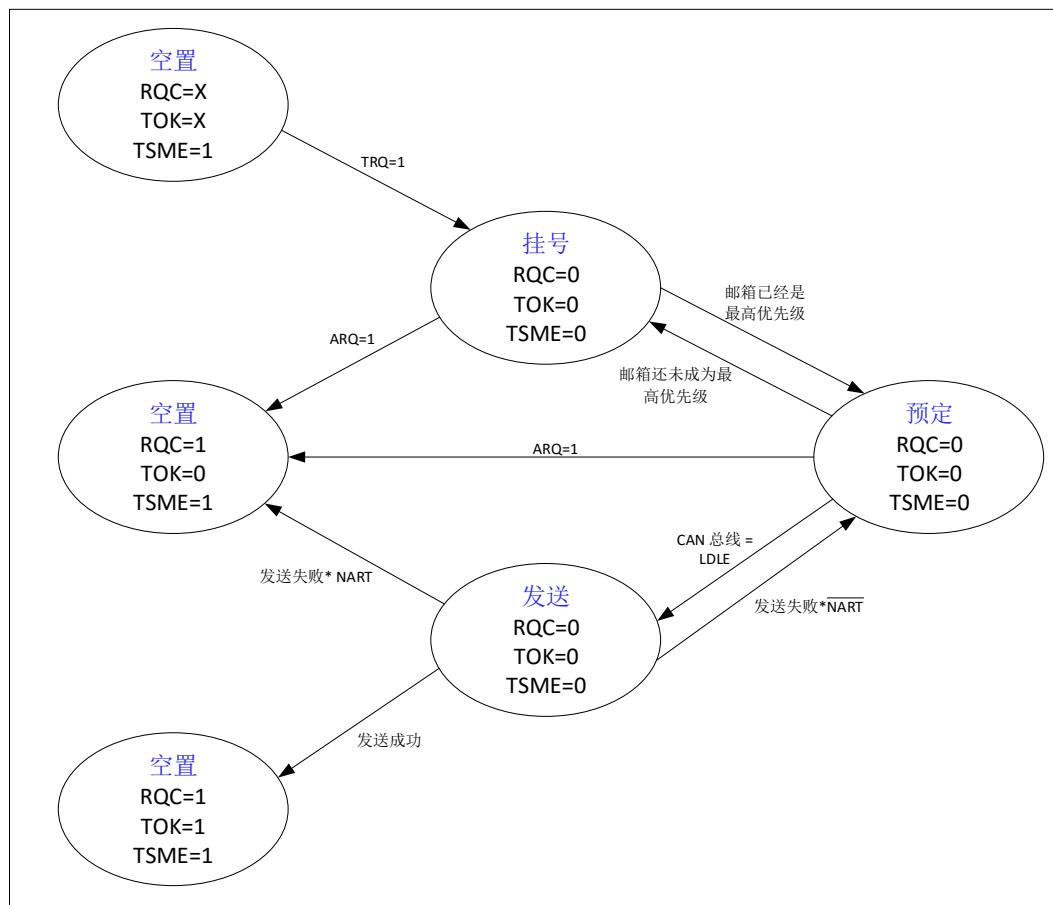
通过对 CAN_TSTS 寄存器的 ARQ 位置'1'，可以中止发送请求。邮箱如果处于挂号或预定状态，发送请求马上就被中止了。如果邮箱处于发送状态，那么中止请求可能导致两种结果。如果邮箱中的报文被成功发送，那么邮箱变为空置邮箱，并且 CAN_TSTS 寄存器的 TOK 位被硬件置'1'。如果邮箱中的报文发送失败了，那么邮箱变为预定状态，然后发送请求被中止，邮箱变为空置邮箱且 TOK 位被硬件清'0'。因此如果邮箱处于发送状态，那么在发送操作结束后，邮箱都会变为空置邮箱。

禁止自动重传模式

该模式主要用于满足 CAN 标准中，时间触发通信选项的需求。通过对 CAN_MCTRL 寄存器的 NART 位置'1'，来让硬件工作在该模式。在该模式下，发送操作只会执行一次。如果发送操作失败了，不管是由于仲裁丢失或出错，硬件都不会再自动发送该报文。

在一次发送操作结束后，硬件认为发送请求已经完成，从而对 CAN_TSTS 寄存器的 RQC 位置'1'，同时发送的结果反映在 TOK、ALS 和 TER 位上。

图 16-7 发送邮箱状态



16.3.6 时间触发通信模式

在该模式下，CAN 硬件的内部定时器被激活，并且被用于产生（发送与接收邮箱的）时间戳，分别存储在 CAN_RDTx/CAN_TDTx 寄存器中。内部定时器在每个 CAN 位时间累加。内部定时器在接收和发送的帧起始位的采样点位置被采样，并生成时间戳。

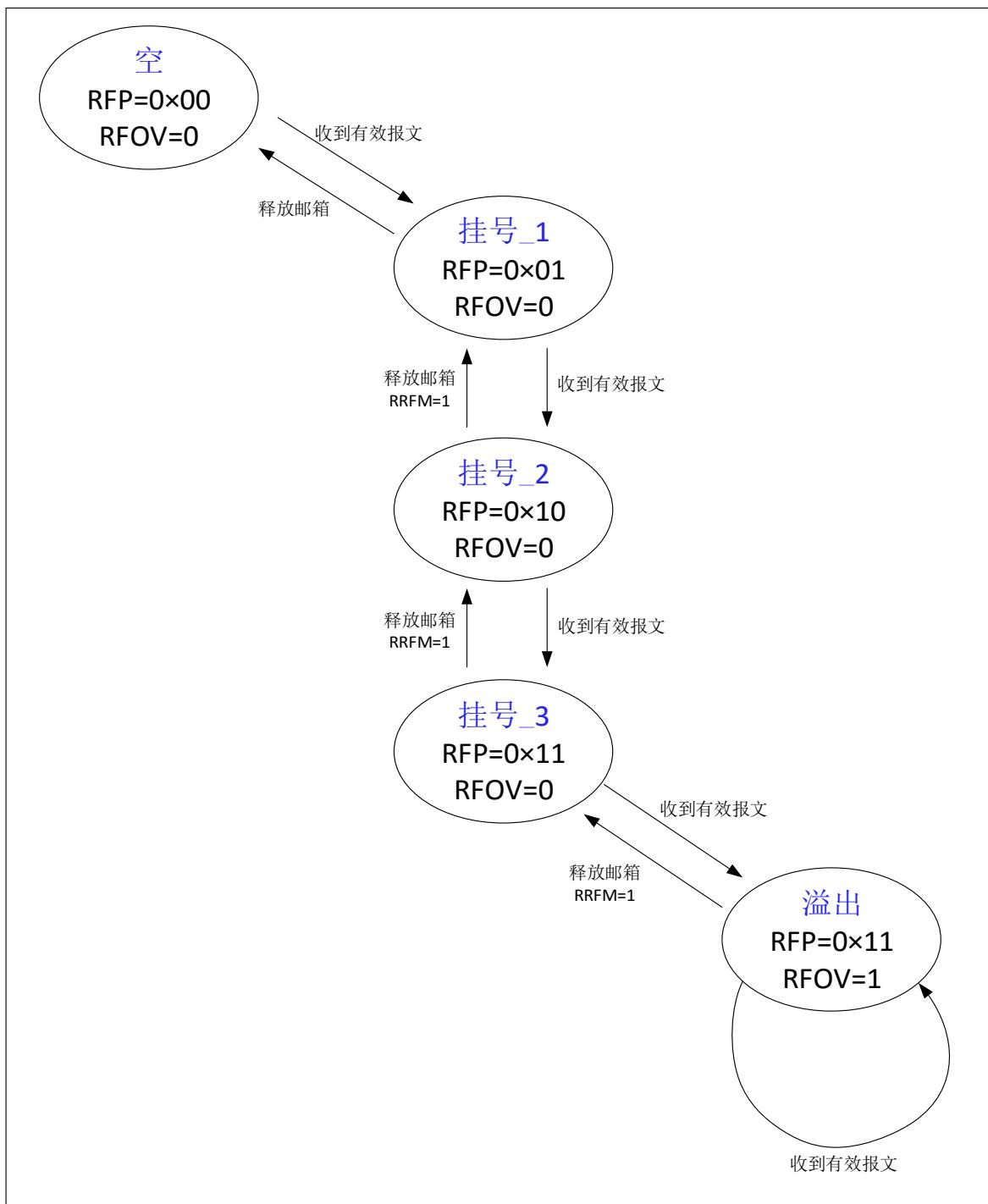
16.3.7 接收管理

接收到的报文，被存储在 3 级邮箱深度的 FIFO 中。FIFO 完全由硬件来管理，从而节省了 CPU 的处理负荷，简化了软件并保证了数据的一致性。应用程序只能通过读取 FIFO 输出邮箱，来读取 FIFO 中最先收到的报文。

有效报文

根据 CAN 协议，当报文被正确接收（直到 EOF 域的最后一位都没有错误），且通过了标识符过滤，那么该报文被认为是有效报文。

图 16-8 接收 FIFO 状态



FIFO 管理

FIFO 从空状态开始，在接收到第一个有效的报文后，FIFO 状态变为挂号_1 (pending_1)，硬件相应地把 CAN_RF 寄存器的 RFP[1:0]设置为'01' (二进制 01b)。软件可以读取 FIFO 输出邮箱来读出邮箱中的报文，然后通过对 CAN_RF 寄存器的 RRFM 位设置'1'来释放邮箱，这样 FIFO 又变为空状态了。如果在释放邮箱的同时，又收到了一个有效的报文，那么 FIFO 仍然保留在挂号_1 状态，软件可以读取 FIFO 输出邮箱来读出新收到的报文。

如果应用程序不释放邮箱，在接收到下一个有效的报文后，FIFO 状态变为挂号_2 (pending_2)，硬件相应地把 RFP[1:0]设置为'10' (二进制 10b)。重复上面的过程，第三个有效的报文把 FIFO 变为挂号_3 状态 (RFP[1:0]=11b)。此时，软件必须对 RRFM 位设置 1 来释放邮箱，以便 FIFO 可以有空间来存放下一个有效的报文；否则，下一个有效的报文到来时就会导致一个报文的丢失。

溢出

当 FIFO 处于挂号_3 状态（即 FIFO 的 3 个邮箱都是满的），下一个有效的报文就会导致溢出，并且一个报文会丢失。此时，硬件对 CAN_RF 寄存器的 RFOV 位进行置'1'来表明溢出情况。至于哪个报文会被丢弃，取决于对 FIFO 的设置：

- 如果禁用了 FIFO 锁定功能（CAN_MCTRL 寄存器的 RFL 位被清'0'），那么 FIFO 中最后收到的报文就被新报文所覆盖。这样，最新收到的报文不会被丢弃掉。
- 如果启用了 FIFO 锁定功能（CAN_MCTRL 寄存器的 RFL 位被置'1'），那么新收到的报文就被丢弃，软件可以读到 FIFO 中最早收到的 3 个报文。

接收相关的中断

一旦往 FIFO 存入一个报文，硬件就会更新 RFP[1: 0]位，并且如果 CAN_INTEN 寄存器的 RFPIE 位为'1'，那么就会产生一个中断请求。

当 FIFO 满时（即第 3 个报文被存入），CAN_RF 寄存器的 RFFU 位就被置'1'，并且如果 CAN_INTEN 寄存器的 RFFUIE 位为'1'，那么就会产生一个满中断请求。在溢出的情况下，RFOV 位被置'1'，并且如果 CAN_INTEN 寄存器的 RFOVIE 位为'1'，那么就会产生一个溢出中断请求。

16.3.8 标识符过滤

在 CAN 协议里，报文的标识符不代表节点的地址，而是跟报文的内容相关的。因此，发送者以广播的形式把报文发送给所有的接收者。节点在接收报文时一根据标识符的值一决定软件是否需要该报文；如果需要，就拷贝到 SRAM 里；如果不需，报文就被丢弃且无需软件的干预。

为满足这一需求，bxCAN 控制器为应用程序提供了 14 个位宽可变的、可配置的过滤器组（13~0），以便只接收那些软件需要的报文。硬件过滤的做法节省了 CPU 开销，否则就必须由软件过滤从而占用一定的 CPU 开销。每个过滤器组 x 由 2 个 32 位寄存器，CAN_FBXR1 和 CAN_FBXR2 组成。

可变的位宽

每个过滤器组的位宽都可以独立配置，以满足应用程序的不同需求。根据位宽的不同，每个过滤器组可提供：

- 1 个 32 位过滤器，包括：SID[10: 0]、EID[17: 0]、IDT 和 RTR 位
- 2 个 16 位过滤器，包括：SID[10: 0]、IDT、RTR 和 EID[17: 15]位

此外过滤器可配置为，屏蔽位模式和标识符列表模式。

屏蔽位模式

在屏蔽位模式下，标识符寄存器和屏蔽寄存器一起，指定报文标识符的任何一位，应该按照“必须匹配”或“不用关心”处理。

标识符列表模式

在标识符列表模式下，屏蔽寄存器也被当作标识符寄存器用。因此，不是采用一个标识符加一个屏蔽位的方式，而是使用 2 个标识符寄存器。接收报文标识符的每一位都必须跟过滤器标识符相同。

过滤器组位宽和模式的设置

过滤器组可以通过相应的 CAN_FM 寄存器配置。在配置一个过滤器组前，必须通过清除 CAN_FA1 寄存器的 FEN 位，把它设置为禁用状态。通过设置 CAN_FS1 的相应 FBSx 位，可以配置一个过滤器组的位宽。通过 CAN_FM1 的 FMSx 位，可以配置对应的屏蔽/标识符寄存器的标识符列表模式或屏蔽位模式。

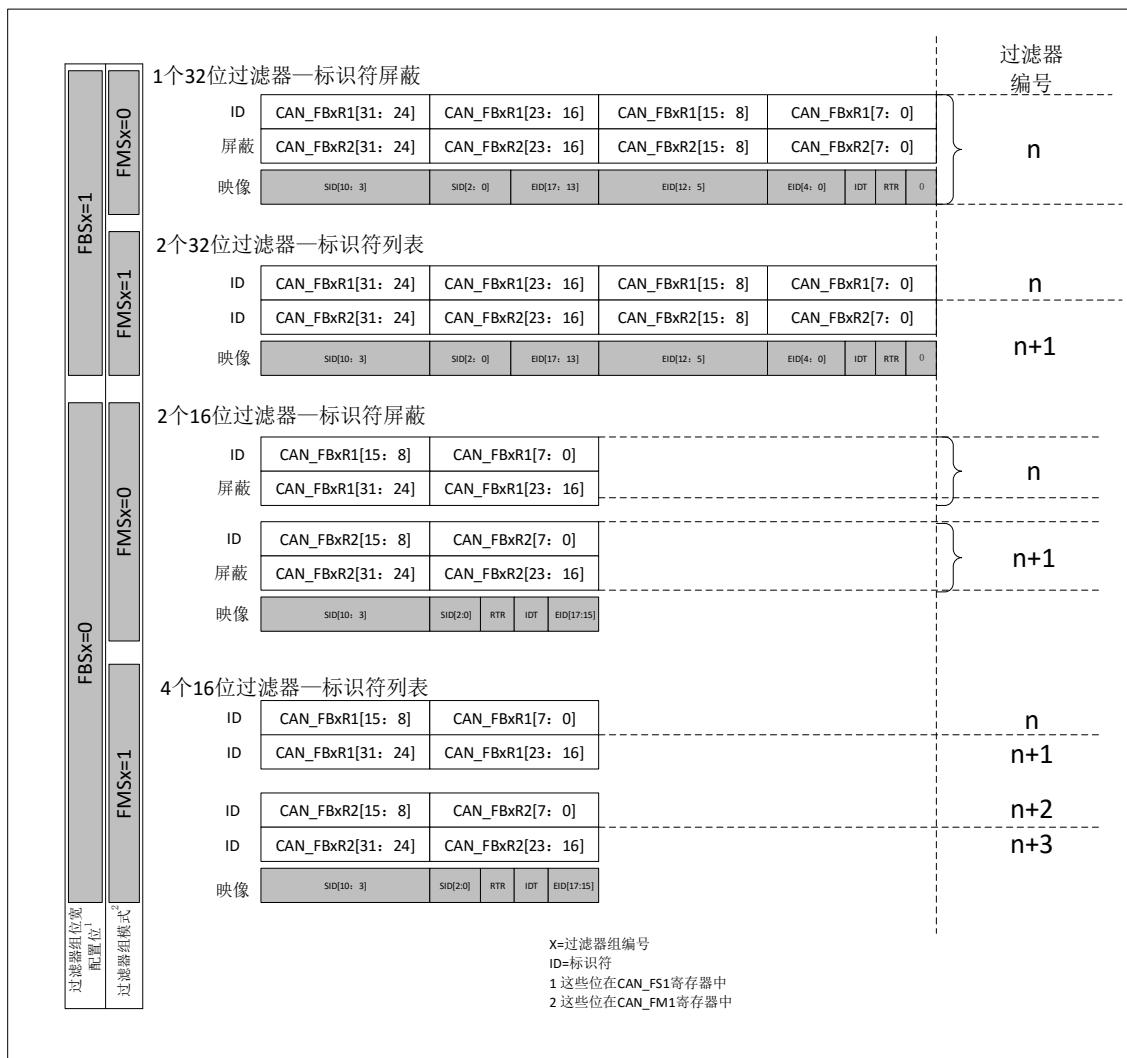
为了过滤出一组标识符，应该设置过滤器组工作在屏蔽位模式。为了过滤出一个标识符，应该设置过滤器组工作在标识符列表模式。

应用程序不用的过滤器组，应该保持在禁用状态。

过滤器组中的每个过滤器，都被编号为（叫做过滤器号）从 0 开始，到某个最大数值—取决于过滤器组的模式和位宽的设置。

关于过滤器配置，参见下图。

图 16-9 过滤器组位宽设置一寄存器组织



过滤器匹配序号

一旦收到的报文被存入 FIFO，就可被应用程序访问。通常情况下，报文中的数据被拷贝到 SRAM 中；为了把数据拷贝到合适的位置，应用程序需要根据报文的标识符来辨别不同的数据。bxCAN 提供了过滤器匹配序号，以简化这一辨别过程。

根据过滤器优先级规则，过滤器匹配序号和报文一起，被存入邮箱中。因此每个收到的报文，都有与它相关联的过滤器匹配序号。

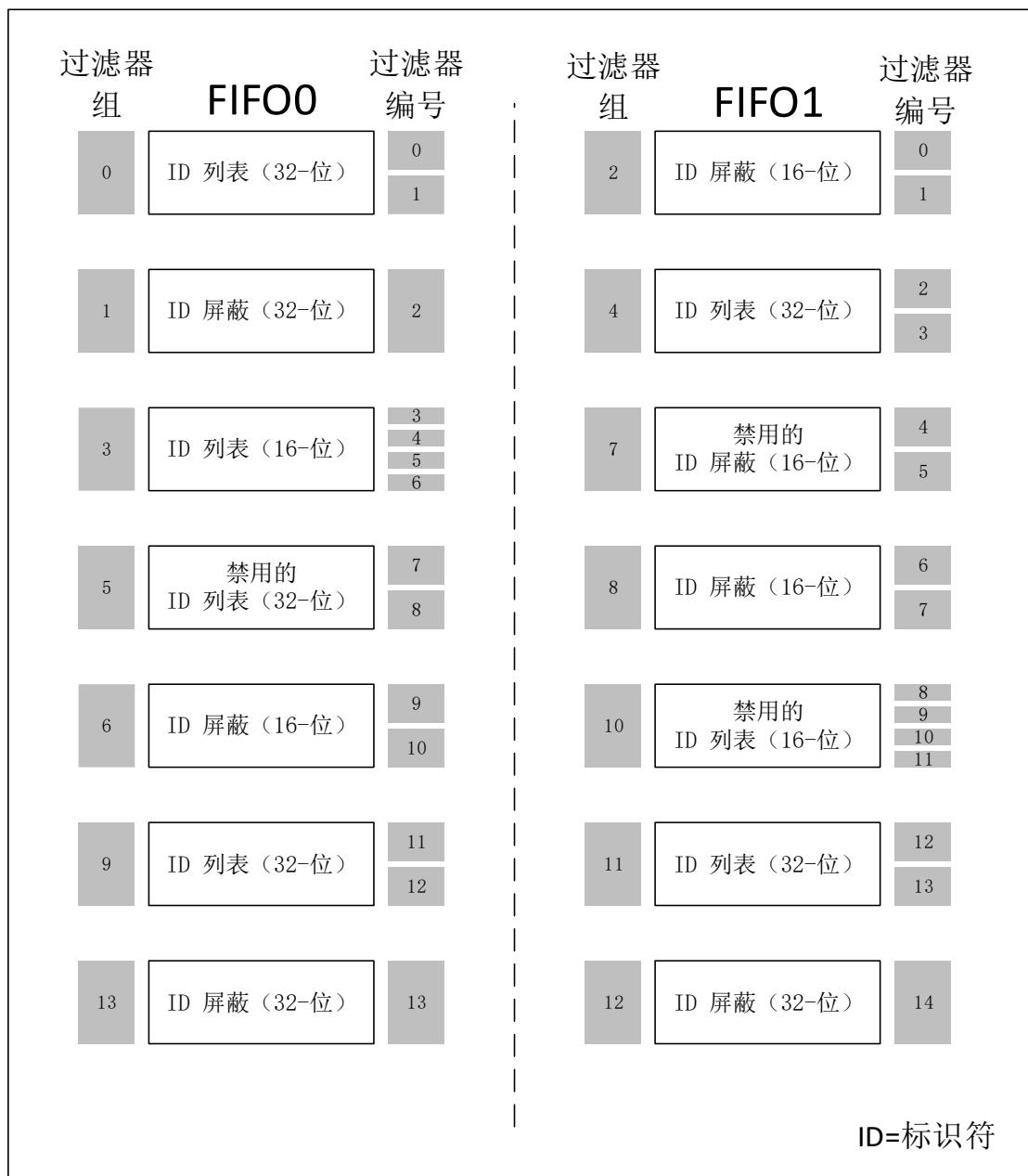
过滤器匹配序号可以通过下面两种方式来使用：

- 把过滤器匹配序号跟一系列所期望的值进行比较
- 把过滤器匹配序号当作一个索引来访问目标地址

对于标识符列表模式下的过滤器（非屏蔽方式的过滤器），软件不需要直接跟标识符进行比较。对于屏蔽位模式下的过滤器，软件只须对需要的那些屏蔽位（必须匹配的位）进行比较即可。

在给过滤器编号时，并不考虑过滤器组是否为激活状态。另外，每个 FIFO 各自对其关联的过滤器进行编号。请参考下图的例子。

图 16-10 过滤器编号的例子

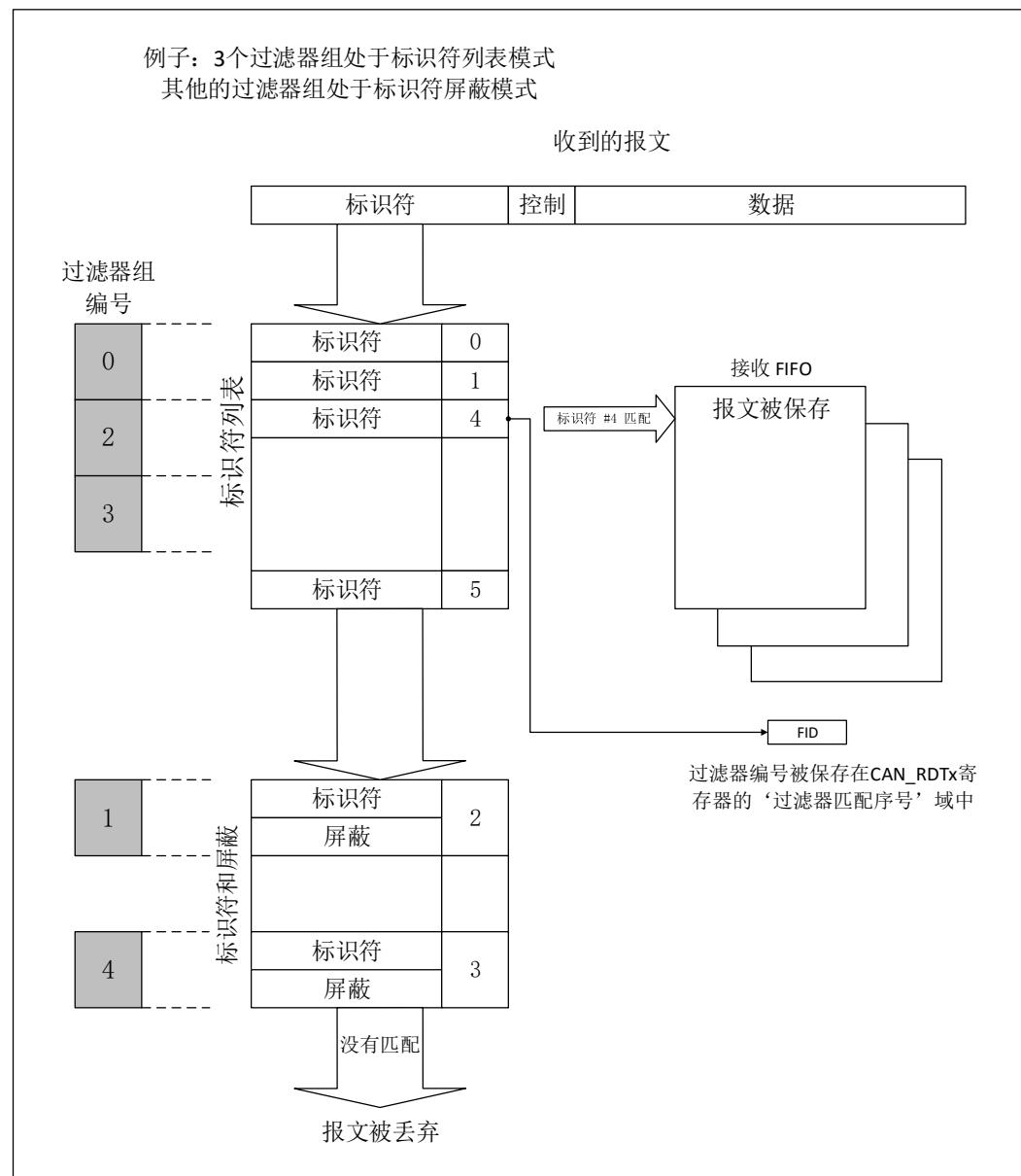


过滤器优先级规则

根据过滤器的不同配置，有可能一个报文标识符能通过多个过滤器的过滤；在这种情况下，存放在接收邮箱中的过滤器匹配序号，根据下列优先级规则来确定：

- 位宽为 32 位的过滤器，优先级高于位宽为 16 位的过滤器
- 对于位宽相同的过滤器，标识符列表模式的优先级高于屏蔽位模式
- 位宽和模式都相同的过滤器，优先级由过滤器号决定，过滤器号小的优先级高

图 16-11 过滤器机制的例子



上面的例子说明了 bxCAN 的过滤器规则：在接收一个报文时，其标识符首先与配置在标识符列表模式下的过滤器相比较；如果匹配上，报文就被存放到相关联的 FIFO 中，并且所匹配的过滤器的序号被存入过滤器匹配序号中。如同例子中所显示，报文标识符跟#4 标识符匹配，因此报文内容和 FID4 被存入 FIFO。

如果没有匹配，报文标识符接着与配置在屏蔽位模式下的过滤器进行比较。如果报文标识符没有跟过滤器中的任何标识符相匹配，那么硬件就丢弃该报文，且不会对软件有任何打扰。

16.3.9 报文存储

邮箱是软件和硬件之间传递报文的接口。邮箱包含了所有跟报文有关的信息：标识符、数据、控制、状态和时间戳信息。

发送邮箱

软件需要在一个空的发送邮箱中，把待发送报文的各种信息设置好（然后再发出发送的请求）。发送的状态可通过查询 CAN_TSTS 寄存器获知。

表 16-1 发送邮箱寄存器列表

相对发送邮箱地址的偏移量	寄存器名
--------------	------

0	CAN_TMIx
4	CAN_TDTx
8	CAN_TDLx
12	CAN_TDlx

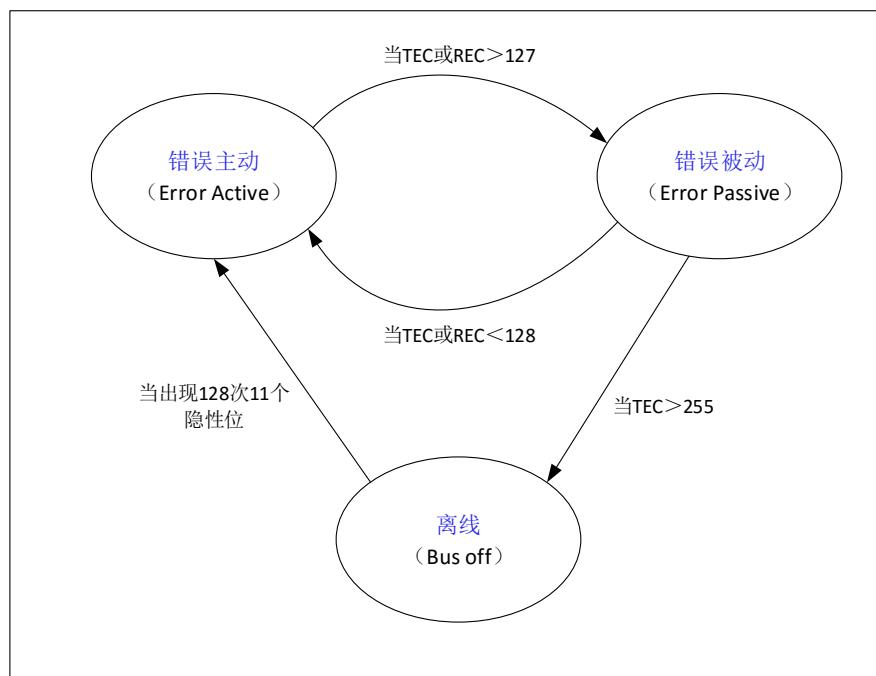
接收邮箱 (FIFO)

在接收到一个报文后，软件就可以访问接收 FIFO 的输出邮箱来读取它。一旦软件处理了报文（如把它读出来），软件就应该对 CAN_RFx 寄存器的 RRFM 位进行置'1'，来释放该报文，以便为后面收到的报文留出存储空间。过滤器匹配序号存放在 CAN_RDTx 寄存器的 FID 域中。16 位的时间戳存放在 CAN_RDTx 寄存器的 TS[15: 0]域中。

表 16-2 接收邮箱寄存器列表

相对接收邮箱地址的偏移量	寄存器名
0	CAN_RFIx
4	CAN_RDTx
8	CAN_RDLx
12	CAN_RDlx

图 16-12 CAN 错误状态图



16.3.10 出错管理

CAN 协议描述的出错管理，完全由硬件通过发送错误计数器 (CAN_ESTS 寄存器里的 TEC 域)，和接收错误计数器 (CAN_ESTS 寄存器里的 REC 域) 来实现，其值根据错误的情况而增加或减少。关于 TEC 和 REC 管理的详细信息，请参考 CAN 标准。

软件可以读出它们的值来判断 CAN 网络的稳定性。

此外，CAN_ESTS 寄存器提供了当前错误状态的详细信息。通过设置 CAN_INTEN 寄存器（比如 ERIE 位），当检测到出错时软件可以灵活地控制中断的产生。

离线恢复

当 TEC 大于 255 时，bxCAN 就进入离线状态，同时 CAN_ESTS 寄存器的 BFF 位被置'1'。在离线状态下，bxCAN 无法接收和发送报文。

根据 CAN_MCTRL 寄存器中 ABO 位的设置，bxCAN 可以自动或在软件的请求下，从离线状态恢复（变为错误主动状态）。在这两种情况下，bxCAN 都必须等待一个 CAN 标准所描述的恢复过程（CAN RX 引脚上检测到 128 次 11 个连续的隐性位）。

如果 ABO 位为'1'，bxCAN 进入离线状态后，就自动开启恢复过程。如果 ABO 位为'0'，软件必须先请求 bxCAN 进入然后再退出初始化模式，随后恢复过程才被开启。

注意： 在初始化模式下，bxCAN 不会监视 CAN RX 引脚的状态，这样就不能完成恢复过程。为了完成恢复过程，bxCAN 必须工作在正常模式。

16.3.11 位时间特性

位时间特性逻辑通过采样来监视串行的 CAN 总线，并且通过与帧起始位的边沿进行同步，及通过与后面的边沿进行重新同步，来调整其采样点。

它的操作可以简单解释为，如下所述把名义上的每位时间分为三段：

- 同步段 (SYNC_SEG)：通常期望位的变化发生在该时间段内。其值固定为 1 个时间单元 ($1 \times t_{CAN}$)。
- 时间段 1 (BS1)：定义采样点的位置。它包含 CAN 标准里的 PROP_SEG 和 PHASE_SEG1。其值可以编程为 1 到 16 个时间单元，但也可以被自动延长，以补偿因为网络中不同节点的频率差异所造成的相位的正向漂移。
- 时间段 2 (BS2)：定义发送点的位置。它代表 CAN 标准里的 PHASE_SEG2。其值可以编程为 1 到 8 个时间单元，但也可以被自动缩短以补偿相位的负向漂移。

重新同步跳跃宽度 (SJW) 定义了，在每位中可以延长或缩短多少个时间单元的上限。其值可以编程为 1 到 4 个时间单元。

有效跳变被定义为，当 bxCAN 自己没有发送隐性位时，从显性位到隐性位的第 1 次转变。如果在时间段 1 (BS1) 而不是在同步段 (SYNC_SEG) 检测到有效跳变，那么 BS1 的时间就被延长最多 SJW 那么长，从而采样点被延迟了。

相反如果在时间段 2 (BS2) 而不是在 SYNC_SEG 检测到有效跳变，那么 BS2 的时间就被缩短最多 SJW 那么长，从而采样点被提前了。

为了避免软件的编程错误，对位时间特性寄存器 (CAN_BTMG) 的设置，只能在 bxCAN 处于初始化状态下进行。

注意： 关于 CAN 位时间特性和重同步机制的详细信息，请参考 ISO11898 标准。

图 16-13 位时序

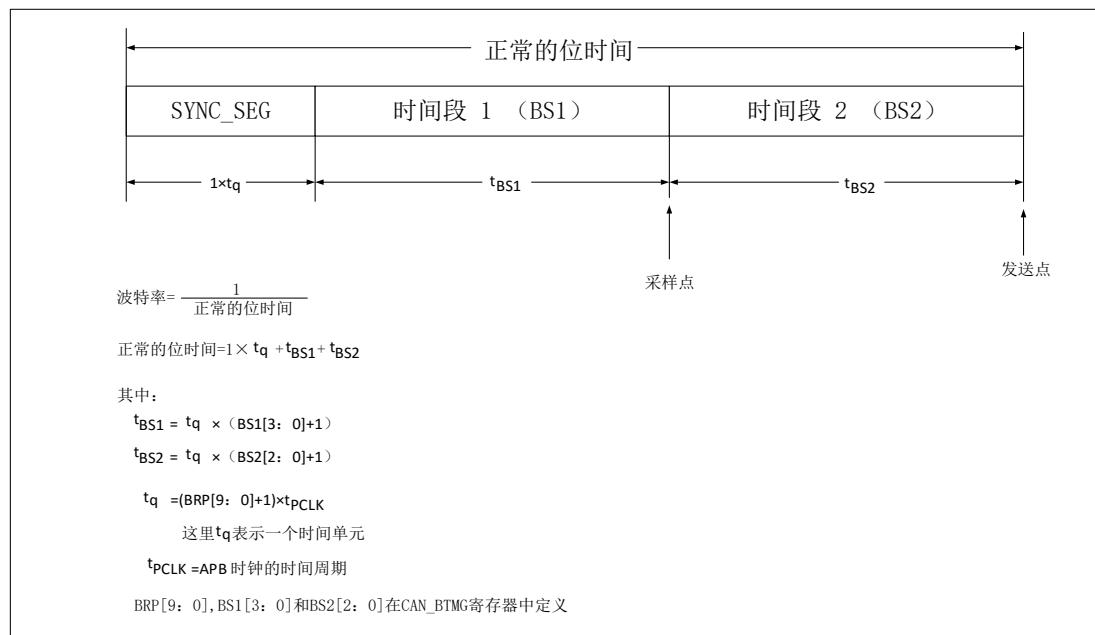
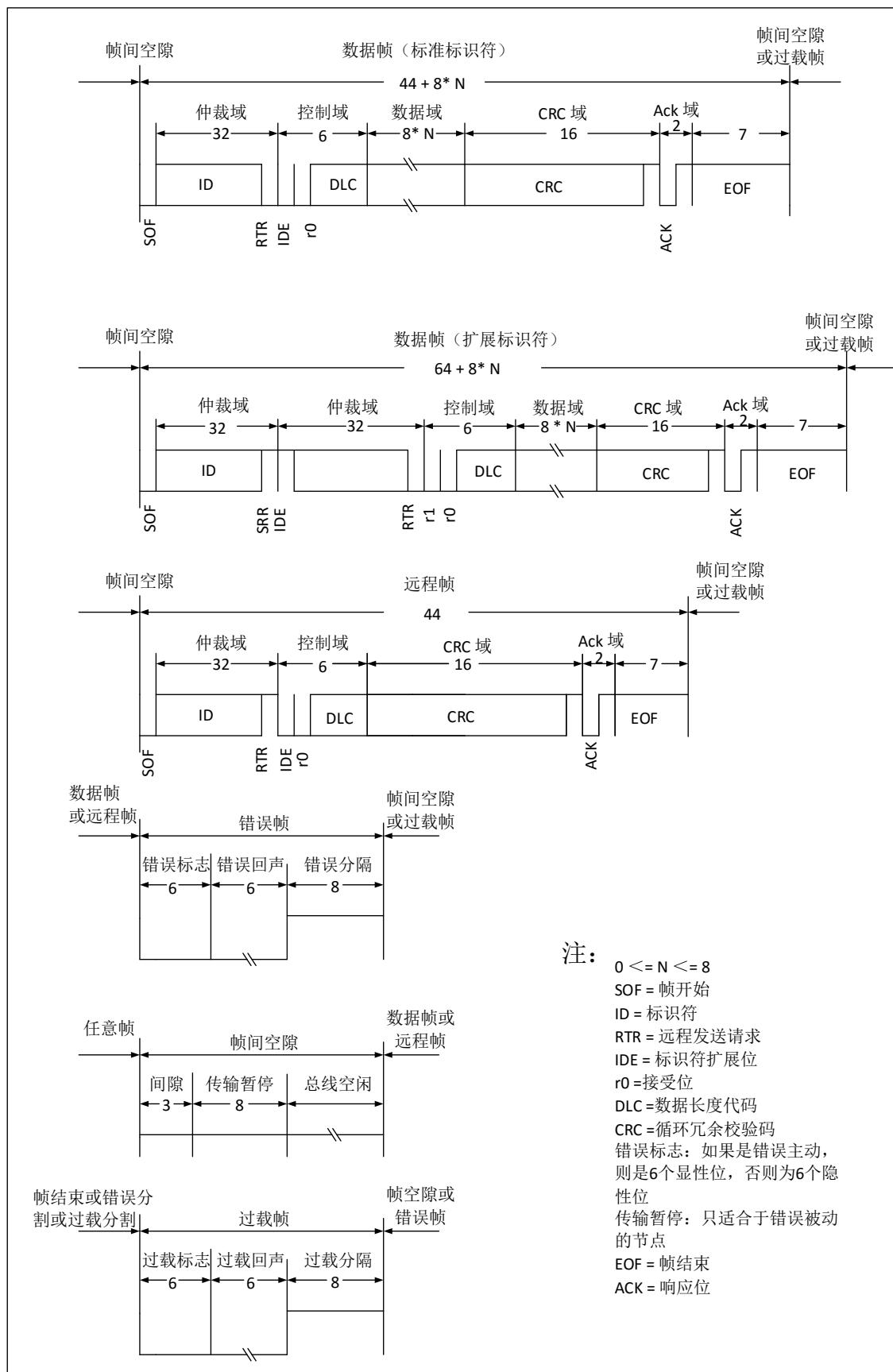


图 16-14 各种 CAN 帧

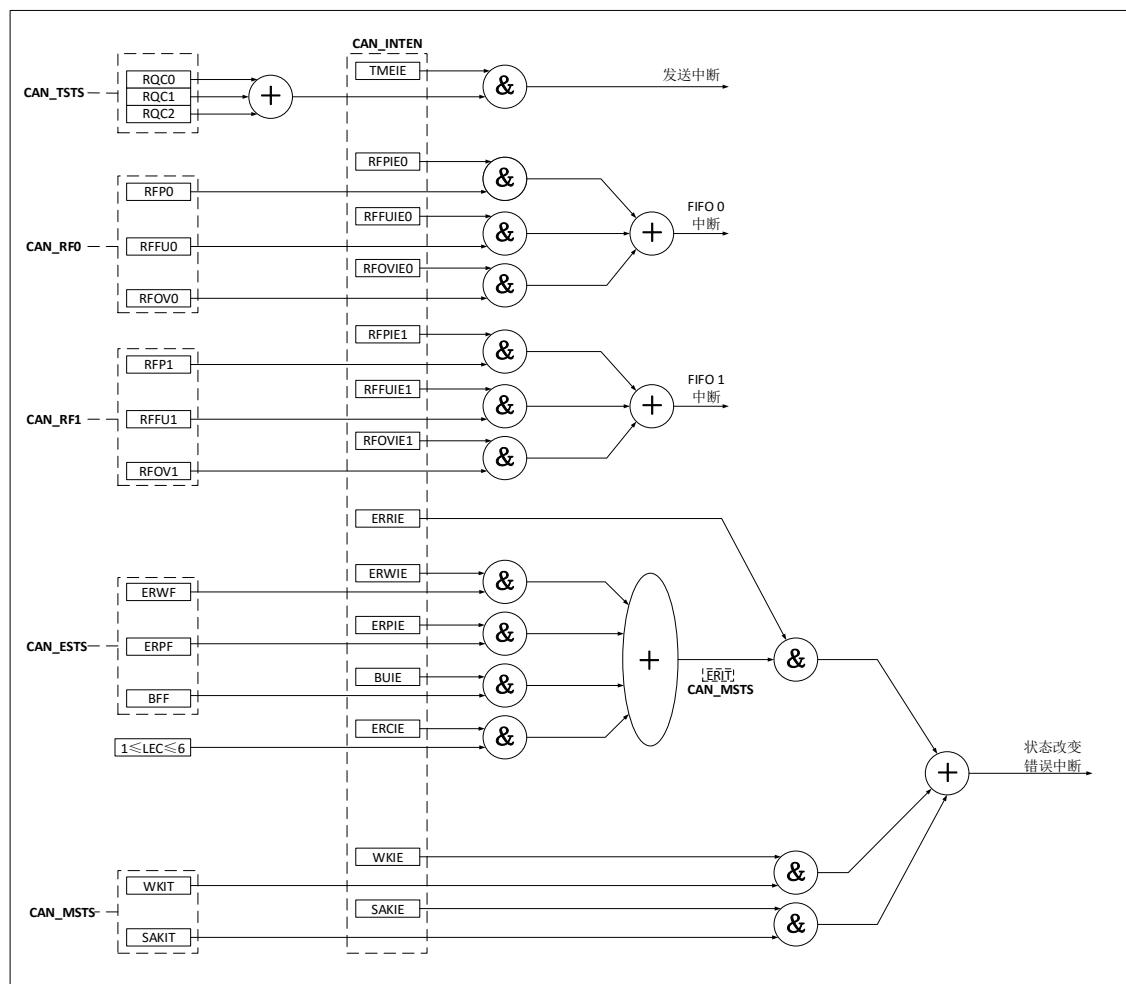


16.3.12 bxCAN 中断

bxCAN 占用 4 个专用的中断向量。通过设置 CAN 中断允许寄存器 (CAN_INTEN), 每个中断源都可

以单独允许和禁用。

图 16-15 事件标志和中断产生



- 发送中断可由下列事件产生：
 - 发送邮箱 0 变为空, CAN_TSTS 寄存器的 RQC0 位被置'1'。
 - 发送邮箱 1 变为空, CAN_TSTS 寄存器的 RQC1 位被置'1'。
 - 发送邮箱 2 变为空, CAN_TSTS 寄存器的 RQC2 位被置'1'。
- FIFO0 中断可由下列事件产生：
 - FIFO0 接收到一个新报文, CAN_RF0 寄存器的 RFP0 位不再是'00'。
 - FIFO0 变为满的情况, CAN_RF0 寄存器的 RFFU0 位被置'1'。
 - FIFO0 发生溢出的情况, CAN_RF0 寄存器的 RFOV0 位被置'1'。
- FIFO1 中断可由下列事件产生：
 - FIFO1 接收到一个新报文, CAN_RF1 寄存器的 RFP1 位不再是'00'。
 - FIFO1 变为满的情况, CAN_RF1 寄存器的 RFFU1 位被置'1'。
 - FIFO1 发生溢出的情况, CAN_RF1 寄存器的 RFOV1 位被置'1'。
- 错误和状态变化中断可由下列事件产生：
 - 出错情况, 关于出错情况的详细信息请参考 CAN 错误状态寄存器 (CAN_ESTS)。
 - 唤醒情况, 在 CAN 接收引脚上监视到帧起始位 (SOF)。
 - CAN 进入睡眠模式。

16.4 CAN寄存器

必须以字（32位）的方式操作这些外设寄存器。

表 16-3

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
000h	MCTRL	保留								保留								保留								保留									
	复位值	1	0	0	0	1	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
004h	MSTS	保留								保留								保留								保留									
	复位值	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
008h	TSTS	LPM				TSME				NTM				ARQ2				保留				保留				保留				保留					
	复位值	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
00Ch	RF0	保留								保留								保留								保留									
	复位值	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
010h	FR1	保留								保留								保留								保留									
	复位值	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
014h	INTEN	保留								保留								保留								保留									
	复位值	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
018h	ESTS	REC[7: 0]								TEC[7: 0]								保留								保留									
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
01Ch	BTMG	SIL	LBK	保留				SJW				保留				BS2				BS1				保留				BRP							
	复位值	0	0	0	0	0	0	0	1	0	1	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
020h~17Fh		保留																																	
180h	TMIO	SID/EID[28: 18]																EID[17: 0]																IDT	
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	
184h	TDT0	TS																保留								保留								RTR	
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
188h	TDL0	D3								D2								D1								D0								TRQ	
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
18Ch	TDH0	D7								D6								D5								D4								SLP	
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

190h	TMI1	SID/EID[28: 18]																EID[17: 0]																IDT RTR TRQ		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x						
194h	TDT1	TS																保留				TMEN	保留				DLC				TMEN					
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x						
偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
198h	TDL1	D3								D2								D1				D0				D0				D0				TMEN		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x				
19Ch	TDH1	D7								D6								D5				D4				D4				D4				TMEN		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x				
1A0h	TMI2	SID/EID[28: 18]																EID[17: 0]																IDT RTR TRQ		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
1A4h	TDT2	TS																保留				TMEN	保留				DLC				TMEN					
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
1A8h	TDL2	D3								D2								D1				D0				D0				D0				TMEN		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x				
1ACh	TDH2	D7								D6								D5				D4				D4				D4				TMEN		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x				
1B0h	RFI0	SID/EID[28: 18]																EID[17: 0]																IDT RTR TRQ		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
1B4h	RDT0	TS																FID				TMEN	保留				DLC				TMEN					
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
1B8h	RDL0	D3								D2								D1				D0				D0				D0				TMEN		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
1BCh	RDH0	D7								D6								D5				D4				D4				D4				TMEN		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
1C0h	RFI1	SID/EID[28: 18]																EID[17: 0]																IDT RTR TRQ		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
1C4h	RDT1	TS																FID				TMEN	保留				DLC				TMEN					
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
1C8h	RDL1	D3								D2								D1				D0				D0				D0				TMEN		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
1CCh	RDH1	D7								D6								D5				D4				D4				D4				TMEN		
	复位值	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x					
1D0h~1FFh		保留																保留																TMEN		
200h	FM	保留																FINT				TMEN	保留				1				TMEN					
204h	FM1	保留																FMS																		
208h	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	TMEN				
20Ch	FS1	保留																FBS																		
210h		保留																FAF																		
214h	FFA1	保留																FAF																		

16.4.1 寄存器访问保护

对某些寄存器的错误访问会导致一个 CAN 节点对整个 CAN 网络的暂时性干扰。因此，软件只能在 CAN 处于初始化模式时修改 CAN_BTMG 寄存器。

虽然错误数据的发送对 CAN 网络层不会带来问题，但却会对应用程序造成严重影响。因此，软件只能在发送邮箱为空的状态改变它。

过滤器的数值只能在关闭对应过滤器组的状态下，或设置 FINT 位为'1'后才能修改。此外，只有在设置整个过滤器为初始化模式下（即 FINT=1），才能修改过滤器的设置，即修改 CAN_FM1, CAN_FS1 和 CAN_FFA1 寄存器。

16.4.2 CAN控制和状态寄存器

16.4.2.1 CAN主控制寄存器（CAN_MCTRL）

地址偏移量: 0x00

复位值: 0x0001 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留														DBF	
res														rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RST	保留				TTC	ABO	AWU	NART	RFL	TFP	SLP	INRQ			
rs	res				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位 31: 17	保留, 硬件强制为 0。
位 16	DBF: 调试冻结 (Debug freeze) 0: 在调试时, CAN 照常工作 1: 在调试时, 冻结 CAN 的接收/发送。仍然可以正常地读写和控制接收 FIFO。
位 15	RST: bxCAN 软件复位 (bxCAN software reset) 0: 本外设正常工作; 1: 对 bxCAN 进行强行复位, 复位后 bxCAN 进入睡眠模式 (FMP 位和 CAN_MCTRL 寄存器被初始化为其复位值)。此后硬件自动对该位清'0'。
位 14: 8	保留, 硬件强制为 0。
位 7	TTC: 时间触发通信模式 (Time triggered communication mode) 0: 禁止时间触发通信模式; 1: 允许时间触发通信模式。
位 6	ABO: 自动离线 (Bus-Off) 管理 (Automatic bus-off management) 该位决定 CAN 硬件在什么条件下可以退出离线状态。 0: 软件请求退出离线状态, 首先软件对 CAN_MCTRL 寄存器的 INRQ 位置 '1', 随后清 '0', 一旦硬件检测到 128 次连续 11 位的隐性位, 则退出离线状态; 1: 硬件自动退出离线状态, 当硬件检测到 128 次连续 11 位的隐性位, 则自动退出离线状态。
位 5	AWU: 自动唤醒模式 (Automatic wakeup mode) 该位决定 CAN 处在睡眠模式时由硬件还是软件唤醒 0: 软件唤醒, 软件清除 CAN_MCTRL 寄存器的 SLP 位, 退出睡眠模式; 1: 硬件自动唤醒, 当硬件检测到 CAN 报文时, 立即退出睡眠模式。唤醒的同时, 硬件自动对 CAN_MSTS 寄存器的 SLP 和 SAK 位清'0'。
位 4	NART: 禁止报文自动重传 (No automatic retransmission) 0: 按照 CAN 标准, CAN 硬件在发送报文失败时会一直自动重传直到发送成功; 1: CAN 报文只被发送 1 次, 不管发送的结果如何 (成功、出错或仲裁丢失)。
位 3	RFL: 接收 FIFO 锁定模式 (Receive FIFO locked mode) 0: 在接收溢出时 FIFO 未被锁定, 当接收 FIFO 的报文未被读出, 下一个收到的报文会覆盖原有的报文; 1: 在接收溢出时 FIFO 被锁定, 当接收 FIFO 的报文未被读出, 下一个收到的报文会被丢弃。
位 2	TFP: 发送 FIFO 优先级 (Transmit FIFO priority) 当有多个报文同时在等待发送时, 该位决定这些报文的发送顺序 0: 优先级由报文的标识符来决定; 1: 优先级由发送请求的顺序来决定。
位 1	SLP: 睡眠模式请求 (Sleep mode request) 软件对该位置'1'可以请求 CAN 进入睡眠模式, 一旦当前的 CAN 活动 (发送或接收报文) 结束, CAN 就进入睡眠。 软件对该位清'0'使 CAN 退出睡眠模式。 当设置了 AWU 位且在 CANRx 信号中检测出 SOF 位时, 硬件对该位清'0'。 在复位后该位被置'1', 即 CAN 在复位后处于睡眠模式。

位 0	<p>INRQ: 初始化请求 (Initialization request) 软件对该位清'0'可使 CAN 从初始化模式进入正常工作模式：当 CAN 在接收引脚检测到连续的 11 个隐性位后，CAN 就达到同步，并为接收和发送数据作好准备了。为此，硬件相应地对 CAN_MSTS 寄存器的 IAK 位清'0'。</p> <p>软件对该位置 1 可使 CAN 从正常工作模式进入初始化模式：一旦当前的 CAN 活动（发送或接收）结束，CAN 就进入初始化模式。相应地，硬件对 CAN_MSTS 寄存器的 IAK 位置'1'。</p>
-----	--

16.4.2.3 CAN主状态寄存器 (CAN_MSTS)

地址偏移量: 0x04

复位值: 0x0000 0C02

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
保留																
res																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
保留	RXS	LSAP	RX	TX	保留	SAKIT	WKIT	ERIT	SAK	IAK	res	rc w1	rc w1	rc w1	r	r

位 31: 12	保留位，硬件强制为 0
位 11	<p>RXS: CAN 接收电平 (CANRx signal) 该位反映 CAN 接收引脚 (CAN_RX) 的实际电平。</p>
位 10	<p>LSAP: 上次采样值 (Last sample point) CAN 接收引脚的上次采样值（对应于当前接收位的值）。</p>
位 9	<p>RX: 接收模式 (Receive mode) 该位为'1'表示 CAN 当前为接收器。</p>
位 8	<p>TX: 发送模式 (Transmit mode) 该位为'1'表示 CAN 当前为发送器。</p>
位 7: 5	保留位，硬件强制为 0。
位 4	<p>SAKIT: 睡眠确认中断 (Sleep acknowledge interrupt) 当 SAKIE=1，一旦 CAN 进入睡眠模式硬件就对该位置'1'，紧接着相应的中断被触发。当设置该位为'1'时，如果设置了 CAN_INTEN 寄存器中的 SAKIE 位，将产生一个状态改变中断。 软件可对该位清'0'，当 SAK 位被清'0'时硬件也对该位清'0'。 注：当 SAKIE=0，不应该查询该位，而应该查询 SAK 位来获知睡眠状态。</p>
位 3	<p>WKIT: 唤醒中断挂号 (Wakeup interrupt) 当 CAN 处于睡眠状态，一旦检测到帧起始位 (SOF)，硬件就置该位为'1'；并且如果 CAN_INTEN 寄存器的 WKIE 位为'1'，则产生一个状态改变中断。 该位由软件清'0'。</p>
位 2	<p>ERIT: 出错中断挂号 (Error interrupt) 当检测到错误时，CAN_ESTS 寄存器的某位被置'1'，如果 CAN_INTEN 寄存器的相应中断使能位也被置'1'时，则硬件对该位置'1'；如果 CAN_INTEN 寄存器的 ERRIE 位为'1'，则产生状态改变中断。 该位由软件清'0'。</p>

位 1	SAK: 睡眠模式确认 该位由硬件置'1'，指示软件 CAN 模块正处于睡眠模式。该位是对软件请求进入睡眠模式的确认（对 CAN_MCTRL 寄存器的 SLP 位置'1'）。 当 CAN 退出睡眠模式时硬件对该位清'0'（需要跟 CAN 总线同步）。这里跟 CAN 总线同步是指，硬件需要在 CAN 的 RX 引脚上检测到连续的 11 位隐性位。 注：通过软件或硬件对 CAN_MCTRL 的 SLP 位清'0'，将启动退出睡眠模式的过程。有关清除 SLP 位的详细信息，参见 CAN_MCTRL 寄存器的 AWU 位的描述。
位 0	IAK: 初始化确认 该位由硬件置'1'，指示软件 CAN 模块正处于初始化模式。 该位是对软件请求进入初始化模式的确认（对 CAN_MCTRL 寄存器的 INRQ 位置'1'）。 当 CAN 退出初始化模式时硬件对该位清'0'（需要跟 CAN 总线同步）。这里跟 CAN 总线同步是指，硬件需要在 CAN 的 RX 引脚上检测到连续的 11 位隐性位。

16.4.2.4 CAN发送状态寄存器 (CAN_TSTS)

地址偏移量: 0x08

复位值: 0x1C00 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPM2	LPM1	LPM0	TSME2	TSME1	TSME0	NTM[1: 0]	ARQ2	保留	TER2	ALS2	TOK2	RQC2			
r	r	r	r	r	r	r	r	rs	res	rc w1	rc w1	rc w1	rc w1		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARQ1	保留		TER1	ALS1	TOK1	RQC1	ARQ0	保留	TER0	ALS0	TOK0	RQC0			
rs	res		rc w1	rc w1	rc w1	rc w1	rs	res	rc w1	rc w1	rc w1	rc w1			

位 31	LPM2: 邮箱 2 最低优先级标志 (Lowest priority flag for mailbox 2) 当多个邮箱在等待发送报文，且邮箱 2 的优先级最低时，硬件对该位置'1'。
位 30	LPM1: 邮箱 1 最低优先级标志 (Lowest priority flag for mailbox 1) 当多个邮箱在等待发送报文，且邮箱 1 的优先级最低时，硬件对该位置'1'。
位 29	LPM0: 邮箱 0 最低优先级标志 (Lowest priority flag for mailbox 0) 当多个邮箱在等待发送报文，且邮箱 0 的优先级最低时，硬件对该位置'1'。 注：如果只有 1 个邮箱在等待，则 LPM[2: 0]被清'0'。
位 28	TSME2: 发送邮箱 2 空 (Transmit mailbox 2 empty) 当邮箱 2 中没有等待发送的报文时，硬件对该位置'1'。
位 27	TSME1: 发送邮箱 1 空 (Transmit mailbox 1 empty) 当邮箱 1 中没有等待发送的报文时，硬件对该位置'1'。
位 26	TSME0: 发送邮箱 0 空 (Transmit mailbox 0 empty) 当邮箱 0 中没有等待发送的报文时，硬件对该位置'1'。
位 25: 24	NTM[1: 0]: 邮箱号 (Mailbox code) 当有至少 1 个发送邮箱为空时，这 2 位表示下一个空的发送邮箱号。 当所有的发送邮箱都为空时，这 2 位表示优先级最低的那个发送邮箱号。
位 23	ARQ2: 邮箱 2 中止发送 (Abort request for mailbox 2) 软件对该位置'1'，可以中止邮箱 2 的发送请求，当邮箱 2 的发送报文被清除时硬件对该位清'0'。 如果邮箱 2 中没有等待发送的报文，则对该位置'1'没有任何效果。
位 22: 20	保留位，硬件强制其值为 0
位 19	TER2: 邮箱 2 发送失败 (Transmission error of mailbox 2) 当邮箱 2 因为出错而导致发送失败时，对该位置'1'。

位 18	ALS2: 邮箱 2 仲裁丢失 (Arbitration lost for mailbox 2) 当邮箱 2 因为仲裁丢失而导致发送失败时, 对该位置'1'。
位 17	TOK2: 邮箱 2 发送成功 (Transmission OK of mailbox 2) 每次在邮箱 2 进行发送尝试后, 硬件对该位进行更新: 0: 上次发送尝试失败; 1: 上次发送尝试成功。 当邮箱 2 的发送请求被成功完成后, 硬件对该位置'1'。
位 16	RQC2: 邮箱 2 请求完成 (Request completed mailbox 2) 当上次对邮箱 2 的请求(发送或中止)完成后, 硬件对该位置'1'。软件对该位写'1'可以对其清'0'; 当硬件接收到发送请求时也对该位清'0' (CAN_TMI2 寄存器的 TRQ 位被置'1')。该位被清'0'时, 邮箱 2 的其它发送状态位 (TOK2, ALS2 和 TER2) 也被清'0'。
位 15	ARQ1: 邮箱 1 中止发送 (Abort request for mailbox 1) 软件对该位置'1', 可以中止邮箱 1 的发送请求, 当邮箱 1 的发送报文被清除时硬件对该位清'0'。如果邮箱 1 中没有等待发送的报文, 则对该位置'1'没有任何效果。
位 14: 12	保留位, 硬件强制其值为 0
位 11	TER1: 邮箱 1 发送失败 (Transmission error of mailbox 1) 当邮箱 1 因为出错而导致发送失败时, 对该位置'1'。
位 10	ALS1: 邮箱 1 仲裁丢失 (Arbitration lost for mailbox 1) 当邮箱 1 因为仲裁丢失而导致发送失败时, 对该位置'1'。
位 9	TOK1: 邮箱 1 发送成功 (Transmission OK of mailbox 1) 每次在邮箱 1 进行发送尝试后, 硬件对该位进行更新: 0: 上次发送尝试失败; 1: 上次发送尝试成功。当邮箱 1 的发送请求被成功完成后, 硬件对该位置'1'。
位 8	RQC1: 邮箱 1 请求完成 (Request completed mailbox 1) 当上次对邮箱 1 的请求(发送或中止)完成后, 硬件对该位置'1'。软件对该位写'1'可以对其清'0'; 当硬件接收到发送请求时也对该位清'0' (CAN_TMI1 寄存器的 TRQ 位被置'1')。该位被清'0'时, 邮箱 1 的其它发送状态位 (TOK1, ALS1 和 TER1) 也被清'0'。
位 7	ARQ0: 邮箱 0 中止发送 (Abort request for mailbox 0) 软件对该位置'1'可以中止邮箱 0 的发送请求, 当邮箱 0 的发送报文被清除时硬件对该位清'0'。如果邮箱 0 中没有等待发送的报文, 则对该位置 1 没有任何效果。
位 6: 4	保留位, 硬件强制其值为 0
位 3	TER0: 邮箱 0 发送失败 (Transmission error of mailbox 0) 当邮箱 0 因为出错而导致发送失败时, 对该位置'1'。
位 2	ALS0: 邮箱 0 仲裁丢失 (Arbitration lost for mailbox 0) 当邮箱 0 因为仲裁丢失而导致发送失败时, 对该位置'1'。
位 1	TOK0: 邮箱 0 发送成功 (Transmission OK of mailbox 0) 每次在邮箱 0 进行发送尝试后, 硬件对该位进行更新: 0: 上次发送尝试失败; 1: 上次发送尝试成功。当邮箱 0 的发送请求被成功完成后, 硬件对该位置'1'。
位 0	RQC0: 邮箱 0 请求完成 (Request completed mailbox 0) 当上次对邮箱 0 的请求(发送或中止)完成后, 硬件对该位置'1'。软件对该位写'1'可以对其清'0'; 当硬件接收到发送请求时也对该位清'0' (CAN_TMI0 寄存器的 TRQ 位被置'1')。该位被清'0'时, 邮箱 0 的其它发送状态位 (TOK0, ALS0 和 TER0) 也被清'0'。

16.4.2.5 CAN接收FIFO 0寄存器 (CAN_RF0)

地址偏移量: 0x0C

复位值: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

保留

res

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

保留

RRF
M0RFO
V0RF
FU0

保留

RFP0

res

rs

rc w1

rc w1

res

r

r

位 31: 6	保留位, 硬件强制为 0
位 5	RRFM0: 释放接收 FIFO 0 输出邮箱 (Release FIFO 0 output mailbox) 软件通过对该位置'1'来释放接收 FIFO 的输出邮箱。如果接收 FIFO 为空, 那么对该位置'1'没有任何效果, 即只有当 FIFO 中有报文时对该位置'1'才有意义。如果 FIFO 中有 2 个以上的报文, 由于 FIFO 的特点, 软件需要释放输出邮箱才能访问第 2 个报文。 当输出邮箱被释放时, 硬件对该位清'0'。
位 4	RFOV0: FIFO 0 溢出 (FIFO 0 overrun) 当 FIFO 0 已满, 又收到新的报文且报文符合过滤条件, 硬件对该位置'1'。 该位由软件清'0'。
位 3	RFFU0: FIFO 0 满 (FIFO 0 full) 当 FIFO 0 中有 3 个报文时, 硬件对该位置'1'。 该位由软件清'0'。
位 2	保留位, 硬件强制其值为 0
位 1: 0	RFP0[1: 0]: FIFO 0 报文数目 (FIFO 0 message pending) FIFO 0 报文数目这 2 位反映了当前接收 FIFO 0 中存放的报文数目。每当 1 个新的报文被存入接收 FIFO 0, 硬件就对 RFP0 加 1。每当软件对 RRFM0 位写'1'来释放输出邮箱, RFP0 就被减 1, 直到其为 0。

16.4.2.6 CAN接收FIFO 1寄存器 (CAN_RF1)

地址偏移量: 0x10

复位值: 0x00

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

保留

res

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

保留

RRF
M1RFO
V1RF
FU1

保留

RFP1

res

rs

rc w1

rc w1

res

r

r

位 31: 6	保留位, 硬件强制为 0
位 5	RRFM1: 释放接收 FIFO 1 输出邮箱 (Release FIFO 1 output mailbox) 软件通过对该位置'1'来释放接收 FIFO 的输出邮箱。如果接收 FIFO 为空, 那么对该位置'1'没有任何效果, 即只有当 FIFO 中有报文时对该位置'1'才有意义。如果 FIFO 中有 2 个以上的报文, 由于 FIFO 的特点, 软件需要释放输出邮箱才能访问第 2 个报文。 当输出邮箱被释放时, 硬件对该位清'0'。
位 4	RFOV1: FIFO 1 溢出 (FIFO 1 overrun) 当 FIFO 1 已满, 又收到新的报文且报文符合过滤条件, 硬件对该位置'1'。 该位由软件清'0'。

位 3	RFFU1: FIFO 1 满 (FIFO 1 full) 当 FIFO 1 中有 3 个报文时，硬件对该位置'1'。 该位由软件清'0'。
位 2	保留位，硬件强制其值为 0
位 1: 0	RFP1[1: 0]: FIFO 1 报文数目 (FIFO 1 message pending) FIFO 1 报文数目这 2 位反映了当前接收 FIFO 1 中存放的报文数目。每当 1 个新的报文被存入接收 FIFO 1，硬件就对 RFP1 加 1。每当软件对 RRFM1 位写 1 来释放输出邮箱，RFP1 就被减 1，直到其为 0。

16.4.2.7 CAN中断使能寄存器 (CAN_INTEN)

地址偏移量: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留														SAK IE	WK IE
res														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERIE	保留	ER CIE	BU IE	ER PIE	ER WIE	保留	RFO VIE1	RFF UIE1	RFP IE1	RFO VIE0	RFFU IE0	RFP IE0	TSM EIE		
rw	res	rw	rw	rw	rw	res	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31: 18	保留位，硬件强制为 0
位 17	SAKIE: 睡眠中断使能 (Sleep interrupt enable) 0: 当 SAKIT 位被置'1'时，不产生中断； 1: 当 SAKIT 位被置'1'时，产生中断。
位 16	WKIE: 唤醒中断使能 (Wakeup interrupt enable) 0: 当 WKIT 位被置'1'时，不产生中断； 1: 当 WKIT 位被置'1'时，产生中断。
位 15	ERIE: 错误中断使能 (Error interrupt enable) 0: 当 CAN_ESTS 寄存器有错误挂号时，不产生中断； 1: 当 CAN_ESTS 寄存器有错误挂号时，产生中断。
位 14: 12	保留位，硬件强制为 0。
位 11	ERCIE: 上次错误号中断使能 (Last error code interrupt enable) 0: 当检测到错误，硬件设置 ERC[2: 0]时，不设置 ERIT 位； 1: 当检测到错误，硬件设置 ERC[2: 0]时，设置 ERIT 位为'1'。
位 10	BUIE: 离线中断使能 (Bus-off interrupt enable) 0: 当 BFF 位被置'1'时，不设置 ERIT 位； 1: 当 BFF 位被置'1'时，设置 ERIT 位为'1'。
位 9	ERPIE: 错误被动中断使能 (Error Passive Interrupt Enable) 0: 当 ERPF 位被置'1'时，不设置 ERIT 位； 1: 当 ERPF 位被置'1'时，设置 ERIT 位为'1'。
位 8	ERWIE: 错误警告中断使能 (Error warning interrupt enable) 0: 当 ERWF 位被置'1'时，不设置 ERIT 位； 1: 当 ERWF 位被置'1'时，设置 ERIT 位为'1'。
位 7	保留位，硬件强制为 0
位 6	RFOVIE1: FIFO 1 溢出中断使能 (FIFO overrun interrupt enable) 0: 当 FIFO 1 的 RFOV 位被置'1'时，不产生中断； 1: 当 FIFO 1 的 RFOV 位被置'1'时，产生中断。

位 5	RFFUIE1: FIFO 1 满中断使能 (FIFO full interrupt enable) 0: 当 FIFO 1 的 RFFU 位被置'1'时, 不产生中断; 1: 当 FIFO 1 的 RFFU 位被置'1'时, 产生中断。
位 4	RFPIE1: FIFO 1 消息挂号中断使能 (FIFO message pending interrupt enable) 0: 当 FIFO 1 的 RFP[1: 0]位为非 0 时, 不产生中断; 1: 当 FIFO 1 的 RFP[1: 0]位为非 0 时, 产生中断。
位 3	RFOVIE0: FIFO 0 溢出中断使能 (FIFO overrun interrupt enable) 0: 当 FIFO 0 的 RFOV 位被置'1'时, 不产生中断; 1: 当 FIFO 0 的 RFOV 位被置'1'时, 产生中断。
位 2	RFFUIE0: FIFO 0 满中断使能 (FIFO full interrupt enable) 0: 当 FIFO 0 的 RFFU 位被置'1'时, 不产生中断; 1: 当 FIFO 0 的 RFFU 位被置'1'时, 产生中断。
位 1	RFPIE0: FIFO 0 消息挂号中断使能 (FIFO message pending interrupt enable) 0: 当 FIFO 0 的 RFP[1: 0]位为非 0 时, 不产生中断; 1: 当 FIFO 0 的 RFP[1: 0]位为非 0 时, 产生中断。
位 0	TSMEIE: 发送邮箱空中断使能 (Transmit mailbox empty interrupt enable) 0: 当 RQCx 位被置'1'时, 不产生中断; 1: 当 RQCx 位被置'1'时, 产生中断。

16.4.2.8 CAN错误状态寄存器 (CAN_ESTS)

地址偏移量: 0x18

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REC[7: 0]										TEC[7: 0]					
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留										ERC	保留	BFF	ER PF	ER WF	
res								rw	rw	rw	res	r	r	r	

位 31: 24	REC[7: 0]: 接收错误计数器 (Receive error counter) 这个计数器按照 CAN 协议的故障界定机制的接收部分实现。按照 CAN 的标准, 当接收到错时, 根据出错的条件, 该计数器加 1 或加 8; 而在每次接收成功后, 该计数器减 1, 或当该计数器的值大于 127 时, 设置它的值为 120。当该计数器的值超过 127 时, CAN 进入错误被动状态。
位 23: 16	TEC[7: 0]: 9 位发送错误计数器的低 8 位 (Least significant byte of the 9-bit transmit error counter) 与上面相似, 这个计数器按照 CAN 协议的故障界定机制的发送部分实现。
位 15: 7	保留位, 硬件强制为 0。
位 6: 4	ERC[2: 0]: 上次错误代码 (Last error code) 在检测到 CAN 总线上发生错误时, 硬件根据出错情况设置。当报文被正确发送或接收后, 硬件清除其值为'0'。 硬件没有使用错误代码 7, 软件可以设置该值, 从而可以检测代码的更新。 000: 没有错误; 001: 位填充错; 010: 格式 (Form) 错; 011: 确认 (ACK) 错; 100: 隐性位错; 101: 显性位错; 110: CRC 错; 111: 由软件设置。

位 3	保留位, 硬件强制为 0。
位 2	BFF: 离线标志 (Bus-off flag) 当进入离线状态时, 硬件对该位置'1'。当发送错误计数器 TEC 溢出, 即大于 255 时, CAN 进入离线状态。
位 1	ERPF: 错误被动标志 (Error passive flag) 当出错次数达到错误被动的阈值时, 硬件对该位置'1'。 (接收错误计数器或发送错误计数器的值>127)。
位 0	ERWF: 错误警告标志 (Error warning flag) 当出错次数达到警告的阈值时, 硬件对该位置'1'。 (接收错误计数器或发送错误计数器的值≥96)。

16.4.2.9 CAN位时序寄存器 (CAN_BTMG)

地址偏移量: 0x1C

复位值: 0x0123 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SIL	LBK	保留		SJW[1: 0]		保留		BS2[2: 0]		BS1[3: 0]					
rw	rw	res		rw	rw	res	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		BRP[11: 0]													
res		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31	SIL: 静默模式 (用于调试) (Silent mode (debug)) 0: 正常状态; 1: 静默模式。
位 30	LBK: 环回模式 (用于调试) (Loop back mode (debug)) 0: 禁止环回模式; 1: 允许环回模式。
位 29: 26	保留位, 硬件强制为 0。
位 25: 24	SJW[1: 0]: 重新同步跳跃宽度 (Resynchronization jump width) 为了重新同步, 该位域定义了 CAN 硬件在每位中可以延长或缩短多少个时间单元的上限。 $t_{SJW} = t_{CAN} \times (SJW[1: 0] + 1)$ 。
位 23	保留位, 硬件强制为 0。
位 22: 20	BS2[2: 0]: 时间段 2 (Time segment 2) 该位域定义了时间段 2 占用了多少个时间单元 $t_{BS2} = t_{CAN} \times (BS2[2: 0] + 1)$ 。
位 19: 16	BS1[3: 0]: 时间段 1 (Time segment 1) 该位域定义了时间段 1 占用了多少个时间单元 $t_{BS1} = t_{CAN} \times (BS1[3: 0] + 1)$
位 15: 12	保留位, 硬件强制其值为 0。
位 11: 0	BRP[11: 0]: 波特率分频器 (Baud rate prescaler) 该位域定义了时间单元 (t_q) 的时间长度 $t_q = (BRP[11: 0] + 1) \times t_{PCLK}$

16.4.3 CAN邮箱寄存器

本节描述发送和接收邮箱寄存器。关于寄存器映像的详细信息, 请参考 [18.3.9 节报文存储](#)。

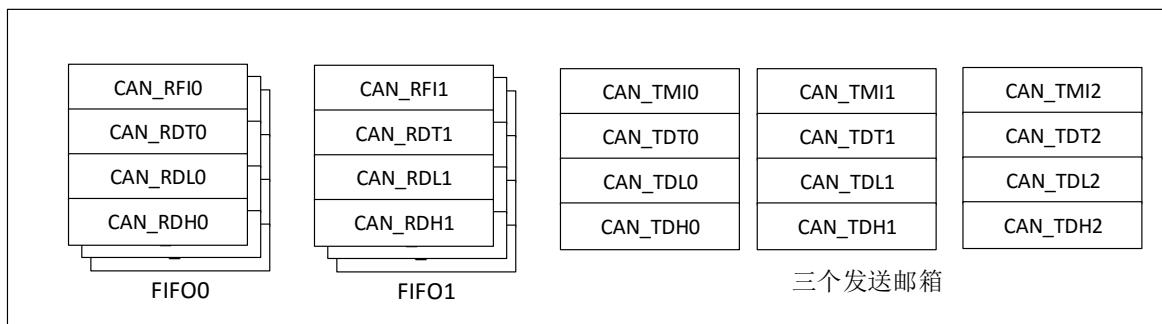
除了下述例外，发送和接收邮箱几乎一样：

- CAN_RDTxR 寄存器的 FID 域；
- 接收邮箱是只读的；
- 发送邮箱只有在它为空时才是可写的，CAN_TSTS 寄存器的相应 TSME 位为'1'，表示发送邮箱为空。

共有 3 个发送邮箱和 2 个接收邮箱。每个接收邮箱为 3 级深度的 FIFO，并且只能访问 FIFO 中最先收到的报文。

每个邮箱包含 4 个寄存器。

图 18-16 发送和接收邮箱



16.4.3.1 发送邮箱标识符寄存器 (CAN_TM_x) (x=0..2)

地址偏移量：0x180, 0x190, 0x1A0

复位值：0xFFFF XXXX, X=未定义位（除了第 0 位，复位时 TRQ=0）

注意：1.当其所属的邮箱处在等待发送的状态时，该寄存器是写保护的。
2.该寄存器实现了发送请求控制功能（第 0 位）—复位值为 0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
SID[10: 0]/EID[28: 18]														EID[17: 16]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
EID[15: 0]														IDT	RTR	TRQ
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 31: 21		SID[10: 0]/EID[28: 18]: 标准标识符或扩展标识符 (Standard identifier or extended identifier) 依据 IDT 位的内容，这些位或是标准标识符，或是扩展身份标识的高字节。														
位 20: 3		EID[17: 0]: 扩展标识符 (Extended identifier) 扩展身份标识的低字节。														
位 2		IDT: 标识符选择 (Identifier extension) 该位决定发送邮箱中报文使用的标识符类型 0: 使用标准标识符； 1: 使用扩展标识符。														
位 1		RTR: 远程发送请求 (Remote transmission request) 0: 数据帧； 1: 远程帧。														

位 0	TRQ: 发送数据请求 (Transmit mailbox request) 由软件对其置'1'，来请求发送邮箱的数据。当数据发送完成，邮箱为空时，硬件对其清'0'。
-----	---

16.4.3.2 发送邮箱数据长度和时间戳寄存器 (CAN_TDTx) (x=0..2)

当邮箱不在空置状态时，该寄存器的所有位为写保护。

地址偏移量: 0x184, 0x194, 0x1A4

复位值: 未定义位

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TS[15: 0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				TMEN		保留				DLC					
res				rw		res				rw		rw		rw	

位 31: 16	TS[15: 0]: 报文时间戳 (Message time stamp) 该域包含了，在发送该报文 SOF 的时刻，16 位定时器的值。
位 15: 9	保留位
位 8	TMEN: 发送时间戳 (Transmit global time) 只有在 CAN 处于时间触发通信模式，即 CAN_MCTRL 寄存器的 TTC 位为'1'时，该位才有效。 0: 不发送时间戳 TS[15: 0]; 1: 发送时间戳 TS[15: 0]。在长度为 8 的报文中，时间戳 TS[15: 0] 是最后 2 个发送的字节：TS[7: 0] 作为第 7 个字节，TS[15: 8] 为第 6 个字节，它们替换了写入 CAN_TDHR[31: 16] 的数据 (D6[7: 0] 和 D7[7: 0])。为了把时间戳的 2 个字节发送出去，DLC 必须编程为 8。
位 7: 4	保留位。
位 3: 0	DLC[3: 0]: 发送数据长度 (Data length code) 该域指定了数据报文的数据长度或者远程帧请求的数据长度。1 个报文包含 0 到 8 个字节数据，而这由 DLC 决定。

16.4.3.3 发送邮箱低字节数据寄存器 (CAN_TDLx) (x=0..2)

当邮箱不在空置状态时，该寄存器的所有位为写保护。

地址偏移量: 0x188, 0x198, 0x1A8

复位值: 未定义位

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
D3								D2							
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D1								D0							
rw															

位 31: 24	D3[7: 0]: 数据字节 3 (Data byte 3) 报文的数据字节 3
位 23: 16	D2[7: 0]: 数据字节 2 (Data byte 2) 报文的数据字节 2。

位 15: 8	D1[7: 0] : 数据字节 1 (Data byte 1) 报文的数据字节 1。
位 7: 0	D0[7: 0] : 数据字节 0 (Data byte 0) 报文的数据字节 0。

16.4.3.4 发送邮箱高字节数据寄存器 (CAN_TDHx) (x=0..2)

当邮箱不在空置状态时，该寄存器的所有位为写保护。

地址偏移量: 0x18C, 0x19C, 0x1AC

复位值: 未定义位

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
D7								D6							
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D5								D4							
rw															

位 31: 24	D7[7: 0] : 数据字节 7 (Data byte 7) 报文的数据字节 7 注: 如果 CAN_MCTRL 寄存器的 TTC 位为'1', 且该邮箱的 TMEN 位也为'1', 那么 D7 和 D6 将被 TS 时间戳代替。
位 23: 16	D6[7: 0] : 数据字节 6 (Data byte 6) 报文的数据字节 6。
位 15: 8	D5[7: 0] : 数据字节 5 (Data byte 5) 报文的数据字节 5。
位 7: 0	D4[7: 0] : 数据字节 4 (Data byte 4) 报文的数据字节 4。

16.4.3.5 接收FIFO邮箱标识符寄存器 (CAN_RF1x) (x=0..1)

地址偏移量: 0x1B0, 0x1C0

复位值: 未定义位

注意: 所有接收邮箱寄存器都是只读的。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
SID[10: 0]/EID[28: 18]														EID[17: 16]		
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
EID[15: 0]														IDT	RTR	保留
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	res	

位 31: 21	SID[10: 0]/EID[28: 18] : 标准标识符或扩展标识符 (Standard identifier or extended identifier) 依据 IDT 位的内容, 这些位或是标准标识符, 或是扩展身份标识的高字节。
位 20: 3	EID[17: 0] : 扩展标识符 (Extended identifier) 扩展标识符的低字节。

位 2	IDT: 标识符选择 (Identifier extension) 该位决定接收邮箱中报文使用的标识符类型 0: 使用标准标识符; 1: 使用扩展标识符。
位 1	RTR: 远程发送请求 (Remote transmission request) 0: 数据帧; 1: 远程帧。
位 0	保留位。

16.4.3.6 接收FIFO邮箱数据长度和时间戳寄存器 (CAN_RDTx) (x=0..1)

地址偏移量: 0x1B4, 0x1C4

复位值: 未定义

注意: 有接收邮箱寄存器都是只读的。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16				
TS																			
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
FID								保留				DLC							
r	r	r	r	r	r	r	r	res				r	r	r	r				
位 31: 16	TS[15: 0]: 报文时间戳 (Message time stamp) 该域包含了, 在接收该报文 SOF 的时刻, 16 位定时器的值。																		
位 15: 8	FID[7: 0]: 过滤器匹配序号 (Filter match index) 这里是存在邮箱中的信息传送的过滤器序号。关于标识符过滤的细节, 请参考 18.3.8 节 中有关过滤器匹配序号。																		
位 7: 4	保留位, 硬件强制为 0。																		
位 3: 0	DLC[3: 0]: 接收数据长度 (Data length code) 该域表明接收数据帧的数据长度 (0~8)。对于远程帧请求, 数据长度 DLC 恒为 0。																		

16.4.3.7 接收FIFO邮箱低字节数据寄存器 (CAN_RDLx) (x=0..1)

地址偏移量: 0x1B8, 0x1C8

复位值: 未定义位

注意: 所有接收邮箱寄存器都是只读的。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
D3								D2							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D1								D0							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
位 31: 24	D3[7: 0]: 数据字节 3 (Data byte 3) 报文的数据字节 3。														

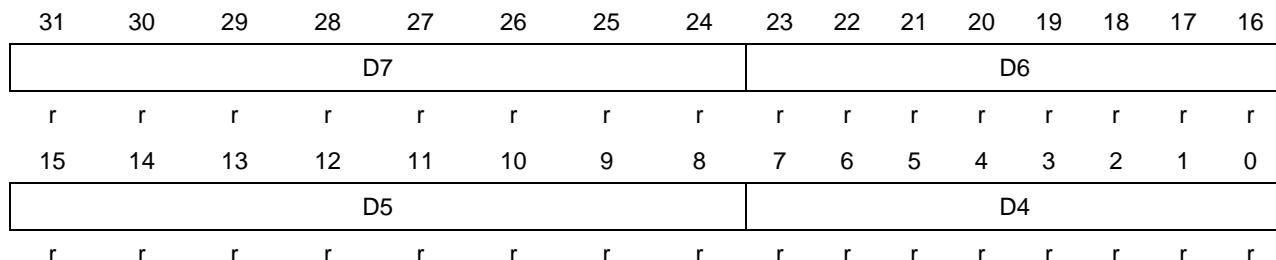
位 23: 16	D2[7: 0] : 数据字节 2 (Data byte 2) 报文的数据字节 2。
位 15: 8	D1[7: 0] : 数据字节 1 (Data byte 1) 报文的数据字节 1。
位 7: 0	D0[7: 0] : 数据字节 0 (Data byte 0) 报文的数据字节 0。报文包含 0 到 8 个字节数据，且从字节 0 开始。

16.4.3.8 接收FIFO邮箱高字节数据寄存器 (CAN_RDHx) (x=0..1)

地址偏移量: 0x1BC, 0x1CC

复位值: 未定义

注意: 所有接收邮箱寄存器都是只读的。



位 31: 24	D7[7: 0] : 数据字节 7 (Data byte 7) 报文的数据字节 7
位 23: 16	D6[7: 0] : 数据字节 6 (Data byte 6) 报文的数据字节 6。
位 15: 8	D5[7: 0] : 数据字节 5 (Data byte 5) 报文的数据字节 5。
位 7: 0	D4[7: 0] : 数据字节 4 (Data byte 4) 报文的数据字节 4。

16.4.4 CAN过滤器寄存器

16.4.4.1 CAN过滤器主控寄存器 (CAN_FM)

地址偏移量: 0x200

复位值: 0x2A1C 0E01

注意: 该寄存器的非保留位完全由软件控制。



位 31: 1	保留位, 强制为复位值。
位 0	FINT : 过滤器初始化模式 (Filter init mode) 针对所有过滤器组的初始化模式设置。 0: 过滤器组工作在正常模式; 1: 过滤器组工作在初始化模式。

16.4.4.2 CAN过滤器模式寄存器 (CAN_FM1)

地址偏移量: 0x204

复位值: 0x0000 0000

注意: 只有在设置 CAN_FM (FINT=1), 使过滤器处于初始化模式下, 才能对该寄存器写入。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	FMS 13	FMS 12	FMS 11	FMS 10	FM S9	FM S8	FM S7	FM S6	FM S5	FM S4	FM S3	FM S2	FM S1	FM S0	
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 14	保留位, 硬件强制为 0														
位 13: 0	FMSx : 过滤器模式 (Filter mode) 过滤器组 x 的工作模式。 0: 过滤器组 x 的 2 个 32 位寄存器工作在标识符屏蔽位模式; 1: 过滤器组 x 的 2 个 32 位寄存器工作在标识符列表模式。														

16.4.4.3 CAN过滤器位宽寄存器 (CAN_FS1)

地址偏移量: 0x20C

复位值: 0x0000 0000

注意: 只有在设置 CAN_FM (FINT=1), 使过滤器处于初始化模式下, 才能对该寄存器写入。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	FBS 13	FBS 12	FBS 11	FBS 10	FB S9	FB S8	FB S7	FB S6	FB S5	FB S4	FB S3	FB S2	FB S1	FB S0	
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 14	保留位, 硬件强制为 0														
位 13: 0	FBSx : 过滤器位宽设置 过滤器组 x (13~0) 的位宽。 0: 过滤器位宽为 2 个 16 位; 1: 过滤器位宽为单个 32 位。														

16.4.4.4 CAN过滤器FIFO关联寄存器 (CAN_FFA1)

地址偏移量: 0x214

复位值: 0x0000 0000

注意: 只有在设置 CAN_FM (FINT=1), 使过滤器处于初始化模式下, 才能对该寄存器写入。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	FA F13	FA F12	FA F11	FA F10	FA F9	FA F8	FA F7	FA F6	FA F5	FA F4	FA F3	FA F2	FA F1	FA F0	
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 14	保留位, 硬件强制为 0。														
位 13: 0	FAFx : 过滤器关联 FIFO 设置 报文在通过了某过滤器的过滤后, 将被存放到其关联的 FIFO 中。 0: 过滤器被关联到 FIFO0; 1: 过滤器被关联到 FIFO1。														

16.4.4.5 CAN过滤器激活寄存器 (CAN_FA1)

地址偏移量: 0x21C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	FE N13	FE N12	FE N11	FE N10	FE N9	FE N8	FE N7	FE N6	FE N5	FE N4	FE N3	FE N2	FE N1	FE N0	
res	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 14	保留位, 硬件强制为 0。														
位 13: 0	FENx : 过滤器激活 (Filter active) 软件对某位设置'1'来激活相应的过滤器。只有对 FENx 位清'0', 或对 CAN_FM 寄存器的 FINT 位设置'1'后, 才能修改相应的过滤器寄存器 x (CAN_FBiRx)。 0: 过滤器被禁用; 1: 过滤器被激活。														

16.4.4.6 CAN过滤器组i的寄存器x (CAN_FBiRx) (其中i=0..13; x=1..2)

地址偏移量: 0x240h..0x31C

复位值: 未定义

注意: 共有 14 组过滤器: i=0..13。每组过滤器由 2 个 32 位的寄存器, CAN_FBiR[2:1]组成。

只有在 CAN_FA1 寄存器相应的 FENx 位清'0', 或 CAN_FM 寄存器的 FINT 位为'1'时, 才能修改相应的过滤器寄存器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FD31	FD30	FD29	FD28	FD27	FD26	FD25	FD24	FD23	FD22	FD21	FD20	FD19	FD18	FD17	FD16
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FD15	FD14	FD13	FD12	FD11	FD10	FD9	FD8	FD7	FD6	FD5	FD4	FD3	FD2	FD1	FD0
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

在所有的配置情况下：

位 31: 0	FD[31: 0]: 过滤器位 (Filter bits) 标识符模式寄存器的每位对应于所期望的标识符的相应位的电平。 0: 期望相应位为显性位; 1: 期望相应位为隐性位。 屏蔽位模式 寄存器的每位指示是否对应的标识符寄存器位一定要与期望的标识符的相应位一致。 0: 不关心, 该位不用于比较; 1: 必须匹配, 到来的标识符位必须与滤波器对应的标识符寄存器位相一致。
---------	--

注意：根据过滤器位宽和模式的不同设置，过滤器组中的两个寄存器的功能也不尽相同。关于过滤器的映射，功能描述和屏蔽寄存器的关联，请参见 [18.3.8 节标识符过滤](#)。

屏蔽位模式下的屏蔽/标识符寄存器，跟标识符列表模式下的寄存器位定义相同。

17 SDIO接口

17.1 简介

SD/SDIO MMC 卡主机模块 (SDIO) 在 AHB 外设总线和多媒体卡 (MMC)、SD 存储卡、SDIO 卡间提供了操作接口。

多媒体卡系统规格书由 MMCA 技术委员会发布，可以在多媒体卡协会的网站上 (www.mmca.org) 获得。

SDIO 的主要功能如下：

- 与多媒体卡系统规格书版本 4.2 全兼容。支持三种不同的数据总线模式：1 位（默认）、4 位和 8 位
- 与较早的多媒体卡系统规格版本全兼容（向前兼容）
- 与 SD 存储卡规格版本 2.0 全兼容
- 与 SD I/O 卡规格版本 2.0 全兼容：支持两种不同的数据总线模式：1 位（默认）和 4 位
- 8 位总线模式下数据传输速率可达 50 MHz
- 数据和命令输出使能信号，用于控制外部双向驱动器

注意：1. SDIO 没有 SPI 兼容的通信模式

2. 在多媒体卡系统规格书版本 2.11 中，定义 SD 存储卡协议是多媒体卡协议的超集。只支持 I/O 模式的 SD 卡或复合卡中的 I/O 部分不能支持 SD 存储设备中很多需要的命令，这里有些命令在 SD I/O 设备中不起作用，如擦除命令，因此 SDIO 不支持这些命令。另外，SD 存储卡和 SD I/O 卡中有些命令是不同的，SDIO 也不支持这些命令。细节可以参考 SD I/O 卡规格书版本 1.0。SDIO 接口的电气和信号定义详见 MMC 参考资料。

多媒体卡/SD 总线将所有卡与控制器相连。

当前版本的 SDIO 在同一时间里只能支持一个 SD/SDIO/MMC 4.2 卡，但可以支持多个 MMC 版本 4.1

或以前版本的卡。

17.2 主要特点

总线上的通信是通过传送命令和数据实现。

在多媒体卡/SD/SD I/O 总线上的基本操作是命令/响应结构，这样的总线操作在命令或总线机制下实现信息交换；另外，某些操作还具有数据令牌。

在 SD/SD IO 存储器卡上传送的数据是以数据块的形式传输；在 MMC 上传送的数据是以数据块或数据流的形式传输。

图17-1 SDIO“无响应”和“无数据”操作

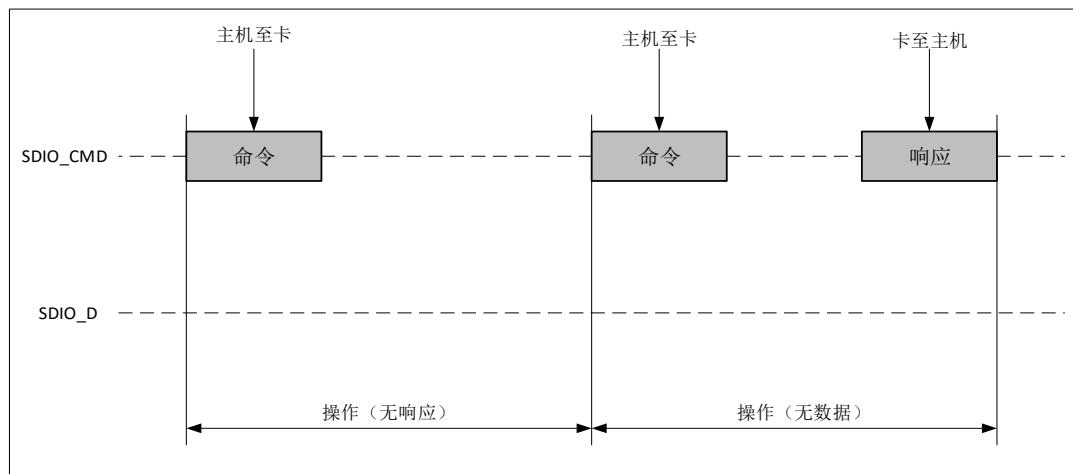


图17-2 SDIO（多）数据块读操作

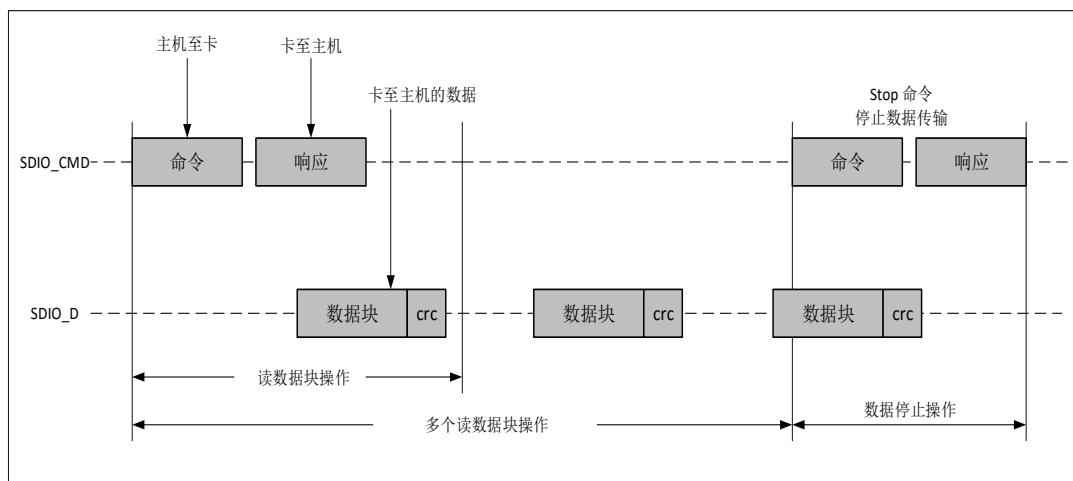
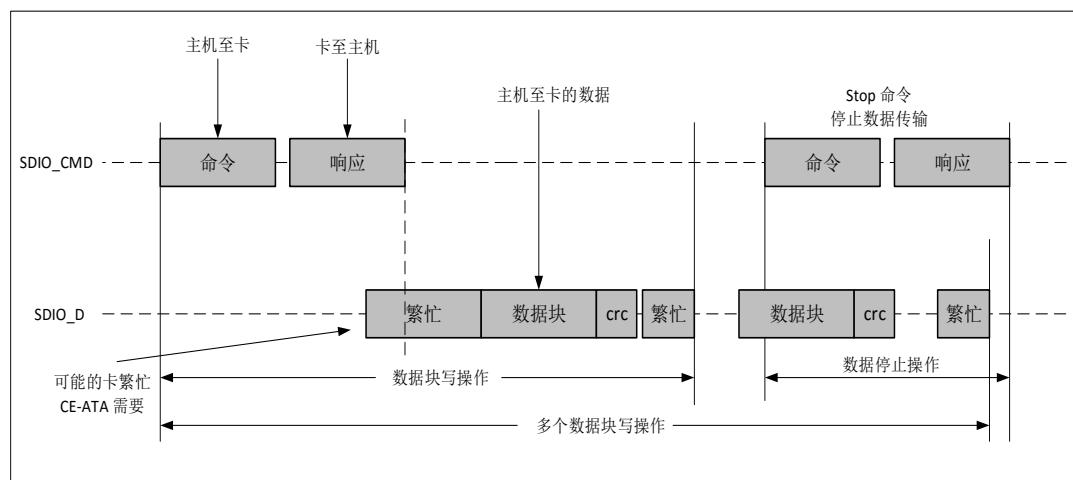


图17-3 SDIO（多）数据块写操作



注意：当有 *Busy* (繁忙) 信号时，SDIO (*SDIO_D0* 被拉低) 将不会发送任何数据。

图 17-4 SDIO 连续读操作

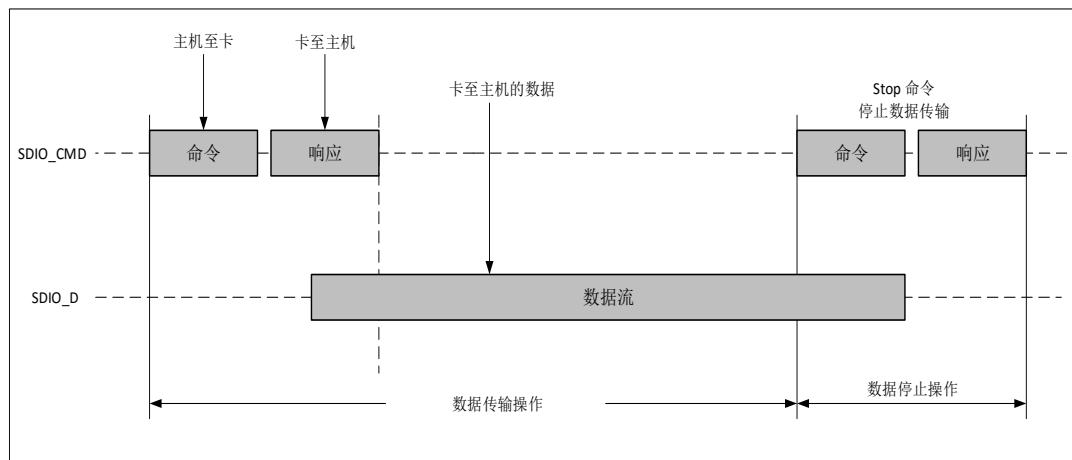
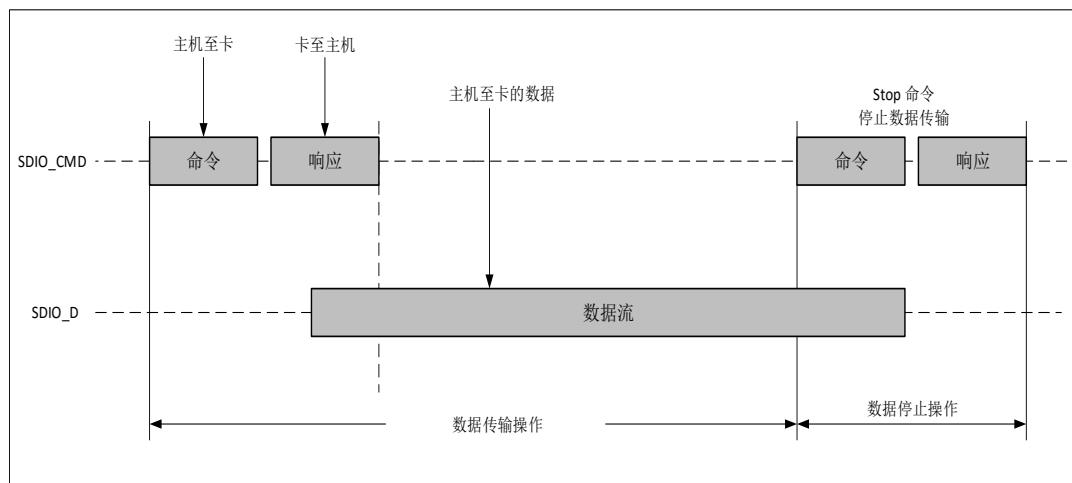


图 17-5 SDIO 连续写操作



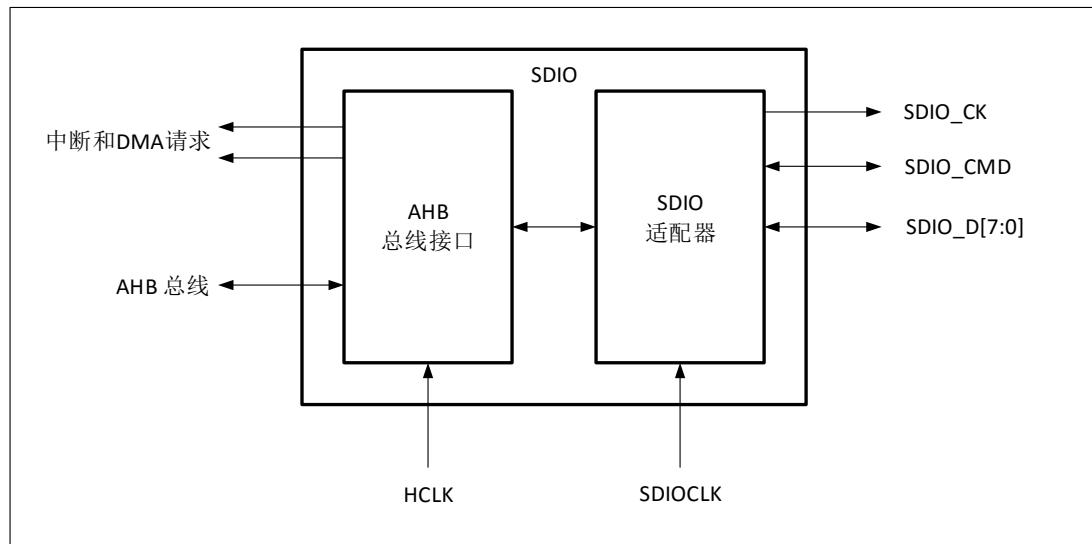
17.3 功能描述

17.3.1 SDIO 功能描述

SDIO 包含 2 个部分：

- SDIO 适配器模块：实现所有 MMC/SD/SD I/O 卡的相关功能，如时钟的产生、命令和数据的传送
- AHB 总线接口：操作 SDIO 适配器模块中的寄存器，并产生中断和 DMA 请求信号

图 17-6 SDIO 框图



复位后默认情况下 **SDIO_D0** 用于数据传输。初始化后主机可以改变数据总线的宽度。

如果一个多媒体卡接到了总线上，则 **SDIO_D0**、**SDIO_D[3: 0]** 或 **SDIO_D[7: 0]** 可以用于数据传输。**MMC** 版本 V3.31 和之前版本的协议只支持 1 位数据线，所以只能用 **SDIO_D0**。

如果一个 **SD** 或 **SD I/O** 卡接到了总线上，可以通过主机配置数据传输使用 **SDIO_D0** 或 **SDIO_D[3: 0]**。所有的数据线都工作在推挽模式。

SDIO_CMD 有两种操作模式：

- 用于初始化时的开路模式（仅用于 **MMC** 版本 V3.31 或之前版本）
- 用于命令传输的推挽模式（**SD/SD I/O** 卡和 **MMC** V4.2 在初始化时也使用推挽驱动）

SDIO_CK 是卡的时钟：每个时钟周期在命令和数据线上传输 1 位命令或数据。对于多媒体卡 V3.31 协议，时钟频率可以在 0 MHz 至 20 MHz 间变化；对于多媒体卡 V4.0/4.2 协议，时钟频率可以在 0 MHz 至 50 MHz 间变化；对于 **SD** 或 **SD I/O** 卡，时钟频率可以在 0 MHz 至 50 MHz 间变化。

SDIO 使用一个时钟信号：

- **SDIO** 适配器时钟 (**SDIOCLK=HCLK**)
- **AHB** 总线时钟 (**HCLK**)

下表适用于多媒体卡/**SD/SD I/O** 卡总线：

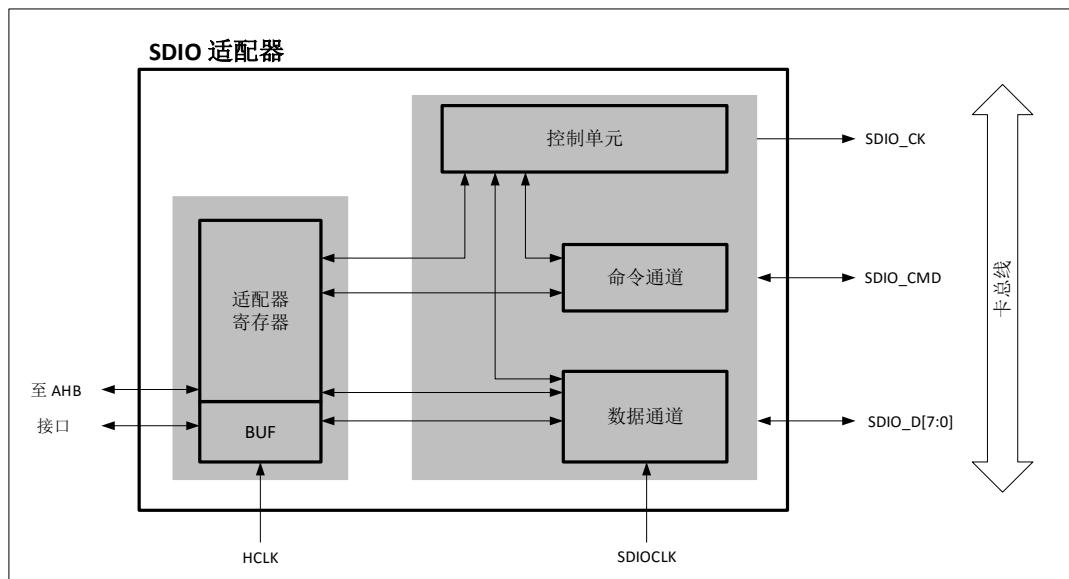
表 17-1 SDIO 引脚定义

引脚	方向	说明
SDIO_CK	输出	多媒体卡/ SD/SDIO 卡时钟。这是从主机至卡的时钟线。
SDIO_CMD	双向	多媒体卡/ SD/SDIO 卡命令。这是双向的命令/响应信号线。
SDIO_D[7: 0]	双向	多媒体卡/ SD/SDIO 卡数据。这些是双向的数据总线。

17.3.1.1 SDIO 适配器

下图是简化的 SDIO 适配器框图：

图 17-7 SDIO 适配器



SDIO 适配器是多媒体/加密数字存储卡总线的主设备（主机），用于连接一组多媒体卡或加密数字存储卡，它包含以下 5 个部分：

- 适配器寄存器模块
- 控制单元
- 命令通道
- 数据通道
- 数据 BUF

注意：适配器寄存器和 BUF 使用 AHB 总线一侧的时钟（HCLK），控制单元、命令通道和数据通道使用 SDIO 适配器一侧的时钟（SDIOCLK）。

适配器寄存器模块

适配器寄存器模块包含所有系统寄存器。该模块还产生清除多媒体卡中静态标记的信号，当在 SDIO 清除寄存器中的相应位写‘1’时会产生清除信号。

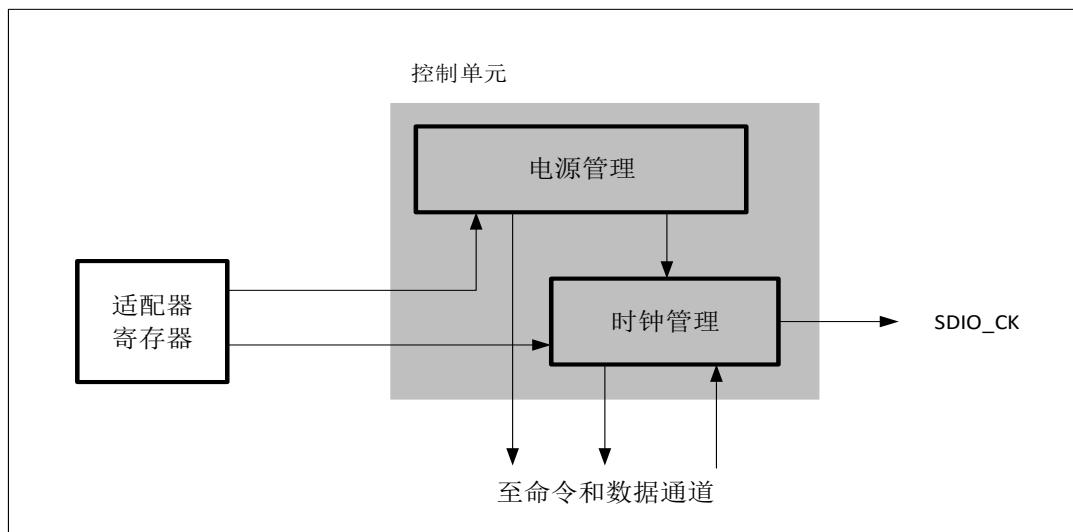
控制单元

控制单元包含电源管理功能和为存储器卡提供的时钟分频。

共有三种电源阶段：

- 电源关闭
- 电源启动
- 电源开

图 17-8 控制单元



上图为控制单元的框图，有电源管理和时钟管理子单元。

在电源关闭和电源启动阶段，电源管理子单元会关闭卡总线上的输出信号。

时钟管理子单元产生和控制 SDIO_CK 信号。SDIO_CK 输出可以使用时钟分频或时钟旁路模式。

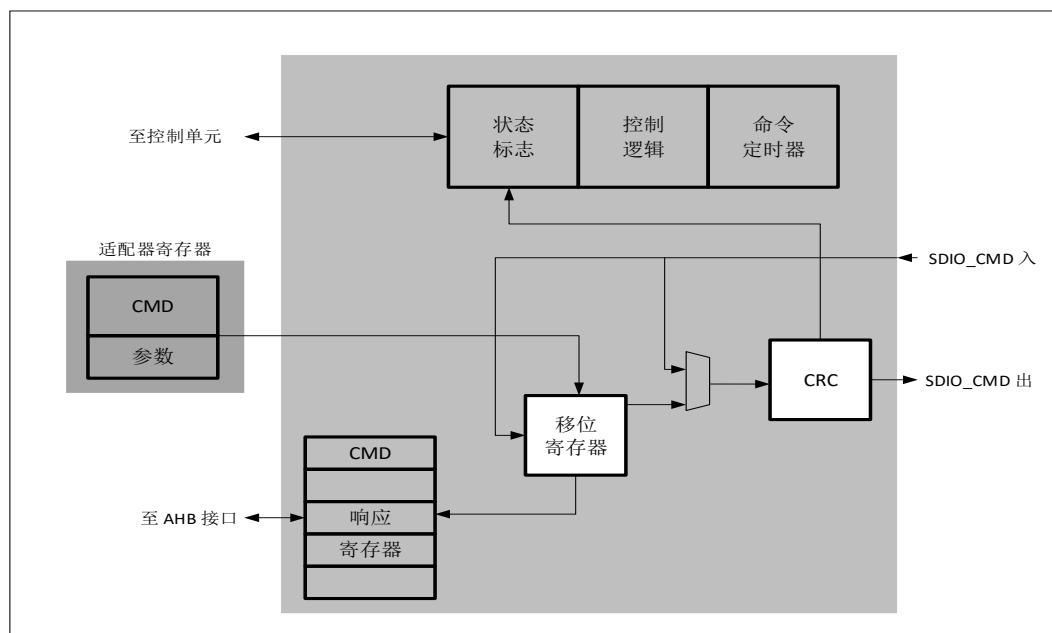
下述情况下没有时钟输出：

- 复位后
- 在电源关闭和电源启动阶段
- 当启动了省电模式并且卡总线处于空闲状态（命令通道和数据通道子单元进入空闲阶段后的 8 个时钟周期）

命令通道

命令通道单元向卡发送命令并从卡接收响应。

图 17-9 SDIO 适配器命令通道

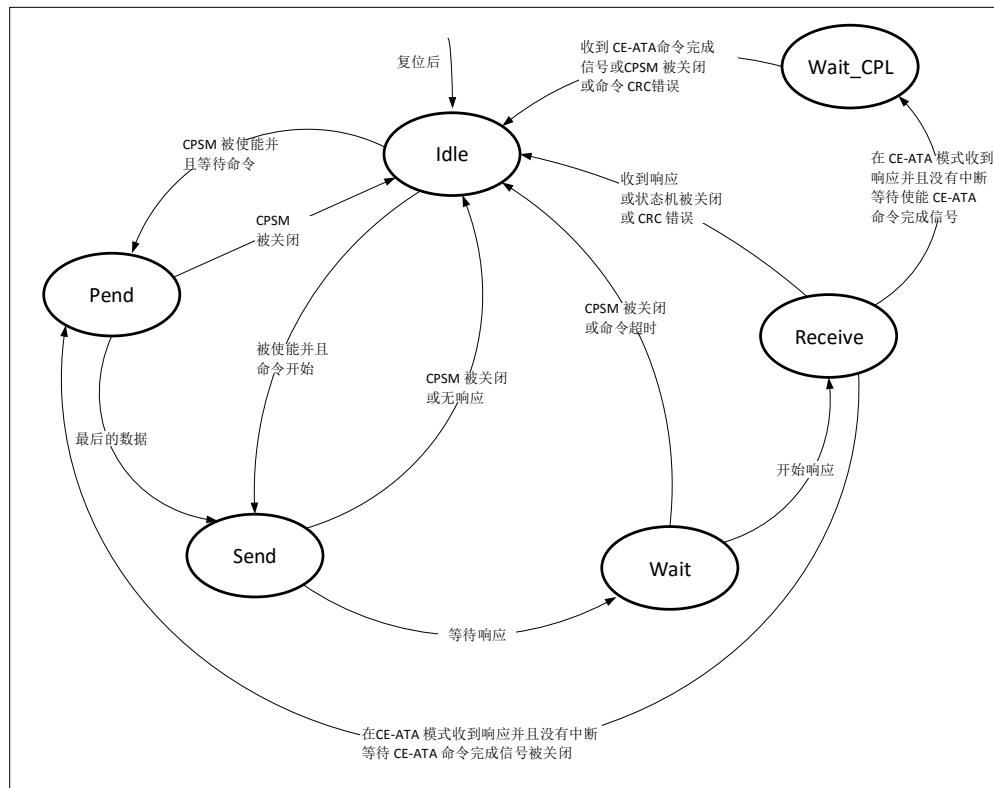


● 命令通道状态机 (CPSM)

- 当写入命令寄存器并设置了使能位，开始发送命令。命令发送完成时，命令通道状态机 (CPSM) 设置状态标志并在不需要响应时进入空闲状态（见图 24-10）。当收到响应后，

接收到的 CRC 码将会与内部产生的 CRC 码比较，然后设置相应的状态标志。

图 17-10 命令通道状态机 (CPSM)



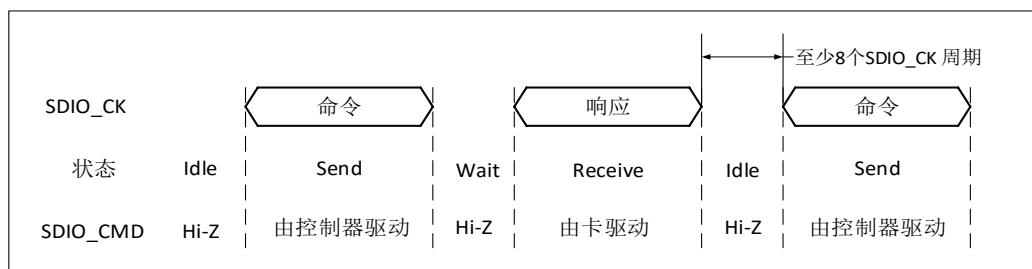
当进入等待 (Wait) 状态时，命令定时器开始运行；当 CPSM 进入接收 (Receive) 状态之前，产生了超时，则设置超时标志并进入空闲 (Idle) 状态。

注意：命令超时固定为 64 个 SDIO_CK 时钟周期。

如果在命令寄存器设置了中断位，则关闭定时器，CPSM 等待某一个卡发出的中断请求。如果命令寄存器中设置挂起位，CPSM 进入挂起 (Pend) 状态并等待数据通道子单元发出的 CmdPend 信号，在检测到 CmdPend 信号时，CPSM 进入发送 (Send) 状态，这将触发数据计数器发送停止命令的功能。

注意：CPSM 保持在空闲状态至少 8 个 SDIO_CK 周期，以满足 N_{CC} 和 N_{RC} 时序限制。 N_{CC} 是两个主机命令间的最小间隔； N_{RC} 是主机命令与卡响应之间的最小间隔。

图 17-11 SDIO 命令传输



● 命令格式

- 命令：命令是用于开始一项操作。主机向一个指定的卡或所有的卡发出带地址的命令或广播命令（广播命令只适合于 MMCV3.31 或之前的版本）。命令在 CMD 线上串行传送。所有命令的长度固定为 48 位，下表给出了多媒体卡、SD 存储卡和 SDIO 卡上一般的命令格式。命令通道操作于半双工模式，这样命令和响应可以分别发送和接收。如果 CPSM 不处在发送状态，SDIO_CMD 输出处于高阻状态，如图 17-11 所示。SDIO_CMD 上的

数据与 SDIO_CK 的上升沿同步。

表17-2命令格式

位	宽度	数值	说明
47	1	0	开始位
46	1	1	传输位
[45: 40]	6	-	命令索引
[39: 8]	32	-	参数
[7: 1]	7	-	CRC7
0	1	1	结束位

- 响应：响应是由一个被指定地址的卡发送到主机，对于 MMCV3.31 或以前版本所有的卡同时发送响应；响应是对先前接收到命令的一个应答。响应在 CMD 线上串行传送。

SDIO 支持 2 种响应类型，2 种类型都有 CRC 错误检测：

- 48 位短响应
- 136 位长响应

注：如果响应不包含 CRC（如 CMD1 的响应），设备驱动应该忽略 CRC 失败状态。

表17-3短响应格式

位	宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45: 40]	6	-	命令索引
[39: 8]	32	-	参数
[7: 1]	7	-	CRC7（或 1111111）
0	1	1	结束位

表24-4长响应格式

位	宽度	数值	说明
135	1	0	开始位
134	1	0	传输位
[133: 128]	6	111111	保留
[127: 1]	127	-	CID 或 CSD（包含内部 CRC7）
0	1	1	结束位

命令寄存器包含命令索引（发至卡的 6 位）和命令类型；命令本身决定了是否需要响应和响应的类型是 48 位还是 136 位（见 [17.4.4 节](#)）。命令通道中的状态标志示于下表：

表17-5命令通道状态标志

标志	说明
CMDRSPCMPL	响应的 CRC 正确
CMDFAIL	响应的 CRC 错误
CMDCMPL	命令（不需要响应的命令）已经送出
CMDTIMEOUT	响应超时
DOCMD	正在发送命令

CRC 发生器计算 CRC 码之前所有位的 CRC 校验和，包括开始位、发送位、命令索引和命令参数（或卡状态）。对于长响应格式，CRC 校验和计算的是 CID 或 CSD 的前 120 位。

注意：长响应格式中的开始位、传输位和 6 个保留位不参与 CRC 计算。

CRC 校验和是一个 7 位的数值：

$$\text{CRC}[6:0] = \text{余数}[(M(x) * x^7) / G(x)]$$

$$G(x) = x^7 + x^3 + 1$$

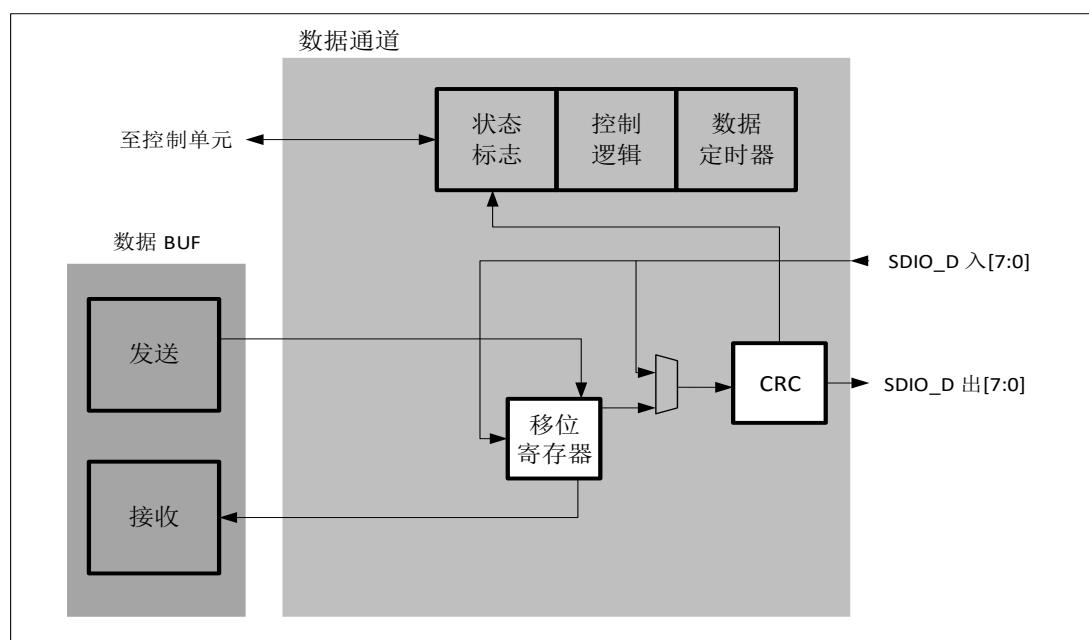
$$M(x) = (\text{开始位}) * x^{39} + \dots + (\text{CRC 前的最后一位}) * x^0, \text{或}$$

$$M(x) = (\text{开始位}) * x^{119} + \dots + (\text{CRC 前的最后一位}) * x^0$$

数据通道

数据通道子单元在主机与卡之间传输数据。下图是数据通道的框图。

图 17-12 数据通道



在时钟控制寄存器中可以配置卡的数据总线宽度。如果选择了 4 位总线模式，则每个时钟周期四条数据信号线（SDIO_D[3:0]）上将传输 4 位数据；如果选择了 8 位总线模式，则每个时钟周期八条数据信号线（SDIO_D[7:0]）上将传输 8 位数据；如果没有选择宽总线模式，则每个时钟周期只在 SDIO_D0 上传输 1 位数据。

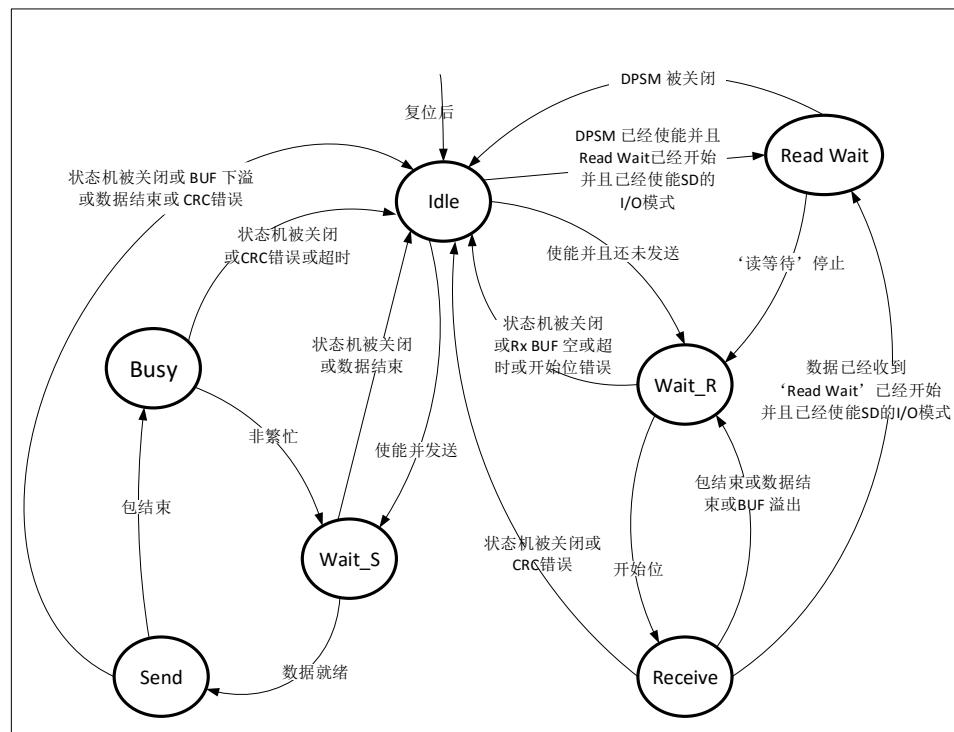
根据传输的方向（发送或接收），使能时数据通道状态机（DPSM）将进入 Wait_S 或 Wait_R 状态：

- **发送：** DPSM 进入 Wait_S 状态。如果发送 BUF 中有数据，则 DPSM 进入发送状态，同时数据通道子单元开始向卡发送数据
- **接收：** DPSM 进入 Wait_R 状态并等待开始位；当收到开始位时，DPSM 进入接收状态，同时数据通道子单元开始从卡接收数据

数据通道状态机（DPSM）

DPSM 工作在 SDIO_CK 频率，卡总线信号与 SDIO_CK 的上升沿同步。DPSM 有 6 个状态，如下图所示：

图 17-13 数据通道状态机 (DPSM)



- 空闲 (Idle): 数据通道不工作, SDIO_D[7: 0]输出处于高阻状态。当写入数据控制寄存器并设置使能位时, DPSM 为数据计数器加载新的数值, 并依据数据方向位进入 Wait_S 或 Wait_R 状态。
- Wait_R: 如果数据计数器等于 0, 当接收 BUF 为空时 DPSM 进入到空闲 (Idle) 状态。如果数据计数器不等于 0, DPSM 等待 SDIO_D 上的开始位。如果 DPSM 在超时之前接收到一个开始位, 它会进入接收 (Receive) 状态并加载数据块计数器。如果 DPSM 在检测到一个开始位前出现超时, 或发生开始位错误, DPSM 将进入空闲状态并设置超时状态标志。
- 接收 (Receive): 接收到的串行数据被组合为字节并写入数据 BUF。根据数据控制寄存器中传输模式位的设置, 数据传输模式可以是块传输或流传输:
 - 在块模式下, 当数据块计数器达到 0 时, DPSM 等待接收 CRC 码, 如果接收到的代码与内部产生的 CRC 码匹配, 则 DPSM 进入 Wait_R 状态, 否则设置 CRC 失败状态标志同时 DPSM 进入到空闲状态。
 - 在流模式下, 当数据计数器不为 0 时, DPSM 接收数据; 当计数器为 0 时, 将移位寄存器中的剩余数据写入数据 BUF, 同时 DPSM 进入 Wait_R 状态。
 如果产生了 BUF 上溢错误, DPSM 设置 BUF 的错误标志并进入空闲状态。
- Wait_S: 如果数据计数器为 0, DPSM 进入空闲状态; 否则 DPSM 等待数据 BUF 空标志消失后, 进入发送状态。

注: DPSM 会在 Wait_S 状态保持至少 2 个时钟周期, 以满足 N_{WR} 的时序要求, N_{WR} 是接收到卡的响应至主机开始数据传输的间隔。

- 发送 (Send): DPSM 开始发送数据到卡设备。根据数据控制寄存器中传输模式位的设置, 数据传输模式可以是块传输或流传输:
 - 在块模式下, 当数据块计数器达到 0 时, DPSM 发送内部产生的 CRC 码, 然后是结束位, 并进入繁忙状态。
 - 在流模式下, 当使能位为高同时数据计数器不为 0 时, DPSM 向卡设备发送数据, 然后进入空闲状态。
 如果产生了 BUF 下溢错误, DPSM 设置 BUF 的错误标志并进入空闲状态。

- 繁忙 (Busy): DPSM 等待 CRC 状态标志:
 - 如果没有接收到正确的 CRC 状态，则 DPSM 进入空闲状态并设置 CRC 失败状态标志。
 - 如果接收到正确的 CRC 状态，则当 SDIO_D0 不为低时（卡不繁忙）DPSM 进入 Wait_S 状态。
- 当 DPSM 处于繁忙状态时发生了超时，DPSM 则设置数据超时标志并进入空闲状态。
- 当 DPSM 处于 Wait_R 或繁忙状态时，数据定时器被使能，并能够产生数据超时错误：
 - 发送数据时，如果 DPSM 处于繁忙状态超过程序设置的超时间隔，则产生超时。
 - 接收数据时，如果未收完所有数据，并且 DPSM 处于 Wait_R 状态超过程序设置的超时间隔，则产生超时。
- 数据：数据可以从主机传送到卡，也可以反向传输。数据在数据线上传输。数据存储在一个 32 字的 BUF 中，每个字为 32 位宽。

表 17-6 数据令牌格式

说明	开始位	数据	CRC16	结束位
块数据	0	-	有	1
流数据	0	-	无	1

数据 BUF

数据 BUF（先进先出）子单元是一个具有发送和接收单元的数据缓冲区。

BUF 包含一个每字 32 位宽、共 32 个字的数据缓冲区，和发送与接收电路。因为数据 BUF 工作在 AHB 时钟区域 (HCLK)，所有与 SDIO 时钟区域 (SDIOCLK) 连接的信号都进行了重新同步。

依据 DOTX 和 DORX 标志，可以关闭 BUF、使能发送或使能接收。DOTX 和 DORX 由数据通道子单元设置而且是互斥的：

- 当 DOTX 有效时，发送 BUF 代表发送电路和数据缓冲区
- 当 DORX 有效时，接收 BUF 代表接收电路和数据缓冲区
- **发送 BUF:** 当使能了 SDIO 的发送功能，数据可以通过 AHB 接口写入发送 BUF。
- 发送 BUF 有 32 个连续的地址。发送 BUF 中有一个数据输出寄存器，包含读指针指向的数据字。当数据通道子单元装填了移位寄存器后，它移动读指针至下个数据并传输出数据。
- 如果未使能发送 BUF，所有的状态标志均处于无效状态。当发送数据时，数据通道子单元设置 DOTX 为有效。

表 17-7 发送 BUF 状态标志

标志	说明
TXBUF_F	当所有 32 个发送 BUF 字都有有效的数据时，该标志为高。
TXBUF_E	当所有 32 个发送 BUF 字都没有有效的数据时，该标志为高。
TXBUF_H	当 8 个或更多发送 BUF 字为空时，该标志为高。该标志可以作为 DMA 请求。
TXBUF	当发送 BUF 包含有效数据时，该标志为高。该标志的意思刚好与 TXBUF_E 相反。
TXERRU	当发生下溢错误时，该标志为高。写入 SDIO 清除寄存器时清除该标志。

- **接收 BUF:** 当数据通道子单元接收到一个数据字，它会把数据写入 BUF，写操作结束后，写指针自动加一；在另一端，有一个读指针始终指向 BUF 中的当前数据。如果关闭了接收 BUF，所有的状态标志会被清除，读写指针也被复位。在接收到数据时数据通道子单元设置 DORX。下表列出了接收 BUF 的状态标志。通过 32 个连续的地址可以访问接收 BUF。

表 17-8 接收 BUF 状态标志

标志	说明
RXBUF_F	当所有 32 个接收 BUF 字都有有效的数据时，该标志为高。
RXBUF_E	当所有 32 个接收 BUF 字都没有有效的数据时，该标志为高。
RXBUF_H	当 8 个或更多接收 BUF 字有有效的数据时，该标志为高。该标志可以作为 DMA 请求。
RXBUF	当接收 BUF 包含有效数据时，该标志为高。该标志的意思刚好与 RXBUF_E 相反。
RXERRO	当发生上溢错误时，该标志为高。写入 SDIO 清除寄存器时清除该标志。

17.3.1.2 SDIO AHB 接口

AHB 接口产生中断和 DMA 请求，并访问 SDIO 接口寄存器和数据 BUF。它包含一个数据通道、寄存器译码器和中断/DMA 控制逻辑。

SDIO 中断

当至少有一个选中的状态标志为高时，中断控制逻辑产生中断请求。有一个屏蔽寄存器用于选择可以产生中断的条件，如果设置了相应的屏蔽标志，则对应的状态标志可以产生中断。

SDIO/DMA 接口：在 SDIO 和存储器之间数据传输的过程

在下面的例子中，主机控制器使用 CMD24 (WRITE_BLOCK) 从主机传送 512 字节到 MMC 卡，DMA 控制器用于从存储器向 SDIO 的 BUF 填充数据。

1. 执行卡识别过程
2. 提高 SDIO_CK 频率
3. 发送 CMD7 命令选择卡
4. 按下述步骤配置 DMA2：
 - a) 使能 DMA2 控制器并清除所有的中断标志位
 - b) 设置 DMA2 通道 4 的源地址寄存器为存储器缓冲区的基地址，DMA2 通道 4 的目标地址寄存器为 SDIO_BUF 寄存器的地址
 - c) 设置 DMA2 通道 4 控制寄存器（存储器递增，非外设递增，外设和源的数据宽度为字宽度）
 - d) 使能 DMA2 通道 4
5. 发送 CMD24 (WRITE_BLOCK)，操作如下：
 - a) 设置 SDIO 数据长度寄存器 (SDIO 数据时钟寄存器应该在执行卡识别过程之前设置好)
 - b) 设置 SDIO 参数寄存器为卡中需要传送数据的地址
 - c) 设置 SDIO 命令寄存器：CmdIndex 置为 24 (WRITE_BLOCK); WaitRest 置为 1 (SDIO 卡主机等待响应); CMDMEN 置为 1 (使能 SDIO 卡主机发送命令)，保持其它域为他们的复位值。
 - d) 等待 SDIO_STS[6]=CMDRSPCMPL 中断，然后设置 SDIO 数据控制寄存器：TFREN 置为 1 (使能 SDIO 卡主机发送数据); TFRDIR 置为 0 (控制器至卡方向); TFRMODE 置为 0 (块数据传送); DMAEN 置为 1 (DMA 使能); BLKSIZE 置为 9 (512 字节); 其它域不用设置
 - e) 等待 SDIO_STS[10]=DTBLKCMPL
6. 查询 DMA 通道的使能状态寄存器，确认没有通道仍处于使能状态

17.3.2 卡功能描述

17.3.2.1 卡识别模式

在卡识别模式，主机复位所有的卡、检测操作电压范围、识别卡并为总线上每个卡设置相对地址 (RCA)。在卡识别模式下，所有数据通信只使用命令信号线 (CMD)。

17.3.2.2 卡复位

GO_IDLE_STATE 命令 (CMD0) 是一个软件复位命令，它把多媒体卡和 SD 存储器置于空闲状态。**IO_RW_DIRECT** 命令 (CMD52) 复位 SDI/O 卡。上电后或执行 CMD0 后，所有卡的输出端都处于高阻状态，同时所有卡都被初始化至一个默认的相对卡地址 (RCA=0x0001) 和默认的驱动器寄存器设置 (最低的速度，最大的电流驱动能力)。

17.3.2.3 操作电压范围确认

所有的卡都可以使用任何规定范围内的电压与 SDIO 卡主机通信，可支持的最小和最大电压 VDD 数值由卡上的操作条件寄存器 (OCR) 定义。

内部存储器存储了卡识别号 (CID) 和卡特定数据 (CSD) 的卡，仅能在数据传输 VDD 条件下传送这些信息。当 SDIO 卡主机模块与卡的 VDD 范围不一致时，卡将不能完成识别周期，也不能发送 CSD 数据；因此，在 VDD 范围不匹配时，SDIO 卡主机可以用下面几个特殊命令去识别和拒绝卡：**SEND_OP_COND** (CMD1)、**SD_APP_OP_COND** (SD 存储卡的 ACMD41) 和 **IO_SEND_OP_COND** (SDI/O 卡的 CMD5)。SDIO 卡主机在执行这几个命令时会产生需要的 VDD 电压。不能在指定的电压范围进行数据传输的卡，将从总线断开并进入非激活状态。

使用这些不包含电压范围作为操作数的命令，SDIO 卡主机能够查询每个卡并在确定公共的电压范围前，把不在此范围内的卡置于非激活状态。当 SDIO 卡主机能够选择公共的电压范围或用户需要知道卡是否能用时，SDIO 卡主机可以进行这样的查询。

17.3.2.4 卡识别过程

多媒体卡和 SD 卡的卡识别过程是有区别的；对于多媒体卡，卡识别过程以时钟频率 F_{od} 开始，所有 SDIO_CMD 输出为开路驱动，允许在这个过程中的卡的并行连接，识别过程如下：

1. 总线被激活
2. SDIO卡主机广播发送**SEND_OP_COND** (CMD1) 命令，并接收操作条件
3. 得到的响应是所有卡的操作条件寄存器内容的“线与”
4. 不兼容的卡会被置于非激活状态
5. SDIO卡主机广播发送**ALL_SEND_CID** (CMD2) 至所有激活的卡
6. 所有激活的卡同时串行地发送他们的 CID 号，那些检测到输出的 CID 位与命令线上的数据不相符的卡必须停止发送，并等待下一个识别周期。最终只有一个卡能够成功地传送完整的 CID 至 SDIO 卡主机并进入识别状态
7. SDIO卡主机发送**SET_RELATIVE_ADDR** (CMD3) 命令至这个卡，这个新的地址被称为相对卡地址 (RCA)，它比 CID 短，用于对卡寻址。至此，这个卡转入待机状态，并不再响应新的识别过程，同时它的输出驱动从开路转变为推挽模式
8. SDIO卡主机重复上述步骤5至7，直到收到超时条件

对于 SD 卡而言，卡识别过程以时钟频率 F_{od} 开始，所有 SDIO_CMD 输出为推挽驱动而不是开路驱动，识别过程如下：

1. 总线被激活
2. SDIO卡主机广播发送**SEND_APP_OP_COND** (ACMD41) 命令
3. 得到的响应是所有卡的操作条件寄存器的内容
4. 不兼容的卡会被置于非激活状态
5. SDIO卡主机广播发送**ALL_SEND_CID** (CMD2) 至所有激活的卡
6. 所有激活的卡发送回他们唯一卡识别号 (CID) 并进入识别状态
7. SDIO卡主机发送**SET_RELATIVE_ADDR** (CMD3) 命令和一个地址到一个激活的卡，这个新的地址被称为相对卡地址 (RCA)，它比 CID 短，用于对卡寻址。至此，这个卡转入待机状态。SDIO卡主机可以再次发送该命令更改 RCA，卡的 RCA 将是最后一次的赋值
8. SDIO卡主机对所有激活的卡重复上述步骤5至7

对于 SD I/O 卡而言，卡识别过程如下：

1. 总线被激活
2. SDIO卡主机发送 IO_SEND_OP_COND (CMD5) 命令
3. 得到的响应是卡的操作条件寄存器的内容
4. 不兼容的卡会被置于非激活状态
5. SDIO卡主机发送 SET_RELATIVE_ADDR (CMD3) 命令和一个地址到一个激活的卡，这个新的地址被称为相对卡地址 (RCA)，它比 CID 短，用于对卡寻址。至此，这个卡转入待机状态。SDIO卡主机可以再次发送该命令更改 RCA，卡的 RCA 将是最后一次的赋值

17.3.2.5 写数据块

执行写数据块命令 (CMD24-27) 时，主机把一个或多个数据块从主机传送到卡中，同时在每个数据块的末尾传送一个 CRC 码。一个支持写数据块命令的卡应该始终能够接收由 WRITE_BL_LEN 定义的数据块。如果 CRC 校验错误，卡通过 SDIO_D 信号线指示错误，传送的数据被丢弃而不被写入，所有后续（在多块写模式下）传送的数据块将被忽略。

如果主机传送部分数据，而累计的数据长度未与数据块对齐，当不允许块错位（未设置 CSD 的参数 WRITE_BLK_MISALIGN），卡将在第一个错位的块之前检测到块错位错误（设置状态寄存器中的 ADDRESS_ERROR 错误位）。当主机试图写一个写保护区域时，写操作也会被中止，此时卡会设置 WP_VIOLATION 位。

设置 CID 和 CSD 寄存器不需要事先设置块长度，传送的数据也是通过 CRC 保护的。如果 CSD 或 CID 寄存器的部分是存储在 ROM 中，则这个不能更改的部分必须与接收缓冲区的对应部分相一致，如果有不一致之处，卡将报告一个错误同时不修改任何寄存器的内容。有些卡需要长的甚至不可预计的时间完成写一个数据块，在接收一个数据块并完成 CRC 检验后，卡开始写操作，如果它的写缓冲区已经满并且不能再从新的 WRITE_BLOCK 命令接受新的数据时，它会把 SDIO_D 信号线拉低。主机可以在任何时候使用 SEND_STATUS (CMD13) 查询卡的状态，卡将返回当前状态。READY_FOR_DATA 状态位指示卡是否可以接受新的数据或写操作是否还在进行。主机可以使用 CMD7 (选择另一个卡) 不选中某个卡，而把这个卡置于断开状态，这样可以释放 SDIO_D 信号线而不中断未完成的写操作；当重新选择了一个卡，如果写操作仍然在进行并且写缓冲区仍不能使用，它会重新通过拉低 SDIO_D 信号线指示忙的状态。

17.3.2.6 读数据块

在读数据块模式下，数据传输的基本单元是数据块，它的大小在 CSD 中 (READ_BL_LEN) 定义。如果设置了 READ_BL_PARTIAL，同样可以传送较小的数据块，较小数据块是指开始和结束地址完全包含在一个物理块中，READ_BL_LEN 定义了物理块的大小。为保证数据传输的正确，每个数据块后都有一个 CRC 校验码。CMD17 (READ_SINGLE_BLOCK) 启动一次读数据块操作，在传输结束后卡返回到发送状态。

CMD18 (READ_MULTIPLE_BLOCK) 启动一次连续多个数据块的读操作。

主机可以在多数据块读操作的任何时候中止操作，而不管操作的类型。发送停止传输命令即可中止操作。

如果在多数据块读操作中（任一种类型）卡检测到错误（例如：越界、地址错位或内部错误），它将停止数据传输并仍处于数据状态；此时主机必须发送停止传输命令中止操作。在停止传输命令的响应中报告读错误。

如果主机发送停止传输命令时，卡已经传输完一个确定数目的多个数据块操作中的最后一个数据块，因为此时卡已经不在数据状态，主机会得到一个非法命令的响应。如果主机传输部分数据块，而累计的数据长度不能与物理块对齐同时不允许块错位，卡会在出现第一个未对齐的块时检测出一个块对齐错误，并在状态寄存器中设置 ADDRESS_ERROR 错误标志。

17.3.2.7 数据流操作，数据流写入和数据流读出（只适用于多媒体卡）

在数据流模式，数据按字节传输，同时每个数据块后没有 CRC。

数据流写（只适用于多媒体卡）

WRITE_DAT_UNTIL_STOP (CMD20) 开始从 SDIO 卡主机至卡的数据传输，从指定的地址开始连续传输直到 SDIO 卡主机发出一个停止命令。如果允许部分数据块传输（设置了 CSD 参数 **WRITE_BL_PARTIAL**），则数据流可以在卡的地址空间中的任意地址开始和停止，否则数据流只能在数据块的边界开始和停止。因为传输的数据数目没有事先设定，不能使用 CRC 校验。如果发送数据时达到了存储器的最大地址，即使 SDIO 卡主机没有发送停止命令，随后传输的数据也会被丢弃。

数据流写操作的最大时钟频率可以通过下式计算

$$\text{Max Write Frequency} = \text{Min}\left(\text{TRANSPEED}, \frac{(8 \times 2^{\text{writeblen}}) - 100 * \text{NSAC}}{\text{TAAC} \times \text{R2WFACTOR}}\right)$$

- **Max Write Frequency** = 最大写频率
- **TRANSPEED** = 最大数据传输率
- **writeblen** = 最大写数据块长度
- **NSAC** = 以 CLK 周期计算的数据读操作时间 2
- **TAAC** = 数据读操作时间 1
- **R2WFACTOR** = 写速度因子

如果主机试图使用更高的频率，卡可能不能处理数据并停止编程，同时在状态寄存器中设置 **OVERRUN** 错误位，丢弃所有随后传输的数据并（在接收数据状态）等待停止命令。如果主机试图写入一个写保护区域，写操作将被中止，同时卡将设置 **WP_VIOLATION** 位。

数据流读（只适用于多媒体卡）

READ_DAT_UNTIL_STOP (CMD11) 控制数据流数据传输。

这个命令要求卡从指定的地址读出数据，直到 SDIO 卡主机发送 **STOP_TRANSMISSION (CMD12)**。因为串行命令传输的延迟，停止命令的执行会有延迟，数据传送会在停止命令的结束位后停止。如果发送数据时达到了存储器的最大地址，SDIO 卡主机没有发送停止命令，随后传输的数据将是无效数据。

数据流读操作的最大时钟频率可以通过下式计算

$$\text{Max Read Frequency} = \text{Min}\left(\text{TRANSPEED}, \frac{(8 \times 2^{\text{readblen}}) - 100 * \text{NSAC}}{\text{TAAC} \times \text{R2WFACTOR}}\right)$$

- **Max Read Frequency** = 最大读频率
- **TRANSPEED** = 最大数据传输率
- **readblen** = 最大读数据块长度
- **NSAC** = 以 CLK 周期计算的数据读操作时间 2
- **TAAC** = 数据读操作时间 1
- **R2WFACTOR** = 写速度因子

如果主机试图使用更高的频率，卡将不能处理数据传输，此时卡在状态寄存器中设置 **UNDERRUN** 错误位，中止数据传输并在数据状态等待停止命令。

17.3.2.8 擦除：成组擦除和扇区擦除

多媒体卡的擦除单位是擦除组，擦除组是以写数据块计算，写数据块是卡的基本写入单位。擦除组的大小是卡的特定参数，在 CSD 中定义。

主机可以擦除一个连续范围的擦除组，开始擦除操作有三个步骤。

首先，主机使用 **ERASE_GROUP_START (CMD35)** 命令定义连续范围的开始地址，然后使用 **ERASE_GROUP_END (CMD36)** 命令定义连续范围的结束地址，最后发送擦除命令 **ERASE (CMD38)** 开始擦除操作。擦除命令的地址域是以字节为单位的擦除组地址。卡会舍弃未与擦除组大小对齐的部分，把地址边界对齐到擦除组的边界。

如果未按照上述步骤收到了擦除命令，卡在状态寄存器中设置 **ERASE_SEQ_ERROR** 位，并重新等待第一个步骤。

如果收到了除 SEND_STATUS 和擦除命令之外的其它命令, 卡在状态寄存器中设置 ERASE_RESET 位, 解除擦除序列并执行新的命令。

如果擦除范围包含了写保护数据块, 这些块不被擦除, 只有未保护的块被擦除, 同时卡在状态寄存器中设置 WP_ERASE_SKIP 状态位。

在擦除过程中, 卡拉低 SDIO_D 信号。实际的擦除时间可能很长, 主机可以使用 CMD7 解除卡的选择。

17.3.2.9 宽总线选择和解除选择

可以通过 SET_BUS_WIDTH (ACMD6) 命令选择或不选择宽总线 (4 位总线宽度) 操作模式, 上电后或 GO_IDLE_STATE (CMD0) 命令后默认的总线宽度为 1 位。SET_BUS_WIDTH (ACMD6) 命令仅在传输状态时有效, 即只有在使用 SELECT/DESELECT_CARD (CMD7) 命令选择了卡后才能改变总线宽度。

17.3.2.10 保护管理

SDIO 卡主机模块支持三种保护方式:

1. 内部卡保护 (卡内管理)
2. 机械写保护开关 (仅由 SDIO 卡主机模块管理)
3. 密码管理的卡锁操作

内部卡的写保护

卡的数据可以被保护不被覆盖或擦除。在 CSD 中永久地或临时地设置写保护位, 生产厂商或内容提供商可以永久地对整个卡施行写保护。对于支持在 CSD 中设置 WP_GRP_ENABLE 位从而提供一组扇区写保护的卡, 部分数据可以被保护, 写保护可以通过程序改变。写保护的基本单位是 CSD 参数 WP_GRP_SIZE 个扇区。SET_WRITE_PROT 和 CLR_WRITE_PROT 命令控制指定组的保护, SEND_WRITE_PROT 命令与单数据块读命令类似, 卡送出一个包含 32 个写保护位 (代表从指定地址开始的 32 个写保护组) 的数据块, 跟着一个 16 位的 CRC 码。写保护命令的地址域是一个以字节为单位的组地址。

卡将截断所有组大小以下的地址。

机械写保护开关

在卡的侧面有一个机械的滑动开关, 允许用户设置或清除卡的写保护。当滑动开关置于小窗口打开的位置时, 卡处于写保护状态, 当滑动开关置于小窗口关闭的位置时, 可以更改卡中内容。在卡的插槽上的对应部位也有一个开关指示 SDIO 卡主机模块, 卡是否处于写保护状态。卡的内部电路不知道写保护开关的位置。

密码保护

密码保护功能允许 SDIO 卡主机模块使用密码对卡实行上锁或解锁。密码存储在 128 位的 PWD 寄存器中, 它的长度设置在 8 位的 PWD_LEN 寄存器中。这些寄存器是不可挥发的, 即掉电后它们的内容不丢失。已上锁的卡能够响应和执行相应的命令, 即允许 SDIO 卡主机模块执行复位、初始化和查询状态等操作, 但不允许操作卡中的数据。当设置了密码后 (即 PWD_LEN 的数值不为 0), 上电后卡自动处于上锁状态。正如 CSD 和 CID 寄存器写命令, 上锁/解锁命令仅在传输状态下有效, 在这个状态下, 命令中没有地址参数, 但卡已经被选中。卡的上锁/解锁命令具有单数据块写命令的结构和总线操作类型, 传输的数据块包含所有命令所需要的信息(密码设置模式、PWD 内容和上锁/解锁指示)。在发送卡的上锁/解锁命令之前, 命令数据块的长度由 SDIO 卡主机模块定义, 命令结构示于表 24-22。

位的设置如下:

- ERASE: 设置该位将执行强制擦除, 所有其它位必须为 0, 只发送命令字节
- LOCK_UNLOCK: 设置该位锁住卡, LOCK_UNLOCK 与 SET_PWD 可以同时设置, 但不能与 CLR_PWD 同时设置
- CLR_PWD: 设置该位清除密码数据
- SET_PWD: 设置该位将密码数据保存至存储器
- PWD_LEN: 以字节为单位定义密码的长度

- **PWD:** 密码（依不同的命令，新的密码或正在使用的密码）

以下几节列出了设置/清除密码、上锁/解锁和强制擦除的命令序列。

设置密码

1. 选择一个卡 (**SELECT/DESELECT_CARD, CMD7**)
2. 定义要在8位的卡上锁/解锁模式下发送的数据块长度 (**SET_BLOCKLEN, CMD16**)，8位的**PWD_LEN**，新密码的字节数目。当更换了密码后，发送命令的数据块长度必须同时考虑新旧密码的长度。
3. 以合适的数据块长度在数据线上发送**LOCK/UNLOCK (CMD42)** 命令，并包含16位的**CRC**码。数据块包含了操作模式 (**SET_PWD=1**)、长度 (**PWD_LEN**) 和密码 (**PWD**)。当更换了密码后，长度数值 (**PWD_LEN**) 包含了新旧两个密码的长度，**PWD**域包含了旧的密码（正在使用的）和新的密码。
4. 当旧的密码匹配后，新的密码和它的长度被分别存储在**PWD**和**PWD_LEN**域。如果送出的旧密码与期望的密码（长度或内容）不吻合，则设置状态寄存器中的**LOCK_UNLOCK_FAILED**错误位，同时密码不变。

密码长度域 (**PWD_LEN**) 指示当前是否设置了密码，如果该域为非零，则表示使用了密码，卡在上电时自动上锁。在不断电的情况下，如果设置了密码，可以通过设置 **LOCK_UNLOCK** 位或发送一个额外的上锁命令，立即锁住卡。

清除密码

1. 选择一个卡 (**SELECT/DESELECT_CARD, CMD7**)
2. 定义要在8位的卡上锁/解锁模式下发送的数据块长度 (**SET_BLOCKLEN, CMD16**)，8位的**PWD_LEN**，当前使用密码的字节数目
3. 当密码匹配后，**PWD**域被清除同时**PWD_LEN**被设为0。如果送出的密码与期望的密码（长度或内容）不吻合，则设置状态寄存器中的**LOCK_UNLOCK_FAILED**错误位，同时密码不变。

卡上锁

1. 选择一个卡 (**SELECT/DESELECT_CARD, CMD7**)
2. 定义要在8位的卡上锁/解锁模式（见表24-22的字节0）下发送的数据块长度 (**SET_BLOCKLEN, CMD16**)，8位的**PWD_LEN**，和当前密码的字节数目
3. 以合适的数据块长度在数据线上发送**LOCK/UNLOCK (CMD42)** 命令，并包含16位的**CRC**码。数据块包含了操作模式 (**LOCK_UNLOCK=1**)、长度 (**PWD_LEN**) 和密码 (**PWD**)。
4. 当密码匹配后，卡被上锁并则设置状态寄存器中的**CARD_IS_LOCKED**状态位。如果送出的密码与期望的密码（长度或内容）不吻合，则设置状态寄存器中的**LOCK_UNLOCK_FAILED**错误位，同时上锁操作失败。

设置密码和为卡上锁可以在同一个操作序列中进行，此时SDIO卡主机模块按照前述的步骤设置密码，但在发送新密码命令的第3步需要设置**LOCK_UNLOCK**位。

如果曾经设置过密码 (**PWD_LEN** 不为 0)，卡会在上电复位时自动地上锁。对已经上锁的卡执行上锁操作或对没有密码的卡执行上锁操作会导致失败，并设置状态寄存器中的**LOCK_UNLOCK_FAILED**错误位。

卡解锁

1. 选择一个卡 (**SELECT/DESELECT_CARD, CMD7**)
2. 定义要在8位的卡上锁/解锁模式（见表24-22的字节0）下发送的数据块长度 (**SET_BLOCKLEN, CMD16**)，8位的**PWD_LEN**，和当前密码的字节数目
3. 以合适的数据块长度在数据线上发送**LOCK/UNLOCK (CMD42)** 命令，并包含16位的**CRC**码。数据块包含了操作模式 (**LOCK_UNLOCK=0**)、长度 (**PWD_LEN**) 和密码 (**PWD**)。

4. 当密码匹配后，卡锁被解除，同时状态寄存器中的CARD_IS_LOCKED位被清除。如果送出的密码与期望的密码（长度或内容）不吻合，则设置状态寄存器中的LOCK_UNLOCK_FAILED错误位，同时卡仍保持上锁状态。

解锁状态只在当前的供电过程中有效，只要不清除 PWD 域，下次上电后卡会被自动上锁。

试图对已经解了锁的卡执行解锁操作会导致操作失败，并设置状态寄存器中的LOCK_UNLOCK_FAILED 错误位。

强制擦除

如果用户忘记了密码（PWD 的内容），可以在清除卡中的所有内容后使用卡。强制擦除操作擦除所有卡中的数据和密码。

1. 选择一个卡（SELECT/DESELECT_CARD, CMD7）
2. 设置发送的数据块长度（SET_BLOCKLEN, CMD16）为1，仅发送8位的卡上锁/解锁字节（见表24-22的字节0）。
3. 以合适的数据块长度在数据线上发送LOCK/UNLOCK（CMD42）命令，并包含16位的CRC码。数据块包含了操作模式（ERASE=1）所有其它位为0。
4. 当ERASE位是数据域中仅有的位时，卡中的所有内容将被擦除，包括PWD和PWD_LEN域，同时卡不再被上锁。如果有任何其它位不为0，则设置状态寄存器中的LOCK_UNLOCK_FAILED错误位，卡中的数据保持不变，同时卡仍保持上锁状态。

试图对已经解了锁的卡执行擦除操作会导致操作失败，并设置状态寄存器中的LOCK_UNLOCK_FAILED 错误位。

17.3.2.11 卡状态寄存器

响应格式 R1 包含了一个 32 位的卡状态域，这个域是用于向卡主机发送卡的状态信息（这些信息有可能存在本地的状态寄存器中）。除非特别说明，卡返回的状态始终是与之前的命令相关的。

表 24-9 定义了不同的状态信息。表中有关类型和清除条件域的缩写定义如下：

类型:

- E: 错误位
- S: 状态位
- R: 检测位，并依据实际的命令响应而设置
- X: 检测位，在命令的执行中设置。SDIO 卡主机通过发送状态命令读出这些位而查询卡的状态

清除条件:

- A: 依据卡的当前状态
- B: 始终与之前的命令相关。接收到正确的命令即可清除（具有一个命令的延迟）
- C: 读即可清除

表 17-9 卡状态

位	名称	类型	数值	说明	清除条件
31	ADDRESS_OUT_OF_RANGE	ERX	'0'=无错误 '1'=错误	命令中的地址参数超出了卡的允许范围。 一个多数据块或数据流读/写操作（即使从一个合法的地址开始）试图读或写超出卡的容量的部分。	C
30	ADDRESS_MISALIGNED		'0'=无错误 '1'=错误	命令中的地址参数（与当前的数据块长度对照）定义的第一个数据块未与卡的物理块对齐。 一个多数据块或数据流读/写操作（即使从一个合法的地址开始）试图读或写未与物理块对齐的数据块。	C

29	BLOCK_LEN_ERR OR		'0'=无错误 '1'=错误	SET_BLOCKLEN 命令的参数超出了卡的最大允许范围，或先前定义的数据块长度对于当前命令来说是非法的（例如：主机发出一个写命令，当前的块长度小于卡所允许的最小长度，同时又不允许写入部分数据块）。	C
28	ERASE_SEQ_ERR OR		'0'=无错误 '1'=错误	发送擦除命令的顺序错误。	C
27	ERASE_PARAM	EX	'0'=无错误 '1'=错误	擦除时选择了非法的擦除组。	C
26	WP_VIOLATION	EX	'0'=无错误 '1'=错误	试图对一个写保护的数据块编程。	C
25	CARD_IS_LOCKED	SR	'0'=卡未锁 '1'=卡已锁	当设置了该位，表示卡已经被锁住。	A
24	LOCK_UNLOCK_FAILED	EX	'0'=无错误 '1'=错误	在上锁/解锁中有命令的顺序错误或检测到密码错误。	C
23	COM_CRC_ERROR	ER	'0'=无错误 '1'=错误	之前的命令中 CRC 校验错误。	B
22	ILLEGAL_COMMAND	ER	'0'=无错误 '1'=错误	对于当前的卡状态，命令非法。	B
21	CARD_ECC_FAILED	EX	'0'=成功 '1'=失败	卡的内部实施了 ECC 校验，但在更正数据时失败。	C
20	CC_ERROR	ER	'0'=无错误 '1'=错误	(标准中未定义) 卡内部发生错误，与主机的命令无关。	C
19	ERROR	EX	'0'=无错误 '1'=错误	产生了与执行上一个主机命令相关的(标准中未定义) 卡内部的错误(例如：读或写错误)。	C
18	保留				
17	保留				
16	CID/CSD_OVERWRITE	EX	'0'=无错误 '1'=错误	可以是任何一个下述的错误： ▪已经写入了 CID 寄存器，不能覆盖 ▪CSD 的只读部分与卡的内容不匹配 ▪试图进行拷贝或永久写保护的反向操作，即恢复原状或解除写保护。	C
15	WP_ERASE_SKIP	EX	'0'=未保护 '1'=已保护	遇到已经存在的写保护数据块，仅有部分地址空间被擦除。	C
14	CARD_ECC_DISABLED	SX	'0'=允许 '1'=不允许	执行命令时没有使用内部的 ECC。	A
13	ERASE_RESET		'0'=清除 '1'=设置	因为收到一个擦除顺序之外的命令(非CMD35、CMD36、CMD38 或 CMD13 命令)，进入擦除过程的序列被中止。	C

12: 9	CURRENT_STATE	SR	0=空闲 1=就绪 2=识别 3=待机 4=发送 5=数据 6=接收 7=编程 8=断开 9=忙测试 10~15=保留	当收到命令时卡内状态机的状态。如果命令的执行导致状态的变化，这个变化将会在下个命令的响应中反映出来。这四个位按十进制数 0 至 15 解释。	B
8	READY_FOR_DATA	SR	'0'=未就绪 '1'=就绪	与总线上的缓冲器空的信号相对应。	
7	SWITCH_ERROR	EX	'0'=无错误 '1'=转换错	卡没有按照 SWITCH 命令的要求转换到希望的模式。	B
6	保留				
5	APP_CMD	SR	'0'=不允许 '1'=允许	卡期望 ACMD，或指示命令已经被解释为 ACMD 命令。	C
4				保留给 SD I/O 卡	
3	AKE_SEQ_ERROR	ER	'0'=无错误 '1'=错误	验证的顺序有错误。	C
2				保留给与应用相关的命令。	
1,0				保留给生产厂家的测试模式。	

17.3.2.12 SD状态寄存器

SD 状态包含与 SD 存储器卡特定功能相关得状态位和一些与未来应用相关得状态位，SD 状态的长度是一个 512 位的数据块。收到 ACMD13 命令（CMD55，然后是 CMD13）后，这个寄存器的内容被传送到 SDIO 卡主机。只有卡处于传输状态时（卡已被选择）才能发送 ACMD13 命令。

表 24-10 定义了不同的 SD 状态寄存器信息。表中有关类型和清除条件域的缩写定义如下：

类型：

- E: 错误位
- S: 状态位
- R: 检测位，并依据实际的命令响应而设置
- X: 检测位，在命令的执行中设置。SDIO 卡主机通过发送状态命令读出这些位而查询卡的状态

清除条件：

- A: 依据卡的当前状态
- B: 始终与之前的命令相关。接收到正确的命令即可清除（具有一个命令的延迟）
- C: 读即可清除

表 17-10 SD 状态

位	名称	类型	数值	说明	清除条件
511: 510	DAT_BUS_WIDTH	SR	'00'=1 (默认) '01'=保留 '10'=4 位宽 '11'=保留	由 SET_BUS_WIDTH 命令定义的当前数据总线宽度。	A

509	SECURED_MODE	SR	'0'=未处于保密模式 '1'=处于保密模式	卡处于保密操作模式（详见“SD 保密规范”）。	A
508: 496	保留				
495: 480	SD_CARD_TYPE	SR	'00xxh'=在物理规范版本 1.01~2.00 的 SD 存储器卡 ('x'表示任意值)。 已定义的卡有： '0000'=通用 SD 读写卡 '0001'=SDROM 卡	这个域的低 8 位可以在未来定义 SD 存储卡的不同变种(每个位可以用于定义不同的 SD 类型)。高 8 位可以用于定义那些不遵守当前的 SD 物理层规范的 SD 卡。	A
479: 448	SIZE_OF_PROTECTED_AREA	SR	受保护的区域大小（见以下说明）	(见以下说明)	A
447: 440	SPEED_CLASS	SR	卡的速度类型 (见以下说明)	(见以下说明)	A
439: 432	PERFORMANCE_MOVE	SR	以 1MB/秒为单位的传输性能 (见以下说明)	(见以下说明)	A
431: 428	AU_SIZE	SR	AU 的大小 (见以下说明)	(见以下说明)	A
427: 424	保留				
423: 408	ERASE_SIZE	SR	一次可以擦除的 AU 数目	(见以下说明)	A
407: 402	ERASE_TIMOUT	SR	擦除 UNIT_OF_ERASE_AU 指定的范围的超时数值	(见以下说明)	A
401: 400	ERASE_OFFSET	SR	在擦除时增加的固定偏移数值	(见以下说明)	A
399: 312			保留		
311: 0			保留给生产厂商		

SIZE_OF_PROTECTED_AREA

标准容量卡和高容量卡设置该位的方式不同。对于标准容量卡，受保护区域的容量由下式计算：

$$\text{受保护区域} = \text{SIZE_OF_PROTECTED_AREA} * \text{MULT} * \text{BLOCK_LEN}$$

SIZE_OF_PROTECTED_AREA 的单位是 MULT*BLOCK_LEN。

对于高容量卡，受保护区域的容量由下式计算：

$$\text{受保护区域} = \text{SIZE_OF_PROTECTED_AREA}$$

SIZE_OF_PROTECTED_AREA 的单位是字节。

SPEED_CLASS

这 8 位指示速度的类型和可以通过计算 $Pw/2$ 的数值 (PW 是写的性能)。

表 17-11 速度类型代码

SPEED_CLASS	数值定义
00h	类型 0
01h	类型 2
02h	类型 4
03h	类型 6

04h~FFh	保留
---------	----

PERFORMANCE_MOVE

这 8 位以 1MB/秒为单位指示移动性能 (Pm)。如果卡不用 RU (纪录单位) 移动数据，应该认为 Pm 是无穷大。设置这个域为 FFh 表示无穷大。

表 17-12 移动性能代码

PERFORMANCE_MOVE	数值定义
00h	未定义
01h	1MB/秒
02h	2MB/秒
.....
FEh	254MB/秒
FFh	无穷大

AU_SIZE

这 4 位指示 AU 的长度，数值是 16K 字节为单位 2 的幂次的倍数。

表 17-13 AU_SIZE 代码

AU_SIZE	数值定义
00h	未定义
01h	16KB
02h	32KB
03h	64KB
04h	128KB
05h	256KB
06h	512KB
07h	1MB
08h	2MB
09h	4MB
Ah~Fh	保留

依据卡的容量，最大的 AU 长度由下表定义。卡可以在 RU 长度和最大的 AU 长度之间设置任意的 AU 长度。

表 17-14 最大的AU长度

容量	16MB~64MB	128MB~256MB	512MB	1GB~32GB
最大的 AU 长度	512KB	1MB	2MB	4MB

ERASE_SIZE

这个 16 位域给出了 N_ERASE，当 N_ERASE 个 AU 被擦除时，ERASE_TIMOUT 定义了超时时间。主机应该确定适当的一次操作中擦除的 AU 数目，这样主机可以显示擦除操作的进度。如果该域为 0，则不支持擦除的超时计算。

表 17-15 ERASE_SIZE 代码

ERASE_SIZE	数值定义
0000h	不支持擦除的超时计算
0001h	1 个 AU

0002h	2 个 AU
0003h	3 个 AU
.....
FFFFh	65535 个 AU

ERASE_TIMOUT

这 6 位给出了 T_{ERASE} , 当 ERASE_SIZE 指示的多个 AU 被擦除时, 这个数值给出了从偏移量算起的擦除超时。ERASE_TIMOUT 的范围可以定义到最多 63 秒, 卡的生产商可以根据具体实现选择合适的 ERASE_SIZE 与 ERASE_TIMOUT 的组合, 先确定 ERASE_TIMOUT 再确定 ERASE_SIZE。

表 17-16 擦除超时代码

ERASE_TIMOUT	数值定义
00	不支持擦除的超时计算
01	1 秒
02	2 秒
03	3 秒
.....
63	63 秒

ERASE_OFFSET

这 2 位给出了 T_{OFFSET} , 当 ERASE_SIZE 和 ERASE_TIMOUT 同为 0 时这个数值没有意义。

表 17-17 擦除偏移代码

ERASE_OFFSET	数值定义
0	0 秒
1	1 秒
2	2 秒
3	3 秒

17.3.2.13 SD 的 I/O 模式**SD 的 I/O 中断**

为了让 SD I/O 卡能够中断多媒体卡/SD 模块, 在 SD 接口上有一个具有中断功能的引脚——第 8 脚, 在 4 位 SD 模式下这个脚是 SDIO_D1, 卡用它向多媒体卡/SD 模块提出中断申请。对于每一个卡或卡内的功能, 中断功能是可选的。SD I/O 的中断是电平有效, 即在被识别并得到多媒体卡/SD 模块的响应之前, 中断信号线必须保持有效电平(低), 在中断过程结束后保持无效电平(高)。在多媒体卡/SD 模块服务了中断请求后, 通过一个 I/O 写操作, 写入适当的位到 SD I/O 卡的内部寄存器, 即可清除中断状态位。所有 SD I/O 卡的中断输出是低电平有效, 多媒体卡/SD 模块在所有数据线(SDIO/D[3:0])上提供上拉电阻。多媒体卡/SD 模块在中断阶段对第 8 脚 (SDIO_D/IRQ) 采样并进行中断检测, 其它时间该信号线上的数值将被忽略。

存储器操作和 I/O 操作都具有中断阶段, 单个数据块操作的中断阶段定义与多个数据块传输操作的中断阶段定义不同。

SD 的 I/O 暂停和恢复

在一个多功能的 SD I/O 卡或同时具有 I/O 和存储器功能的卡中, 多个设备(I/O 和存储器)共用 MMC/SD 总线。为了使 MMC/SD 模块中的多个设备能够共用总线, SD I/O 卡和复合卡可以有选择地实现暂停/恢复的概念; 如果一个卡支持暂停/恢复, MMC/SD 模块能够暂时地停止一个功能或存储器的数据传输操作(暂停), 借此让出总线给具有更高优先级的其它功能或存储器, 在这个具有更高优先级的传输完成后, 再恢复原先暂停的传输。支持暂停/恢复的操作是可选的。在 MMC/SD 总线上执行暂停/恢复操作有下述步骤:

1. 确定 SDIO_D[3: 0]信号线的当前功能
2. 请求低优先级或慢的操作暂停
3. 等待暂停操作完成，确认设备已暂停
4. 开始高优先级的传输
5. 等待高优先级的传输结束
6. 恢复暂停的操作

SDI/O 读等待 (ReadWait)

可选的读等待 (RW) 操作只适用于 SD 卡的 1 位或 4 位模式。读等待操作允许 MMC/SD 模块在一个卡正在读多个寄存器 (IO_RW_EXTENDED, CMD53) 时，要求它暂时停止数据传输，同时允许 MMC/SD 模块发送命令到 SD I/O 设备中的其他功能。判断一个卡是否支持读等待协议，MMC/SD 模块应该检测卡的内部寄存器。读等待的时间与中断阶段相关。

17.3.2.14 命令与响应

应用相关命令和通用命令

SD 卡主机模块系统是用于提供一个适用于多种应用类型的标准接口，但同时又要兼顾特定用户和应用的功能，因此标准中定义了两类通用命令：应用相关命令 (ACMD) 和通用命令 (GEN_CMD)。

当卡收到 APP_CMD (CMD55) 命令时，卡期待下一个命令是应用相关命令。应用相关命令 (ACMD) 具有普通多媒体卡相同的格式结构，并可以使用相同的 CMD 号码，因为它是出现在 APP_CMD (CMD55) 后面，所以卡把它识别为 ACMD 命令。如果跟随 APP_CMD (CMD55) 之后不是一个已经定义的应用相关命令，则认为它是一个标准命令；例如：有一个 SD_STATUS (ACMD13) 应用相关命令，如果在紧随 APP_CMD(CMD55) 之后收到 CMD13，它将被解释为 SD_STATUS(ACMD13)；但是如果卡在紧随 APP_CMD (CMD55) 之后收到 CMD7，而这个卡没有定义 ACMD7，则它将被解释为一个标准的 CMD7 (SELECT/DESELECT_CARD) 命令。

如果要使用生产厂商自定义的 ACMD，SD 卡主机需要做以下操作：

1. 发送 APP_CMD (CMD55) 命令

卡送回响应给多媒体/SD 卡模块，指示设置了 APP_CMD 位并等待 ACMD 命令。

2. 发送指定的 ACMD

卡送回响应给多媒体/SD 卡模块，指示设置了 APP_CMD 位，收到的命令已经正确地按照 ACMD 命令解析；如果发送了一个非 ACMD 命令，卡将按照普通的多媒体卡命令处理同时清除卡中状态寄存器的 APP_CMD 位。

如果发送了一个非法的命令（不管是 ACMD 还是 CMD），将被按照标准的非法多媒体卡命令进行错误处理。

GEN_CMD 命令的总线操作过程，与单数据块读写命令 (WRITE_BLOCK, CMD24 或 READ_SINGLE_BLOCK, CMD17) 相同；这时命令的参数表示数据传输的方向而不是地址，数据块具有用户自定义的格式和意义。

发送 GEN_CMD (CMD56) 命令之前，卡必须被选中（状态机处于传输状态），数据块的长度由 SET_BLOCKLEN (CMD16) 定义。GEN_CMD (CMD56) 命令的响应是 R1b 格式。

命令类型

应用相关命令和通用命令有四种不同的类型：

1. 广播命令 (BC)：发送到所有卡，没有响应返回。
2. 带响应的广播命令 (BCR)：发送到所有卡，同时收到从所有卡返回的响应。
3. 带寻址（点对点）的命令 (AC)：发送到选中的卡，在 SDIO_D 信号线上不包括数据传输。
4. 带寻址（点对点）的数据传输命令 (AC)：发送到选中的卡，在 SDIO_D 信号线上包含数据传输。

命令格式

命令格式参见表 17-2。

多媒体卡/SD 卡模块的命令

表 17-18 基于块传输的写命令

CMD 索引	类型	参数	响应格式	缩写	说明
CMD23	ac	[31: 16]=0 [15: 0]=数据块数目	R1	SET_BLOCK_COUNT	定义在随后的多块读或写命令中需要传输块的数目。
CMD24	adtc	[31: 0]=数据地址	R1	WRITE_BLOCK	按照 SET_BLOCK_LEN 命令选择的长度写一个块。
CMD25	adtc	[31: 0]=数据地址	R1	WRITE_MULTIPLE_BLOCK	收到一个 STOP_TRANSMISSION 命令或达到了指定的块数目之前，连续地写数据块。
CMD26	adtc	[31: 0]=填充位	R1	PROGRAM_CID	对卡的识别寄存器编程。对于每个卡只能发送一次这个命令。卡中有硬件机制防止多次的编程操作。通常该命令保留给生产厂商。
CMD27	adtc	[31: 0]=填充位	R1	PROGRAM_CSD	对卡的 CSD 中可编程的位编程。

表 17-19 基于块传输的写保护命令

CMD 納引	类型	参数	响应格式	縮写	说明
CMD28	ac	[31: 0]=数据地址	R1b	SET_WRITE_PROT	如果卡具有写保护的功能，该命令设置指定组的写保护位。写保护的属性设置在卡的特定数据域（WP_GRP_SIZE）。
CMD29	ac	[31: 0]=数据地址	R1b	CLR_WRITE_PROT	如果卡具有写保护的功能，该命令清除指定组的写保护位。
CMD30	adtc	[31: 0]=写保护 数据地址	R1	SEND_WRITE_PROT	如果卡具有写保护的功能，该命令要求卡发送写保护位的状态。
CMD31				保留	

表 17-20 擦除命令

CMD 紹引	类型	参数	响应格式	縮写	说明
CMD32 ... CMD34		保留。为了与旧版本的对媒体卡协议向后兼容，不能使用这些命令代码。			
CMD35	ac	[31: 0]=数据地址	R1	ERASE_GROUP_START	在选择的擦除范围内，设置第一个擦除组的地址。
CMD36	ac	[31: 0]=数据地址	R1	ERASE_GROUP_END	在选择的连续擦除范围内，设置最后一个擦除组的地址。
CMD37		保留。为了与旧版本的对媒体卡协议向后兼容，不能使用这个命令代码。			
CMD38	ac	[31: 0]=填充位	R1b	ERASE	擦除之前选择的数据块。

表 17-21 I/O 模式命令

CMD 紹引	类型	参数	响应格式	縮写	说明

CMD39	ac	[31: 16]=RCA [15]=寄存器写标志 [14: 8]=寄存器地址 [7: 0]=寄存器数据	R4	FAST_IO	用于写和读 8 位（寄存器）数据域。该命令指定一个卡和寄存器，如果设置了写标志还提供写入的数据。R4 响应包含从指定寄存器读出的数据。该命令访问未在多媒体卡标准中定义的与应用相关的寄存器。
CMD40	bcr	[31: 0]=填充位	R5	GO_IRQ_STA TE	置系统于中断模式。
CMD41	保留。				

表 17-22 上锁命令

CMD 索引	类型	参数	响应格式	缩写	说明
CMD42	adtc	[31: 0]=填充位	R1	LOCK_UNLOCK	设置/清除密码或对卡上锁/解锁。数据块的长度由 SET_BLOCK_LEN 命令设置。
CMD43 ... CMD54	保留。				

表 17-23 应用相关命令

CMD 索引	类型	参数	响应格式	缩写	说明
CMD55	ac	[31: 16]=RCA [15: 0]=填充位	R1	APP_CMD	指示卡下一个命令是应用相关命令而不是一个标准命令。
CMD56	adtc	[31: 1]=填充位 [0]=RD/WR	R1	GEN_CMD	在通用或应用相关命令中，或者用于向卡中传输一个数据块，或者用于从卡中读取一个数据块。数据块的长度由 SET_BLOCK_LEN 命令设置。
CMD57 ... CMD59	保留。				
CMD60 ... CMD63	保留给生产厂商。				

17.3.3 响应格式

所有的响应是通过 MCCMD 命令在 SDIO_CMD 信号线上传输。响应的传输总是从对应响应字的位串的最左面开始，响应字的长度与响应的类型相关。

一个响应总是有一个起始位（始终为 0），跟随着传输的方向位（卡=0）。下表中标示为 x 的数值表示一个可变的部分。除了 R3 响应类型，所有的响应都有 CRC 保护。每一个命令码字都有一个结束位（始终为 1）。

共有 5 种响应类型，它们的格式定义如下：

17.3.3.1 R1（普通响应命令）

代码长度=48 位。位 45: 40 指示要响应的命令索引，它的数值介于 0 至 63 之间。卡的状态由 32 位进行编码。

表 17-24 R1 响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位

[45: 40]	6	X	命令索引
[39: 8]	32	X	卡状态
[7: 1]	7	X	CRC7
0	1	1	结束位

17.3.3.2 R1b

与 R1 格式相同，但可以选择在数据线上发送一个繁忙信号。收到这些命令后，依据收到命令之前的状态，卡可能变为繁忙。

17.3.3.3 R2（CID、CSD寄存器）

代码长度=136 位。CID 寄存器的内容将作为 CMD2 和 CMD10 的响应发出。CSD 寄存器的内容将作为 CMD9 的响应发出。卡只送出 CID 和 CSD 的位[127...1]，在接收端这些寄存器的位 0 被响应的结束位所取代。卡通过拉低 MCDAT 指示它正在进行擦除操作；实际擦除操作的时间可能非常长，主机可以发送 CMD7 命令不选中这个卡。

表 17-25 R2 响应

位	域宽度	数值	说明
135	1	0	开始位
134	1	0	传输位
[133: 128]	6	'111111'	命令索引
[127: 1]	127	X	卡状态
0	1	1	结束位

17.3.3.4 R3（OCR寄存器）

代码长度=48 位。OCR 寄存器的内容将作为 CMD1 的响应发出。电平代码的定义是：限制的电压窗口=低，卡繁忙=低。

表 17-26 R3 响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45: 40]	6	'111111'	保留
[39: 8]	32	X	OCR 寄存器
[7: 1]	7	'1111111'	保留
0	1	1	结束位

17.3.3.5 R4（快速I/O）

代码长度=48 位。参数域包含指定卡的 RCA、需要读出或写入寄存器的地址、和它的内容。

表 17-27 R4 响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45: 40]	6	'100111'	CMD39
[39: 8] 参数域	[31: 16]	16	X
	[15: 8]	8	X
	[7: 0]	8	X
			读寄存器的内容

[7: 1]	7	'X'	CRC7
0	1	1	结束位

17.3.3.6 R4b

仅适合 SD I/O 卡：一个 SDIO 卡收到 CMD5 后将返回一个唯一的 SDIO 响应 R4。

表17-28 R4b响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45: 40]	6	X	保留
[39: 8] 参数域	39	1	X 卡已就绪
	[38: 36]	3	I/O 功能数目
	35	1	当前存储器
	[34: 32]	3	填充位
	[31: 8]	24	I/O OCR
	[7: 1]	7	X 保留
0	1	1	结束位

当一个 SD I/O 卡收到命令 CMD5，卡的 I/O 部分被使能并能够正常地响应所有后续的命令。I/O 卡的使能状态将保持到下一次复位、断电或收到 I/O 复位的 CMD52 命令。注意，一个只包含存储器功能的 SD 卡可以响应 CMD5 命令，它的正确响应可以是：当前存储器=1，I/O 功能数目=0。按照 SD 存储器卡规范版本 1.0 设计的只包含存储器功能的 SD 卡，可以检测到 CMD5 命令为一个非法命令并不响应它。可以处理 I/O 卡的主机将发送 CMD5 命令，如果卡返回响应 R4，则主机会依据 R4 响应中的数据确定卡的配置。

17.3.3.7 R5（中断请求）

仅适用于多媒体卡。代码长度=48 位。如果这个响应由主机产生，则参数中的 RCA 域为 0x0。

表17-29 R5响应

位	域宽度	数值	说明
47	1	0	开始位
46	1	0	传输位
[45: 40]	6	'101000'	CMD40
[39: 8] 参数域	[31: 16]	16	X 成功的卡或主机的 RCA[31: 16]
	[15: 0]	16	X 未定义。 可以作为中断数据。
[7: 1]	7	X	CRC7
0	1	1	结束位

17.3.3.8 R6（中断请求）

仅适用于 SD I/O 卡。这是一个存储器设备对 CMD3 命令的正常响应。

表17-30 R6响应

位	域宽度	数值	说明
47	1	0	开始位

46	1	0	传输位
[45: 40]	6	'000011'	CMD3
[39: 8] 参数域	[31: 16]	16	X 成功的卡或主机的 RCA[31: 16]
	[15: 0]	16	X 卡状态
[7: 1]	7	X	CRC7
0	1	1	结束位

当发送 CMD3 命令到只有 I/O 功能的卡时，卡的状态位[23: 8]会改变；此时，响应中的 16 位将是只有 I/O 功能的 SD 卡中的数值：

- 位 15=COM_CRC_ERROR
- 位 14=ILLEGAL_COMMAND
- 位 13=ERROR
- 位[12: 0]=保留

17.3.4 SDIO I/O 卡特定的操作

下述功能是 SD I/O 卡特定的操作：

- 由 SDIO_D2 信号线实现的 SDIO 读等待操作。
- 通过停止时钟实现的 SDIO 读等待操作。
- SDIO 暂停/恢复操作（写和读暂停）
- SDIO 中断

只有设置了 SDIO_DTCTRL[11]位时，SDIO 才支持这些操作；但读暂停除外，因为它不需要特殊的硬件操作。

17.3.4.1 使用 SDIO_D2 信号线的 SDIO I/O 读等待操作

在收到第一个数据块之前即可以开始读等待过程，使能数据通道（设置 SDIO_DTCTRL[0]位）、使能 SDIO 特定操作（设置 SDIO_DTCTRL[11]位）、开始读等待（SDIO_DTCTRL[10]=0 并且 SDIO_DTCTRL[8]=1），同时数据传输方向是从卡至 SDIO 主机（SDIO_DTCTRL[1]=1），DPSM 将直接从空闲进入读等待状态。在读等待状态时，2 个 SDIO_CK 时钟周期后，DPSM 驱动 SDIO_D2 为'0'，在此状态，如果设置 RDWTSTOP 位（SDIO_DTCTRL[9]），则 DPSM 会在等待状态多停留 2 个 SDIO_CK 时钟周期，（根据 SDIO 规范）并在一个时钟周期中驱动 SDIO_D2 为'1'。然后 DPSM 开始等待从卡里接收数据。在接收数据块时，即使设置了开始读等待，DPSM 也不会进入读等待，读等待过程将在收到 CRC 后开始。必须清除 RDWTSTOP 才能开始新的读等待操作。在读等待期间，SDIO 主机可以在 SDIO_D1 上监测 SDIO 中断。

17.3.4.2 使用停止 SDIO_CK 的 SDIO 读等待操作

如果 SDIO 卡不能支持前述的读等待操作，SDIO 可以停止 SDIO_CK 进入读等待（按照 17.3.4.1 节介绍的方式设置 SDIO_DTCTRL，但置 SDIO_DTCTRL[10]=1），在接收当前数据块结束位之后的 2 个 SDIO_CK 周期后，DSPM 停止时钟，在设置了读等待开始位后恢复时钟。

因为 SDIO_CK 停止了，不可以向卡发送任何命令。在读等待期间，SDIO 主机可以在 SDIO_D1 上监测 SDIO 中断。

17.3.4.3 SDIO 暂停/恢复操作

在向卡发送数据时，SDIO 可以暂停写操作。设置 SDIO_CMD[11]位，这指示 CPSM 当前的命令是一个暂停命令。CPSM 分析响应，在从卡收到 ACK 时（暂停被接受），它确认在收到当前数据块的 CRC 后进入空闲状态。

硬件不会保存结束暂停操作之后，剩余的发送数据块数目。

可以通过软件暂停写操作：在收到卡对暂停命令的 ACK 时，停止 DPSM (**SDIO_DTCTRL[0]=0**)，DPSM 即可进入空闲状态。

暂停读操作：DPSM 在 Wait_r 状态等待，在停止数据传输进入暂停之前，已经发送完成完整的数据包。随后应用程序继续读出 RxBUF 直到 BUF 变空，最后 DPSM 自动地进入空闲状态。

17.3.4.4 SDIO 中断

当设置了 **SDIO_DTCTRL[11]** 位，SDIO 主机在 **SDIO_D1** 信号线上监测 SDIO 中断。

17.3.5 硬件流控制

使用硬件流控制功能可以避免 BUF 下溢（发送模式）和上溢（接收模式）错误。

操作过程是停止 **SDIO_CK** 并冻结 SDIO 状态机，在 BUF 不能进行发送和接收数据时，数据传输暂停。只有由 **SDIOCLK** 驱动的状态机被冻结，**AHB** 接口还在工作。即使在流控制起作用时，仍然可以读出或写入 BUF。

必须设置 **SDIO_CLKCTRL[14]** 位为'1'，才能使能硬件流控制。复位后，硬件流控制功能关闭。

17.4 SDIO 寄存器

设备可以通过在 **AHB** 上操作的 32 位控制寄存器与系统通信。

必须以字（32 位）的方式操作这些外设寄存器。

下表是 SDIO 寄存器的总结。

表 17-31 SDIO 寄存器映像

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x00	SDIO_POWER	保留																										PWRCTRL 0 0							
	0x000000000																																		
0x04	SDIO_CLKCTRL	保留																																	
	0x000000000																																		
0x08	SDIO_ARG	ARG[31:0]																																	
	0x000000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x0C	SDIO_CMD	保留																																	
	0x000000000																																		
0x10	SDIO_RSPCMD	保留																																	
	0x000000000																																		
0x14	SDIO_RSP1	CARDSTS1[31:0]																																	
	0x000000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			
0x18	SDIO_RSP2	CARDSTS2[31:0]																																	
	0x000000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0			

0x1C	SDIO_RSP3	CARDSTS3[31:0]																												
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	SDIO_RSP4	CARDSTS4[31:0]																												
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	SDIO_DTTMR	TIMEOUT[31:0]																												
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	SDIO_DTLEN	保留	DTLEN[24:0]																											
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	SDIO_DTCTR	保留																												
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	SDIO_DTCNTR	保留	CNT[24:0]																											
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x34	SDIO_STS	保留	ATACMPL																											
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	SDIO_INTCLR	保留	保留																											
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	SDIO_INTEIN	保留	ATACMPL																											
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	SDIO_BUFCNTR	保留	CNT[23:0]																											
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x80	SDIO_BUF	DT[31:0]																												
		0x00000000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

17.4.1 SDIO电源控制寄存器 (SDIO_POWER)

地址偏移: 0x00

复位值: 0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16													
保留																												
res																												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0													
保留																												PWRCTRL

	res	rw	rw
位 31: 2	保留, 始终读为 0。		
位 1: 0	PWRCTRL: 电源控制位 (Power supply control bits) 这些位用于定义卡时钟的当前功能状态: 00: 电源关闭, 卡的时钟停止。 01: 保留。 10: 保留的上电状态。 11: 上电状态, 卡的时钟开启。		

注意：写数据后的 7 个 HCLK 时钟周期内，不能写入这个寄存器。

17.4.2 SDIO时钟控制寄存器 (SDIO_CLKCTRL)

地址偏移: 0x04

复位值: 0x00000000

SDIO_CLKCTRL 寄存器控制 SDIO_CK 输出时钟。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
保留														CLKP SC[9]		
res														rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
CLK PSC[8]	FLW CTR LEN	CLK EDG	BUSWIDTH	BYP S	PWR SVG	CLK EN	CLKPSC[7: 0]									
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位 31: 17	保留, 始终读为 0。
位 16: 15	CLKPSC[9: 8]: 时钟分频系数 (Clock divide factor) 高 2 位 这个域定义了输入时钟 (SDIOCLK) 与输出时钟 (SDIO_CK) 间的分频系数: SDIO_CK 频率=SDIOCLK/[CLKPSC[9: 0]+2]
位 14	FLWCTRLLEN: 硬件流控制使能 (HW Flow Control enable) 0: 关闭硬件流控制 1: 使能硬件流控制 当使能硬件流控制后, 关于 TXBUF_E 和 RXBUF_F 中断信号的意义请参考 29.4.11 节的 SDIO 状态寄存器的定义。
位 13	CLKEDG: SDIO_CK 相位选择位 (SDIO_CK dephasing selection bit) 0: 在主时钟 SDIOCLK 上升沿产生 SDIO_CK。 1: 在主时钟 SDIOCLK 下降沿产生 SDIO_CK。
位 12: 11	BUSWIDTH: 宽总线模式使能位 (Wide bus mode enable bit) 00: 默认总线模式, 使用 SDIO_D0。 01: 4 位总线模式, 使用 SDIO_D[3: 0]。 10: 8 位总线模式, 使用 SDIO_D[7: 0]。
位 10	BYP: 旁路时钟分频器 (Clock divider bypass enable bit) 0: 关闭旁路: 驱动 SDIO_CK 输出信号之前, 依据 CLKPSC 数值对 SDIOCLK 分频。 1: 使能旁路: SDIOCLK 直接驱动 SDIO_CK 输出信号。
位 9	PWRSVG: 省电配置位 (Power saving configuration bit) 为了省电, 当总线为空闲时, 设置 PWRSVG 位可以关闭 SDIO_CK 时钟输出。 0: 始终输出 SDIO_CK。 1: 仅在有总线活动时才输出 SDIO_CK。
位 8	CLKEN: 时钟使能位 (Clock enable bit) 0: SDIO_CK 关闭。 1: SDIO_CK 使能。

位 7: 0	CLKPSC[7: 0]: 时钟分频系数 (Clock divide factor) 低 8 位 这个域定义了输入时钟 (SDIOCLK) 与输出时钟 (SDIO_CK) 间的分频系数: SDIO_CK 频率=SDIOCLK/[CLKPSC[9: 0]+2]。
--------	---

- 注意:
- 当 SD/SDIO 卡或多媒体卡在识别模式, SDIO_CK 的频率必须低于 400kHz。
 - 当所有卡都被赋予了相应的地址后, 时钟频率可以改变到卡总线允许的最大频率。
 - 写数据后的 7 个 HCLK 时钟周期内不能写入这个寄存器。对于 SD I/O 卡, 在读等待期间可以停止 SDIO_CK, 此时 SDIO_CLKCTRL 寄存器不控制 SDIO_CK。

17.4.3 SDIO参数寄存器 (SDIO_ARG)

地址偏移: 0x08

复位值: 0x00000000

SDIO_ARG 寄存器包含 32 位命令参数, 它将作为命令的一部分发送到卡中。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ARG															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARG															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 0		ARG: 命令参数 (Command argument) 命令参数是发送到卡中命令的一部分, 如果一个命令包含一个参数, 必须在写命令到命令寄存器之前加载这个寄存器。													

17.4.4 SDIO命令寄存器 (SDIO_CMD)

地址偏移: 0x0C

复位值: 0x00000000

SDIO_CMD 寄存器包含命令索引和命令类型位。命令索引是作为命令的一部分发送到卡中。命令类型位控制命令通道状态机 (CPSM)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		SDIO SUSP	CMD MEN	PND WT	INTW T	RSPWT		CMDIDX							
res		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 12		保留, 始终读为 0													
位 11		SDIOSUSP: SD I/O 暂停命令 (SD I/O suspend command) 如果设置该位, 则将要发送的命令是一个暂停命令 (只能用于 SDIO 卡)。													
位 10		CMDMEN: 命令通道状态机 (CPSM) 使能位 (Command path state machine (CPSM) Enable bit) 如果设置该位, 则使能 CPSM。													
位 9		PNDWT: CPSM 等待数据传输结束 (CmdPending 内部信号) (CPSM Waits for ends of data transfer (CmdPending internal signal)) 如果设置该位, 则 CPSM 在开始发送一个命令之前等待数据传输结束。													

位 8	INTWT: CPSM 等待中断请求 (CPSM waits for interrupt request) 如果设置该位，则 CPSM 关闭命令超时控制并等待中断请求。
位 7: 6	RSPWT: 等待响应位 (Wait for response bits) 这 2 位指示 CPSM 是否需要等待响应，如果需要等待响应，则指示响应类型。 00: 无响应，期待 CMDPCMPL 标志 01: 短响应，期待 CMDRSPCMPL 或 CMDFAIL 标志 10: 无响应，期待 CMDCMPL 标志 11: 长响应，期待 CMDRSPCMPL 或 CMDFAIL 标志
位 5: 0	CMDIDX: 命令索引 (Command index) 命令索引是作为命令的一部分发送到卡中。

注意： 1. 写数据后的 7 个 HCLK 时钟周期内不能写入这个寄存器。
2. 多媒体卡可以发送 2 种响应：48 位长的短响应，或 136 位长的长响应。SD 卡和 SD I/O 卡只能发送短响应，参数可以根据响应的类型而变化，软件将根据发送的命令区分响应的类型。

17.4.5 SDIO命令响应寄存器 (SDIO_RSPCMD)

地址偏移: 0x10

复位值: 0x00000000

SDIO_RSPCMD 寄存器包含最后收到的命令响应中的命令索引。如果传输的命令响应不包含命令索引（长响应或 OCR 响应），尽管它应该包含 111111b（响应中的保留域值），但 RSPCMD 域的内容未知。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16								
保留																							
res																							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0								
保留								RSPCMD															
res																							
位 31: 6		保留，始终读为 0																					
位 5: 0		RSPCMD: 响应的命令索引 (Response command index) 只读位，包含最后收到的命令响应中的命令索引。																					

17.4.6 SDIO响应1..4寄存器 (SDIO_RSPx)

地址偏移: 0x14+4*(x-1)，其中 x=1..4

复位值: 0x00000000

SDIO_RSP1/2/3/4 寄存器包含卡的状态，即收到响应的部分信息。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CARDSTSx															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CARDSTSx															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31: 0	CARDSTSx: 见下表。
---------	-----------------------

根据响应状态，卡的状态长度是 32 位或 127 位。

表 17-32 响应类型和 SDIO_RSPx 寄存器

寄存器	短响应	长响应
SDIO_RSP1	卡状态[31: 0]	卡状态[127: 96]
SDIO_RSP2	不用	卡状态[95: 64]
SDIO_RSP3	不用	卡状态[63: 32]
SDIO_RSP4	不用	卡状态[31: 1]

总是先收到卡状态的最高位，SDIO_RSP4 寄存器的最低位始终为 0。

17.4.7 SDIO 数据定时器寄存器（SDIO_DTTMR）

地址偏移: 0x24

复位值: 0x00000000

SDIO_DTTMR 寄存器包含以卡总线时钟周期为单位的数据超时时间。

一个计数器从 SDIO_DTTMR 寄存器加载数值，并在数据通道状态机（DPSM）进入 Wait_R 或繁忙状态时进行递减计数，当 DPSM 处在这些状态时，如果计数器减为 0，则设置超时标志。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TIMEOUT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMEOUT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 0								TIMEOUT: 数据超时时间（Data timeout period） 以卡总线时钟周期为单位的数据超时时间。							

注意：在写入数据控制寄存器进行数据传输之前，必须先写入数据定时器寄存器和数据长度寄存器。

17.4.8 SDIO 数据长度寄存器（SDIO_DTLEN）

地址偏移: 0x28

复位值: 0x00000000

SDIO_DTLEN 寄存器包含需要传输的数据字节长度。当数据传输开始时，这个数值被加载到数据计数器中。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								DTLEN							
res								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTLEN															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
位 31: 25								保留，始终读为 0。							

位 24: 0	DTLEN: 数据长度 (Data length value) 要传输的数据字节数目。
---------	---

注意：对于块数据传输，数据长度寄存器中的数值必须是数据块长度（见 [SDIO_DCTRL](#)）的倍数。在写入数据控制寄存器进行数据传输之前，必须先写入数据定时器寄存器和数据长度寄存器。

17.4.9 SDIO数据控制寄存器（SDIO_DCTRL）

地址偏移: 0x2C

复位值: 0x00000000

SDIO_DCTRL 寄存器控制数据通道状态机 (DPSM)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															
res rw rw															

位 31: 12	保留，始终读为 0。
位 11	SDIOEN: SD I/O 使能功能 (SD I/O enable functions) 如果设置了该位，则 DPSM 执行 SD I/O 卡特定的操作。
位 10	RDWTMODE: 读等待模式 (Read wait mode) 0: 使用 SDIO_D2 控制读等待； 1: 使用 SDIO_CK 控制读等待。
位 9	RDWTSTOP: 读等待停止 (Read wait stop) 0: 如果设置了 RDWTSTART，执行读等待； 1: 如果设置了 RDWTSTART，停止读等待。
位 8	RDWTSTART: 读等待开始 (Read wait start) 设置该位开始读等待操作。

位 7: 4	BLKSIZE: 数据块长度 (Data block size) 当选择了块数据传输模式, 该域定义数据块长度: 0000: 块长度= $2^0=1$ 字节; 0001: 块长度= $2^1=2$ 字节; 0010: 块长度= $2^2=4$ 字节; 0011: 块长度= $2^3=8$ 字节; 0100: (十进制 4) 块长度= $2^4=16$ 字节; 0101: (十进制 5) 块长度= $2^5=32$ 字节; 0110: (十进制 6) 块长度= $2^6=64$ 字节; 0111: 块长度= $2^7=128$ 字节; 1000: 块长度= $2^8=256$ 字节; 1001: 块长度= $2^9=512$ 字节; 1010: 块长度= $2^{10}=1024$ 字节; 1011: 块长度= $2^{11}=2048$ 字节; 1100: 块长度= $2^{12}=4096$ 字节; 1101: 块长度= $2^{13}=8192$ 字节; 1110: 块长度= $2^{14}=16384$ 字节; 1111: 保留。
位 3	DMAEN: DMA 使能位 (DMA enable bit) 0: 关闭 DMAEN; 1: 使能 DMAEN。
位 2	TFRMODE: 数据传输模式 (Data transfer mode selection) 0: 块数据传输; 1: 流数据传输。
位 1	TFRDIR: 数据传输方向 (Data transfer direction selection) 0: 控制器至卡; 1: 卡至控制器。
位 0	TFREN: 数据传输使能位 (Data transfer enabled bit) 如果设置该位为 1, 则开始数据传输。根据 TFRDIR 方向位, DPSM 进入 Wait_S 或 Wait_R 状态, 如果在传输的一开始就设置了 RDWTSTART 位, 则 DPSM 进入读等待状态。不需要在数据传输结束后清除使能位, 但必须更改 SDIO_DTCCTRL 以允许新的数据传输。

注意: 写数据后的 7 个 HCLK 时钟周期内不能写入这个寄存器。

17.4.10 SDIO数据计数器寄存器 (SDIO_DTCNTR)

地址偏移: 0x30

复位值: 0x00000000

当 DPSM 从空闲状态进入 Wait_R 或 Wait_S 状态时, SDIO_DTCNTR 寄存器从数据长度寄存器加载数值 (见 [SDIO_DTLEN](#)), 在数据传输过程中, 该计数器的数值递减直到减为 0, 然后 DPSM 进入空闲状态并设置数据状态结束标志 DTCMPL。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								CNT							
res								r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31: 25	保留, 始终读为 0。
位 24: 0	CNT: 数据计数数值 (Data count value) 读这个寄存器时返回待传输的数据字节数, 写这个寄存器无作用。

注意： 只能在数据传输结束时读这个寄存器。

17.4.11 SDIO状态寄存器 (SDIO_STS)

地址偏移: 0x34

复位值: 0x00000000

SDIO_STS 是一个只读寄存器，它包含两类标志：

- 静态标志 (位[23: 22、10: 0]): 写入 SDIO 中断清除寄存器 (见 [SDIO_INTCLR](#))，可以清除这些位。
- 动态标志 (位[21: 11]): 这些位的状态变化根据它们对应的那部分逻辑而变化 (例如: BUF 满和空标志变高或变低随 BUF 的数据写入变化)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						SDIOI_F	RXBU_F	TXBU_F	RXBU_F_E	TXBU_F_E	RXBU_F_F	TXBU_F_F			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXBU_F_H	TXBU_F_H	DORX	DOTX	DOCMD	DTBL_KCML	SBITE_RR	DTCMPL	CMD_CMPL	CMD_RSPCMPL	RXERRO	TXERRU	DTTI_MEO_UT	CMDT_IMEO_UT	DTFAIL	CMDFAIL
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
位 31: 23		保留, 始终读为 0。													
位 22		SDIOIF: 收到 SDIO 中断 (SDIO interrupt received)													
位 21		RXBUF: 在接收 BUF 中的数据可用 (Data available in receive BUF)													
位 20		TXBUF: 在发送 BUF 中的数据可用 (Data available in transmit BUF)													
位 19		RXBUF_E: 接收 BUF 空 (Receive BUF empty)													
位 18		TXBUF_E: 发送 BUF 空 (Transmit BUF empty) 若使用了硬件流控制, 当 BUF 包含 2 个字时, TXBUF_E 信号变为有效。													
位 17		RXBUF_F: 接收 BUF 满 (Receive BUF full) 若使用了硬件流控制, 当 BUF 还差 2 个字满时, RXBUF_F 信号变为有效。													
位 16		TXBUF_F: 发送 BUF 满 (Transmit BUF full)													
位 15		RXBUF_H: 接收 BUF 半满 (Receive BUF half full) : BUF 中至少还有 8 个字。													
位 14		TXBUF_H: 发送 BUF 半空 (Transmit BUF half empty) : BUF 中至少还可以写入 8 个字。													
位 13		DORX: 正在接收数据 (Data receive in progress)													
位 12		DOTX: 正在发送数据 (Data transmit in progress)													
位 11		DOCMD: 正在传输命令 (Command transfer in progress)													
位 10		DTBLKCMPL: 已发送/接收数据块 (CRC 检测成功) (Data block sent/received (CRC check passed))													
位 9		SBITERR: 在宽总线模式, 没有在所有数据信号上检测到起始位 (Start bit not detected on all data signals in wide bus mode)													
位 8		DTCMPL: 数据结束 (数据计数器, SDIO_DTCNTR=0) (Data end (data counter, SDIO CNT, is zero))													
位 7		CMDCMPL: 命令已发送 (不需要响应) (Command sent (no response required))													
位 6		CMDRSPCMPL: 已接收到响应 (CRC 检测成功) (Command response)													
位 5		RXERRO: 接收 BUF 上溢错误 (Received BUF overrun error)													

位 4	TXERRU: 发送 BUF 下溢错误 (Transmit BUF underrun error)													
位 3	DTTIMEOUT: 数据超时 (Data timeout)													
位 2	CMDTIMEOUT: 命令响应超时 (Command response timeout) 命令超时时间是一个固定的值，为 64 个 SDIO_CK 时钟周期。													
位 1	DTFAIL: 已发送/接收数据块 (CRC 检测失败) (Data block sent/received)													
位 0	CMDFAIL: 已收到命令响应 (CRC 检测失败) (Command response received)													

17.4.12 SDIO清除中断寄存器 (SDIO_INTCLR)

地址偏移: 0x38

复位值: 0x00000000

SDIO_INTCLR 是一个只写寄存器，在对应寄存器位写'1'将清除 SDIO_STS 状态寄存器中的对应位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留										SDIOIF	保留				
res										RW	res				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				DTBLKCMPL	SBITERR	DTCMPL	CMDRSPCMPL	RXERRO	TXERRO	DTTIMEOUT	CMDTIMEOUT	DTFAIL	CMDFAIL		
res				RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

位 31: 23	保留，始终读为 0。
位 22	SDIOIF: SDIOIF 标志清除位 (SDIOIF flag clear bit) 软件设置该位以清除 SDIOIF 标志。
位 21: 11	保留，始终读为 0。
位 10	DTBLKCMPL: DTBLKCMPL 标志清除位 (DTBLKCMPL flag clear bit) 软件设置该位以清除 DTBLKCMPL 标志。
位 9	SBITERR: SBITERR 标志清除位 (SBITERR flag clear bit) 软件设置该位以清除 SBITERR 标志。
位 8	DTCMPL: DTCMPL 标志清除位 (DTCMPL flag clear bit) 软件设置该位以清除 DTCMPL 标志。
位 7	CMDCMPL: CMDCMPL 标志清除位 (CMDCMPL flag clear bit) 软件设置该位以清除 CMDCMPL 标志。
位 6	CMDRSPCMPL: CMDRSPCMPL 标志清除位 (CMDRSPCMPL flag clear bit) 软件设置该位以清除 CMDRSPCMPL 标志。
位 5	RXERRO: RXERRO 标志清除位 (RXERRO flag clear bit) 软件设置该位以清除 RXERRO 标志。
位 4	TXERRU: TXERRU 标志清除位 (TXERRU flag clear bit) 软件设置该位以清除 TXERRU 标志。
位 3	DTTIMEOUT: DTTIMEOUT 标志清除位 (DTTIMEOUT flag clear bit) 软件设置该位以清除 DTTIMEOUT 标志。
位 2	CMDTIMEOUT: CMDTIMEOUT 标志清除位 (CMDTIMEOUT flag clear bit) 软件设置该位以清除 CMDTIMEOUT 标志。

位 1	DTFAIL: DTFAIL 标志清除位 (DTFAIL flag clear bit) 软件设置该位以清除 DTFAIL 标志。
位 0	CMDFAIL: CMDFAIL 标志清除位。 (CMDFAIL flag clear bit) 软件设置该位以清除 CMDFAIL 标志。

17.4.13 SDIO中断屏蔽寄存器 (SDIO_INTEN)

地址偏移: 0x3C

复位值: 0x00000000

在对应位置'1', SDIO_INTEN 中断屏蔽寄存器决定哪一个状态位产生中断。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
									SDIOI_F	RXBU_F	TXBU_F	RXBU_F_E	TXBU_F_E	RXBU_F_F	TXBU_F_F
								res		rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXBU_F_H	TXBU_F_H	DORX	DOTX	DOC_MD	DTBL_KCMP_L	SBITE_RR	DTCM_PL	CMD_CMPL	CMD_RSPC_MPL	RXER_RO	TXER_RU	DTTI_MEOUT	CMDT_IMEO_UT	DTFAIL	CMDFAIL
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31: 23	保留, 始终读为 0。
位 22	SDIOIF: 允许 SDIO 模式中断已接收中断 (SDIO mode interrupt received interrupt enable) 由软件设置/清除该位, 允许/关闭 SDIO 模式中断已接收功能。 1: SDIO 模式中断已接收不产生中断 0: SDIO 模式中断已接收产生中断
位 21	RXBUFF: 接收 BUF 中的数据有效产生中断 (Data available in RxBUF interrupt enable) 由软件设置/清除该位, 允许/关闭接收 BUF 中的数据有效中断。 0: 接收 BUF 中的数据有效不产生中断 1: 接收 BUF 中的数据有效产生中断
位 20	TXBUFF: 发送 BUF 中的数据有效产生中断 (Data available in TxBUF interrupt enable) 由软件设置/清除该位, 允许/关闭发送 BUF 中的数据有效中断。 0: 发送 BUF 中的数据有效不产生中断 1: 发送 BUF 中的数据有效产生中断
位 19	RXBUFF_E: 接收 BUF 空产生中断 (RxBUF empty interrupt enable) 由软件设置/清除该位, 允许/关闭接收 BUF 空中断。 0: 接收 BUF 空不产生中断 1: 接收 BUF 空产生中断
位 18	TXBUFF_E: 发送 BUF 空产生中断 (TxBUF empty interrupt enable) 由软件设置/清除该位, 允许/关闭发送 BUF 空中断。 0: 发送 BUF 空不产生中断 1: 发送 BUF 空产生中断
位 17	RXBUFF_F: 接收 BUF 满产生中断 (RxBUF full interrupt enable) 由软件设置/清除该位, 允许/关闭接收 BUF 满中断。 0: 接收 BUF 满不产生中断 1: 接收 BUF 满产生中断
位 16	TXBUFF_F: 发送 BUF 满产生中断 (TxBUF full interrupt enable) 由软件设置/清除该位, 允许/关闭发送 BUF 满中断。 0: 发送 BUF 满不产生中断 1: 发送 BUF 满产生中断

位 15	RXBUF_H: 接收 BUF 半满产生中断 (RxBUF half full interrupt enable) 由软件设置/清除该位, 允许/关闭接收 BUF 半满中断。 0: 接收 BUF 半满不产生中断 1: 接收 BUF 半满产生中断
位 14	TXBUF_H: 发送 BUF 半空产生中断 (TxBUF half empty interrupt enable) 由软件设置/清除该位, 允许/关闭发送 BUF 半空中断。 0: 发送 BUF 半空不产生中断 1: 发送 BUF 半空产生中断
位 13	DORX: 正在接收数据产生中断 (Data receive acting interrupt enable) 由软件设置/清除该位, 允许/关闭正在接收数据中断。 0: 正在接收数据不产生中断 1: 正在接收数据产生中断
位 12	DOTX: 正在发送数据产生中断 (Data transmit acting interrupt enable) 由软件设置/清除该位, 允许/关闭正在发送数据中断。 0: 正在发送数据不产生中断 1: 正在发送数据产生中断
位 11	DOCMD: 正在传输命令产生中断 (Command acting interrupt enable) 由软件设置/清除该位, 允许/关闭正在传输命令中断。 0: 正在传输命令不产生中断 1: 正在传输命令产生中断
位 10	DTBLKCMPL: 数据块传输结束产生中断 (Data block end interrupt enable) 由软件设置/清除该位, 允许/关闭数据块传输结束中断。 0: 数据块传输结束不产生中断 1: 数据块传输结束产生中断
位 9	SBITERR: 起始位错误产生中断 (Start bit error interrupt enable) 由软件设置/清除该位, 允许/关闭起始位错误中断。 0: 起始位错误不产生中断 1: 起始位错误产生中断
位 8	DTCMPL: 数据传输结束产生中断 (Data end interrupt enable) 由软件设置/清除该位, 允许/关闭数据传输结束中断。 0: 数据传输结束不产生中断 1: 数据传输结束产生中断
位 7	CMDCMPL: 命令已发送产生中断 (Command sent interrupt enable) 由软件设置/清除该位, 允许/关闭命令已发送中断。 0: 命令已发送不产生中断 1: 命令已发送产生中断
位 6	CMDRSPCMPL: 接收到响应产生中断 (Command response received interrupt enable) 由软件设置/清除该位, 允许/关闭接收到响应中断。 0: 接收到响应不产生中断 1: 接收到响应产生中断
位 5	RXERRO: 接收 BUF 上溢错误产生中断 (RxBUF overrun error interrupt enable) 由软件设置/清除该位, 允许/关闭接收 BUF 上溢错误中断。 0: 接收 BUF 上溢错误不产生中断 1: 接收 BUF 上溢错误产生中断
位 4	TXERRU: 发送 BUF 下溢错误产生中断 (TxBUF underrun error interrupt enable) 由软件设置/清除该位, 允许/关闭发送 BUF 下溢错误中断。 0: 发送 BUF 下溢错误不产生中断 1: 发送 BUF 下溢错误产生中断
位 3	DTTIMEOUT: 数据超时产生中断 (Data timeout interrupt enable) 由软件设置/清除该位, 允许/关闭数据超时中断。 0: 数据超时不产生中断 1: 数据超时产生中断

位 2	CMDTIMEOUT: 命令超时产生中断 (Command timeout interrupt enable) 由软件设置/清除该位, 允许/关闭命令超时中断。 0: 命令超时不产生中断 1: 命令超时产生中断
位 1	DTFAIL: 数据块 CRC 检测失败产生中断 (Data CRC fail interrupt enable) 由软件设置/清除该位, 允许/关闭数据块 CRC 检测失败中断。 0: 数据块 CRC 检测失败不产生中断 1: 数据块 CRC 检测失败产生中断
位 0	CMDFAIL: 命令 CRC 检测失败产生中断 (Command CRC fail interrupt enable) 由软件设置/清除该位, 允许/关闭命令 CRC 检测失败中断。 0: 命令 CRC 检测失败不产生中断 1: 命令 CRC 检测失败产生中断

17.4.14 SDIOBUF计数器寄存器 (SDIO_BUFCNTR)

地址偏移: 0x48

复位值: 0x00000000

SDIO_BUFCNTR 寄存器包含还未写入 BUF 或还未从 BUF 读出的数据字数目。当在数据控制寄存器 (SDIO_DTCTRL) 中设置了数据传输使能位 TFREN, 并且 DPSM 处于空闲状态时, BUF 计数器从数据长度寄存器 (见 [SDIO_DTLEN](#)) 加载数值。如果数据长度未与字对齐 (4 的倍数), 则最后剩下的 1~3 个字节被当成一个字处理。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								CNT							
res								r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
位 31: 24		保留, 始终读为 0。													
位 23: 0		CNT: 将要写入 BUF 或将要从 BUF 读出数据字的数目。													

17.4.15 SDIO数据BUF寄存器 (SDIO_BUF)

地址偏移: 0x80

复位值: 0x00000000

接收和发送 BUF 是一组可读或可写的 32 位宽的寄存器, 它在连续的 32 个地址上包含 32 个寄存器, CPU 可以使用 BUF 读写多个操作数。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
DT																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DT																
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
位 31: 0		DT: 接收或发送 BUF 数据 (Receive and transmit BUF data) BUF 数据占据 32 个 32 位的字, 地址为: (SDIO 基址 + 0x80) 至 (SDIO 基址 + 0xFC)														

18 MCU调试 (MCUDBG)

18.1 简介

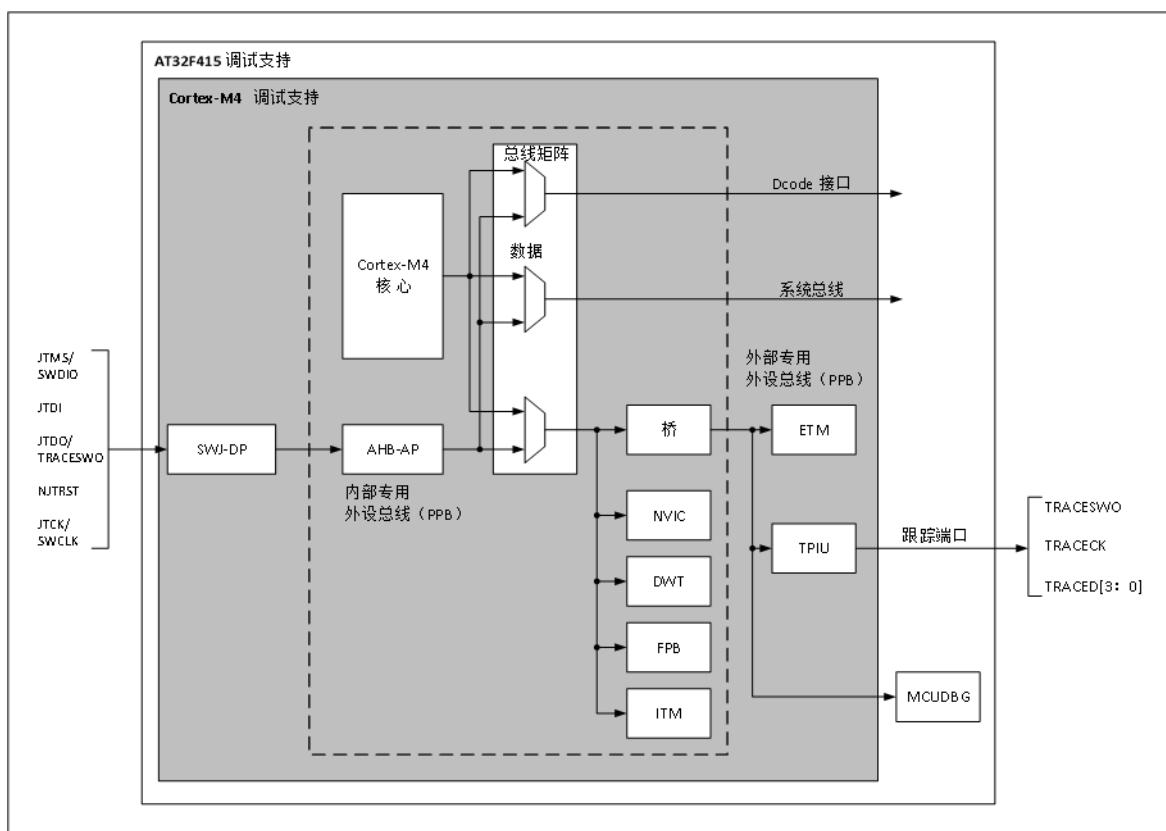
AT32F415 使用 Cortex™-M4 内核，该内核内含硬件调试模块，支持复杂的调试操作。硬件调试模块允许内核在取指(指令断点)或访问数据(数据断点)时停止。内核停止时，内核的内部状态和系统的外部状态都是可以查询的。完成查询后，内核和外设可以被复原，程序将继续执行。

当 AT32F415 微控制器连接到调试器并开始调试时，调试器将使用内核的硬件调试模块进行调试操作。

支持两种调试接口：

- 串行接口
- JTAG 调试接口

图 18-2 AT32F415级别和 Cortex™-M4级别的调试框图



ARM Cortex™-M4 内核提供集成的片上调试功能，可参考：

- Cortex™-M4技术参考手册(TRM)
- ARM调试接口V5
- ARM CoreSight 开发工具集(r1p0版)技术参考手册

MCUDBG 模块可帮助调试器调试低功耗模式，定时器，I2C，bxCAN，WWDG 与 IWDG。当相应位置位，在低功耗模式下提供时钟或保持计数器定时器，WWDG，IWDG，CAN 或 I2C 的当前状态。

MCU 调试模块协助调试器提供以下功能：

- 低功耗模式的调试支持
- 在断点时提供定时器、看门狗、I2C和bxCAN的时钟控制
- ID代码
- 对跟踪脚分配的控制

18.2 功能描述

18.2.1 低功耗模式的调试支持

使用 WFI 和 WFE 可以进入低功耗模式。MCU 支持多种低功耗模式，分别可以关闭 CPU 时钟，或降低 CPU 的能耗。内核不允许在调试期间关闭 FCLK 或 HCLK。这些时钟对于调试操作是必要的，因此在调试期间，它们必须工作。MCU 使用一种特殊的方式，允许用户在低功耗模式下调试代码。

为实现这一功能，调试器必须先设置一些配置寄存器来改变低功耗模式的特性。

- 在睡眠模式下，调试器必须先置位 MCUDBG_CTRL 寄存器的 DBG_SLEEP 位。这将为 HCLK 提供与 FCLK（由代码配置的系统时钟）相同的时钟。
- 在停止模式下，调试器必须先置位 DBG_STOP 位。这将激活内部 RC 振荡器，在停止模式下为 FCLK 和 HCLK 提供时钟。

18.2.2 支持定时器、看门狗、bxCAN和I2C的调试

在产生断点时，有必要根据定时器和看门狗的不同用途选择计数器的工作模式：

- 在产生断点时，计数器继续计数。这在输出 PWM 控制电机时常常要用到。
- 在产生断点时，计数器停止计数。这对于看门狗的计数器是必需的。

对于 bxCAN，用户可以选择在断点期间阻止接收寄存器的更新。

对于 I2C，用户可以选择在断点期间阻止 SMBUS 超时。

18.2.3 ID 代码

在 AT32F415 微控制器内部有多个 ID 编码，强烈建议工具设计者使用映射在外部 PPB 存储器上地址为 0xE0042000 的 MCUDeviceID 来锁定调试器。这个 ID 定义了 MCU 的部件号和硅片版本。它是 MCUDBG 的一个组成部分，并且映射到外部 PPB 总线上。

使用 JTAG 调试口（4~5 个引脚）或 SW 调试口（2 个引脚）或通过用户代码都可以访问此编码。即使当 MCU 处于系统复位状态下这个编码也可以被访问。

18.2.4 SWJ 调试端口脚

AT32F415 的 5 个普通 I/O 口可用作 SWJ-DP 接口引脚。这些引脚在所有的封装里都存在。复位 (SYSRESETn 或 PORESETn) 以后，属于 SWJ-DP 的所有 5 个引脚都立即被初始化为可被调试器使用的专用引脚。

AT32F415 微控制器可以用复用重映射和调试 I/O 配置寄存器 (AFIO_MAPR) 寄存器 (见 [6.5.9 节](#)) 来禁止 SWJ-DP 接口的部分或所有引脚的功能，这些专用引脚将被释放以用作普通 I/O 口，对此寄存器的设置将由用户代码而不是调试器完成，请参考 [6.4.4 “JTAG/SWD 复用功能重映射”](#)。

18.2.5 JTAG 脚上的内部上拉和下拉

保证 JTAG 的输入引脚不是悬空的是非常必要的，因为他们直接连接到 D 触发器控制着调试模式。必须特别注意 SWCLK/JTCK 引脚，因为他们直接连接到一些 D 触发器的时时钟端。

为了避免任何未受控制的 I/O 电平，JTAG 输入脚上嵌入了内部上拉和下拉。

- JNTRST：内部上拉
- JTDI：内部上拉
- JTMS/SWDIO：内部上拉
- JTCK/SWCLK：内部下拉

一旦 JTAG I/O 被用户代码释放，GPIO 控制器再次取得控制。这些 I/O 口的状态将恢复到复位时的状态。

- JNTRST：带上拉的输入
- JTDI：带上拉的输入
- JTMS/SWDIO：带上拉的输入

- JICK/SWCLK: 带下拉的输入

- JTDO: 浮动输入

软件可以把这些 I/O 口作为普通的 I/O 口使用。

18.2.6 跟踪脚的分配控制

跟踪引脚在默认状态下不是专用引脚。可以通过设置 MCUDBG_CTRL 寄存器的 TRACE_IOEN 和 TRACE_MODE 位来分配这些引脚。默认时，跟踪脚是不分配的。必需由调试器完成设置。

此寄存器被映射到外部 PPB 并且被 PORESET 所复位（系统复位不复位此寄存器）。调试器可以在系统复位的状态下写该寄存器。

表 18-1 灵活的跟踪引脚分配

DBGMCU_CTRL 寄存器		引脚用途	跟踪引脚分配						
TRACE_IOEN	TRACE_MODE[1:0]		PB3/JTDO/TRACESWO	PE2/TRA_CEC	PE3/TRA_CED[0]	PE4/TRA_CED[1]	PE5/TRA_CED[2]	PE6/TRA_CED[3]	
0	XX	无跟踪 (默认状态)	释放 ⁽¹⁾	释放 (可用作普通 I/O 口)					
1	00	异步跟踪	TRACESWO	释放 (可用作普通 I/O 口)					
1	01	同步跟踪 1 位		TRACE_ECK	TRACED[0]	释放 (可用作普通 I/O 口)			
1	10	同步跟踪 2 位		TRACE_ECK	TRACED[0]	TRACED[1]	释放 (可用作普通 I/O 口)		注释 (1) : 使用串行调试接口时，此引脚被释放，使用 JTAG 调试接口时，此引脚用作 JTDO。
1	11	同步跟踪 4 位		TRACE_CK	TRACE_D[0]	TRACE_D[1]	TRACE_D[2]	TRACE_D[3]	

18.3 MCUDBG 寄存器

下面列出了 MCUDBG 寄存器映象和复位数值。必须以字 (32 位) 的方式操作这些外设寄存器。

表 18-2 MCUDBG 寄存器地址映像和复位值

地址	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xE004 2000		保留																															
0xE004 2004	MCUDBG_CTRL	保留	DBG_TMR11_STOP	DBG_TMR10_STOP	DBG_TMR9_STOP	保留						DBG_TMR5_STOP	保留	DBG_I2C2_SMBUS_TIMEOUT	DBG_I2C1_SMBUS_TIMEOUT	DBG_CAN1_STOP	DBG_TMRx_STOP						DBG_WWDG_STOP	DBG_IWWDG_STOP	TRACE_MODE[1:0]	保留	DBG_STANDBY	DBG_STOP	DBG_SLEEP	0	0	0	
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

18.3.1 MCUDBG控制寄存器 (MCUDBG_CTRL)

MCUDBG_CTRL 寄存器被映射到外部 PPB 总线，基地址为 0xE0042000。寄存器由 PORESET 异步复位（不被系统复位所复位）。当内核处于复位状态下时，调试器可写。

地址：0xE0042004（只支持 32 位访问）

POR 复位：0x00000000（不被系统复位所复位）

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	DBG_TMR1_1_ST_OP	DBG_TMR1_0_ST_OP	DBG_TMR9_STO_P											DBG_TMR5_STO_P	保留	DBG_I2C2_SMBUS_TIMEOUT
res	rw	rw	rw	rw	rw	rw	rw	res	rw	res	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
DBG_I2C1_SMBUS_TIMEOUT	DBG_CAN1_STOP	DBG_TMR4_STO_P	DBG_TMR3_STO_P	DBG_TMR2_STO_P	DBG_TMR1_STO_P	DBG_WWDG_G_STOP	DBG_IWDG_STO_P	TRACE_MODE[1: 0]	TRAC_E_IOE_N	保留	DBG_STANDBY	DBG_STOP	DBG_SLEEP			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	res	rw	rw	rw	rw	rw	rw

位 31 位 27: 19 位 17	保留，必须保持为 0。
位 30: 28 位 18	DBG_TMRx_STOP: 当核心停止时停止定时器计数器 ($x=11, 10, 9, 5$) 0: 当核心停止时，仍然向相关定时器的计数器提供时钟，定时器输出工作正常； 1: 当核心停止时，切断相关定时器的计数器的时钟，同时关闭定时器的输出（就好象对某一暂停事件的紧急响应，停止定时器）。
位 16	DBG_I2C2_SMBUS_TIMEOUT: 当核心停止时停止 SMBUS 超时模式。 0: 与正常模式操作相同； 1: 冻结 SMBUS 的超时控制。
位 15	DBG_I2C1_SMBUS_TIMEOUT: 当核心停止时停止 SMBUS 超时模式。 0: 与正常模式操作相同； 1: 冻结 SMBUS 的超时控制。
位 14	DBG_CAN1_STOP: 当内核进入调试状态时，CAN1 停止运行。 0: CAN1 仍然正常运行； 1: CAN1 的接收寄存器不继续接收数据。
位 13: 10	DBG_TMRx_STOP: 当内核进入调试状态时计数器停止工作 $x=4..1$ 。 0: 选中定时器的计数器仍然正常工作； 1: 选中定时器的计数器停止工作。
位 9	DBG_WWDG_STOP: 当内核进入调试状态时调试窗口看门狗停止工作。 0: 窗口看门狗计数器仍然正常工作； 1: 窗口看门狗计数器停止工作。
位 8	DBG_IWDG_STOP: 当内核进入调试状态时看门狗停止工作 0: 看门狗计数器仍然正常工作； 1: 看门狗计数器停止工作。

位 7: 5	TRACE_MODE[1: 0] 和 TRACE_IOEN : 跟踪引脚分配控制 -当 TRACE_IOEN=0 时: TRACE_MODE=xx: 不分配跟踪引脚（默认状态）。 -当 TRACE_IOEN=1 时: TRACE_MODE=00: 跟踪引脚使用异步模式; TRACE_MODE=01: 跟踪引脚使用同步模式，并且数据长度为 1; TRACE_MODE=10: 跟踪引脚使用同步模式，并且数据长度为 2; TRACE_MODE=11: 跟踪引脚使用同步模式，并且数据长度为 4。
位 4: 3	保留，必须保持为 0。
位 2	DBG_STANDBY : 调试待机模式。 0: (FCLK 关, HCLK 关) 整个数字电路部分都断电。从软件的观点看，退出 STANDBY 模式与复位是一样的（除了一些状态位指示了微控制器刚从 STANDBY 状态退出）。 1: (FCLK 开, HCLK 开) 数字电路部分不下电，FCLK 和 HCLK 时钟由内部 RLD 振荡器提供时钟。另外，微控制器通过产生系统复位来退出 STANDBY 模式和复位是一样的。
位 1	DBG_STOP : 调试停止模式。 0: (FCLK 关, HCLK 关) 在停止模式时，时钟控制器禁止一切时钟（包括 HCLK 和 FCLK）。当从 STOP 模式退出时，时钟的配置和复位之后的配置一样（微控制器由 48MHz 的内部 RC 振荡器 (HSI) 提供时钟）。因此，软件必需重新配置时钟控制系统启动 PLL，晶振等。 1: (FCLK 开, HCLK 开) 在停止模式时，FCLK 和 HCLK 时钟由内部 RC 振荡器提供。当退出停止模式时，软件必需重新配置时钟系统启动 PLL，晶振等（与配置此比特位为 0 时的操作一样）。
位 0	DBG_SLEEP : 调试睡眠模式 0: (FCLK 开, HCLK 关) 在睡眠模式时，FCLK 由原先已配置好的系统时钟提供，HCLK 则关闭。由于睡眠模式不会复位已配置好的时钟系统，因此从睡眠模式退出时，软件不需要重新配置时钟系统。 1: (FCLK 开, HCLK 开) 在睡眠模式时，FCLK 和 HCLK 时钟都由原先配置好的系统时钟提供。

19 比较器(COMP)

19.1 COMP简介

AT32F415 内置两个超低功耗比较器 COMP1 和 COMP2，它们可分别用作独立器件（I/O 上提供了全部接口），也可以与定时器结合使用。

比较器可用于多种功能，包括：

- 由模拟信号触发从低功耗模式唤醒
- 模拟信号调理
- 与定时器的 PWM 输出结合使用时，组成逐周期的电流控制环路

19.2 COMP的主要特性

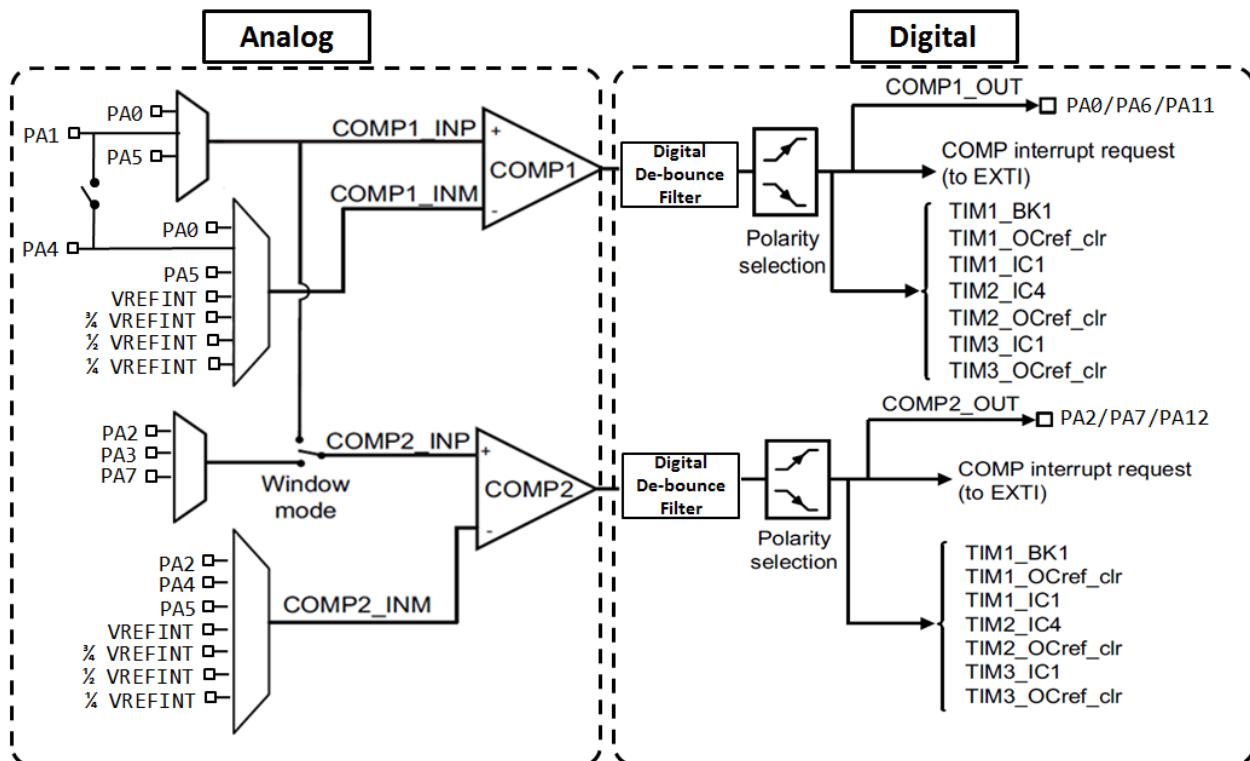
- 比较器具有轨到轨输入以及快速或慢速两种模式
- 每个比较器有可配置的正输入和可配置的负输入，用于灵活选择电压：
 - I/O 引脚
 - 内部参考电压和三个系数分压值(1/4, 1/2, 3/4)
- 可编程速度/功耗
- 输出可以重定向到用于触发以下事件的 I/O 或定时器输入：
 - 捕捉事件
 - OCREF_CLR 事件（逐周期的电流控制环路）
 - 快速关闭 PWM 的刹车事件
- 比较器1和比较器2组合成窗口比较器，每个比较器能产生中断，用于使器件从睡眠模式和停止模式唤醒(通过EXTI控制器)

19.3 比较器功能描述

19.3.1 比较器框图

比较器的框图如图 19-1 比较器 1 和 2 的框图所示。

图 19-1 比较器 1 和 2 的框图



19.3.2 COMP引脚和内部信号

I/Os 用作比较器输入时，必须在 GPIOs 寄存器配置为模拟模式。

比较器输出可以使用数据手册的“复用功能映射”表给出的复用功能通道连接到 I/O。

输出可以在内部重定向到用作以下用途的各种定时器的输入：

- 紧急关闭 PWM 信号，使用 BKIN
- 逐周期电流控制，使用 OCREF_CLR 输入
- 用于时序测量的输入捕获

可以在内部和外部同时对比较器输出进行重定向。

19.3.3 比较器复位和时钟

比较器的时钟和复位由时钟控制器 (RCC) 提供，与 PCLK 同步 (APB 时钟)。

注意： 极性选择逻辑和输出端口的重定向工作独立于 PCLK 时钟。这使得比较器在停止模式下仍然可以工作。

19.3.4 比较器锁定机制

这两个比较器可用于过流或热保护等安全用途。对于具有特定功能安全要求的应用，必须保证在发生意外的寄存器访问或程序计数器损坏时，不能更改比较器的编程。

为此，可以对比较器控制和状态寄存器进行写保护（只读）。

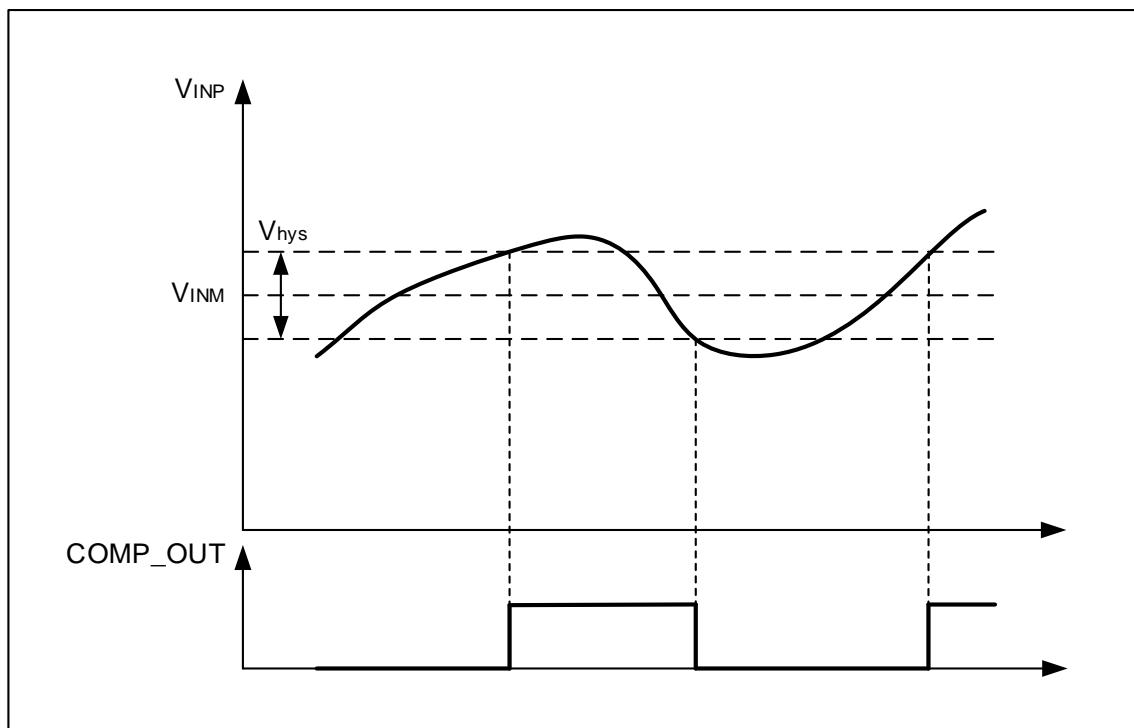
一旦编程完成，COMPxLOCK 位可以设置为 1。这使得整个 COMP_CTRLSTS1 和 COMP_CTRLSTS2 寄存器变为只读，包括 COMPxLOCK 位。

只能通过 MCU 复位才能复位写保护。

19.3.5 迟滞

比较器包含了一个可编程迟滞去避开噪声信号带来的虚假传输信号。如果不需要迟滞，可以关闭掉（例如退出低功耗模式），使得能够使用外部组件去保持迟滞值。

图 19-2 比较器迟滞



19.3.6 功率模式

对于给定的应用，可以调节 COMP 功耗与传输延迟以获得最佳平衡。

可以对 COMP_CTRLSTS1 寄存器中的 COMPx_MDE 位进行编程，以提供更高速度/功耗或更低速度/功耗。

19.3.7 干扰滤波器

干扰滤波器可以用来滤除毛刺和噪声干扰。

滤波器的敏感性由 H_PULSE_CNT 和 L_PULSE_CNT 位控制。滤波器的敏感性会影响相同的连续采样的数量，在滤波器输入上检测到此类连续采样时，才能将某信号电平变化视为有效切换。

图 X-2 到 X-3 显示了在不同 H_PULSE_CNT 和 L_PULSE_CNT 值下的时序图。

注（1）：因为滤波器采样数据需要时钟，系统在停止模式下关闭比较器时钟，因此，要让比较器在停止模式下工作，必须在进入停止模式前关闭滤波器（G_FILTER_EN 寄存器中的 GFE=0）。

注（2）：每个比较器都有一个单独的干扰滤波器，但它们共享 G_FILTER_EN、HIGH_PULSE 和 LOW_PULSE 三个寄存器，因而无法单独配置一个干扰滤波器。

图 19-3 H_PULSE_CNT=1 和 L_PULSE_CNT =0 时干扰滤波器时序图

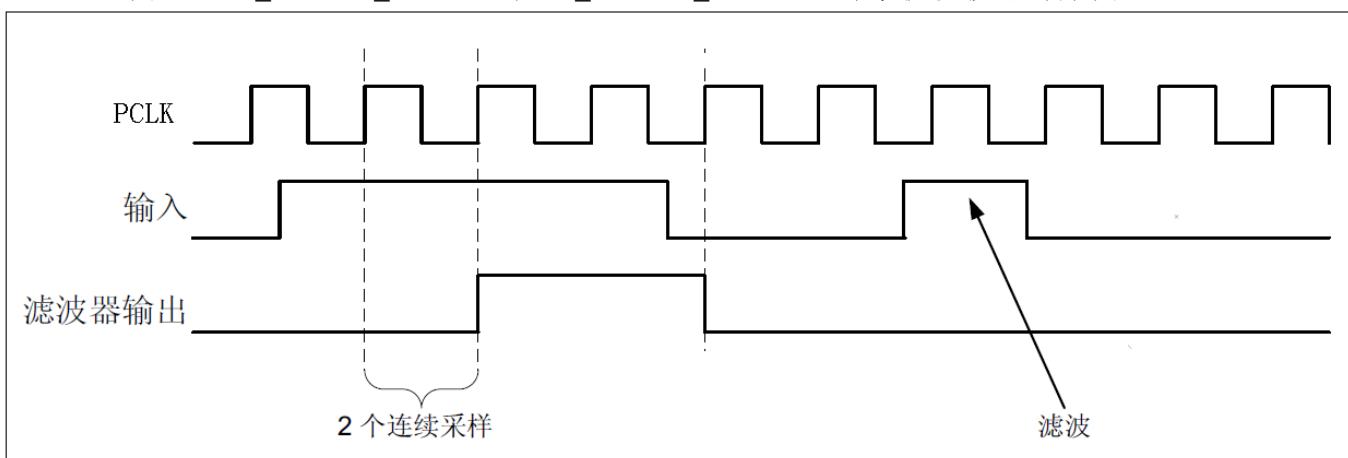
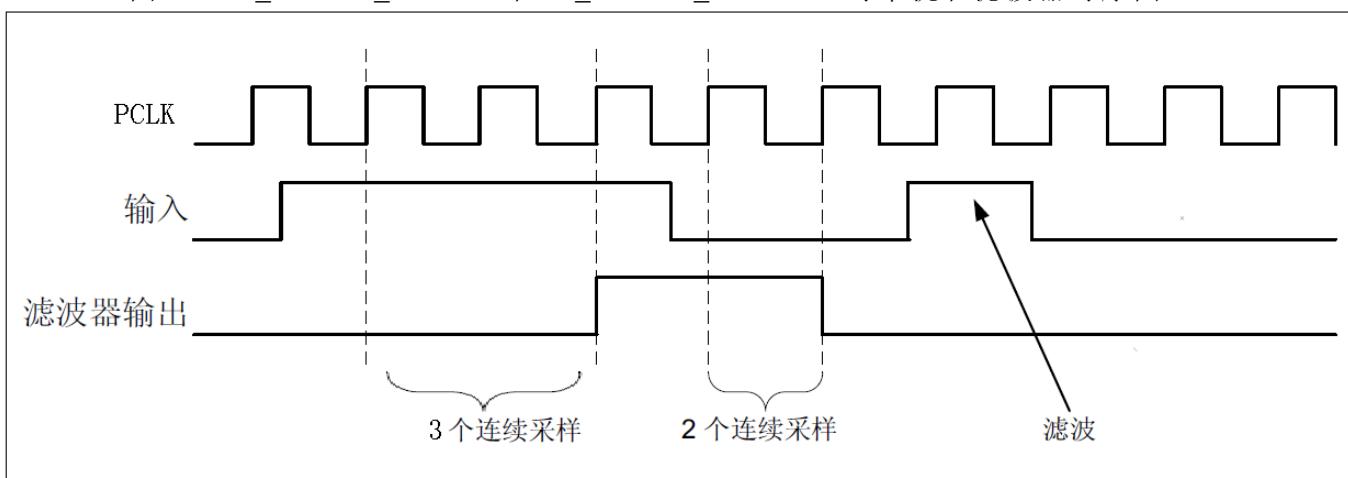


图 19-4 H_PULSE_CNT=2 和 L_PULSE_CNT = 1 时干扰和滤波器时序图



19.4 COMP 中断

比较器输出从内部连接到扩展中断和事件控制器。每个比较器都具有各自的 EXTI 线，能够产生中断或事件。该机制还可以用于退出低功耗模式。

比较器 1 通过 EXTI 线 19，比较器 2 则是通过 EXTI 线 20 来产生中断或事件。

更多详细信息，请参见中断和事件部分。

19.5 COMP 寄存器

表 19-1 COMP 寄存器图和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	COMP_CTR	COMP2LOC	COMP2VAL	COMP2HYS	T	COMP2POL	COMP2OU	TSEL	WNWDEN	COMP2INN	SEL	COMP2MO	COMP2EN	COMP1LOC	COMP1VAL	COMP1HYS	T	COMP1POL	COMP1OU	TSEL	COMP1INN	SEL	保留	保留	保留	保留	COMP1IMO	COMP1SW1	0	0	0		
	LSTS1																																

0x04	COMP_CTR LSTS2	保留	COMP2INP SEL	0 1	保留	COMP1INP SEL	0 1			
	0x10001									
0x08	G_FILTER_ EN	保留	GFE	0						
	0x0000									
0x0C	HIGH_PULS E	保留	H_PULSE_CNT	0 0 0 0 0 0						
	0x0000									
0x10	LOW_PULS E	保留	L_PULSE_CNT	0 0 0 0 0 0						
	0x0000									

19.5.1 比较器控制和状态寄存器1(COMP_CTRLSTS1)

COMP_CTRLSTS1 为比较器控制/状态寄存器。此寄存器包含与比较器相关的位/标志。

偏移地址: 0x00

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CO MP2 LOC K	CO MP2 VAL UE	COMP2HY ST	CO MP2 POL	COMP2OUTSEL[2: 0]	WN DW EN	COMP2INNSEL[2: 0]	Res	CO MP2 MD E	Res	CO MP2 EN					
rwo	r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CO MP1 LOC K	CO MP1 VAL UE	COMP1HY ST	CO MP1 POL	COMP1OUTSEL[2: 0]	Res	COMP1INNSEL[2:0]	Res	COM P1M DE	COM P1S W1	COM P1E N					
rwo	r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r	rw/r

位 31	COMP2LOCK: 比较器 2 锁定(Comparator 2 lock) 此位由软件置 1, 由系统复位清零。它将锁定比较器控制寄存器 COMP_CTRLSTS1[31:16]和 COMP_CTRLSTS2[31:0]的全部内容 0: 比较器的 COMP_CTRLSTS1[31:16]和 COMP_CTRLSTS2[31:16] 可读/写 1: 比较器的 COMP_CTRLSTS1[31:16]和 COMP_CTRLSTS2[31:16]只读
位 30	COMP2VALUE: 比较器 2 输出状态位 (Comparator 2 output status bit) 此位为只读。它反映当前比较器 2 输出的状态 (受到 COMP2POLARITY 位的影响)。
位 29:28	COMP2HYST[1:0]: 比较器 2 迟滞 (Comparator 2 hysteresis bit) 这些位控制比较器 2 的迟滞程度 00: 没有迟滞 01: 低度迟滞 10: 中等迟滞 11: 高度迟滞 参见迟滞程度的电气特性
位 27	COMP2POL: 比较器 2 极性选择位 (Comparator 2 polarity selection bit) 此位由软件置 1 和清零 (COMP2LOCK 置 1 时除外)。它使比较器 2 的极性反相。

	0: 比较器 2 输出值不反相 1: 比较器 2 输出值反相
位 26:24	COMP2OUTSEL[2:0]: 比较器 2 输出选择位 (Comparator 2 output selection bit) 这些位控制比较器 2 的输出目的地 000: 无选择 001: 定时器 1 刹车输入 010: 定时器 1 输入捕获 1 011: 定时器 1 OCrefclear 输入 100: 定时器 2 输入捕获 4 101: 定时器 2 OCrefclear 输入 110: 定时器 3 输入捕获 1 111: 定时器 3 OCrefclear 输入
位 23	WNDWEN: 窗口模式使能位 (Window mode enable bit) 此位使 COMP2 和 COMP1 的同相输入端相连，同时与 PA3 分离 0: 窗口模式关闭 1: 窗口模式使能
位 22:20	COMP2INMSEL[2:0]: 比较器 2 的反相端输入选择 (Comparator 2 inverting input selection) 这些位用于选择输入到比较器 2 反相端的信号源 000: 1/4 of VREFINT 001: 1/2 of VREFINT 010: 3/4 of VREFINT 011: VREFINT 100: COMP2_INM4 (PA4) 101: COMP2_INM5 (PA5) 110: COMP2_INM6 (PA2) 111: Reserved
位 19	保留, 保持复位值
位 18	COMP2MDE: 比较器 2 模式 (Comparator 2 mode) 该位用于控制 COMP2 的操作模式, 允许调整速率和功耗 0: 快速 / 最大功耗 1: 慢速 / 低功耗
位 17	保留, 保持复位值
位 16	COMP2EN: 比较器 2 使能位 (Comparator 2 enable bit) 此位控制打开或关闭比较器 2 0: 关闭比较器 2。 1: 开启比较器 2。
位 15	COMP1LOCK: 比较器 1 锁定 (Comparator 1 lock) 此位由软件置 1, 由系统复位清零。它将锁定比较器控制寄存器 COMP_CTRLSTS1[15:0]和 COMP_CTRLSTS2[15:0]的全部内容 0: 比较器的 COMP_CTRLSTS1[15:0] 和 COMP_CTRLSTS2[15:0] 可读/写 1: 比较器的 COMP_CTRLSTS1[15:0] 和 COMP_CTRLSTS2[15:0] 只读
位 14	COMP1VALUE: 比较器 1 输出状态位 (Comparator 1 output status bit) 此位为只读。它反映当前比较器 1 输出的状态 (受到 COMP1POLARITY 位的影响)。
位 13:12	COMP1HYST[1:0]: 比较器 1 迟滞 (Comparator 1 hysteresis bit) 这些位控制比较器 1 的迟滞程度 00: 没有迟滞 01: 低度迟滞 10: 中等迟滞 11: 高度迟滞 参见迟滞程度的电气特性
位 11	COMP1POL: 比较器 1 极性选择位 (Comparator 1 polarity selection bit) 它使比较器 1 的极性反相。 0: 比较器 1 输出值不反相 1: 比较器 1 输出值反相
位 10:8	COMP1OUTSEL[2:0]: 比较器 1 输出选择位 (Comparator 1 output selection bit) 这些位控制比较器 1 的输出目的地 000: 无选择 001: 定时器 1 刹车输入 010: 定时器 1 输入捕获 1 011: 定时器 1 OCrefclear 输入 100: 定时器 2 输入捕获 4

	101: 定时器 2 OCrefclear 输入 110: 定时器 3 输入捕获 1 111: 定时器 3 OCrefclear 输入
位 7	保留, 保持复位值
位 6:4	COMP1INMSEL[2:0]: 比较器 1 的反相端输入选择 (Comparator 1 inverting input selection) 这些位用于选择输入到比较器 1 反相端的信号源 000: 1/4 of VREFINT 001: 1/2 of VREFINT 010: 3/4 of VREFINT 011: VREFINT 100: COMP1_INM4 (PA4) 101: COMP1_INM5 (PA5) 110: COMP1_INM6 (PA0) 111: Reserved
位 3	保留, 保持复位值
位 2	COMP1MDE: 比较器 1 模式 (Comparator 1 mode) 该位用于控制 COMP1 的操作模式, 允许调整速率和功耗 0: 快速 / 最大功耗 1: 慢速 / 低功耗
位 1	COMP1SW1: 比较器 1 同相输入连接开关 此位关闭 PA0 上比较器 1 的同相输入端和 PA4 的 I/O 之间的开关 0: 开关断开 1: 开关闭合 注: 此开关仅用于重定向信号到高阻输入, 例如比较器 1 的同相输入 (高阻开关)
位 0	COMP1EN: 比较器 1 使能位 (Comparator 1 enable bit) 此位控制打开或关闭比较器 1 0: 关闭比较器 1。 1: 开启比较器 1。

19.5.2 比较器控制和状态寄存器2(COMP_CTRLSTS2)

COMP_CTRLSTS2 为比较器控制/状态寄存器。此寄存器包含与比较器相关的位/标志。

偏移地址: 0x04

复位值: 0x0001 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
保留														COMP2INP SEL	rw/r	
res															rw/r	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
保留														COMP1INP SEL	rw/r	
res															rw/r	

位 31:18	保留, 保持复位值
位 17:16	COMP2INPSEL: 比较器 2 同相输入选择(Comparator 2 non-inverting input selection) 这些位用于选择比较器 2 同相端输入信号源。 复位后为值 01, 即选择 PA3。 00: PA7 01: PA3 (默认输入) 10: PA2 11: 保留 注: 当 COMP2_LOCK 为 1 时, 这些位为只读。
位 15:2	保留, 保持复位值
位 1:0	COMP1INPSEL: 比较器 1 同相输入选择 (Comparator 1 non-inverting input selection) 这些位用于选择比较器 1 同相端输入信号源。 复位后为值 01, 即选择 PA1。 00: PA5 01: PA1 (默认输入) 10: PA0

	11: 保留 注: 当 COMP1_LOCK 为 1 时, 这些位为只读。
--	--

19.5.3 干扰滤波器使能寄存器(G_FILTER_EN)

偏移地址: 0x08

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														GFE	
res															rw/r

位 15:1	保留, 始终读为 0。
位 0	GFE: 干扰滤波器使能 (Glitch filter enable) 0: 无作用 1: 使能滤波器

19.5.4 干扰滤波器高脉冲数(HIGH_PULSE)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														H_PULSE_CNT	
res															rw

位 15:6	保留, 始终读为 0。
位 5:0	H_PULSE_CNT: 高脉冲计数值 (High pulse Count) 滤波器输入信号有效电平变化必须至少稳定 H_PULSE_CNT+1 个时钟周期, 才能将其视为有效输入, 输出才会改变为高电平。 0: 1 个 pclk 时钟 1: 2 个 pclk 时钟 2: 3 个 pclk 时钟 62: 63 个 pclk 时钟 63: 64 个 pclk 时钟

19.5.5 干扰滤波器低脉冲数(LOW_PULSE)

偏移地址: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														L_PULSE_CNT	
res															rw

位 15:6	保留, 始终读为 0。
位 5:0	L_PULSE_CNT: 低脉冲计数值 (Low pulse Count) 滤波器输入信号无效电平变化必须至少稳定 L_PULSE_CNT+1 个时钟周期, 才能将其视为有效输入, 输出才会改变为低电平。 0: 1 个 pclk 时钟 1: 2 个 pclk 时钟 2: 3 个 pclk 时钟

 62: 63 个 pclk 时钟 63: 64 个 pclk 时钟
--	---

20 HSI自动时钟校准（HSI Auto Clock Calibration）

20.1 ACC介绍

HSI 自动时钟校准器（HSI ACC）利用 USB 模块产生的 SOF 信号（周期为 1 毫秒）作为参考信号，实现对 HSI 时钟的采样和校准。

本模块主要功能就是实现对 USB 设备提供 $48MHz \pm 0.25\%$ 精度的时钟。

它采取“跨越回归”算法，可以将校准后的频率尽可能地靠近目标频率。

20.2 ACC主要特性

- 可配置的中心频率
- 可配置的触发校准功能的边界频率
- 满足中心频率 $\pm 0.25\%$ 的精度要求
- 状态检测标志
 - 校准就绪标志
- 一个错误检测标志
 - 参考信号丢失错误
- 2 个带标志的中断源
 - 校准就绪标志
 - 参考信号丢失错误
- 两种校验方式：粗校验和精校验。

20.3 ACC功能概述

ACC 模块的功能：利用 USB 模块产生的 SOF 信号（周期为 1 毫秒）作为参考信号，实现对 HSI 时钟的采样和校准。特别的是，可以将 HSI 时钟的频率精度校准到 $\pm 0.25\%$ 以内的精度，从而满足高精度时钟要求的应用场景，例如 USB 应用。

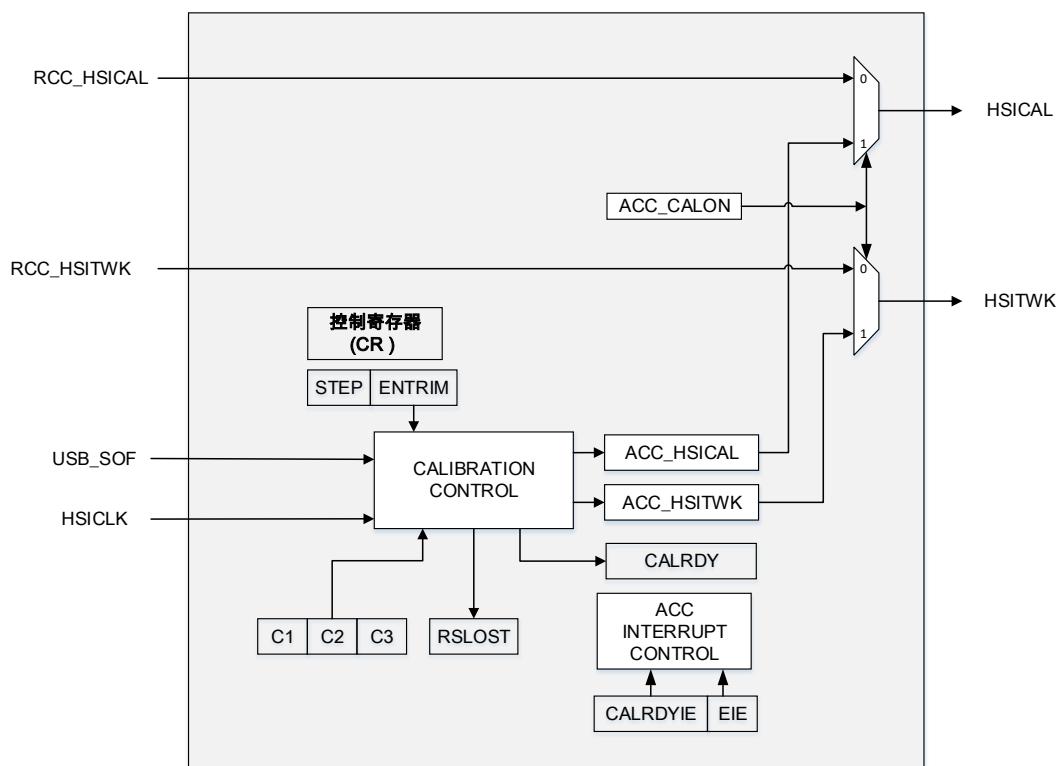
本模块的信号均未外接到芯片管脚，而是和芯片内部的 RCC、HSI 等模块相连。

- RCC_HSICAL：复位和时钟控制（RCC）模块之 HSICAL。此信号用于 bypass 模式下对内部高速时钟（HSI 模块）的校准，其值的大小由 RCC_CTRL 中的 HSICAL[7:0] 定义。
- RCC_HSITWK：复位和时钟控制（RCC）模块之 HSITWK。此信号用于 bypass 模式下对内部高速时钟校准（HSI）的校准，其值的大小由 RCC_CTRL 中的 HSITWK[5:0] 定义。
- 默认数值为 32，可以把 HSI 调整到 $48MHz \pm 0.25\%$ ；每步 RCC_HSITWK 的变化调整 HSI 的频率 20kHz（设计值）。
- USB_SOF：USB 设备解析给出的帧开始信号（USB Start-of-Frame）。其高电平宽度为 32 个系统时钟周期，周期为 1 毫秒的脉冲信号。
- HSICLK：HSI 时钟。本系列的 HSI 模块输出的原始时钟频率为 48MHz，但是 HSI 校准模块使用的采样时钟是除频（1/6）电路输出的时钟，频率约 8MHz。
- HSICAL：HSI 模块的校验信号。对于除频（1/6）后的 HSI 时钟来讲，HSICAL 每改变一步，除频（1/6）后 HSI 时钟频率改变 40KHz（设计值），且为正相关。换句话说，HSICAL 每增加一，除频（1/6）后 HSI 时钟频率会增加 40KHz；HSICAL 每减少一，除频（1/6）后 HSI 时钟频率会减少 40KHz。
- HSITWK：HSI 模块的校验信号。对于除频（1/6）后的 HSI 时钟来讲，HSITWK 每改变一步，

除频 (1/6) 后 HSI 时钟频率改变 20KHz (设计值), 且为正相关。

关于以上寄存器中每个位的具体定义, 请参考寄存器描述第 20.5 节: ACC 寄存器描述。

图 20-1 ACC 框图

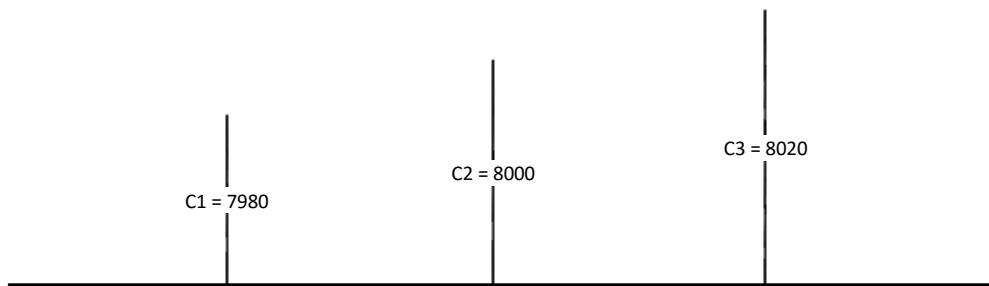


20.3.1 ACC 特性描述

USB_SOF 周期信号: 1 毫秒的周期性必须是准确的, 是自动校准模块能够正常工作的前提条件。

cross-return 策略: 以计算出离理论值最近的校准值。从理论上来说, 可以将校准后的实际频率调校到离目标频率 (8MHz) 约 0.5 个 step 的精度范围以内。

图 20-2 cross-return 策略



如上图所示, 一旦触发自动校准的条件满足, 自动校准就会按照 step 所规定的步长调整 HSICAL 或者 HSITWK。

跨越 (cross) :

在满足自动校验的条件后的第一个 1 毫秒采样周期内的实际采样值要么小于 C2, 要么大于 C2。

当这个值小于 C2, 自动校准按照 step 的定义, 增加 HSICAL 或者 HSITWK, 直到实际采样值比 C2 大, 实现实际采样值由小到大对 C2 的跨越。

当这个值大于 C2, 自动校准按照 step 的定义, 减少 HSICAL 或者 HSITWK, 直到实际采样值比 C1 小, 实现实际采样值由大到小对 C2 的跨越。

回归 (return):

在跨越完成后，比较在跨越前后的实际采样值和 C2 之间的差值（按绝对值计算），得到离 C2 最近的实际采样值，从而得到最佳的校验值 HSICAL 或者 HSITWK。

若跨越后的实际采样值和 C2 之间的差值小于跨越前的实际采样值和 C2 之间的差值，则以跨越后的校验值为准，并结束校验流程，直到满足下一个满足自动校验的条件。

若跨越后的实际采样值和 C2 之间的差值大于跨越前的实际采样值和 C2 之间的差值，则以跨越前的校验值为准，那么校验值会退回一个 step，并返回到跨越前的那个校验值，并结束校验流程，直到满足下一个满足自动校验的条件。

按照 cross-return 策略，在理论上，可以得到离中心频率约 0.5 个 step 所对应的频率精度。

如下四种情形会启动自动校准：

第一， CALON 的上升沿（从 0 到 1）；

第二， 当 CALON=1 时，参考信号丢失之后又恢复；

第三， 当采样计数器的值小于 C1；

第四， 当采样计数器的值大于 C3。

在 CALON 的上升沿，即便采样计数器的值大于 C1 并小于 C3，也会启动自动校准，其目的在于，在 CALON 之后，能够尽快将 hsi 的频率调整到中心频率的 0.5 个 step 以内。

以上四种情形的自动校准的结果均能将 hsi 的频率调整到中心频率的 0.5 个 step 以内。所以为了获得最佳的校准精度，建议将 step 保持为默认值 1。若将 step 设为 0，则 HSICAL 或者 HSITWK 将无法改变，也即，无法校准。

20.4 ACC 中断请求

表 20-1 ACC 中断请求

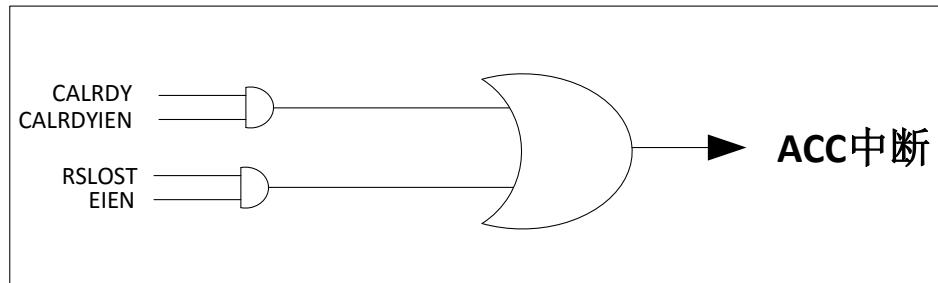
中断事件	事件标志	使能位
校准就绪	CALRDY	CALRDYIEN
参考信号丢失错误	RSLOST	EIEN

ACC 的各种中断事件被连接到同一个中断向量（见下图），有以下各种中断事件：

- 校准期间：当校准就绪和参考信号丢失错误。

如果设置了对应的使能控制位，这些事件就可以产生各自的中断。

图 20-3 ACC 中断映像图



20.5 ACC 寄存器描述

有关寄存器描述里所使用的缩写，请参考“寄存器描述表中使用的缩写列表”。

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

20.5.1 ACC寄存器地址映象

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x00	ACC_STS	保留																																	
	0x00C0	保留																																	
0x0C	ACC_CTRL1	保留												STEP				保留		保留		保留		保留		保留		保留		保留					
	0x0100	保留												0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0			
0x0C	ACC_CTRL2	保留												ACC_HSITWK				ACC_HSICAL						ACC_HSICAL						ACC_HSICAL					
	0x2080	保留												1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	
0x0C	ACC_C1	保留												C1																C1					
	0x1F2C	保留												0	0	0	1	1	1	1	1	1	0	0	0	1	0	1	0	1	1	0	0	0	
0x10	ACC_C2	保留												C2															C2						
	0x1F40	保留												0	0	0	1	1	1	1	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0
0x14	ACC_C3	保留												C3															C3						
	0x1F54	保留												0	0	0	1	1	1	1	1	1	0	1	0	1	0	1	0	1	0	0	0	0	0

20.5.2 状态寄存器 (ACC_STS)

地址偏移: 0x00

复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
保留																	
res																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
												RSLOST	CALRDY				
RES																	
位 31: 3		保留位, 硬件强制为 0															
位 1		RSLOST: 参考信号丢失 (Reference Signal Lost) 在校验过程中, 当校准模块的采样计数器的值为 C2 的 2 倍时, 还未侦测到 SOF 参考信号, 则意味着参考信号丢失。内部状态机回归到 idle 状态, 除非再次侦测到 SOF 信号, 否则内部时钟采样计数器保持为 0。在 CALON 位清零后, 或者向 RSLOST 写入 0, 则 RSLOST 立即被清零。 0: 参考信号未丢失。 1: 参考信号丢失。 注意: 仅仅在 CALON=1 时, 才会检测参考信号。															
位 0		CALRDY: 内部高速时钟就绪 (Internal high-speed clock calibration ready) 由硬件置'1'来指示内部 48MHz 振荡器已经校验到离 48MHz 最近的频率上。在 CALON 位清零后, 或者向 CALRDY 写入 0, 则 CALRDY 立即被清零。 0: 内部 48MHz 振荡器校验没有就绪; 1: 内部 48MHz 振荡器校验就绪。															

20.5.3 控制寄存器1 (ACC_CTRL1)

地址偏移: 0x04

复位值: 0x0100

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16												
保留																											
res																											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
保留		STEP		保留		CALRDYIEN		EIEN		保留		ENTRIM		CALON													
res		rw		rw		rw		rw		rw		rw		rw													
位 31: 12		保留位, 硬件强制为 0																									
位 11: 8		STEP: 校准的步长 这 4 位定义了每次校准改变的值。 备注: 为了获得更高的校准精度, 建议将 step 设为 1。 当 ENTRIM=0, 仅校准 HSICAL, 若 step 改变 1, 对应的 HSICAL 也改变 1, HSI 频率改变 40KHz (设计值), 为正相关关系。 当 ENTRIM=1, 仅校准 HSITWK, 若 step 改变 1, 对应的 HSITWK 也改变 1, HSI 频率改变 20KHz (设计值), 为正相关关系。																									
位 7: 6		保留位, 硬件强制为 0																									

位 5	CALRDYIEN: CALRDY 中断使能 (CALRDY interrupt enable) 该位由软件设置或清除。 0: 禁止产生中断; 1: 当 ACC_STS 中的 CALRDY 为'1'时, 产生 ACC 中断。
位 4	EIEN: RSLOST 中断使能 (RSLOST error interrupt enable) 该位由软件设置或清除。 0: 禁止产生中断; 1: 当 ACC_STS 中的 RSLOST 为'1' 时, 产生 ACC 中断。
位 3: 2	保留位, 硬件强制为 0
位 1	ENTRIM: TRIM 使能 (Enable trim) 该位由软件设置或清除。 备注: 为了获得更高的校准精度, 建议将 entrim 设为 1。 0: 仅校准 HSICAL; 1: 仅校准 HSITWK。
位 0	CALON: Calibration 使能 (Calibration on) 该位由软件设置或清除。 0: 禁止校验; 1: 使能校验, 并开始搜寻 USB_SOF 上的脉冲。 备注: 如果没有 USB_SOF 参考信号, 则本模块无法使用。 若对 HSI 时钟的精度没有要求, 也无需开启本模块以节省功耗。

20.5.4 控制寄存器2 (ACC_CTRL2)

地址偏移: 0x08

复位值: 0x2080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		ACC_HSITWK					ACC_HSICAL								
res	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
位 31: 14	保留位, 硬件强制为 0														
位 13: 8	ACC_HSITWK: 内部高速时钟自动调整 (Internal high-speed auto clock trimming) 该位由软件读取, 不可写。 由 ACC 自动校准模块来调整内部高速时钟, 它们被叠加在 ACC_HSICAL[7: 0]数值上。这些位在 ACC_HSICAL[7: 0]的基础上, 让用户可以输入一个调整数值, 根据电压和温度的变化调整内部 HSI RC 振荡器的频率。 默认数值为 32, 可以把 HSI 调整到 48MHz±0.25%; 每步 ACC_HSITWK 的变化调整 10kHz (设计值)。														
位 7: 0	ACC_HSICAL: 内部高速时钟自动校准 (Internal high-speed auto clock calibration) 该位由软件读取, 不可写。 由 ACC 自动校准模块来调整内部高速时钟, 让用户可以输入一个调整数值, 根据电压和温度的变化调整内部 HSI RC 振荡器的频率。 默认数值为 128, 可以把 HSI 调整到 48MHz±0.25%; 每步 ACC_HSICAL 的变化调整 40kHz (设计值)。														

20.5.5 比较值1 (ACC_C1)

地址偏移: 0x0C

复位值: 0x1F2C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
res															
C1															
rw															

位 31: 16	保留位, 硬件强制为 0。
位 15: 0	C1: 比较值 1 (Compare 1) 该值是触发校准的下边界, 默认值为 7980。当自动校验模块在 1 毫秒的周期内采样的时钟个数小于或等于 C1, 则会触发自动校验; 当实际采样值 (1 毫秒内的时钟个数) 大于 C1, 且小于 C3, 则不会触发自动校验。

20.5.6 比较值2 (ACC_C2)

地址偏移: 0x10

复位值: 0x1F40

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
C2															
rw															

位 31: 16	保留位, 硬件强制为 0。
位 15: 0	C2: 比较值 2 (Compare 2) 该值确定了理想频率 (8MHz) 时钟在 1 毫秒为采样周期的时钟个数, 默认值为 8000, 也是其理论值。 该值是 cross-return 策略的中心点, 以计算出离理论值最近的校准值。从理论上来说, 可以将校准后的实际频率调教到离目标频率 (8MHz) 约 0.5 个 step 的精度范围以内。

20.5.7 比较值3 (ACC_C3)

地址偏移: 0x14

复位值: 0x1F54

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
res															
C3															
rw															

位 31: 16	保留位, 硬件强制为 0。
位 15: 0	C3: 比较值 3 (Compare 3) 该值是触发校准的上边界。当自动校验模块在 1 毫秒的周期内采样的时钟个数大于或等于 C3, 则会触发自动校验; 当实际采样值 (1 毫秒内的时钟个数) 大于 C1, 且小于 C3, 则不会触发自动校验。

21 USB OTG全速(OTG_FS)

21.1 OTG模块介绍

部分版权属于 Synopsys 公司(2004, 2005)。保留所有权利。已被允许使用。 本章描述了 OTG_FS 控制器的架构和如何编程使用。

本章所使用的术语:

FS: 全速

LS: 低速

USB: 通用串行总线

OTG: On-the-Go

PHY: 物理层

参考下列文档:

- USB On-The-Go Supplement, Revision 1.3
- Universal Serial Bus Revision 2.0 Specification

OTG_FS 是双重角色设备(DRD)控制器，支持主机端和设备端的功能，完全遵从 On-The-Go Supplement to the USB2.0 规范。同时，该控制器也可配置为仅支持主机端或仅支持设备端功能的控制器，遵从 USB2.0 规范。在主机模式下，OTG_FS 支持全速(FS, 12Mbits/s)和低速(LS, 1.5Mbits/s)通信，而在设备模式下，支持全速(FS, 12Mbits/s)通信。外围仅在主机模式下需要配置一个针对 VBUS 的电荷泵，即可完成设计。

21.2 OTG_FS主要功能

以下将从通用，主机模式和设备模式三方面来介绍 OTG_FS 控制器的特性。

21.2.1 通用功能

OTG_FS 控制器接口:

- 由 USB-IF 认证，符合 Universal Serial Bus Specification, Revision2.0 标准
- 可以通过软件配置，完成以下设计：
 - USB OTG 全速双重角色设备
- 支持全速通信的 SOF 信号和低速通信的保持有效信号
 - SOF 的脉冲可以输出到引脚
 - SOF 在内部连接到定时器 2(TMR2)
 - 可配置的帧周期
 - 可配置的帧结束中断
- 提供省电功能：如在 USB 挂起时停止系统，关闭数字部分，PHY 和 DFIFO 电源管理部分的内部时钟系统。
- 提供 1280 字节的专用 RAM 和高级的 FIFO 管理
 - 通过软件为不同的 FIFO 配置不同的 RAM 区域，以便灵活有效的使用 RAM
 - 每个 FIFO 可以存储多个数据包
 - 允许动态的分配存储区
 - 不限定 FIFO 的长度一定是 2 的幂次，以便可以连续的使用存储区
- 不需要系统的介入就可以保证一个帧(1ms)的最大数据流量。

21.2.2 主机模式功能

OTG_FS 控制器接口:

- 需要一个外置的电荷泵为 VBUS 供电
- 支持最多 8 个主机通道，每个通道都可以动态的配置为任意一种传输类型
- 内置硬件调度控制器：
 - 在周期性硬件传输请求队列中支持多达 8 个中断和同步传输请求
 - 在非周期性硬件传输请求队列中支持多达 8 个控制和大容量传输的传输请求。
- 为有效地使用 RAM 空间，USB 的数据 RAM 区划分为一个共享的接收 FIFO、一个周期性发送 FIFO 和一个非周期性发送 FIFO。

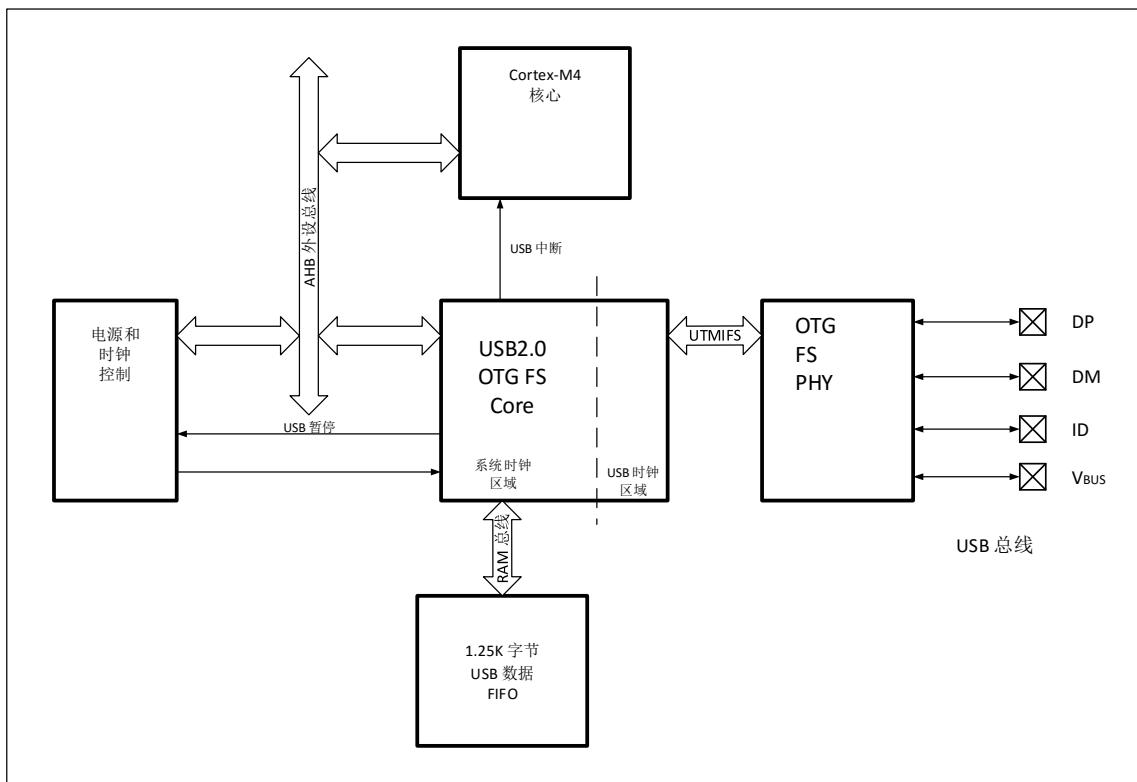
21.2.3 设备模式功能

OTG_FS 控制器接口:

- 提供 1 个双向的控制端点 0
- 提供 3 个 IN 端点，支持大容量、中断或同步传输
- 提供 3 个 OUT 端点，支持大容量、中断或同步传输
- 为有效地使用 USB 的数据 RAM 区，管理一个共享的接收 FIFO，和一个发送 OUT FIFO
- 管理多达 4 个专用的发送 IN FIFO(为每个 IN 端点配置一个 FIFO)，以便减少应用程序的负荷
- 支持软件的断开连接功能。

21.3 OTG_FS功能描述

图 21-1 框图



21.3.1 OTG 全速控制器

USB OTG 全速控制器从复位和时钟控制模块(RCC)获得由外部晶振产生的 $48MHz \pm 0.25\%$ 的时钟，这个时钟用于驱动 USB 全速模块(12Mbit/s)的 48MHz 控制时钟，必须在配置 OTG 全速控制器之前使能这个控制时钟。

微控制器内核(CPU)通过 AHB 外设总线来访问 OTG 全速控制器的寄存器，USB 事件由单独的 USB OTG 中断控制线(请参考第 21.13 节：OTG_FS 中断)管理，通知微控制器内核。

微控制器以向 OTG_FS 专用地址(PUSH 寄存器)写 32 位数据的方式向 USB 控制器传输数据，这些数据将自动存入 USB 数据 RAM 中配置好的发送 FIFO 中。每个发送 FIFO 都配置了这样一个 PUSH 寄存器，为每个 IN 端点(设备模式)或 OUT 通道(主机模式)服务。

微控制器通过读 OTG_FS 的专用地址(POP 寄存器)获得来自 USB 总线的 32 位数据，这些数据将自动从共享的接收 FIFO 中载入。接收 FIFO 位于总共 1280 字节的 USB 数据 RAM 区。每一个 OUT 端点或 IN 通道都有这样一个 POP 寄存器为之服务。

USB 协议层由串行接口控制器(SIE)驱动，并连接到由内置物理层(PHY)支持的 USB 全速/低速收发模块。

21.3.2 全速 OTG PHY(物理接口)

内置的全速 OTG PHY 由 OTG 全速控制器控制，并通过 UTM+总线(UTMIFS)的全速子集来收发控制和数据信号。PHY 为 USB 通信提供了物理层的支持。

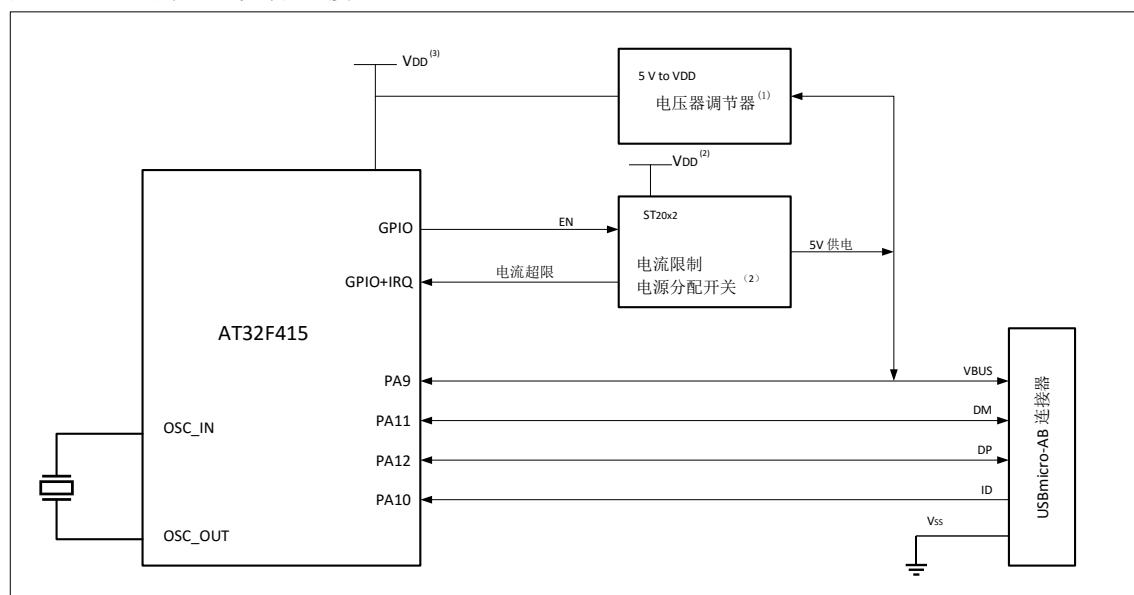
全速的 OTG PHY 包括以下部分：

- 在主机和设备模式下使用的全速/低速收发模块。此模块直接在单端的 USB 线上驱动发送和接收。
- 内置了 ID 线的上拉电阻，用于区分 A/B 类设备。
- DP/DM 线内置了上拉和下拉电阻，由 OTG_FS 控制器控制以满足当前设备类型的需求。在设备模式下，当 VBUS 线上出现了高电平(B 类有效)，控制器使能 DP 线的上拉电阻，向主机通告接入一个 USB 全速设备。在主机模式下，控制器同时使能 DP 和 DM 线的下拉电阻。

- 上拉/下拉电阻的 ECN 电路。DP 线有两个由 OTG_FS 控制器分开控制的上拉电阻，符合 USB2.0 版本的 ECN 要求(Engineering Change Notice)。支持动态调整 DP 线的上拉强度，能更好的对抗噪声，并提高发送和接收信号质量。

21.4 双角色设备(DRD)

图 21-2 OTG 的 A-B 设备连接



- 仅在设计使用 VBUS 供电的设备时，才需要使用外部的电压调节器。
- 仅在设计使用 VBUS 供电的设备时，才需要使用 ST20x2，如果应用板上有 5V 的供电，可以使用基本的电源开关。
- VDD 的范围从 2V 到 3.6V。

21.4.1 ID 信号检测

主机和设备(默认)的角色由 ID 线的状态定义。ID 线的状态在连入 USB 总线的一瞬间决定，并取决于插入 micro-AB 插座的 USB 电缆。

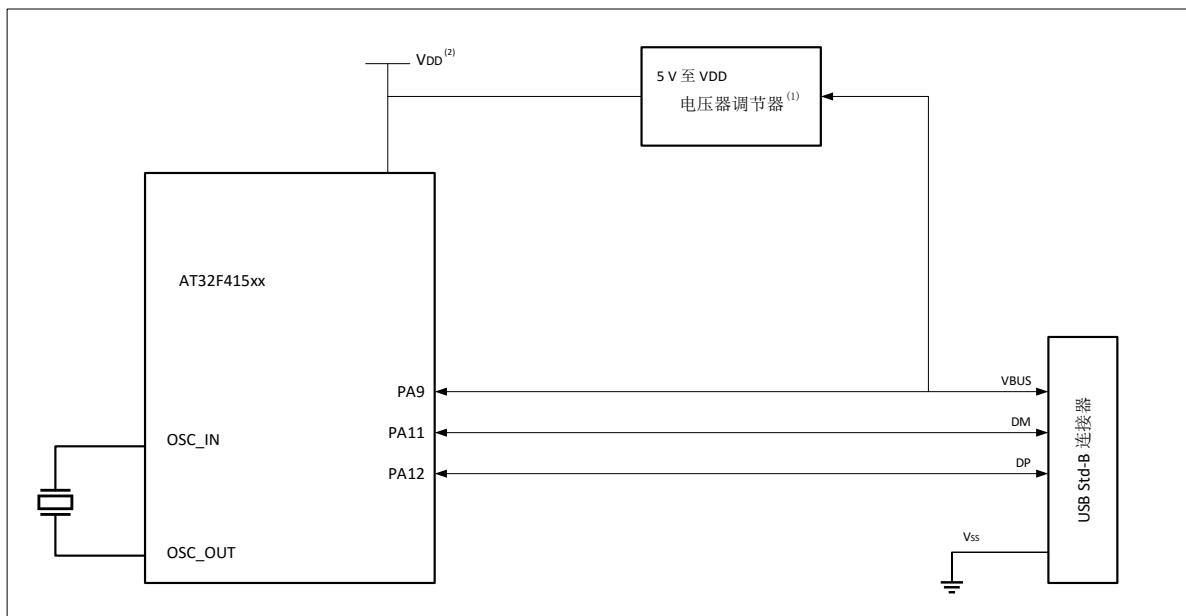
- 如果插入的是 USB 电缆的 B 端，并且 ID 线浮空，内置的上拉电阻将检测到 ID 线的高电平，此时控制器处于默认的设备模式下。在这种模式下，OTG_FS 控制器遵守 USB2.0 规范的补充 OTG1.3 规范的第 6.8.2 节：OTG B 类设备对标准 FSM 的描述。
- 如果插入的是 USB 电缆的 A 端，并且 ID 线接地。此时，OTG_FS 控制器将执行一个 ID 线状态改变中断(OTG_FS_GINTSTS 寄存器的 CONIDSCHG 位)，自动切换到主机模式，并需要软件初始化主机模式。在这种模式下，OTG_FS 控制器遵守 USB2.0 规范的补充 OTG1.3 规范的第 6.8.1 节：OTG A 类设备对标准 FSM 的描述。

21.5 USB 设备模式

本章介绍 OTG_FS 控制器在 USB 设备模式时的功能。OTG_FS 控制器在以下情况工作在设备模式下：

- 仅作为 USB 设备(请参考下图)
 - USB 全局配置寄存器的强制设备模式位(OTG_FS_GUSBCFG 寄存器的 FDEVMOD 位)为'1'，将强制使 OTG_FS 控制器工作于 USB 设备模式(请参考 OTG 1.3 版的第 6.8.3 节)。在这种情况下 ID 线无论是否存在，其状态都将被忽略。

图 21-3 单纯的 USB 外设连接



1. 使用电压变换器来设计一个总线供电的设备
2. VDD 的范围是 2V 到 3.6V

21.5.1 设备状态

上电状态

VBUS 线上连接到 B 类设备的高电平后, USB 设备进入上电状态(请参考 USB2.0 的 9.1 章)。OTG_FS 控制器将自动使能 DP 线上的上拉电阻以告知主机接入了一个全速设备, 并产生一个会话请求中断(OTG_FS_GINTSTS 寄存器的 SREQINT 位), 标志进入上电状态。

主机在整个 USB 通信阶段都需要向 VBUS 提供高电平。如果检测到 VBUS 线上的电平为低电平(例如发生了供电扰动, 或者主机方关闭了供电), OTG_FS 控制器将自动断开 USB 连接, 并产生会话结束中断(OTG_FS_GOTGINT 寄存器的 SENDET 位), 标志控制器退出上电状态。

上电状态时, OTG_FS 控制器期望从主机接收复位信号, 其他 USB 操作都是无效的。当接收到复位信号后, 会产生复位中断(OTG_FS_GINTSTS 寄存器的 USBRST 位)。复位完成后, 会产生枚举中断(OTG_FS_GINTSTS 寄存器的 ENUMDONE 位), 标志 OTG_FS 控制器进入默认状态。

软件断开

可以使用软件来配置退出上电状态。设置设备控制寄存器的软件断开位(OTG_FS_DCTL 寄存器的 SFTDIS 位)可以移除 DP 线上的上拉电阻, 从而使主机即使在 USB 电缆依然连接时, 识别到一个设备断开事件。

默认状态

在默认状态下, OTG_FS 控制器期望接收到 SET_ADDRESS 命令, 此时其他操作都是无效的。当接收到一个有效的 SET_ADDRESS 命令后, 应用程序需要将相关的地址写入设备配置寄存器的设备地址位(OTG_FS_DCFG 寄存器的 DEVADDR 位)中。OTG_FS 控制器进入地址状态, 并准备好响应主机发向这个地址的传输。

挂起状态

OTG_FS 控制器持续的检测 USB 线上的活动。在检测到 3ms 的 USB 空闲状态后, 将产生早期挂起中断(OTG_FS_GINTSTS 寄存器的 ERLYSUSP 位), 在 3ms 后产生挂起中断(OTG_FS_GINTSTS 寄存器的 USBSUSP 位)确认挂起。设备状态寄存器的设备挂起位(OTG_FS_DSTS 寄存器的 SUSPSTS 位)将自动置位, OTG_FS 控制器进入挂起状态。

设备可以自发的脱离挂起状态, 可以通过置位设备控制寄存器的远程唤醒信号位 (OTG_FS_DCTL 寄存器的 RWKUPSIG 位), 并在 1 到 15ms 之间清除该位来实现。

当检测到主机发出恢复信号，会产生恢复中断(OTG_FS_GINTSTS 寄存器的 WKUPINT 位)，同时设备的挂起位被自动清除。

21.5.2 设备端点

OTG_FS 控制器支持以下 USB 端点：

- 控制端点 0
 - 双向端点，仅用于处理控制信息
 - 对于 IN 和 OUT 两个方向，各有一套独立的寄存器来控制
 - 包括控制(DIEPCTL0/DOEPCTL0)寄存器，传输配置(DIEPTSIZ0/DOEPTSIZ0)寄存器，和状态中断(DIEPINT0/DOEPINT0)寄存器。控制和传输长度寄存器中的某些位与其他端点的寄存器不同。
- 3 个 IN 端点
 - 每个端点都可以配置为同步、块传输或中断传输
 - 每个端点都有控制(DIEPCTLx)寄存器，传输配置(DIEPTSIZx)寄存器和状态中断(DIEPINTx)寄存器
 - 设备 IN 端点通用中断屏蔽寄存器(DIEPMSK)用于使能/禁止所有 IN 端点(包括端点 0)上任一类型的端点中断源
 - 支持未完成的同步 IN 传输中断(OTG_FS_GINTSTS 寄存器的 INCOMISOIN 位)，在当前帧有至少一个同步 IN 传输未完成时，会产生该中断。此中断随同周期帧中断产生(OTG_FS_GINTSTS 寄存器的 EOPF)
- 3 个 OUT 端点
 - 每个端点都可以配置为同步、块传输或中断传输
 - 每个端点都有控制(DOEPCTLx)寄存器，传输配置(DOEPTSIZx)寄存器和状态中断(DOEPINTx)寄存器
 - 设备 OUT 端点通用中断屏蔽寄存器(DOEPMSK)用于使能/禁止所有 OUT 端点(包括端点 0)上任一类型的端点中断源
 - 支持未完成的同步 OUT 传输中断(OTG_FS_GINTSTS 寄存器的 INCOMPISOOUT 位)，在当前帧有至少一个同步 OUT 传输未完成时，会产生该中断。此中断随同周期帧中断产生(OTG_FS_GINTSTS 寄存器的 EOPF)

端点配置

- 以下对端点的配置，都通过设置端点 IN/OUT 控制寄存器实现(DIEPCTLx/DOEPCTLx):
 - 端点使能/禁止
 - 在当前配置中激活端点
 - 配置 USB 传输类型(同步，块传输，中断)
 - 配置最大 USB 数据包长度
 - 配置与 IN 端点相关的发送 FIFO 编号
 - 配置期望收到的或将发送的 PID 包 DATA0/DATA1(仅对块传输和中断传输有效)
 - 配置需要发送或接收的传输帧的奇/偶帧(仅对同步传输有效)
 - 可选的配置：设置 NAK 位，无论 FIFO 的状态如何都回应主机 NAK
 - 可选的配置：设置 STALL 位，对主机发送的任何命令都回应 STALL
 - 可选的配置：设置 OUT 端点 SNOOP 模式，对于接收到的数据不检验 CRC

端点传输

设备端点传输长度寄存器(DIEPTSI $_x$ /DOEPTSI $_x$)用于配置传输长度和读取传输状态。对该寄存器的配置必需在设置端口控制寄存器的使能位之前。一旦端点被使能，该寄存器便处于只读状态，只有 OTG_FS 控制器可以更新该寄存器的传输状态位。

- 需要配置的传输参数如下：
 - 以字节为单位的单次传输的长度
 - 完成整个传输的 USB 数据包的数目

端点状态/中断

设备端点中断寄存器(DIEPINT $_x$ /DOEPINT $_x$)指示了端点与 USB 和 AHB 相关的事件状态。当设置了控制器中断寄存器的 OUT 端点中断位或者 IN 端点中断位 (OTG_FS_GINTSTS 寄存器的 OUTEPTINT 位和 INEPTINT 位)时，应用程序需要先读取设备所有端点中断寄存器(DAINT)，确定发生中断的端点号，然后读取设备端点中断寄存器，获得中断的详细信息。应用程序必需随即清除该寄存器的相应中断位，使之清除 DAI $_T$ 寄存器和 GINTSTS 寄存器的相应中断位。

- 设备控制器提供以下的状态位和中断事件：
 - 传输完成中断，指示了在 AHB 和 USB 方面的数据传输都完成了。
 - SETUP 阶段完成(仅对控制端点有效)
 - 相关的传输 FIFO 已经半空或者全空(IN 端点)
 - 已发送 NAK 响应至主机(仅对同步 IN 传输有效)
 - 当发送 FIFO 为空时，主机发出了 IN 请求(仅对块传输 IN/中断 IN 传输有效)
 - 在端点没有使能时，主机发出了 OUT 请求
 - 检测到串扰错误
 - 软件禁止了端点
 - 软件将端点状态设为 NAK(仅对同步 IN 传输有效)
 - 收到超过 3 个连续的 SETUP 包(仅对控制 OUT 传输有效)
 - 检测到超时错误(仅对控制 IN 传输有效)
 - 同步 OUT 包丢失，没有产生中断

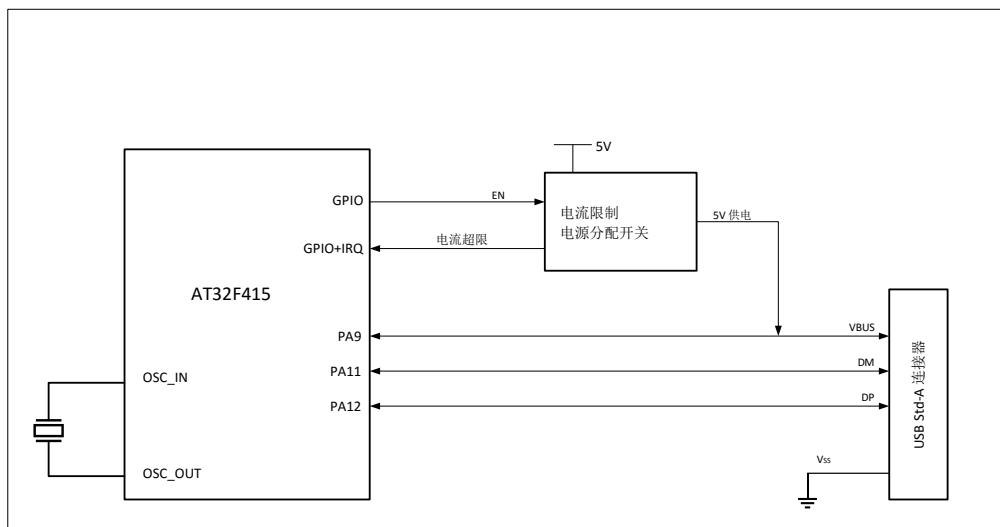
21.6 USB 主机

本章介绍了 OTG_FS 控制器工作在 USB 主机模式时的功能。OTG_FS 控制器在以下条件时工作在主机模式：

- 仅作为主机(请参考下图)
 - USB 全局配置寄存器的强制主机模式位(OTG_FS_GUSBCFG 寄存器的 FHSTMOD 位)能强制 OTG_FS 控制器工作的 USB 主机模式。此时即使 USB 连接器上的 ID 线存在，也依然无效。内置的 DP/DM 线上的下拉电阻自动有效。

注意： 1. 控制器不能为 5V VBUS 供电，因此需要外接电荷泵，如果应用板能提供 5V 供电，可以使用基本的开关电源来驱动 5V 的 VBUS 线。外接的电荷泵可以用任一通用 I/O 口来控制。在设计 OTG A 类主机，A 类设备和 USB 主机时，都需要这样的设计。
2. 在 USB 通信期间，电荷泵需要一直保证 VBUS 线上的供电，过流输出信号应该连接到配置为中断输入的 I/O 端口上，在发生过流事件时，能产生中断，及时切断 VBUS 线的供电。

图 21-4 单纯的 USB 主机连接



备注：如果设计的 USB 主机支持 VBUS 总线供电的设备。如果应用板上能提供 5V 供电，也可以使用普通电源开关。

21.6.1 USB 主机状态

主机端口供电

控制器内部不提供 VBUS 的 5V 供电，因此需要使用外接的电荷泵来给 VBUS 线供电，如果应用板上能提供 5V 供电，也可以使用普通的电源开关。这个外接的电荷泵可以通过普通的 I/O 口来控制。当应用程序需要设置这个普通 I/O 口来给 VBUS 线供电时，也需要设置主机端口控制和状态寄存器的供电位(OTG_FS_HPRT 寄存器的 PRTPWR 位)。

VBUS 线使能

在 USB 整个通信过程中，V рBUS 线需要一直保证为高电平。电荷泵的过流信号也能用来防止电气损害，将此过流信号连接到设置为中断输入的 I/O 口上，一旦产生了过流事件，应用程序需要在中断中立即关闭 VBUS 的供电，并清除端口供电位。

主机对于设备接入的监测

如果 VBUS 线始终没有高电平，无论何时插入 USB 设备或者 B 类设备，OTG_FS 控制器都不能监测到设备的插入。

当 VBUS 线处于有效电平范围内，一旦有 B 类设备插入，OTG_FS 控制器就会产生由设备插入位(OTG_FS_HPRT 寄存器的 PRTCDET 位)触发的主机端口中断。

主机对于设备断开的监测断开插入的设备，将产生由设备断开事件触发的断开中断(OTG_FS_GINTSTS 寄存器的 DISCONINT 位)。

主机枚举

一旦主机检测到有设备插入，需要进入枚举过程，向新插入的设备发送 USB 复位和配置命令。由于插入的设备在 DP(全速设备)或者 DM(低速设备)线上有上拉电阻，因此会导致总线的不稳定。当总线再次回到稳定状态时，会触发反跳结束的 OTG 中断(OTG_FS_GOTGINT 寄存器的 DBTDONE 位)，此时主机才能向设备发送 USB 复位命令。

应用程序通过置位主机端口控制和状态寄存器的端口复位位(OTG_FS_HPRT 寄存器的 PRTRST 位)向 USB 总线发出 USB 复位信号(单端 0)。应用程序需要保证该复位信号维持在 10ms 到 20ms 之间，并及时清除端口复位位。

一旦 USB 复位序列完成，会产生由端口使能/禁止改变位触发的主机端口中断(OTG_FS_HPRT 寄存器的 PRTECHNG 位)。此中断通知应用程序可以从主机端口控制和状态寄存器获得被枚举的设备的速度信息(OTG_FS_HPRT 寄存器的 PRTSPD 位)，随之，主机将发送 SOF(全速设备)信号或保持激活(低速状态)。此时，主机可以向设备发送配置命令，完成设备枚举。

主机挂起

应用程序可以通过置位主机控制和状态寄存器的端口挂起位(OTG_FS_HPRT 寄存器的 PRTSUSP 位)来挂起 USB 活动。此时，OTG_FS 控制器将停止发送 SOF 信号，并进入挂起状态。控制器可选择支持由远程设备来唤醒主机退出挂起状态。此时，控制器在检测到远程唤醒信号后，将产生远程唤醒中断(OTG_FS_GINTSTS 寄存器的 WKUPINT 位)，随之，主机端口控制和状态寄存器的唤醒位(OTG_FS_HPRT 寄存器的 PRTRES 位)将自动置位，控制器将自动向 USB 总线发送唤醒信号。应用程序需要控制唤醒信号的维持时间，并及时的清除端口唤醒位来退出挂起状态并重新开始发送 SOF 信号。如果需要由主机自发退出挂起状态，应用程序可以设置端口唤醒位，此时唤醒信号将发送到 USB 总线，应用程序需要控制此唤醒信号维持的时间，并及时清除端口唤醒位。

21.6.2 主机通道

OTG_FS 控制器提供 8 个主机通道，每个通道对应一个 USB 主机传输(USB PIPE)。主机不支持同时发起超过 8 个的传输请求。如果应用程序未处理的传输请求超过了 8 个，主机控制器(HCD) 必需在通道重新有效后，也就是收到传输完成和通道中止的中断后，重新安排通道。

每个通道都可以配置为输入/输出模式，也可以配置为任意的周期/非周期性传输类型。每个通道都有控制寄存器(HCCHARx)，传输配置寄存器(HCTSIZx)和状态/中断寄存器(HCINTx)以及相应的屏蔽寄存器(HCINTMSKx)。

主机通道控制

- 通道控制寄存器(HCCHARx)可以提供以下操作：
 - 通道使能/禁止
 - 为连接上的 USB 设备配置传输速度：全速/低速
 - 为连接上的 USB 设备配置地址
 - 为连接上的 USB 设备配置端点号
 - 配置传输方向：输入/输出
 - 配置传输类型：控制，块传输，中断，同步
 - 配置最大包长度(MAXPSIZE)
 - 配置在奇数/偶数帧进行周期性传输

主机通道传输

应用程序通过主机通道传输长度寄存器(HCTSIZx)配置传输长度，并读回传输状态。必需在使能一个传输通道前，配置传输长度。一旦通道被使能，传输长度寄存器即变为只读，只有 OTG_FS 控制器可以更具当前传输状态更新该寄存器。

- 可以配置以下传输参数：
 - 以字节为单位的单个包的传输长度
 - 整个传输过程所有的包个数
 - 起始的数据 PID

主机通道状态/中断

主机通道 x 中断寄存器(HCINTx)指示了通道与 USB 和 AHB 相关的事件。当主机控制器中断寄存器的主机通道中断位(OTG_FS_GINTSTS 寄存器的 HCHINT 位)被置位，应用程序需要先读主机所有通道中断寄存器(HCAINT)，获得产生主机通道中断的通道号，然后根据通道号读主机通道 x 中断寄存器(HCINTx)，获得中断的信息。应用程序需要清除主机通道 x 中断寄存器(HCINTx)的相应位，以便清除 HAINT 和 GINTSTS 寄存器的相应位。可以通过 OTG_FS_HCINTMSKx 寄存器来屏蔽每个通道的中断源。

- 主机控制器提供以下的状态查询和中断：
 - 传输完成中断，指示应用程序端(AHB)和 USB 端的数据传输都已经完成。
 - 由于传输完成，USB 通信错误或者应用程序的禁止命令导致的通道中止

- 相应的传输 FIFO 已经半空或者全空(仅对 IN 通道有效)
- 收到 ACK 响应
- 收到 NAK 响应
- 收到 STALL 响应
- 由 CRC 错误、超时、位填充错误或者错误的 EOP 导致的 USB 传输错误
- 串扰错误
- 帧溢出
- 数据 PID(DATA0/DATA1)翻转错误

21.6.3 主机调度器

主机控制器内置一个硬件的调度器，用于自发的管理和驱动应用程序发起的传输请求。在每个帧开始时，主机将先处理周期性(同步和中断传输)的数据传输，再处理非周期性(控制和大容量传输)的数据传输，以便符合 USB 规范对同步和中断传输的高优先级保障。

主机通过请求队列(一个周期性队列和一个非周期性队列)来管理 USB 传输通道。每个请求队列都能保存 8 个请求，而每个请求都代表应用程序提出的一个未处理的传输。每个请求队列中的请求都带有 IN/OUT 方向，通道号以及其他执行一个 USB 传输的信息。请求写入请求队列的顺序决定了 USB 总线上的传输序列。在每个帧首，主机将先处理周期性请求队列，再处理非周期性请求队列。如果在一个帧结束的时候，仍然有未处理的同步或者中断传输请求，将产生未完成周期性传输中断(OTG_FS_GINTSTS 寄存器的 IPXFR 位)。

周期性队列和非周期性队列的管理完全由 OTG_FS 控制器完成。应用程序可以通过只读的寄存器来获得每个请求队列的状态信息。

- 周期性传输 FIFO 和队列状态寄存器(HPTXSTS)和非周期性传输 FIFO 和队列状态寄存器(GNPTXSTS)包括：
 - 周期性和非周期性队列中还可以插入的请求数(最大为 8)
 - 周期性(非周期性)发送 FIFO(对于 OUT 传输)中剩余的可用空间
 - IN/OUT 命令，主机通道数和其他状态信息

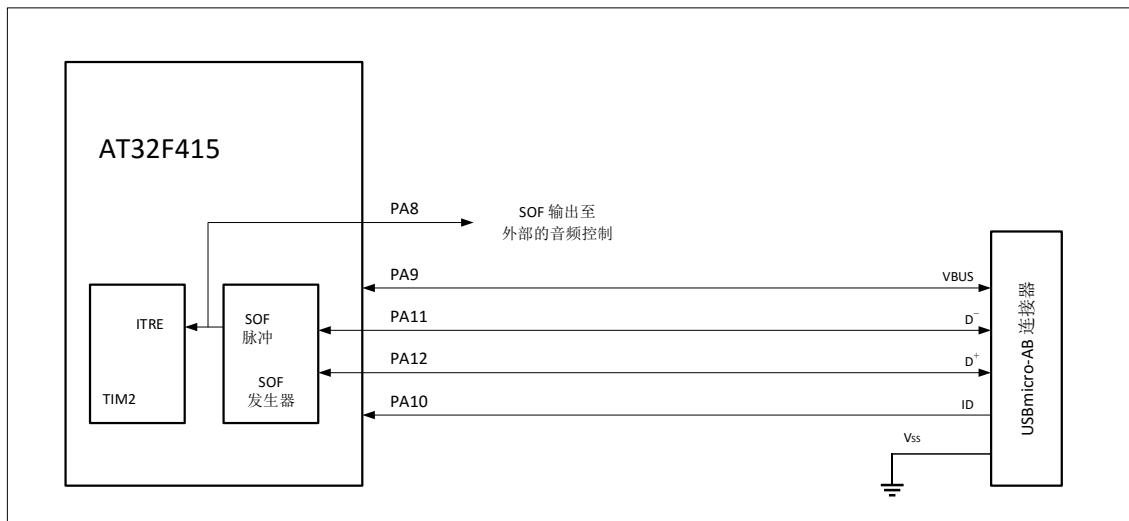
由于每个请求队列可以保存至多 8 个请求，因此，应用程序可以尽可能的利用这一特性，最多提交 8 个周期性传输请求和 8 个非周期性传输请求，以提高传输效率。例如，对于块传输 OUT/IN 数据，应用程序可以配置传输高达 64(每包的最大字节数)×8(最大请求数)=512 字节的数据，实现全速设备的最高数据传输速率。这些数据将由主机自动调度而不需要应用程序插入管理。

- 应用程序通过以下步骤向主机调度发起一个周期性(非周期性)的 OUT 传输请求：
 - 配置主机通道的传输参数
 - 使能配置的通道
 - 读 OTG_FS_GNPTXSTS 寄存器的 HPTXSTS 位，确保周期性(非周期性)队列还能容纳至少 1 个请求。
 - 读 HPTXSTS(GNPTXSTS)寄存器，确保周期性(非周期性)的发送 FIFO(请参考第 21.11.2 节：主机模式下的发送 FIFO)中剩余足够的空间。如果应用程序在收到周期性(非周期性)发送 FIFO 半空或全空中断后才提交传输请求的话，此步骤可省略。
 - 将数据载入相应的 FIFO 中(PUSH 寄存器)。每个通道都会配置一个 PUSH 寄存器。数据将根据 OTG_FS_HCCHARx 寄存器的 EPTYPE 位，自动载入相应的周期性或非周期性发送 FIFO 中。当最后一个 32 位的数据被写入 FIFO 中，一个请求将被插入请求队列的末端，等待调度执行。
- 应用程序通过以下步骤，向主机调度发起一个周期性(非周期性)的 IN 传输请求：
 - 配置主机通道的传输参数

- 设置主机通道控制寄存器的通道使能位(OTG_FS_HCCHARx 寄存器的 CHENA 位)来使能配置好的通道。此操作将在周期性(非周期性)请求队列的末端插入一个传输请求，并等待调度执行。

21.7 SOF触发

图 21-5 SOF 连接



OTG_FS 控制器提供：

- 对 SOF 的监控，跟踪和配置
- SOF 脉冲输出

由于音频设备需要与 PC 的数据流同步，或者主机需要根据音频设备的需求调整帧率，因此这些功能对于音频应用的时钟输出非常有用。

21.7.1 主机 SOF

在主机模式下，可以通过配置主机帧间隔寄存器(HFIR)来设置两个连续的 SOF(全速设备)或者保持有效(低速设备)之间的 PHY 时钟数目，因此，应用程序可以用它来控制 SOF 帧周期。在每个帧首都可以产生中断(OTG_FS_GINTSTS 寄存器的 SOF 位)。当前的帧号和时间都将保持不变直到在主机帧号寄存器(HFNUM)中出现了下一个帧号。

每个 SOF 首都将产生一个宽度为 32 个系统时钟周期的 SOF 脉冲信号，通过全局控制和配置寄存器的 SOFOUTEN 位，可以配置在 SOF 引脚上输出这个脉冲。SOF 脉冲在内部也连接到定时器 2(TMR2) 的触发输入端，因此输入捕获，输出比较和定时器都可以被 SOF 脉冲触发。通过 REMAP_DBGAFR 寄存器的'位 29'可以使能 SOF 脉冲到 TMR2 的连接。

21.7.2 设备 SOF

在设备模式下，每次在 USB 线上收到 SOF 时，都将产生帧首中断(OTG_FS_GINTSTS 寄存器的 SOF 位)。可以从设备状态寄存器中读出当前帧号(OTG_FS_DSTS 寄存器的 SOFFN 位)。此时，会产生一个宽度为 32 个系统时钟周期的 SOF 脉冲信号，通过使能全局控制和配置寄存器的 SOF 输出使能位(OTG_FS_GCCFG 寄存器的 SOFOUTEN 位)可以在 SOF 引脚上输出这个脉冲信号。SOF 脉冲信号同样在内部连接到定时器 2(TIM2)的触发输入端，此连接通过 REMAP_DBGAFR 寄存器的'位 29'使能，此时输入捕获，输出比较和定时器都可以被 SOF 脉冲触发。

周期性帧结束中断(GINTSTS 寄存器的 EOPF 位)用来告知应用程序，80%，85%，90% 或 95% 的帧已经完成，此间隔取决于设备配置寄存器的帧间隔位(OTG_FS_DCFG 寄存器的 PERFLVL 位)。此功能用于判断一个帧内所有的同步传输是否都已经完成。

21.8 供电选项

OTG PHY 的耗电由通用控制器配置寄存器的以下 3 位决定：

- PHY 供电位(GCCFG 寄存器的 PWRDOWN 位)
 - 切换 PHY 全速收发器模块的开/关。必需预先设置才能允许 USB 通信。
- 停止 PHY 时钟(OTG_FS_PCGCCTL 寄存器的 STOPPCLK 位)

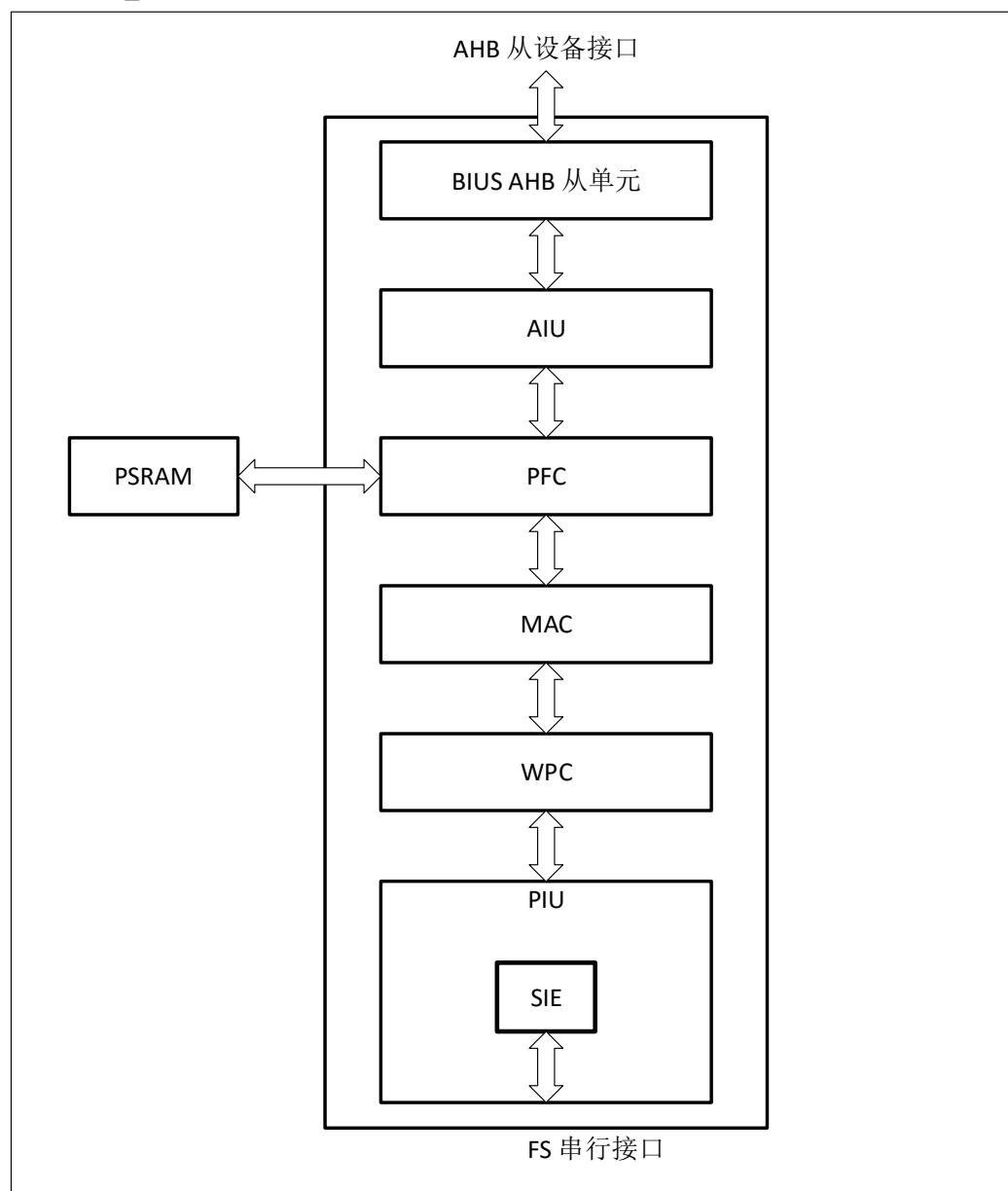
- 当设置时钟门控控制寄存器的停止 **PHY** 时钟位时，大部分内部连接到 OTG 全速控制器的 48MHz 时钟通过门控被关闭，此时，即使应用程序仍然使能 48MHz 的输入时钟，但由 USB 时钟造成的动态功耗会大大下降。
- 大部分的收发器会被禁止，但用于检测异步复位信号和远程唤醒事件的电路仍然处于激活状态。
- 门控 **HCLK(OTG_FS_PCGCCTL** 寄存器的 **GATEHCLK** 位)
 - 当设置时钟门控寄存器的门控 **HCLK** 位时，大部分内部连接到 OTG_FS 控制器的系统时钟会被门控电路关闭。只有寄存器的访问接口仍然保持有效。此时，即使应用程序仍然使能系统时钟，但由 USB 时钟造成的动态功耗会大大下降。
- **USB 系统停止**
 - 当 OTG_FS 控制器处于 **USB** 挂起状态时，应用程序需要完全关闭所有的系统时钟源来彻底降低所有功耗。先置位 **PHY** 时钟停止位，再设置供电控制系统模块(**PWR**)进入系统深度睡眠模式，将停止 **USB** 系统。
 - 在检测到远程唤醒(作为主机)或来自 **USB** 总线的唤醒信号(作为设备)时，OTG_FS 控制器将自动恢复系统活动和 **USB** 的时钟。

为了降低功耗，只有在 OTG_FS 控制器需要访问 FIFO 时，才向 **USB** 数据 FIFO 提供时钟。

21.9 USB数据FIFO

下图示出 OTG_FS 控制器的框图和各个部分的功能。

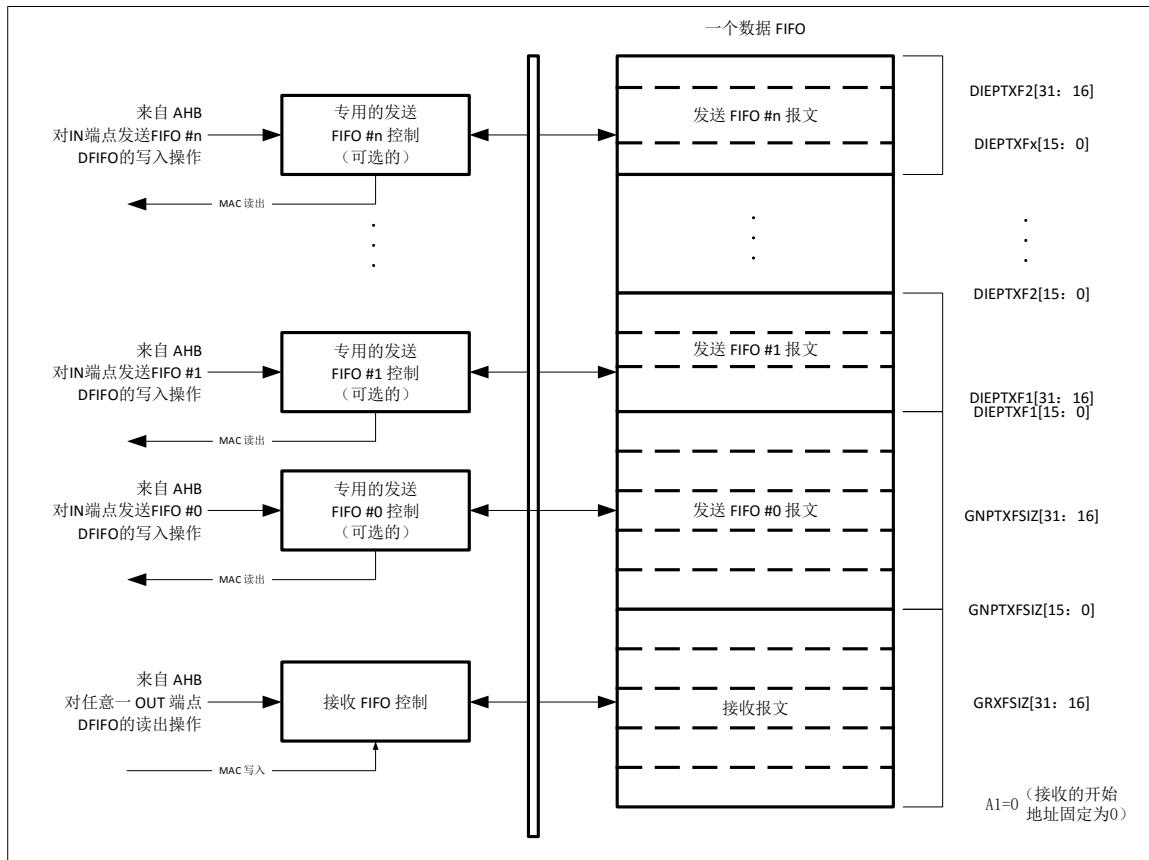
图 21-6 OTG_FS 控制器框图



BIUS: 总线接口单元；**AIU:** 应用程序接口单元；**PFC:** 包 FIFO 控制器；**MAC:** 媒体访问控制器；**WPC:** 唤醒和供电控制器；**PIU:** PHY 接口单元；**SIE:** 串行接口控制器。USB 系统规划了 1280 字节的专用 RAM 用于 FIFO 的管理。OTG_FS 控制器的包 FIFO 控制器(PFC) 模块将此 RAM 划分为发送 FIFO 区域和接收 FIFO 区域，应用程序将数据暂时缓存到发送 FIFO 中，等待发送，而从 USB 总线上收到的数据则暂时缓存在接收 FIFO 中，等待应用程序读取。实际的 FIFO 数量及如何在专用 RAM 中规划这些 FIFO 都由实际的应用决定。比如在设备模式下，每个 IN 端点都会配置一个发送 FIFO，而这些 FIFO 的大小都可以由软件指定，这样，专用的 RAM 可以最优化的满足应用的需求。

21.10 设备模式下的 FIFO 结构

图 21-7 设备模式下的 FIFO 地址映像和 AHB 的 FIFO 操作映像



21.10.1 设备模式下的接收 FIFO

FS_OTG 控制器在设备模式下，使用一个单独的 FIFO 缓存所有 OUT 端点的数据。收到的数据包依次缓存在 RX FIFO 的可用空间中。收到的数据包的状态(包括 OUT 端点号，字节数，数据 PID 号和收到数据的有效性)由 PFC 模块写在收到的数据前。如果接收 FIFO 没有剩余空间，控制器将以 NACK 来回应主机，同时产生相应端点的中断。接收 FIFO 的大小可由接收 FIFO 长度寄存器 (GRXFSIZ) 配置。

使用单个 RX FIFO 的架构，使得 USB 设备能更有效的利用整个接收 RAM 空间。

- 所有的 OUT 端点共享整个 RAM 空间(共享的 FIFO)
- OTG_FS 控制器可以最大限度的按照主机发送 OUT 数据的次序来利用接收 FIFO

只要接收 FIFO 还有至少一个数据包等待应用程序获取，应用程序就会不断收到接收 FIFO 非空中断 (OTG_FS_GINTSTS 寄存器的 RXFLVL 位)。应用程序可以通过读接收状态读和弹出寄存器 (GRXSTSP) 获得数据包信息，并通过读相应端点的 POP 寄存器从接收 FIFO 中获取数据包。

21.10.2 设备模式下的发送 FIFO

共享 FIFO 的模式不适用于 IN 传输，只有提前知道主机请求的次序或者能预测进程的处理过程才能将所有端点的数据包都按次序传送到同一个发送 FIFO 中。所以在设备模式下，控制器为每个 IN 端点都配置了一个专用的 FIFO。应用程序可以通过非周期性传输 FIFO 长度寄存器 (GNPTXFSIZ) 来配置 IN 端点 0 的 FIFO 长度，并通过设备 IN 端点传输 FIFO 寄存器 (DIEPTXF_x) 来配置 IN 端点 x 的 FIFO 长度。

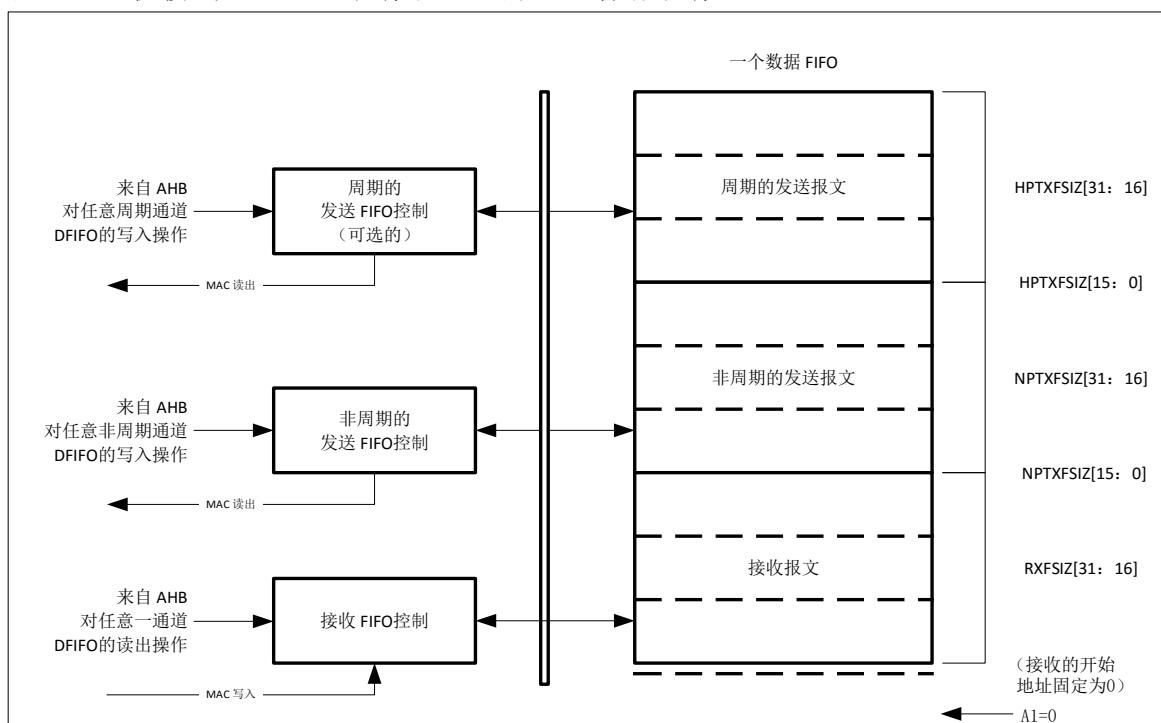
专用的 FIFO 的架构非常灵活，大大减少应用程序的负荷。这些 FIFO 没有请求序列，也没有必要在 USB 主机访问非周期性端点的时候预测访问的顺序。

根据在 AHB 配置寄存器中配置的非周期性发送 FIFO 空级别位 (OTG_FS_GAHBCFG 寄存器的 TXFEMLVL 位) 的值，OTG_FS 控制器会产生发送 FIFO 空中断 (OTG_FS_GINTSTS 寄存器的

NPTXFEMP 位), 提示对应 IN 端点的发送 FIFO 已经半空或者全空。应用程序先通过读设备所有端点中断寄存器(DAINT)获得需要服务的 IN 端点号, 然后通过读设备 IN 端点 x 的发送 FIFO 状态寄存器(DTXFSTSx)检查 FIFO 是否有足够的剩余空间, 最后通过写相应端点的 PUSH 寄存器来向发送 FIFOx 传送数据。

21.11 主机模式下的 FIFO 结构

图 21-8 主机模式 FIFO 地址映像和 AHB 的 FIFO 操作映像



21.11.1 主机模式下的接收 FIFO

在主机模式下使用一个接收 FIFO 管理所有的周期性和非周期性的传输, 此 FIFO 用于暂存从 USB 总线上收到但还未传输到系统存储区的数据(收到的数据包)。来自任一远程 IN 端点的数据包都将按次序暂存在 FIFO 中。收到数据包的状态, 包括主机通道号, 字节数, 数据 PID 和收到数据的有效性也一同储存在 FIFO 中。应用程序可以通过接收 FIFO 长度寄存器(GRXFSIZ)来配置这个接收 FIFO 的长度。

使用单个接收 FIFO 的架构, 使得 USB 主机能更有效的利用整个接收 RAM 空间。

- 所有配置好的 IN 通道共享整个 RAM 空间(共享的 FIFO)
- OTG_FS 控制器可以最大限度的按照主机发送 IN 命令的序列来利用接收 FIFO

只要接收 FIFO 还有至少一个数据包等待应用程序获取, 应用程序就会收到接收 FIFO 非空中断。应用程序可以通过读接收状态读和弹出寄存器获得数据包信息, 并通过读相应端点的 POP 寄存器从接收 FIFO 中获取数据包。

21.11.2 主机模式下的发送 FIFO

在主机模式下, 控制器使用一个发送 FIFO 来管理所有的非周期性(控制和块传输)OUT 传输, 使用另一个发送 FIFO 来管理所有的周期性(同步和中断)OUT 传输。这两个 FIFO 用于暂存需要发送到 USB 总线的数据(发送的数据包)。可以通过主机周期性(非周期性)传输 FIFO 长度寄存器(HPTXFSIZ/GNPTXFSIZ)来配置周期性(非周期性)发送 FIFO 的长度。使用两个发送 FIFO 是因为要保证一个 USB 帧里周期性传输的高优先级。在每个帧开始的时候, 内置的主机调度器先处理周期性请求队列再处理非周期性请求队列。

使用两个发送 FIFO 使 USB 主机能方便的分开优化管理周期性和非周期性的数据缓存。

- 所有用于周期性(非周期性)OUT 传输的主机通道共享同一块 RAM 缓存区(共享的 FIFO)

- OTG_FS 控制器可以根据主机软件对 OUT 命令的调度最大限度的利用周期性(非周期性)的发送 FIFO。

根据在 AHB 配置寄存器中配置的周期性发送 FIFO 空标志位(OTG_FS_GAHBCFG 寄存器的 PTXFEMPLV 位)的值, OTG_FS 控制器会产生周期性发送 FIFO 空中断(OTG_FS_GINTSTS 寄存器的 PTXFEMP 位), 提示周期性发送 FIFO 已经半空或者全空。应用程序需要先读周期性发送 FIFO 和队列状态寄存器(HPTXSTS)来获得周期性发送 FIFO 和周期性请求队列是否有剩余空间的信息, 只有在发送 FIFO 和请求队列都有剩余空间的情况下, 应用程序才能将数据写入 FIFO 中。

根据在 AHB 配置寄存器中配置的非周期性发送 FIFO 空级别位(OTG_FS_GAHBCFG 寄存器的 TXFEMPLV 位)的值, OTG_FS 控制器会产生非周期性发送 FIFO 空中断(OTG_FS_GINTSTS 寄存器的 NPTXFEMP 位), 提示非周期性发送 FIFO 已经半空或者全空。应用程序需要先读非周期性发送 FIFO 和队列状态寄存器(GNPTXSTS)来获得非周期性发送 FIFO 和非周期性请求队列是否有剩余空间的信息, 只有在发送 FIFO 和请求队列都有剩余空间的情况下, 应用程序才能将数据写入 FIFO 中。

21.12 USB 系统性能

通过配置大容量的RAM缓存区、高自由度的FIFO长度配置、AHB PUSH/POP寄存器的32位快速访问、和高级的FIFO控制机制, 使得OTG_FS控制器能最大限度的利用RAM空间而不必顾虑USB数据的次序, USB系统达到了最优的性能。

这些优势如下:

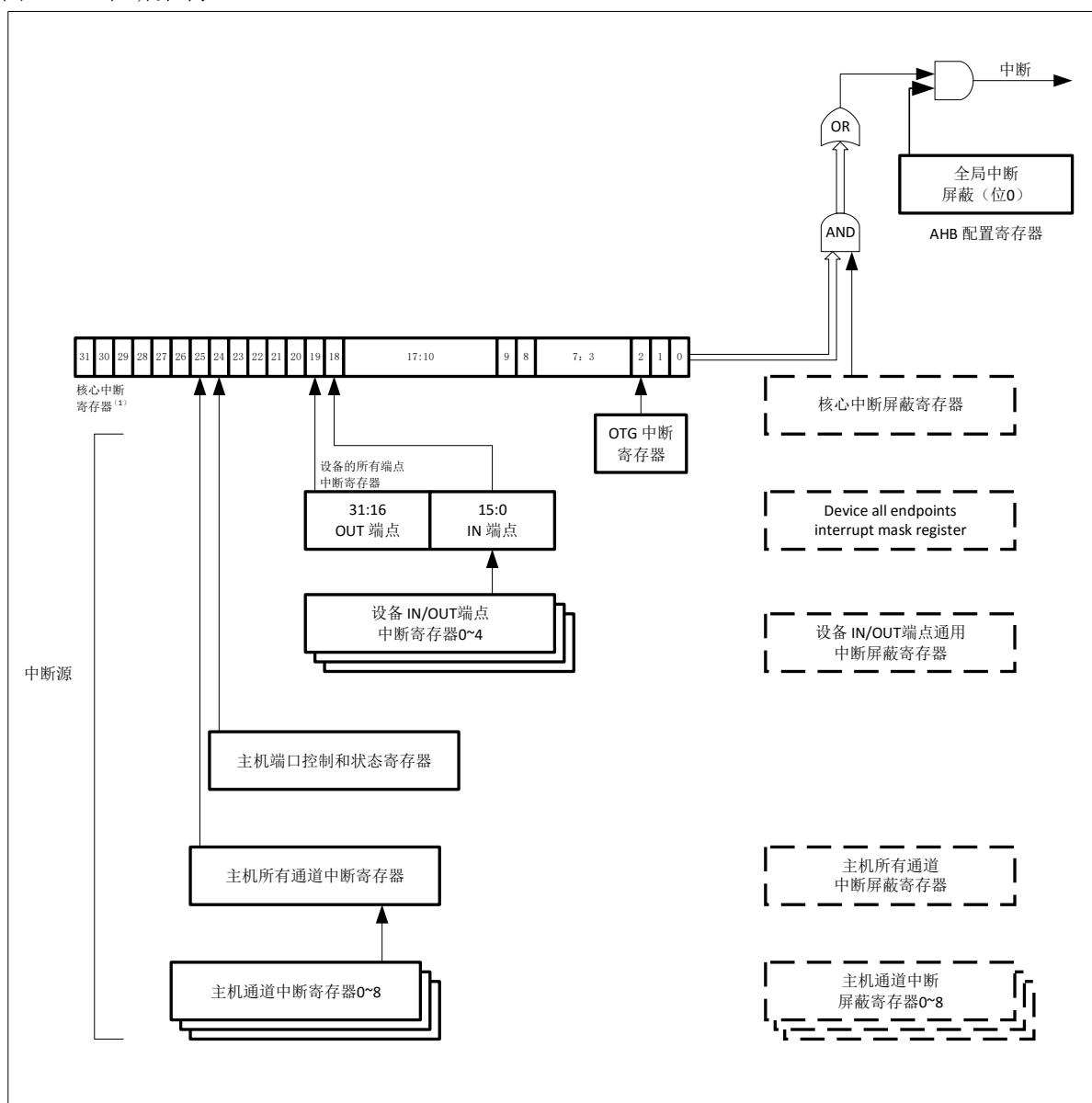
- 应用程序的负荷减少, 不用干预USB传输, 优化了CPU带宽的使用率
 - 当数据通过 USB 系统有效率的传送时, 应用程序可以提前准备好大量的传输数据。
 - 应用程序获得了大量的时间从一个单一的接收 FIFO 中获取数据
- USB控制器可以控制自身的全部工作效率, 也就是说, 与需要应用程序干预相比, 现在的架构可以提供最高的全速带宽和最大幅度的自治。
 - USB 控制器管理一个大型的数据缓存区, 可以自主的管理数据在 USB 总线上的传输
 - USB 控制器管理一个大型的数据接收缓存区, 可以自主的从 USB 总线上接收数据并填入缓存区

由于OTG_FS控制器可以非常有效的使用1280字节的RAM缓存区, 并且对于一个全速的帧来说1280字节已经足够用于管理发送/接收的数据, 因此USB系统能在每个USB帧内(1ms)提供最大的全速数据传输率。

21.13 OTG_FS中断

无论OTG_FS控制器工作在设备模式还是主机模式，应用程序都不能访问另一个模式下的寄存器组。如果应用程序有非法的访问，会产生模式不匹配中断并影响控制器中断寄存器的相应位 (OTG_FS_GINTSTS寄存器的MODMIS位)。当控制器从一种模式切换到另一种模式时，新模式下的寄存器组都需要和上电复位时一样的重新初始化。

图21-9 中断架构



请参考控制器中断寄存器的相关位

21.14 OTG_FS控制和状态寄存器

应用程序通过 AHB 从接口来读写控制和状态寄存器(CSRx)，从而实现对 OTG_FS 控制器的控制。这些寄存器都是 32 位访问的，并且 32 位地址对齐。包括以下寄存器组：

- 控制器全局寄存器组
- 主机模式寄存器组
- 主机全局寄存器组
- 主机端口 CSR 寄存器组

- 主机通道相关寄存器组
- 设备模式寄存器组
- 设备全局寄存器组
- 设备端点相关寄存器组
- 供电和时钟控制寄存器组
- 数据 FIFO(DFIFO)访问寄存器组

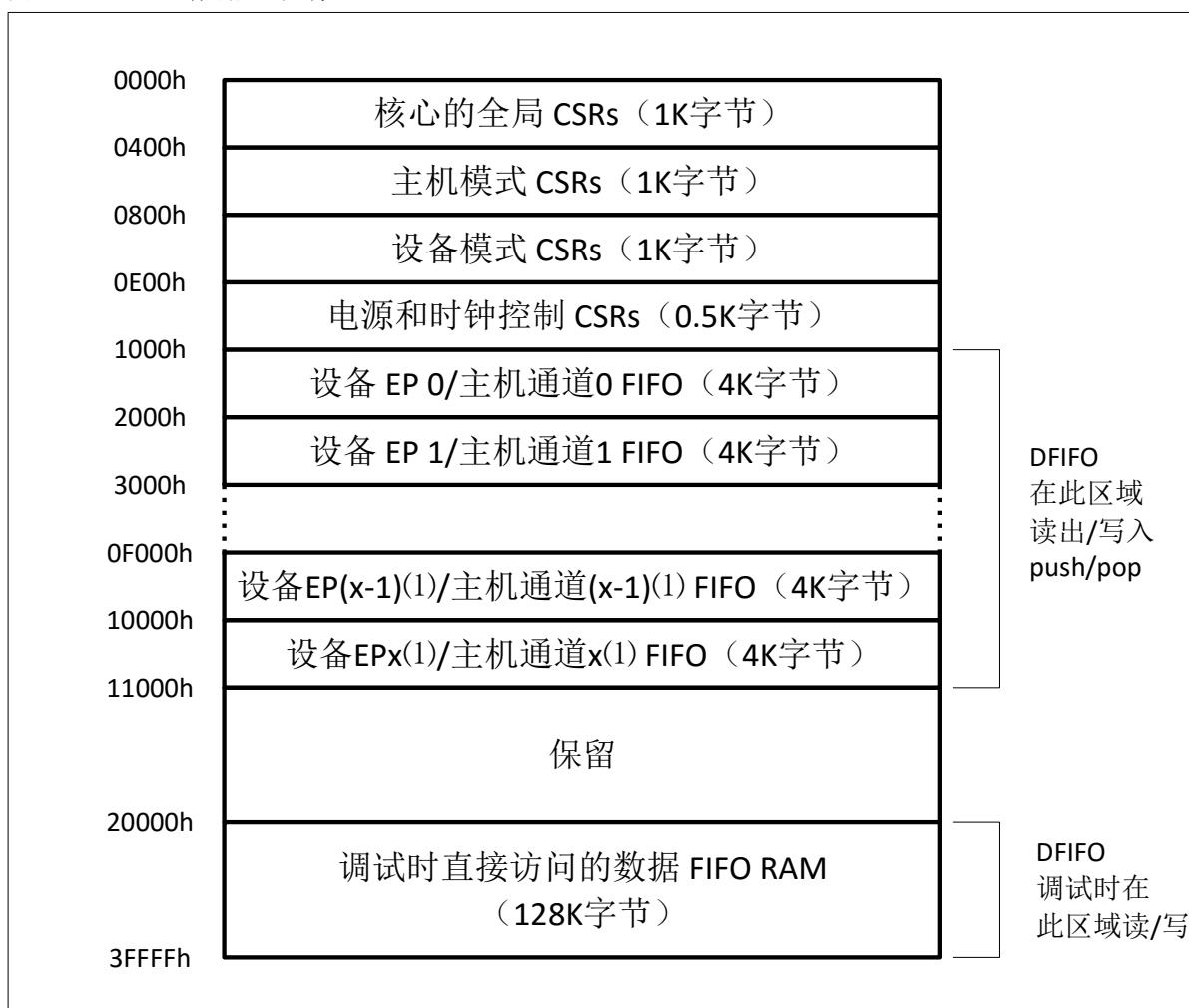
只有控制器全局寄存器，供电和时钟控制寄存器，数据 FIFO 访问寄存器以及主机端口控制和状态寄存器在主机模式和设备模式下都有效。无论 OTG_FS 控制器工作在主机模式还是设备模式下，应用程序都不能访问另一种模式下的寄存器组。如果应用程序发生了非法访问，会产生模式不匹配中断并影响控制器中断寄存器的相应位(OTG_FS_GINTSTS 寄存器的 MODMIS 位)。当控制器从一种模式切换到另一种模式时，新模式下的寄存器组都需要和上电复位时一样的重新初始化。

必须以字(32 位)的方式操作这些外设寄存器。

21.14.1 CSR寄存器映像

主机模式寄存器和设备模式寄存器占据不同的地址。所有的寄存器都由 AHB 时钟驱动。

图21-10 CSR存储器映像



在设备模式下 x 为 3，在主机模式下 x 为 7

全局CSR地址映像

这些寄存器在主机模式和设备模式下都有效。

表21-1 控制器全局控制和状态寄存器(CSRs)

寄存器代号	偏移地址	寄存器名
OTG_FS_GAHBCFG	0x008	OTG_FS AHB配置寄存器
OTG_FS_GUSBCFG	0x00C	OTG_FS USB配置寄存器
OTG_FS_GRSTCTL	0x010	OTG_FS复位寄存器
OTG_FS_GINTSTS	0x014	OTG_FS控制器中断寄存器
OTG_FS_GINTMSK	0x018	OTG_FS中断屏蔽寄存器
OTG_FS_GRXSTSR	0x01C	OTG_FS接收状态调试读/OTG状态读和弹出寄存器
OTG_FS_GRXSTSP	0x020	
OTG_FS_GRXFSIZ	0x024	OTG_FS接收FIFO长度寄存器
OTG_FS_GNPTXFSIZ	0x028	OTG_FS非周期性发送FIFO长度寄存器
OTG_FS_GNPTXSTS	0x02C	OTG_FS非周期性发送FIFO/队列状态寄存器
OTG_FS_GCCFG	0x038	OTG_FS通用控制配置寄存器
OTG_FS_CID	0x03C	OTG_FS控制器ID寄存器
OTG_FS_HPTXFSIZ	0x100	OTG_FS主机模式周期性发送FIFO长度寄存器
OTG_FS_DIEPTXF _x	0x104 0x124 ... 0x13C	OTG_FS设备模式IN端点TX FIFO长度寄存器(x = 1...4, 指明FIFO的编号)

主机模式CSR地址映像

这些寄存器在每次切换到主机模式时都需要配置。

表21-2 主机模式下的控制和状态寄存器(CSRs)

寄存器代号	偏移地址	寄存器名
OTG_FS_HCFCG	0x400	OTG_FS主机模式配置寄存器
OTG_FS_HFIR	0x404	OTG_FS主机模式帧间隔寄存器
OTG_FS_HFNUM	0x408	OTG_FS主机模式帧号码/剩余帧时间寄存器
OTG_FS_HPTXSTS	0x410	OTG_FS主机模式周期性TX FIFO/队列状态寄存器
OTG_FS_HAINT	0x414	OTG_FS主机模式所有通道中断寄存器
OTG_FS_HAINTMSK	0x418	OTG_FS主机模式所有通道中断屏蔽寄存器
OTG_FS_HPRT	0x440	OTG_FS主机模式端口控制和状态寄存器
OTG_FS_HCCHAR _x	0x500 0x520 ... 0x6E0	OTG_FS主机模式通道x特性寄存器(x = 0 ... 7, x指示通道编号)
OTG_FS_HCINT _x	0x508	OTG_FS主机模式通道x中断寄存器(x = 0 ... 7, x指示通道编号)
OTG_FS_HCINTMSK _x	0x50C	OTG_FS主机模式通道x中断屏蔽寄存器(x = 0 ... 7, x指示通道编号)
OTG_FS_HCTSIZ _x	0x510	OTG_FS主机模式通道x传输长度寄存器(x = 0 ... 7, x指示通道编号)

设备模式CSR地址映像

这些寄存器在每次切换到设备模式时都必须配置。

表21-3 设备模式控制和状态寄存器

寄存器代号	偏移地址	寄存器名
OTG_FS_DCFG	0x800	OTG_FS设备模式配置寄存器

OTG_FS_DCTL	0x804	OTG_FS设备模式控制寄存器
OTG_FS_DSTS	0x808	OTG_FS设备模式状态寄存器
OTG_FS_DIEPMSK	0x810	OTG_FS设备模式IN端点共有中断屏蔽寄存器
OTG_FS_DOEPMSK	0x814	OTG_FS设备模式OUT端点共有中断屏蔽寄存器
OTG_FS_DAINT	0x818	OTG_FS设备模式所有端点中断寄存器
OTG_FS_DAINTMSK	0x81C	OTG_FS设备模式所有端点中断屏蔽寄存器
OTG_FS_DIEPEMPMSK	0x834	OTG_FS设备模式IN端点FIFO空中断屏蔽寄存器
OTG_FS_DIEPCTL0	0x900	OTG_FS设备模式IN控制端点0控制寄存器
OTG_FS_DIEPCTLx	0x920 0x940 ... 0xAE0	OTG_FS设备模式IN端点x控制寄存器(x = 1...3, x指示端点编号)
OTG_FS_DIEPINTx	0x908	OTG_FS设备模式IN端点x中断寄存器(x = 1...3, x指示端点编号)
OTG_FS_DIEPTSIZ0	0x910	OTG_FS设备模式IN端点0传输长度寄存器
OTG_FS_DTXFSTSx	0x918	OTG_FS设备模式IN端点TX FIFO状态寄存器(x = 1...3, x指示端点编号)
OTG_FS_DIEPTSIZx	0x930 0x950 ... 0xAF0	OTG_FS设备模式IN端点x传输长度寄存器(x = 1...3, x指示端点编号)
OTG_FS_DOEPCTL0	0xB00	OTG_FS设备模式OUT控制端点0控制寄存器
OTG_FS_DOEPCTLx	0xB20 0xB40 ... 0xCC0 0xCE0 0xCFD	OTG_FS设备模式OUT端点x控制寄存器(x = 1...3, x指示端点编号)
OTG_FS_DOEPINTx	0xB08	OTG_FS设备模式OUT端点x中断寄存器(x = 1...3, x指示端点编号)
OTG_FS_DOEPTSIZx	0xB10	OTG_FS设备模式OUT端点x传输长度寄存器(x = 1...3, x指示端点编号)

数据FIFO(DFIFO)访问寄存器址映射

这组寄存器列在主机模式和设备模式下都有效，用于读写指定方向的特殊端点或通道的 FIFO。如果一个主机模式下的通道是 IN 类型的，相对应的 FIFO 只能进行读操作。同样地，如果一个主机模式下的通道是 OUT 类型的，相对应的 FIFO 只能进行写操作。

表21-4 数据FIFO(DFIFO)访问寄存器图

数据FIFO(DFIFO)访问寄存器段	地址范围	访问方式
设备模式下IN端点0/主机模式下OUT通道0: DFIFO 只写		写操作
设备模式下OUT端点0/主机模式下IN通道0: DFIFO 只读	0x1000~0x1FFC	读操作

设备模式下IN端点1/主机模式下OUT通道1: DFIFO 只写	0x2000~0x2FFC	写操作
设备模式下OUT端点1/主机模式下IN通道1: DFIFO 只读		读操作
.....
设备模式下IN端点x/主机模式下OUT通道x: DFIFO 只写		写操作
设备模式下OUT端点x/主机模式下IN通道x: DFIFO 只读	0xX000~0xXFFC	读操作

表中的x在设备模式下为3，在主机模式下为7

供电和时钟控制CSR寄存器映像

只有一个寄存器用来控制供电和时钟控制，此寄存器在设备模式下和主机模式下都有效。

表21-5 供电和门控控制和状态寄存器

寄存器名	缩写	偏移地址
供电和门控时钟控制寄存器	PCGCR	0xE00~0xE04
保留		0xE05~0xFFFF

21.14.2 OTG_FS寄存器地址映象

下表给出了USB OTG寄存器映像和复位值。

表21-6 OTG_FS模块的寄存器图及其复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
008h	OTG_FS_GAHBCFG																																	
	复位值																																	
00Ch	OTG_FS_GUSBCFG	AHBIDLE	COTXPKT																															
	复位值			FDEVMOD																														
010h	OTG_FS_GRSTCTL																																	
	复位值	1	CONIDSCHGM	DISCONTINT	COMIDSCHGM	保留																												
014h	OTG_FS_GINTSTS	WKUPINT	SREQINT	DISCONTINT	CONIDSCHGM	保留	PTXFEMP	HCHINTM	HPORTINT	保留																								
	复位值	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	
018h	OTG_FS_GINTMSK	INCOMISOOUTM/ITXFMR	INCOMISOINM	OEPINTNM	IEPTINTM	保留	EPTMISM	ISOQUTDR	ISOQUTDR	保留																								
	复位值	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	
01Ch	OTG_FS_GRXSTSR (主机模式)	保留					PKTSTS					BCNT					CHNUM					EPTNUM					CHNUM							
	复位值						0 0 0 0 0	DPID	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	
	OTG_FS_GRXSTSR (设备模式)	保留					FRMNUM					PKTSTS					BCNT					EPTNUM					CHNUM							
	复位值						0 0 0 0 0	DPID	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	
偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
020h	OTG_FS_GRXSTSPR (主机模式)	保留					PKTSTS					BCNT					CHNUM					EPTNUM					CHNUM							
	复位值						0 0 0 0 0	DPID	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0
	OTG_FS_GRXSTSPR (设备模式)	保留					PRMNUM					PKTST					BCNT					EPTNUM					CHNUM							
	复位值						0 0 0 0 0	DPID	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0	0 0 0 0 0

024h	OTG_FS_GRXFSIZ	保留												RXFDEP															
	复位值													0	0	0	0	0	0	0	1	0	0	0	0	0	0		
028h	OTG_FS_GNPTXFSIZ	NPTXFDEP												NPTXFSTADDR															
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0		
02Ch	OTG_FS_GNPTXSTS	保留	NPTXQTOP						NPTREQXSAVAIL						NPTXFSAVAIL														
	复位值		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0		
038h	OTG_FS_GCCFG	保留	VBUSSEEN	VBUSASEEN	保留	PWRDOWN	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留	保留				
	复位值																												
03Ch	OTG_FS_GUID	USERID												USERID															
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0		
100h	OTG_FS_HPTXFSIZ	PTXFSIZE												PTXSTADDR															
	复位值	0	0	0	0	0	1	1	1	1	0	1	1	0	0	0	0	0	0	0	0	1	0	0	0	1	0		
104h	OTG_FS_DIEPTXF1	INEPTXFDEP												INEPTXSTADDR															
	复位值	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0		
108h	OTG_FS_DIEPTXF2	INEPTXFDEP												INEPTXSTADDR															
	复位值	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0		
10Ch	OTG_FS_DIEPTXF3	INEPTXFDEP												INEPTXSTADDR															
	复位值	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0		
110h	OTG_FS_DIEPTXF4	INEPTXFDEP												INEPTXSTADDR															
	复位值	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0		
400h	OTG_FS_HCFG	保留												保留															
	复位值	保留												保留															
404h	OTG_FS_HFIR	保留												FRAINT															
	复位值	保留												1	1	1	0	1	0	1	0	0	0	0	0	0	0		
408h	OTG_FS_HFNUM	FTAREM												FRANUM															
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1		
410h	OTG_FS_HPTXSTS	PTXQTOP						PTXQSPCAVL						PTXFSPCAVL															
	复位值	0	0	0	0	0	0	0	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y		
414h	OTG_FS_HAINT	保留												HAINT															
	复位值	保留												0	0	0	0	0	0	0	0	0	0	0	0	0	0		
418h	OTG_FS_HAINTMSK	保留												HAINTM															
	复位值	保留												0	0	0	0	0	0	0	0	0	0	0	0	0	0		
偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6		
440h	OTG_FS_HPRT	保留												PRTTSCTRL													PRTSUSP	PRTRST	
	复位值	保留												0	0	0	0	0	0	0	0	0	0	0	0	0			
500h	OTG_FS_HCCHAR0	CHENA	CHDIS	ODDFRM	DEVADDR						MCNT	EPTYPE	LSPDDEV	保留	EPTDIR	0	0	0	0	0	0	PRTPHR	12	8	6	5	4	3	2
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
520h	OTG_FS_HCCHAR1	CHENA	CHDIS	ODDFRM	DEVADDR						MCNT	EPTYPE	LSPDDEV	保留	EPTDIR	0	0	0	0	0	0	PRTLNST	11	10	9	8	7	6	5
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
540h	OTG_FS_HCCHAR2	DEVADDR												EPTNUM												MAXPSIZE			

	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	CHENA CHDIS ODDFRM	MCNT EPTYPE LSPDDEV	保留 EPTDIR 0	保留 EPTDIR 0	保留 EPTDIR 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	MAXPSIZE
560h	OTG_FS_HCCHAR3	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	CHENA CHDIS ODDFRM	MCNT EPTYPE LSPDDEV	保留 EPTDIR 0	保留 EPTDIR 0	保留 EPTDIR 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	MAXPSIZE
580h	复位值	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	CHENA CHDIS ODDFRM	MCNT EPTYPE LSPDDEV	保留 EPTDIR 0	保留 EPTDIR 0	保留 EPTDIR 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	MAXPSIZE
5A0h	OTG_FS_HCCHAR5	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	CHENA CHDIS ODDFRM	MCNT EPTYPE LSPDDEV	保留 EPTDIR 0	保留 EPTDIR 0	保留 EPTDIR 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	MAXPSIZE
5C0h	OTG_FS_HCCHAR6	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	CHENA CHDIS ODDFRM	MCNT EPTYPE LSPDDEV	保留 EPTDIR 0	保留 EPTDIR 0	保留 EPTDIR 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	MAXPSIZE
5E0h	OTG_FS_HCCHAR6	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	CHENA CHDIS ODDFRM	MCNT EPTYPE LSPDDEV	保留 EPTDIR 0	保留 EPTDIR 0	保留 EPTDIR 0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	MAXPSIZE
508h	OTG_FS_HCINT0	保留							
528h	复位值	保留							
548h	OTG_FS_HCINT2	保留							
568h	复位值	保留							
588h	OTG_FS_HCINT4	保留							
5A8h	复位值	保留							
		DTGERR FRMOVW BBLERR XACTERR							
		0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
		ACK NAK STALL STALL							
		保留							
		0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0
		CHHLT XFERC							
		0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0

偏移	寄存器
	31
	30
	29
	28
	27
	26
	25
	24
	23
	22
	21
	20
	19
	18
	17
	16
	15
	14
	13
	12
	11
	10
	9
	8
	7
	6
	5
	4
	3
	2
	1
	0

800h	OTG_FS_DCFG	保留										PERFIVL		DEVADDR						
	复位值											0	0							
804h	OTG_FS_DCTL	保留										PWRPRCDN	0	0	TSTCTRL					
	复位值											CGOUTNAK	0	0						
808h	OTG_FS_DSTS	保留	SOFFN										0	0	保留					
	复位值		0	0	0	0	0	0	0	0	0	0	0	0						
810h	OTG_FS_DIEPMSK	保留										BNAIM	0	0	保留					
	复位值											TXFIFOUDR	0	0						
814h	OTG_FS_DOEPMISK	保留										OUTPEM	0	0	保留					
	复位值											0	0	0						
818h	OTG_FS_DAINT	OUTEPTINT										INEPTINT						保留		
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
81Ch	OTG_FS_DAINTMS	OUTEPTM										INEPTM						保留		
	复位值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
834h	OTG_FS_DIEPEMPM	保留										INEPTXFEM						保留		
	复位值											0	0	0	0	0	0	0	0	0
900h	OTG_FS_DIEPCTL0	EPTENA	EPFDIS	保留	SODDFRM	SDP1ID/SEVNR	SNAK	CNAK	TXFNUM		STALL	保留	EPTYPE	NAKSTS	保留					
	复位值	0	0		0	0	0	0	0	0	0	0	0	0						
918h	OTG_FS_DTXFSTS	保留										INEPTFSAV						保留		
	复位值	0	0		0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
920h	OTG_FS_DIEPCTL1	EPTENA	EPFDIS	保留	SODDFRM	SDP1ID/SEVNR	SNAK	CNAK	TXFNUM		STALL	保留	EPTYPE	NAKSTS	MAXPSIZE					
	复位值	0	0		0	0	0	0	0	0	0	0	0	0						
938h	OTG_FS_DTXFSTS	保留										INEPTFSAV						保留		
	复位值	0	0		0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

21.14.3 OTG_FS全局寄存器

这些寄存器在设备模式和主机模式下都有效，并且在模式切换时不需要重新初始化。

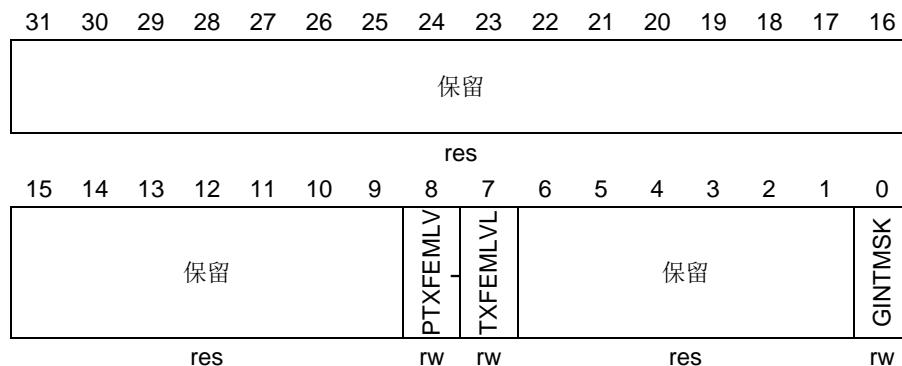
如果没有特别注明，寄存器中每位的值都由二进制数表示。

21.14.4 OTG_FS AHB配置寄存器(OTG_FS_GAHBCFG)

地址偏移: 0x08

复位值: 0x0000 0000

此寄存器用于在上电或改变控制器模式时配置控制器。此寄存器主要配置一些和 AHB 相关的参数。在初始化配置完成后，不要再修改此寄存器。应用程序在开始向 AHB 或 USB 传送数据前必需先配置好此寄存器。



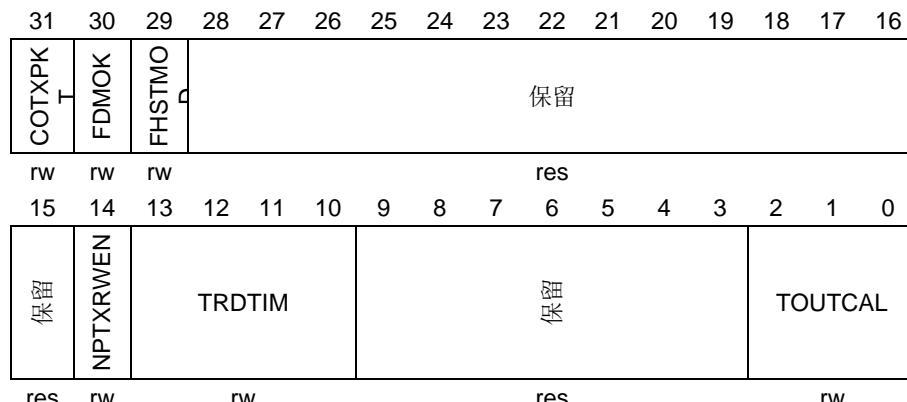
位 31:9	保留
位 8	PTXFEMLV: 周期性发送 FIFO 空级别 (Periodic TxFIFO empty level) 指示在何种情况下需要触发控制器中断寄存器的周期性发送 FIFO 空中断 (OTG_FS_GINTSTS 寄存器的 PTXFE 位): 0: PTXFEMP(在 OTG_FS_GINTSTS 寄存器中)中断表示周期性发送 FIFO 已经半空; 1: PTXFEMP(在 OTG_FS_GINTSTS 寄存器中)中断表示周期性发送 FIFO 已经全空。 注意: 仅在主机模式下有效。
位 7	TXFEMLV: 发送 FIFO 空级别 (TxFIFO empty level) 在设备模式下，此位指示在何种情况下需要触发 IN 端点发送 FIFO 空中断 (OTG_FS_DIEPINTx 寄存器的 TXFE 位): 0: TXFE(在 OTG_FS_DIEPINTx 寄存器中)中断指示 IN 端点 TX FIFO 已经半空; 1: TXFE(在 OTG_FS_DIEPINTx 寄存器中)中断指示 IN 端点 TX FIFO 已经全空。 在主机模式下，此位指示在何种情况下需要触发非周期性发送 FIFO 空中断 (OTG_FS_GINTSTS 寄存器的 NPTXFE 位): 0: NPTXFEMP(在 OTG_FS_GINTSTS 寄存器中)中断表示非周期性发送 FIFO 已经半空; 1: NPTXFEMP(在 OTG_FS_GINTSTS 寄存器中)中断表示非周期性发送 FIFO 已经全空。
位 6:1	保留
位 0	GINTMSK: 全局中断屏蔽 (Global interrupt mask) 应用程序可以通过此位选择屏蔽或者不屏蔽中断。但无论是否设置此位，控制器仍然会更新中断状态寄存器。 0: 屏蔽中断; 1: 不屏蔽中断。 注意: 在设备模式和主机模式下都有效。

21.14.5 OTG_FS_USB配置寄存器(OTG_FS_GUSBCFG)

地址偏移: 0x00C

复位值: 0x0000 0A00

此寄存器用于在上电或模式切换时配置控制器。此寄存器多用于配置与 USB 和 USB PHY 相关的参数。应用程序在向 AHB 或 USB 传送数据之前必需先配置好此寄存器。在初始化配置完成后不要修改此寄存器。



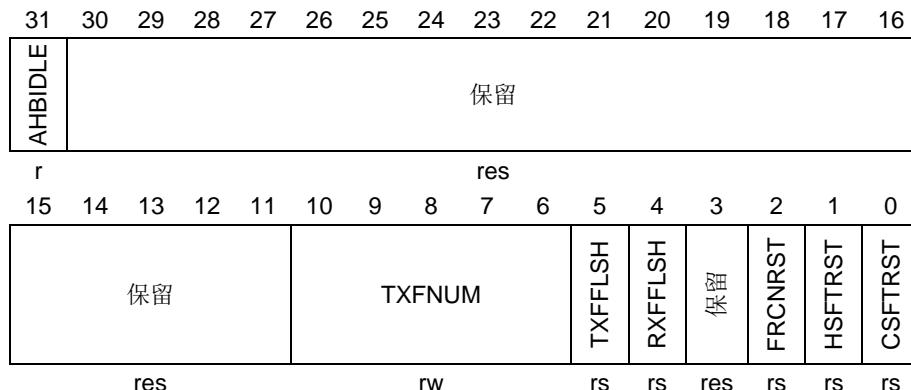
位 31	COTXPKT: 错误的发送包 (Corrupt Tx packet) 此位仅用于调试。不能设置此位为'1'。 注意: 在设备模式和主机模式下都有效。
位 30	FDEVMOD: 强制设备模式 (Force device mode) 不管 OTG_FS_ID 输入引脚的状态如何，设置此位为'1'将强制控制器进入设备模式。 0: 普通模式； 1: 强制设备模式。设置此位后，应用程序需要等待至少 25ms，以便设置生效。 注意: 在主机模式和设备模式下都有效。
位 29	FHSTMOD: 强制主机模式 (Force host mode) 不管 OTG_FS_ID 输入引脚的状态如何，设置此位为'1'将强制控制器进入主机模式。 0: 普通模式 1: 强制主机模式设置此位后，应用程序需要等待至少 25ms，以便设置生效。 注意: 在主机模式和设备模式下都有效。
位 28:15	保留
位 14	NPTXRWEN: 非周期性发送 FIFO 重发使能 (Reserved non-periodic TxFIFO rewind enable) 在主机模式下，在只有一个通道时应该设置此位。设置此位后，控制器将在 NAK 或超时的情况下，自动重发 OUT 传输，而不需要应用程序的干预。在设备模式下，任何时候在只有一个非周期 IN 端点时应该设置此位，这种情况多见于大容量存储设备的应用中。当设置此位后，控制器能自动管理非周期性端点的超时，而不需要应用程序的干预。 注意: 在设备模式和主机模式下都有效。
位 13:10	TRDTIM: USB 总线的周转时间 (USB turnaround time) 以 PHY 层的时钟周期为单位设置周转时间。设置一个 MAC 请求到包 FIFO 控制器 (PFC)要求从 DFIFO(SPRAM)获取数据的响应时间。这些位必需被设置为： 0101: 当 MAC 接口是 16 位 UTMIFS; 1001: 当 MAC 接口是 8 位 UTMIFS。 注意: 仅在设备模式下有效。
位 9:3	保留
位 2:0	TOUTCAL: FS 超时校准 (FS timeout calibration) 考虑到由 PHY 带来的额外的时延，应用程序可以调整控制器的全速包超时判断时延，这些位以 PHY 时钟的数目给出了调整时延的长度。不同的 PHY 在控制总线状态时，带来的额外时延是不同的，通过这些位可以适应不同的总线时延。 USB 标准规定的全速包的超时判断是 16 到 18 个 BIT 时间。应用程序需要根据枚举的速度来配置此位。每个 PHY 时钟增加的 BIT 时间是 0.25 个 BIT 时间。

21.14.6 OTG_FS 复位寄存器(OTG_FS_GRSTCTL)

地址偏移: 0x10

复位值: 0x2000 0000

应用程序可以通过此寄存器来复位控制器的各硬件模块。



位 31	AHBIDLE: AHB 主控模块空闲 (AHB master idle) 指示 AHB 主控模块是否在空闲状态。 <i>注意：在设备模式和主机模式下都有效。</i>
位 30:11	保留
位 10:6	TXFNUM: 发送 FIFO 编号 (TxFIFO number) 此位指示哪个 FIFO 需要通过发送 FIFO 刷新位来刷新。只有在控制器清除了发送 FIFO 刷新位时，应用程序才能修改此位。 00000: 主机模式下表示非周期性发送 FIFO 设备模式下表示发送 FIFO 0 00001: 主机模式下表示周期性发送 FIFO 设备模式下表示发送 FIFO 1 00010: 设备模式下表示发送 FIFO 2 00101: 设备模式下表示发送 FIFO 5 10000: 在主机模式或设备模式下刷新所有发送 FIFO <i>注意：在主机模式和设备模式下都有效。</i>
位 5	TXFFLSH: 发送 FIFO 刷新 (TxFIFO flush) 此位用于刷新单独的或所有的发送 FIFO，当控制器正在进行传输时，不能设置此位。应用程序只有在检测了控制器既没有向发送 FIFO 写数据也没有从发送 FIFO 读数据时，才能设置此位。可以通过以下方式来检测： 读：NAK 有效中断，确保控制器没有从 FIFO 读数据。 写：OTG_FS_GRSTCTL 寄存器的 AHBIDL 位，确保控制器没有在写 FIFO。 <i>注意：在设备模式和主机模式下都有效。</i>
位 4	RXFFLSH: 接收 FIFO 刷新 (RxFIFO flush) 应用程序可以通过此位来刷新整个接收 FIFO，但必需确保控制器没有在传输数据。应用程序只有在检测了控制器既没有写接收 FIFO 也没有读接收 FIFO 时，才能设置此位。应用程序只有在等待此位重新被控制器清除后，才能进行其他的操作。此位需要 8 个时钟周期(以 PHY 或 AHB 时钟中较慢的那个为准)才能清除。 <i>注意：在主机模式和设备模式下都有效。</i>
位 3	保留
位 2	FRCNRST: 主机帧计数器复位 (Host frame counter reset) 应用程序通过写此位来复位控制器内部的帧计数器。在帧计数器复位后，控制器发送的首个 SOF 的帧号为 0。 <i>注意：仅在主机模式下有效。</i>
位 1	HSFTRST: HCLK 软件复位 (HCLK soft reset) 应用程序可以使用此位来刷新 AHB 时钟域的控制逻辑。仅由 AHB 时钟域驱动的模块进行复位。FIFO 不会受此位影响。根据协议，所有的由 AHB 时钟域驱动的状态机都会在完成 AHB 当前传输后复位到空闲状态。清零 AHB 时钟域驱动的状态机中的 CSR 控制位。为了清除此中断，用于控制中断状态及由 AHB 时钟域驱动的状态机产生的状态屏蔽位将被清除。 由于中断状态位并没有被清除，因此应用程序仍然可以获得在设置此位后产生的任何控制器 事件的状态。 控制器会自动在所有必要的逻辑模块复位后清除此位。这一操作将维持若干个时钟周期，具体由控制器当前所处的状态决定。 <i>注意：在设备模式和主机模式下都有效。</i>
位 0	CSFTRST: 控制器软件复位 (Core soft reset) 复位 HCLK 和 PCLK 驱动域：清除了以下位之外的所有中断和 CSR 寄存器：OTG_FS_PCGCCTL 寄存器的 RSTPDMODL 位 OTG_FS_PCGCCTL 寄存器的

	GAYEHCLK 位 OTG_FS_PCGCCTL 寄存器的 PWRCLMP 位 OTG_FS_PCGCCTL 寄存器的 STPPCLK 位 OTG_FS_HCFG 寄存器的 FSLSPCS 位 OTG_FS_DCFG 寄存器的 DSPD 位。 所有模块的状态机(除了 AHB 从单元)都将复位到空闲状态，所有的发送 FIFO 和接收 FIFO 都被刷新。 所有在 AHB 主模块上的数据传输都在完成 AHB 传输的最后一个数据阶段后立即结束。所有在 USB 上的传输都立即结束。应用程序可以在任何需要复位控制器的时候设置此位。控制器将在所有必需的逻辑模块复位之后自动清除此位，这段操作将维持若干个时钟周期，具体由控制器当前所处的状态决定。一旦此位被清除，软件必需在激活 PHY 域之前等待至少 3 个 PHY 时钟周期(同步操作的时延)。应用程序在开始其他操作之前必需确保本寄存器的位 31 为'1'(即 AHB 主控模块空闲)。通常，只有在软件开发阶段和在上面列出的 USB 配置寄存器中动态修改 PHY 选择位时才需要进入软件复位操作。如果用户改变了 PHY 的配置，与之相应的时钟会被选中并应用到 PHY 域。 一旦选中了新的时钟，PHY 域需要进行复位才能进一步的操作。 注意：在设备模式和主机模式下都有效。
--	---

21.14.7 OTG_FS控制器中断寄存器(OTG_FS_GINTSTS)

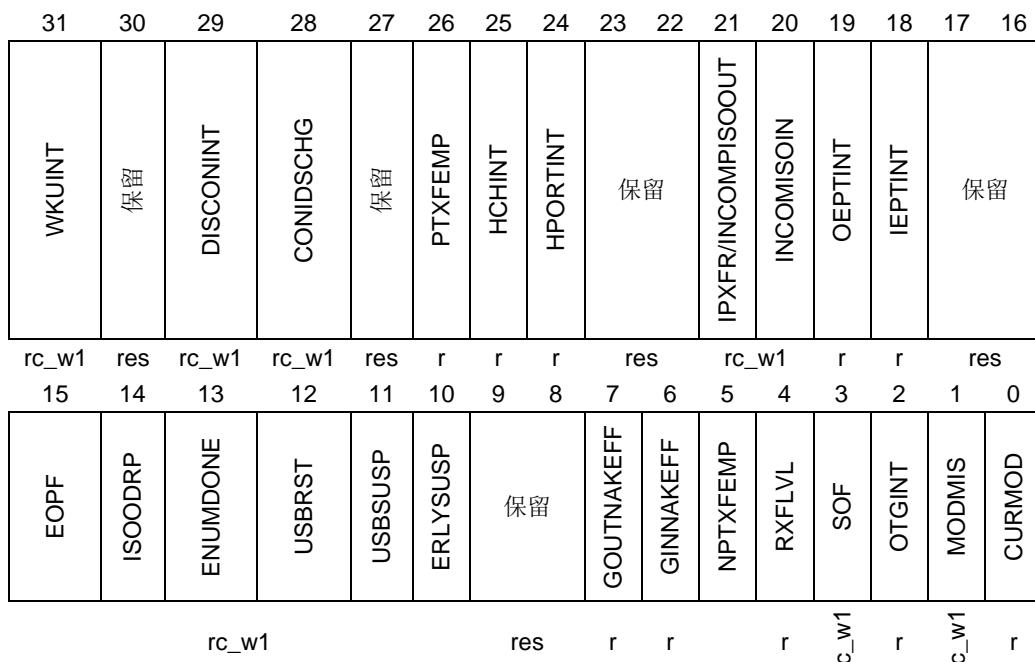
地址偏移: 0x014

复位值: 0x0400 0020

此寄存器在发生与当前模式(设备模式或主机模式)相配的系统事件时打断应用程序。寄存器的某些位仅在主机模式下有效，另一些位仅在设备模式下有效。寄存器也可以用来指示当前模式。应用程序需要在相应位写 1 来清除 rc_w1 类型的中断状态位。

FIFO 状态中断位是只读的，一旦应用程序在中断服务程序中对 FIFO 进行了读写操作，FIFO 的中断状态位会被自动清除。

初始化的时候，应用程序在使能某个中断位之前，需要先清除 OTG_FS_GINTSTS 寄存器的相应位，以避免由于原先的值导致不必要的中断。



位 31	WKUPINT: 检测到唤醒/远程唤醒中断 (Resume/remote wakeup detected interrupt) 在设备模式下，当检测到 USB 总线上的唤醒信号即产生此中断； 在主机模式下，在检测到 USB 总线上的一个远程唤醒信号时即产生此中断。 注意：在设备模式和主机模式下都有效。
位 30	保留

位 29	DISCONINT: 检测到断开事件中断 (Disconnect detected interrupt) 当检测到设备断开时即产生此中断。 注意: 仅在主机模式下有效。
位 28	CONIDSCHG: 连接上的 ID 线状态改变 (Connector ID status change) 控制器在检测到连接上的 ID 线状态改变即设置此位。 注意: 在主机模式和设备模式下都有效
位 27	保留
位 26	PTXFEMP: 周期性发送 FIFO 空 (Periodic TxFIFO empty) 当周期性发送 FIFO 半空或者全空，并且周期性请求队列里至少能写入一个请求时，产生此中断。半空还是全空的状态由控制器 AHB 配置寄存器 的周期性发送 FIFO 空级别位决定(OTG_FS_GAHBCFG 寄存器的 PTXFEMLVL 位)。
位 25	HCHINT: 主机通道中断 (Host channels interrupt) 控制器设置此位，指示有一个未处理的主机通道事件(在主机模式下)。应用程序需要读主机所有 通道中断寄存器(OTG_FS_HAINT 寄存器)来获得产生中断的通道号，然后读相应的主机通道 x 中断寄存器 (OTG_FS_HCINTx 寄存器) 获得中断的具体信息。应用程序需要通过清除 OTG_FS_HCINTx 寄存器的相应位来清除此位。 注意: 仅在主机模式下有效。
位 24	HPORTINT: 主机端口中断 (Host port interrupt) 控制器设置此位指示 OTG_FS 控制器的某个端口状态发生改变。应用程序需要通过读主机端口控制和状态寄存器(OTG_FS_HPRT)来获得导致此中断的具体信息。应用程序必需通过清除主机端口控制和状态寄存器的相应位来清除此位。 注意: 仅在主机模式下有效。
位 23:22	保留
位 21	IPXFR: 未完成的周期性传输 (Incomplete periodic transfer) 在主机模式下，控制器在帧结束时仍有属于当前帧的未完成的周期性传输时，产生此中断。 注意: 仅在主机模式下有效。 INCOMISOOUTM: 未完成的同步 OUT 传输 (Incomplete isochronous OUT transfer) 在设备模式下，控制器在帧结束时仍有至少一个属于当前帧的未完成的同步 OUT 传输时，产生此中断。此中断随同本寄存器中的周期性帧结束中断(EOPF)产生。 注意: 仅在设备模式下有效。
位 20	INCOMISOIN: 未完成的同步 IN 传输 (Incomplete isochronous IN transfer) 在设备模式下，控制器在帧结束时仍有至少一个属于当前帧的未完成的同步 IN 传输时，产生此中断。此中断随同本寄存器中的周期性帧结束中断(EOPF)产生。 注意: 仅在设备模式下有效。
位 19	OEPTINT: OUT 端点中断 (OUT endpoint interrupt) 在设备模式下，控制器设置此位指示有一个控制器未处理的 OUT 端点事件。应用程序需要读设备所有端点中断寄存器(OTG_FS_DAINT)来获得产生中断事件的端点号，然后读相应的设备 OUT 端点 x 中断寄存器(OTG_FS_DOEPINTx) 来获得产生中断的具体信息。应用程序需要通过清除 OTG_FS_DOEPINTx 寄存器的相应位来清除此位。 注意: 仅在设备模式下有效。
位 18	IEPTINT: IN 端点中断 (IN endpoint interrupt) 在设备模式下，控制器设置此位指示有一个控制器未处理的 IN 端点事件。应用程序需要读设备所有端点中断寄存器(OTG_FS_DAINT)来获得产生中断事件的端点号，然后读相应的设备 IN 端点 x 中断寄存器 (OTG_FS_DIEPINTx) 来获得产生中断的具体信息。应用程序需要通过清除 OTG_FS_DIEPINTx 寄存器的相应位来清除此位。 注意: 仅在设备模式下有效。
位 17:16	保留
位 15	EOPF: 周期性帧结束中断 (End of periodic frame interrupt) 此中断指示在当前帧中，在设备配置寄存器中设置的周期性帧间隔时间 (OTG_FS_DCFG 寄存器的 PFIVL 位)到达。 注意: 仅在设备模式下有效。
位 14	ISOOUTDR: 同步 OUT 包丢失中断 (Isochronous OUT packet dropped interrupt) 当接收 FIFO 没有足够的空间为一个同步 OUT 端点存放一个最大长度的数据包时，将导致控制器写同步 OUT 包失败，并产生此中断。 注意: 仅在设备模式下有效。
位 13	ENUMDONE: 枚举完成 (Enumeration done) 控制器设置此位 指示已经获得速度枚举的信息。应用程序通过读设备状态寄存器 (OTG_FS_DSTS)来获得进行枚举的速度信息。 注意: 仅在设备模式下有效。

位 12	USBRST: USB 复位 (USB reset) 控制器在检测到一个 USB 复位信号时设置此位。 注意: 仅在设备模式下有效。
位 11	USBSUSP: USB 挂起 (USB suspend) 控制器在检测到 USB 线上的挂起信号时设置此位。控制器会在数据线超过 3ms 没有活动的情况下进入挂起状态。 注意: 仅在设备模式下有效。
位 10	ERLYSUSP: 早期挂起 (Early suspend) 控制器在检测到 USB 总线有 3ms 处于空闲状态时设置此位。 注意: 仅在设备模式下有效。
位 9:8	保留
位 7	GOUTNAKEFF: 全局 OUT NAK 状态 (Global OUT NAK effective) 指示应用程序，设备控制寄存器的全局 OUT NAK 位(OTG_FS_DCTL 寄存器的 SGONAK 位)已生效。应用程序通过写设备控制寄存器的清除全局 OUT NAK 位 (OTG_FS_DCTL 寄存器的 CGONAK 位)来清除此位。 注意: 仅在设备模式下有效。
位 6	GINNAKEFF: 全局非周期性 IN NAK 状态 (Global IN non-periodic NAK effective) 指示应用程序，设备控制寄存器的设置全局非周期性 IN NAK 位(OTG_FS_DCTL 寄存器的 SGINAK 位)已生效。也就是说，控制器已经相应了应用程序设置全局 IN NAK 位的操作。应用程序通过清除设备控制寄存器的清除全局非周期性 IN NAK 位 (OTG_FS_DCTL 寄存器的 CGINAK 位) 来清除此位。 此中断并不意味着向 USB 总线发送了 NAK 握手信号，STALL 位的优先级高于 NAK 位。 注意: 仅在设备模式下有效。
位 5	NPTXFEMP: 非周期性发送 FIFO 空 (Non-periodic TxFIFO empty) 当非周期性发送 FIFO 全空或者半空，并且非周期性请求队列里至少能写入一个请求时，控制器会产生此中断。FIFO 半空或全空的状态取决于控制器 AHB 配置寄存器的非周期性发送 FIFO 空级别 位(OTG_FS_GAHBCFG 寄存器的 TXFEMLVL 位)。 注意: 仅在主机模式下有效。
位 4	RXFLVL: 接收 FIFO 非空 (RxFIFO non-empty) 指示接收 FIFO 中至少有个一个数据包等待处理。 注意: 在设备模式和主机模式下都有效。
位 3	SOF: 帧首 (Start of frame) 在主机模式下，控制器设置此位指示有一个 SOF(全速设备)或保持有效(低速设备)信号已发向 USB 总线。应用程序必需向此位写'1'来清除此中断。在设备模式下，控制器设置此位表示在 USB 总线上检测到一个 SOF。应用程序需要读设备状态寄存器来获得帧编号。此中断仅当控制器处于全速状态时才会产生。 注意: 在设备模式和主机模式下都有效。
位 2	OTGINT: OTG 中断 (OTG interrupt) 控制器设置此位指示发生一个 OTG 协议事件。应用程序必需通过读 OTG 中断寄存器。(OTG_FS_GOTGINT)来获得产生此中断的具体信息。应用程序必需通过清除 OTG_FS_GOTGINT 寄存器的相应位来清除此位。 注意: 在设备模式和主机模式下都有效。
位 1	MODMIS: 模式不匹配中断 (Mode mismatch interrupt) 控制器在应用程序试图执行以下操作时设置此位： 当控制器运行在设备模式下时，试图访问主机模式下的寄存器。 当控制器运行在主机模式下时，试图访问设备模式下的寄存器。 操作寄存器时，在 AHB 端会收到正确的响应，但控制器内部会忽视此类操作，并不对控制器的操作产生任何影响。 注意: 在主机模式和设备模式下都有效。
位 0	CURMOD: 当前模式 (Current mode of operation) 指示当前模式。 0: 设备模式； 1: 主机模式。 注意: 在设备模式和主机模式下都有效。

21.14.8 OTG_FS 中断屏蔽寄存器(OTG_FS_GINTMSK)

地址偏移: 0x018

复位值: 0x0000 0000

此寄存器与控制器中断寄存器配合使用，产生中断。当一个中断位被屏蔽，就不会产生相应的中断，然而控制器中断寄存器(OTG_FS_GINTSTS)的相应位仍然会被置起。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
WKUPINTM	保留	DISCONINTM	CONIDSCHGM	保留	PTXFEMPM	HCHINTM	HPORTINTM	保留	IPXFRM/INCOMISOOUTM	INCOMISOINM	OEPTINTM	IEPTINTM	EPTMISM	保留		
rw	res	rw	rw	res	rw	rw	r	res		rw	rw	res	1	0		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
EOPFM	ISOOUTDRM	ENUMDONEM	USBRSTM	USBUSUPM	ERLYSUSPM	保留	GOUTNAKEFFM	GINNAKEFFM	NPTXFEMPM	RXFLVLM	SOFM	OTGINTM	MODMISM	保留	res	
			rw			res				rw						

位 31	WKUPINTM: 检测到唤醒/远程唤醒中断屏蔽 (Resume/remote wakeup detected interrupt mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意： 在设备模式和主机模式下都有效。
位 30	保留
位 29	DISCONINTM: 检测到断开事件中断屏蔽 (Disconnect detected interrupt mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意： 仅在主机模式下有效。
位 28	CONIDSCHGM: 连接上的 ID 线状态改变屏蔽 (Connector ID status change mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意： 在主机模式和设备模式下都有效。
位 27	保留
位 26	PTXFEMPM: 周期性发送 FIFO 空屏蔽 (Periodic TxFIFO empty mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意： 仅在主机模式下有效。
位 25	HCHINTM: 主机通道中断屏蔽 (Host channels interrupt mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意： 仅在主机模式下有效。
位 24	HPORTINTM: 主机端口中断屏蔽 (Host port interrupt mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意： 仅在主机模式下有效。
位 23:22	保留
位 21	IPXFRM: 未完成的周期性传输中断屏蔽 (Incomplete periodic transfer mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意： 仅在主机模式下有效。 INCOMISOOUTM: 未完成的同步 OUT 传输中断屏蔽 (Incomplete isochronous OUT transfer mask) 0: 屏蔽该中断；

	1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 20	INCOMISOINM: 未完成的同步 IN 传输中断屏蔽 (Incomplete isochronous IN transfer mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 19	OEPTINTM: OUT 端点中断屏蔽 (OUT endpoints interrupt mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 18	IEPTINTM: IN 端点中断屏蔽 (IN endpoints interrupt mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 17	EPTMISM: 端点不匹配中断屏蔽 (Endpoint mismatch interrupt mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 16	保留
位 15	EOPFM: 周期性帧结束中断屏蔽 (End of periodic frame interrupt mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 14	ISOOUTDRM: 同步 OUT 包丢失中断屏蔽 (Isochronous OUT packet dropped interrupt mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 13	ENUMDONEM: 枚举完成中断屏蔽 (Enumeration done mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 12	USBRSTM: USB 复位中断屏蔽 (USB reset mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 11	USBSUSPM: USB 挂起中断屏蔽 (USB suspend mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 10	ERLYSUSPM: 早期挂起中断屏蔽 (Early suspend mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 9:8	保留
位 7	GOUTNAKEFFM: 全局 OUT NAK 状态中断屏蔽 (Global OUT NAK effective mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 6	GINNAKEFFM: 全局非周期性 IN NAK 状态中断屏蔽 (Global non-periodic IN NAK effective mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在设备模式下有效。
位 5	NPTXFEMPM: 非周期性发送 FIFO 空中断屏蔽 (Non-periodic TxFIFO empty mask) 0: 屏蔽该中断； 1: 不屏蔽该中断。 注意：仅在主机模式下有效。

位 4	RXFLVLM: 接收 FIFO 非空中断屏蔽 (Receive FIFO non-empty mask) 0: 屏蔽该中断; 1: 不屏蔽该中断。 注意: 在设备模式和主机模式下都有效。
位 3	SOFM: 帧首中断屏蔽 (Start of frame mask) 0: 屏蔽该中断; 1: 不屏蔽该中断。 注意: 在设备模式和主机模式下都有效。
位 2	OTGINTM: OTG 中断屏蔽 (OTG interrupt mask) 0: 屏蔽该中断; 1: 不屏蔽该中断。 注意: 在设备模式和主机模式下都有效。
位 1	MODMISM: 模式不匹配中断屏蔽 (Mode mismatch interrupt mask) 0: 屏蔽该中断; 1: 不屏蔽该中断。 注意: 在主机模式和设备模式下都有效。
位 0	保留

21.14.9 OTG_FS接收状态调试读/OTG状态读和POP寄存器 (OTG_FS_GRXSTS / OTG_FS_GRXSTSP)

地址偏移: 0x01C

POP 操作的地址偏移: 0x020

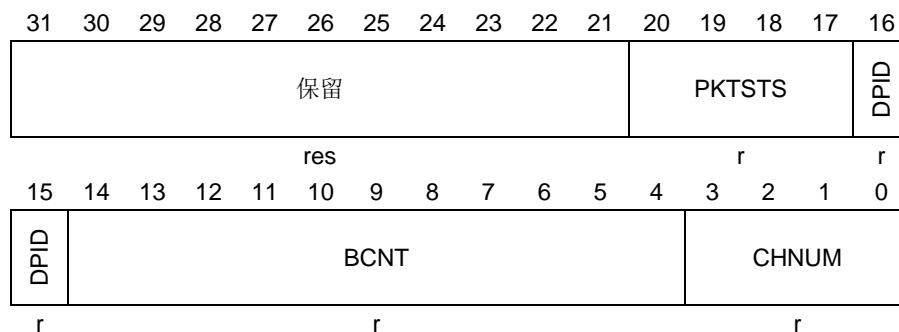
复位值: 0x0000 0000

USB OTG 全速(OTG_FS)

对接收状态调试读寄存器的读操作, 将返回接收 FIFO 中顶部的数据。对接收状态调试读寄存器和 POP 寄存器的读操作, 将会把接收 FIFO 中顶部的数据顶顶出。

在主机模式和设备模式下, 对于接收状态数据的解释并不相同。如果接收 FIFO 为空, 控制器将忽略对接收状态的读/POP 操作, 并返回 0x0000 0000。应用程序只有在控制器中断寄存器的接收 FIFO 非空位(OTG_FS_GINTSTS 寄存器的 RXFLVL 位)为'1'时才能 POP 出接收状态 FIFO。

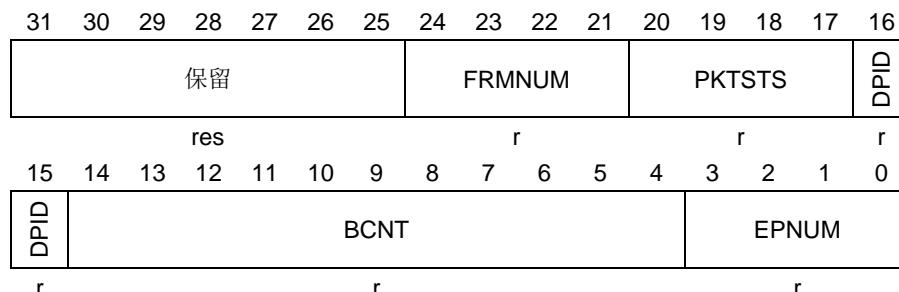
主机模式:



位 31:21	保留
位 20:17	PKTSTS: 包状态 (Packet status) 指示接收到的数据包的状态 0010: 接收到 IN 数据包; 0011: IN 传输完成(触发中断); 0101: 数据翻转位出错(触发中断); 0111: 通道中止(触发中断); 其他: 保留。
位 16:15	DPID: 数据 PID (Data PID) 指示接收到的数据包的数据 PID 00: DATA0; 10: DATA1;

	01: DATA2; 11: MDATA。
位 14:4	BCNT: 字节数 (Byte count) 指示接收到的数据包的字节数。
位 3:0	CHNUM: 通道号 (Channel number) 指示当前收到的数据包属于哪个通道。

设备模式:



位 31:25	保留
位 24:21	FRMNUM: 帧编号 (Frame number) 此 4 位是从 USB 接收到的数据包所属的帧号的末 4 位，仅在同步 OUT 传输时有效。
位 20:17	PKTSTS: 包状态 (Packet status) 指示接收到的数据包的状态 0001: 全局的 OUT NAK(触发中断); 0010: 接收到 OUT 数据包; 0011: OUT 传输完成(触发中断); 0100: SETUP 传输完成(触发中断); 0110: 接收到 SETUP 数据包; 其他: 保留。
位 16:15	DPID: 数据 PID (Data PID) 指示接收到 OUT 数据包的 PID 00: DATA0; 10: DATA1; 01: DATA2; 11: MDATA。
位 14:4	BCNT: 字节数 (Byte count) 指示接收到的数据包的字节数。
位 3:0	EPTNUM: 端点号 指示当前接收到的数据包所属的端点号

21.14.10 OTG_FS接收FIFO长度寄存器(OTG_FS_GRXFSIZ)

地址偏移: 0x024

复位值: 0x0000 0200

应用程序可以定义分配给接收 FIFO 的 RAM 长度。

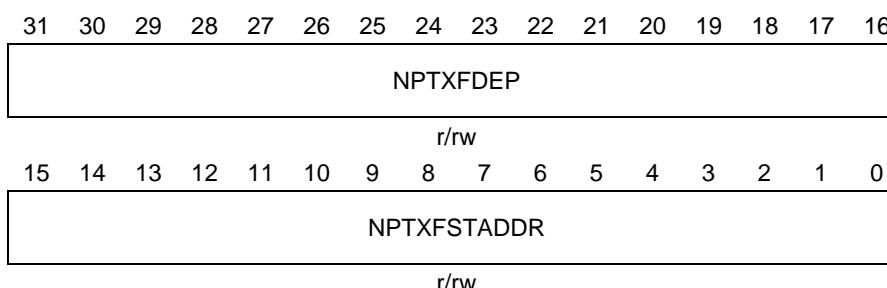


位 31:16	保留
位 15:0	RXFDEP: 接收 FIFO 的深度 (Rx FIFO depth) 这个数值的单位是 32 位的字 最小值为 16 最大值为 256 上电复位的值是接收 FIFO 的最大深度值。

21.14.11 OTG_FS非周期性TX FIFO长度寄存器 (OTG_FS_GNPTXFSIZ)

地址偏移: 0x028

复位值: 0x0000 0200



位 31:16	NPTXFDEP: 非周期性发送 FIFO 深度 (Non-periodic Tx FIFO depth) 这个数值的单位是 32 位的字 最小值是 16 最大值是 256。
位 15:0	NPTXFSTADDR : 非周期 性接 收 FIFO 在 RAM 里的起 始地 址(Non-periodic transmit RAM start address)这些位的值表示非周期性接收 FIFO 在 RAM 里的起始地址。

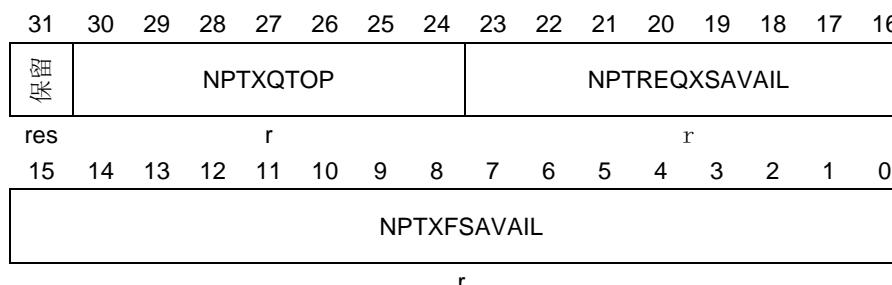
21.14.12 OTG_FS非周期性TX FIFO/请求队列状态寄存器 (OTG_FS_GNPTXSTS)

地址偏移: 0x02C

复位值: 0x00008 0200

注意: 在设备模式下, 此寄存器无效。

此寄存器为只读寄存器, 储存非周期性发送 FIFO 和非周期性传输请求队列的剩余空间信息。



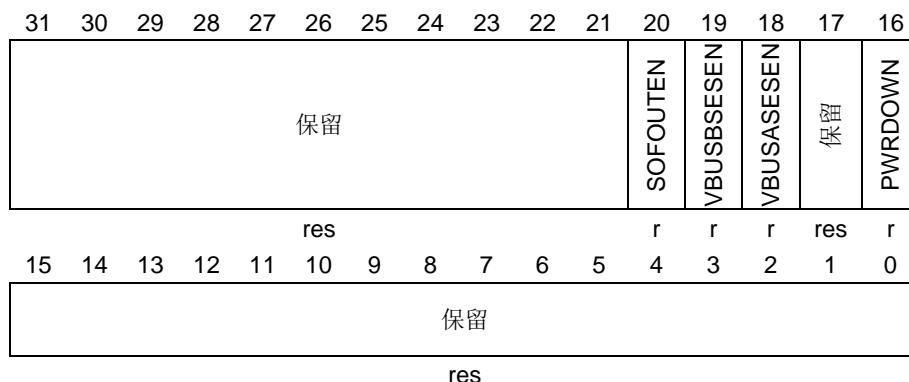
位 31	保留
位 30:24	NPTXQTOP: 非周期性传输请求队列的顶部 (Top of the non-periodic transmit request queue) 正在由 MAC 模块处理的非周期性发送请求: 位[30:27]: 通道/端点号; 位[26:25]: 00: IN/OUT 命令; 01: 0 长度的传输包(设备 IN/主机 OUT); 11: 通道中止命令; 位 24: 结束(选中通道/端点的最后一个请求)。
位 3:0	

位 23:16	NPTREQXSAVAIL: 非周期性传输请求队列的剩余空间 (Non-periodic transmit request queue space available)指示非周期性传输请求队列的剩余空间。在主机模式下，此队列既保存 IN 的传输请求又保存 OUT 的传输请求，在设备模式下，仅保存 IN 的传输请求。 00: 非周期性传输请求队列满； 01: 剩余 $d \times 1$ 个请求空间； 02: 剩余 $d \times 2$ 个请求空间； $B \times n$: 剩余 $d \times n$ 个请求空间($0 \leq n \leq d \times 8$)； 其他：保留。
位 15:0	NPTXFSAVAIL: 非周期性发送 FIFO 的剩余空间 (Non-periodic TxFIFO space available) 指示非周期性发送 FIFO 的剩余空间，此值为 32 位。 00: 非周期性发送 FIFO 满； 01: 剩余 $d \times 1$ 个字的空间； 02: 剩余 $d \times 2$ 个字的空间； $O \times n$: 剩余 $d \times n$ 个字的空间($0 \leq n \leq d \times 256$)； 其他：保留。

21.14.13 OTG_FS通用控制器配置寄存器(OTG_FS_GCCFG)

地址偏移: 0x038

复位值: 0x0000 0000



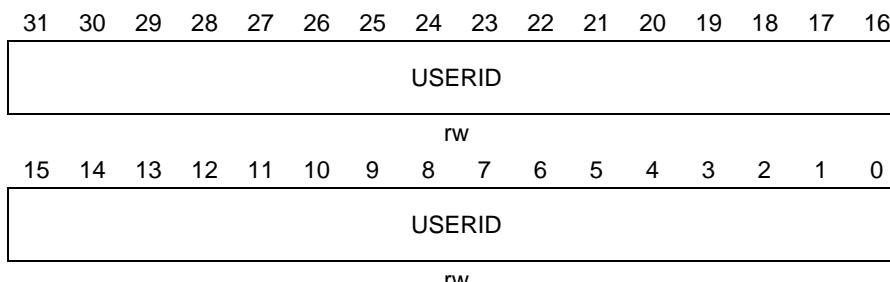
位 31:21	保留
位 20	SOFOUTEN: SOF 输出使能 (SOF output enable) 0: 不输出 SOF 脉冲； 1: 输出 SOF 脉冲到引脚上。
位 19	VBUSBSEN: VBUS 对于 B 类有效电平的监控使能 (Enable the VBUS sensing "B" device) 0: VBUS 不监控 B 类有效电平； 1: VBUS 监控 B 类有效电平。
位 18	VBUSASEN: VBUS 对于 A 类有效电平的监控使能 (Enable the VBUS sensing "A" device) 0: VBUS 不监控 A 类有效电平； 1: VBUS 监控 A 类有效电平。
位 17	保留
位 16	PWRDOWN: 掉电 (Power down) 用于在发送和接收时激活收发器 0: 使能掉电； 1: 禁止掉电(收发器激活)。
位 15:0	保留

21.14.14 OTG_FS控制器ID寄存器(OTG_FS_GUID)

地址偏移: 0x03C

复位值: 0x0000 1000

此寄存器只读, 保护产品的 ID。



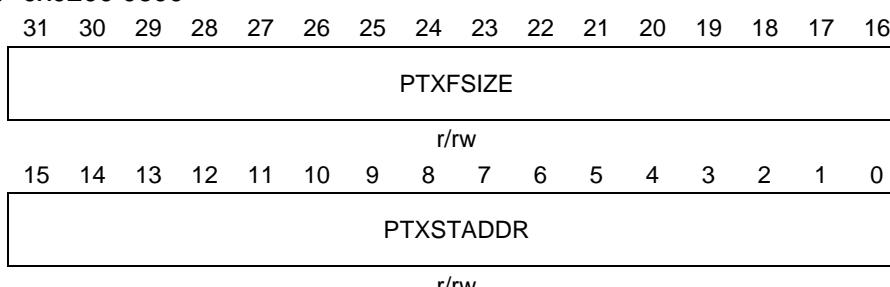
位 31:0

USERID: 产品 ID (Product ID field)
应用程序可以编程此 ID 位。

21.14.15 OTG_FS主机周期性发送FIFO长度寄存器(OTG_FS_HPTXFSIZ)

地址偏移: 0x100

复位值: 0x0200 0600



位 31:16

PTXFSIZE: 主机周期性发送 FIFO 深度 (Host periodic TxFIFO depth)
此值为 32 位的字
最小值为 16
最大值为 512。

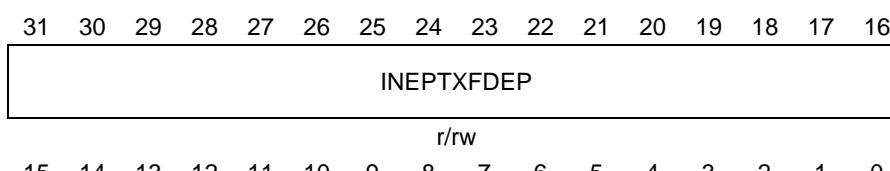
位 15:0

PTXSTADDR: 主机周期性发送 FIFO 起始地址 (Host periodic TxFIFO start address)
此寄存器的复位值是最大接收 FIFO 深度和最大非周期发送 FIFO 深度之和。

21.14.16 OTG_FS设备IN端点发送FIFO长度寄存器(OTG_FS_DIEPTXFn)(其中n是FIFO的编号, x=1…4)

地址偏移: 0x104 + (FIFO 编号 - 1) × 0x04

复位值: 0x0200 0400



INEPTXSTADDR

r/rw

位 31:16	INEPTXFDEP: IN 端点发送 FIFO 的深度 (IN endpoint TxFIFO depth) 此值为 32 位的字 最小值为 16 最大值为 512 复位值是最大可能的 IN 端点发送 FIFO 的深度。
位 15:0	INEPTXSTADDR: IN 端点发送 FIFO 在 RAM 中的起始地址 (IN endpoint FIFOx transmit RAM start address) 此值为 IN 端点发送 FIFO 在 RAM 中的起始地址。

21.14.17 主机模式下的寄存器

如果没有特殊说明，寄存器中的值都以二进制形式表达。

主机模式下的寄存器仅在主机模式下生效，不能在设备模式下访问，非法访问的结果是未定义的。
主机模式下的寄存器如下：

21.14.18 OTG_FS 主机模式配置寄存器(OTG_FS_HCFG)

地址偏移: 0x400

复位值: 0x0000 0000

USB OTG 全速(OTG_FS)

此寄存器在上电后配置控制器的操作，不要在初始化后再修改此寄存器。



位 31:3	保留
位 2	FSLSUPP: 支持全速和低速设备 (FS- and LS-only support) 应用程序通过此位来配置控制器对设备进行枚举的速度。应用程序可以通过此位使控制器用全速 模式来枚举一个支持高速通信的设备。在初始化后不要修改此值。 1: 仅支持全速/低速设备，即使插入的设备支持高速通信(只读)。
位 1:0	FSLSPCLKS: 全速/低速 PHY 时钟选择 (FS/LS PHY clock select) 当控制器处于全速主机模式时： 01: PHY 时钟运行在 48MHz; 其他值：保留。 当控制器处于低速主机模式时： 00: 保留； 01: PHY 时钟运行在 48MHz; 10: PHY 时钟运行在 6MHz，根据 USB1.1 全速模式定义，当 UTMIFS PHY 低功耗模式选中时，如果 PHY 支持 6MHz 时钟，就在低速模式下使用 6MHz 时钟。用户一旦在低速模式下选中了 6MHz 时钟，需要执行一个软件复位操作； 11: 保留。

21.14.19 OTG_FS主机帧间隔寄存器(OTG_FS_HFIR)

地址偏移: 0x404

复位值: 0x0000 EA60

此寄存器为 OTG_FS 控制器在枚举时选中的速度设置帧间隔时间。



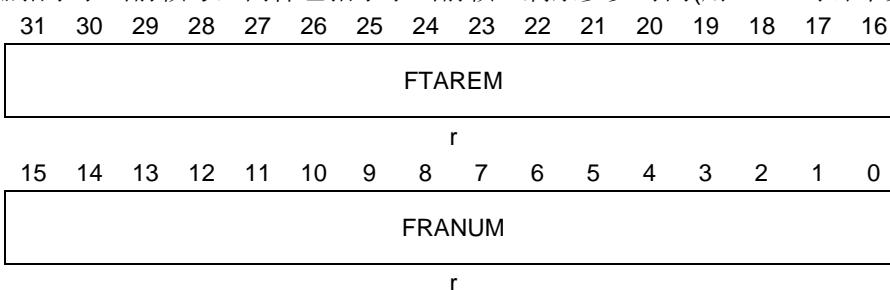
位 31:16	保留
位 15:0	FRAINT: 帧间隔 (Frame interval) 应用程序通过此位来配置两个连续的 SOF(全速)或保持有效(低速)之间的时间间隔。 此寄存器用 PHY 时钟个数来表示帧间隔。应用程序只有在设置了主机端口控制和状态寄存器的端口使能位(OTG_FS_HPRT 寄存器的 PENA 位)之后才能设置此寄存器。 如果没有设置此寄存器，控制器将按照主机配置寄存器的全速/低速 PHY 时钟选择位(OTG_FS_HCFG 寄存器的 FSLSPCS 位)定义的 PHY 时钟来计算值。不要在初始化后再修改此寄存器。 $1\text{ms} \times (\text{全速}/\text{低速的 PHY 时钟频率})$ 。

21.14.20 OTG_FS主机帧号/帧时间剩余寄存器(OTG_FS_HFNUM)

地址偏移: 0x408

复位值: 0x0000 3FFF

此寄存器指示了当前帧号，同样也指示了当前帧还剩余多少时间(用 PHY 时钟个数来表示)。



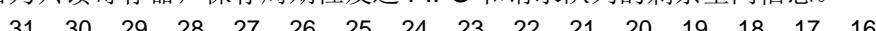
位 31:16	FTAREM: 帧时间剩余 (Frame time remaining) 指示当前帧还剩余多少时间，用 PHY 时钟数表达。每个 PHY 时钟，此值都会自减 1。 当此值自减为 0，定义在帧间隔寄存器中的数值将自动载入此寄存器，并向 USB 总线发送一个新的 SOF。
位 15:0	FRANUM: 帧号 (Frame number) 每向 USB 总线发送一个 SOF 信号，此域自动加 1。达到 0x3FFF 时则自动归零，重新开始累加。

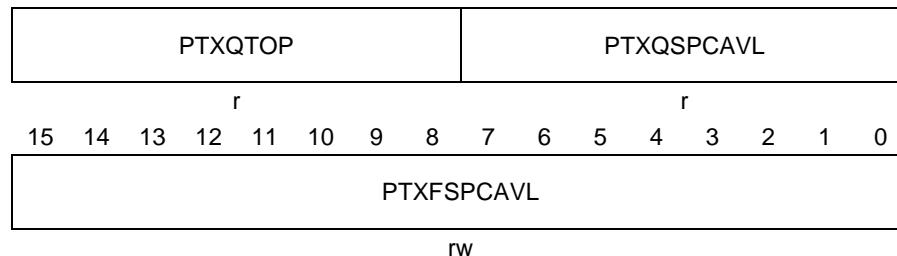
21.14.21 OTG_FS主机周期性发送FIFO/请求队列寄存器(OTG_FS_HPTXSTS)

地址偏移: 0x410

复位值: 0x0008 0100

此寄存器为只读寄存器，保存周期性发送 FIFO 和请求队列的剩余空间信息。





位 31:24	PTXQTOP: 周期性传输请求队列顶部 (Top of the periodic transmit request queue) 指示 MAC 模块正在处理的周期性发送请求项。此寄存器仅用于模块调试。 位 31: 奇数/偶数帧 0: 偶数帧发送; 1: 奇数帧发送。 位[30:27]: 通道/端点号; 位[26:25]: 类型 00: IN/OUT; 01: 零长度数据包; 11: 中止通道命令。位 24: 结束(选中通道/端点的最后一个请求)。
位 23:16	PTXQSPCAVL: 周期性传输请求队列的剩余空间 (Periodic transmit request queue space available) 指示周期性传输请求队列的剩余空间，此请求队列包括 IN 和 OUT 的请求。 00: 周期性传输请求队列满; 01: 剩余 $d \times 1$ 个请求位置; 10: 剩余 $d \times 2$ 个请求位置; $b \times n$: 剩余 $d \times n$ 个请求位置($0 \leq d \times n \leq 8$); 其他: 保留。
位 15:0	PTXFSPCAVL: 周期性发送 FIFO 剩余空间 (Periodic transmit data FIFO space available)指示周期性发送 FIFO 的剩余空间此值为 32 位的字。 0000: 周期性发送 FIFO 满; 0001: 剩余 $d \times 1$ 个字; 0010: 剩余 $d \times 2$ 个字; $b \times n$: 剩余 $d \times n$ 个字($0 \leq d \times n \leq d \times 512$); $b \times 200$: 剩余 $d \times 512$ 个字; 其他: 保留。

21.14.22 OTG_FS 主机所有通道中断寄存器(OTG_FS_HINT)

地址偏移: 0x414

复位值: 0x0000 0000

当某个通道产生了标志性的事件，主机所有通道中断会通过控制器中断寄存器的主机通道中断位 (OTG_FS_GINTSTS 寄存器的 HCINT 位)打断应用程序。具体请参考图 21-9。每个通道都有相对应的通道中断位，一共有 16 个控制位。应用程序通过设置和清除相应的主机通道 x 中断寄存器的相应位来设置和清除此位。



位 31:16	保留
位 15:0	HINT: 通道中断 (Channel interrupts) 每个位对应一个通道：位 0 对应通道 0，位 15 对应通道 15。

21.14.23 OTG_FS主机所有通道中断屏蔽寄存器 (OTG_FS_HINTMSK)

地址偏移: 0x418

复位值: 0x0000 0000

主机所有通道中断屏蔽寄存器与主机所有通道中断寄存器配置使用，用于在产生事件时打断应用程序。每个通道都有一个相对应的中断屏蔽位，共有 16 位。



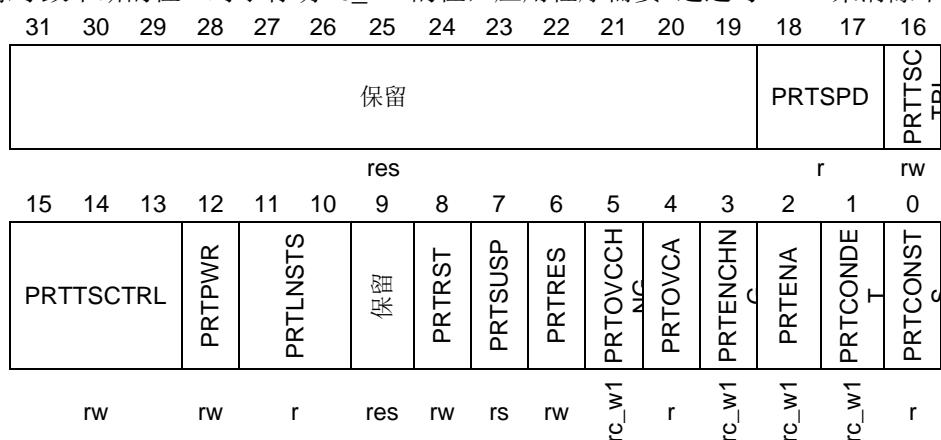
位 31:16	保留
位 15:0	HINTM: 通道中断屏蔽 (Channel interrupt mask) 0: 屏蔽中断; 1: 不屏蔽中断。每个位对应一个通道：位 0 对应通道 0，位 15 对应通道 15。

21.14.24 OTG_FS主机端口控制和状态寄存器(OTG_FS_HPRT)

地址偏移: 0x440

复位值: 0x0000 0000

此寄存器仅在主机模式下有效。一个 OTG 主机控制器仅支持一个端口。此寄存器保存与主机端口相关的信息，包括每个端口的 USB 复位、使能、挂起、唤醒、连接状态和测试模式信息等。具体请参考图 21-9。标明 **rc_w1** 的位可以通过主机中断寄存器的主机端口中断位(OTG_FS_GINTSTS 寄存器的 **HPRTINT** 位)来触发中断，打断应用程序。在端口中断服务程序中，应用程序必需读此寄存器并清除导致中断的位。对于标明 **rc_w1** 的位，应用程序需要通过写‘1’来清除中断。



位 31:19	保留
位 18:17	PRTSPD: 端口速度 (Port speed) 指示连上端口的设备速度 01: 全速设备； 10: 低速设备； 11: 保留。

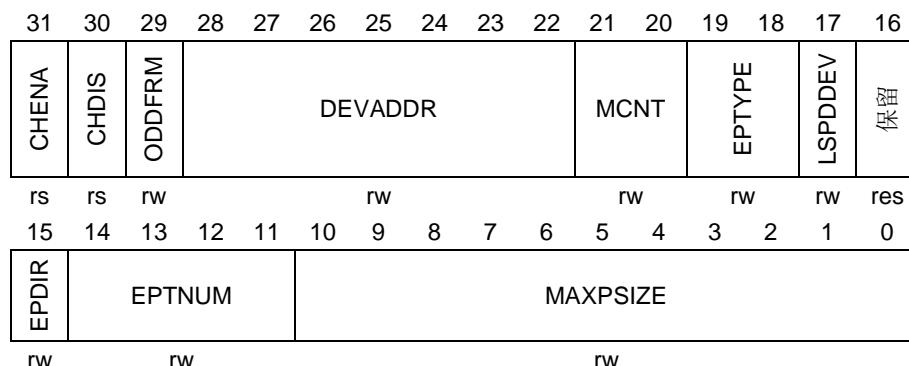
位 16:13	PRTTSCtrl: 端口测试控制 (Port test control) 应用程序通过写非零值到此位来进入测试模式，在端口会出现相应的信号。 0000: 非测试模式; 0001: Test_J 模式; 0010: Test_K 模式; 0011: Test_SE0_NAK 模式; 0100: Test_Packet 模式; 0101: Test_Force_Enable; 其他: 保留。
位 12	PRTPWR: 端口供电 (Port power) 应用程序通过设置此位来向端口供电，控制器在发生电流溢出事件时清除此位。 0: 不供电; 1: 供电。
位 11:10	PRTLNSTS: 端口状态 (Port line status) 指示 USB 数据线的当前逻辑状态 位 10: OTG_FS_FS_DP 线的逻辑状态; 位 11: OTG_FS_FS_DM 线的逻辑状态。
位 9	保留
位 8	PTRRST: 端口复位 (Port reset) 当应用程序设置此位时，会在端口上产生一个复位序列。应用程序需要控制复位的时间，并在复位完成后清除此位。 0: 端口不复位; 1: 端口复位。 应用程序需要保持此位的'1'状态至少 10ms 以便启动端口的复位序列。应用程序也可以在清除此位前增加 10ms 的'1'状态，USB 规范没有对复位信号的最长持续时间做出定义。
位 7	PRTSUSP: 端口挂起 (Port suspend) 应用程序设置此位，使端口进入挂起状态。在这种状态下控制器仅停止发送 SOF 信号。应用程序需要通过设置端口时钟停止位来停止 PHY 时钟。对此位的读操作将返回当前端口的挂起状态，当应用程序设置此寄存器的端口复位位或端口唤醒位，或控制器检测到一个远程唤醒信号，或控制器中断寄存器的唤醒/远程唤醒检测中断位或端口检测中断位(OTG_FS_GINTSTS 寄存器的 WKUINT 位或 DISCINT 位)被设置，控制器将清除此位。 0: 端口不处于挂起模式; 1: 端口处于挂起模式。
位 6	PRTRES: 端口唤醒 (Port resume) 应用程序设置此位驱动端口发出唤醒信号。控制器将输出驱动唤醒信号直到应用程序清除此位。当控制器检测到 USB 远程唤醒序列，按照控制器中断寄存器的端口唤醒/远程唤醒检测中断位的指示，控制器会自动输出唤醒序列而不需要应用程序干预。如果控制器检测到设备断开，会自动清除此位。对此位的读操作将返回控制器是否正在输出唤醒信号的信息。 0: 无唤醒; 1: 输出唤醒信号。
位 5	PRTOVCCHNG: 端口过流状态改变 (Port overcurrent change) 控制器在此寄存器的端口过流位(位 4)发生变化时设置此位。
位 4	PRTOVCA: 端口过流位 (Port overcurrent active) 指示端口是否发生了过流。 0: 没有过流; 1: 过流。
位 3	PRTENCHNG: 端口使能/禁止状态改变 (Port enable/disable change) 控制器在本寄存器的端口使能位(位 2)发生变化时设置此位。
位 2	PRTENA: 端口使能 (Port enable) 端口只有在复位序列后才能被控制器使能，在发生过流、设备断开获控制器清除此位时禁止端口。应该程序不能通过寄存器写操作设置此位。此位不会触发中断。 0: 端口禁止; 1: 端口使能。
位 1	PRTCONDET: 端口连接检测 (Port connect detected) 当控制器检测到一个设备连接到端口时，会触发控制器中断寄存器的主机端口中断位 (OTG_FS_GINTSTS 寄存器的 HPRTINT 位)来产生中断，并设置此位。应用程序必需通过写'1'来清除中断。
位 0	PRTCONSTS: 端口连接状态 (Port connect status) 0: 没有设备连接到端口;

	1: 有设备连接到端口。
--	--------------

21.14.25 OTG_FS主机通道x特性寄存器 (OTG_FS_HCCHARx)(此处x代码通道号, x = 0...7)

地址偏移: 0x500 + (通道号 × 0x20)

复位值: 0x0000 0000



位 31	CHENA: 通道使能 (Channel enable) 此位由应用程序设置, 由 FS_OTG 主机控制器清除。 0: 通道禁止; 1: 通道使能。
位 30	CHDIS: 通道禁止 (Channel disable) 应用程序通过设置此位, 可以立即停止该通道上的数据收/发, 即使该通道数据的传输还没有完成。应用程序只有在等到通道禁止中断产生时, 才能认为该通道已被禁止。
位 29	ODDFRM: 奇数帧 (Odd frame) 应用程序通过设置/清除此位来告知 OTG 主机控制器应该在奇数/偶数帧时进行传输。 此位仅对周期性传输(同步或中断)有效。 0: 偶数帧; 1: 奇数帧。
位 28:22	DEVADDR: 设备地址(Device address) 应用程序通过此地址选择需要的设备。
位 21:20	MCNT: 设备地址 (Multicount) 此域指示主机在这个周期性端点上每帧必须执行的传输数目。非周期性传输不使用这个参数。 00: 保留。设置这个数值将产生未定义的结果。 01: 1 次传输。 10: 在这个端点上, 每帧需要产生 2 次传输。 11: 在这个端点上, 每帧需要产生 3 次传输。 注: 此域的数值至少应该设置为'01'。
位 19:18	EPTYPE: 端点类型 指示选中的传输类型 00: 控制传输; 01: 同步传输; 10: 块传输; 11: 中断传输。
位 17	LSPDDEV: 低速设备 (Low speed device) 应用程序设置此位指示与之通信的设备是低速设备。
位 16	保留
位 15	EPTDIR: 端点方向 (Endpoint direction) 指示传输是 IN 还是 OUT 方向。 0: OUT 1: IN
位 14:11	EPTNUM: 端点号 (Endpoint number) 指示与之通信的端点号。

位 10:0

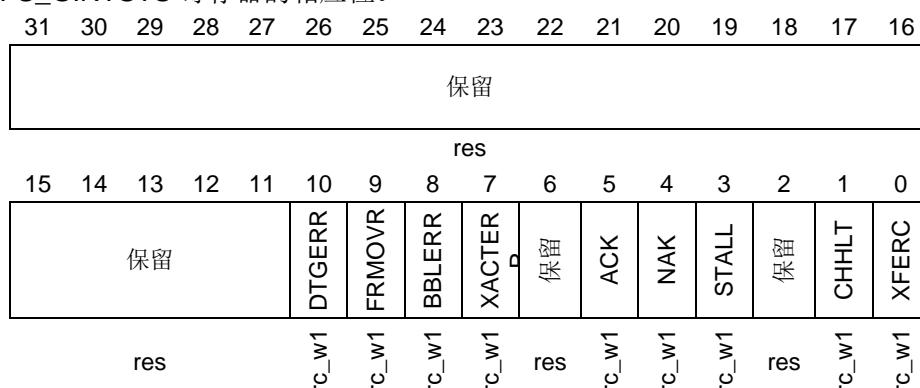
MAXPSIZE: 最大包长度 (Maximum packet size)
指示选中端点的最大包长度。

21.14.26 OTG_FS 主机通道x 中断寄存器(OTG_FS_HCINTx)(其中x代表通道号, x=0...7)

地址偏移: 0x508 + (通道号 × 0x20)

复位值: 0x0000 0000

此寄存器指示通道与 USB 和 AHB 相关时间的状态。具体请参考图 21-9。当控制器中断寄存器的主机通道中断位(OTG_FS_GINTSTS 寄存器的 HCINT 位)置起时, 应用程序需要先读主机所有通道中断寄存器(OTG_FS_HAINT), 获得发生主机通道中断的通道号, 再读取相应通道的中断寄存器, 获得中断的详细信息。应用程序通过清除此寄存器的相应位, 清除 OTG_FS_HAINT 寄存器 和 OTG_FS_GINTSTS 寄存器的相应位。



位 31:11	保留
位 10	DTGERR: 数据 PID 错误 (Data toggle error)
位 9	FRMOVR: 帧溢出 (Frame overrun)
位 8	BBLERR: 串扰错误 (Babble error)
位 7	XACTERR: 传输错误 (Transaction error) 指示发生了以下错误: CRC 校验失败超时位填充错误 EOP 失败。
位 6	保留
位 5	ACK: ACK 已收到/已发送中断 (ACK response received/transmitted interrupt)。
位 4	NAK: NAK 已收到中断 (NAK response received interrupt)。
位 3	STALL: STALL 已收到中断 (STALL response received interrupt)。
位 2	保留
位 1	CHHLT: 通道中止 (Channel halted) 指示由于 USB 传输错误, 或者应用程序中止请求导致的传输异常结束。
位 0	XFERC: 传输完成 (Transfer completed) 传输正常完成, 没有出错。

21.14.27 OTG_FS 主机通道x 中断屏蔽寄存器 (OTG_FS_HCINTMSKx)(其中x 为通道号, x=0...7)

地址偏移: 0x50C + (通道号 × 0x20)

复位值: 0x0000 0000

本寄存器用于屏蔽上一节所描述的各类通道中断。



15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留					DTGERR M	FRMOVR M	BBLERR M	XACTER DM	NYET	ACKM	NAKM	STALLM	保留	CHHLTM	XFERCM
res					rw	rw	rw	rw	rw	rw	rw	rw	res	rw	rw

位 31:11	保留
位 10	DTGERRM: 数据 PID 错误中断屏蔽 (Data toggle error mask) 0: 屏蔽中断; 1: 不屏蔽中断。
位 9	FRMOVRM: 帧溢出中断屏蔽 (Frame overrun mask) 0: 屏蔽中断; 1: 不屏蔽中断。
位 8	BBLERRM: 串扰错误中断屏蔽 (Babble error mask) 0: 屏蔽中断; 1: 不屏蔽中断。
位 7	XACTERRM: 传输错误中断屏蔽 (Transaction error mask) 0: 屏蔽中断; 1: 不屏蔽中断。
位 6	NYET: 收到响应中断屏蔽 (response received interrupt mask) 0: 屏蔽中断; 1: 不屏蔽中断。
位 5	ACKM: ACK 已收到/已发送中断屏蔽 (ACK response received/transmitted interrupt mask) 0: 屏蔽中断; 1: 不屏蔽中断。
位 4	NAKM: NAK 已收到中断屏蔽 (NAK response received interrupt mask) 0: 屏蔽中断; 1: 不屏蔽中断。
位 3	STALLM: STALL 已收到中断屏蔽 (STALL response received interrupt mask) 0: 屏蔽中断; 1: 不屏蔽中断。
位 2	保留
位 1	CHHLTM: 通道中止中断屏蔽 (Channel halted mask) 0: 屏蔽中断; 1: 不屏蔽中断。
位 0	XFERCM: 传输完成中断屏蔽 (Transfer completed mask) 0: 屏蔽中断; 1: 不屏蔽中断。

21.14.28 OTG_FS主机通道x传输长度寄存器 (OTG_FS_HCTSIZx)(其中x为通道号， x=0...7)

地址偏移: 0x510 + (通道号 × 0x20)

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留	DPID	PKTCNT										XFERSIZ			
res	rw												rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XFERSIZ															
rw															

位 31	保留
位 30:29	DPID: 数据 PID (Data PID)

	应用程序通过此位告知控制器首个传输所使用的 PID 类型。控制器将会自动控制后续传输的 PID 类型。 00: DATA0; 01: DATA2; 10: DATA1; 11: MDATA(非控制)/SETUP(控制)。
位 28:19	PKTCNT: 包数目 (Packet count) 应用程序通过此位告知控制器期望收到(IN)的包数目或期望发送(OUT)的包数目。控制器在每次成功地发送或接收 OUT/IN 包之后，将自动地递减这个参数，一旦该域为 0，应用程序将收到中断，指示传输正常结束。
位 18:0	XFERSIZ: 传输长度 (Transfer size) 对于 OUT 传输，这些位指示主机在传输期间发送的数据字节数目。对于 IN 传输，这些位指示应用程序预留的缓冲区长度。对于 IN 传输(周期性和非周期性)，应用程序需要按照最大数据包的整数倍来预定义这个参数。

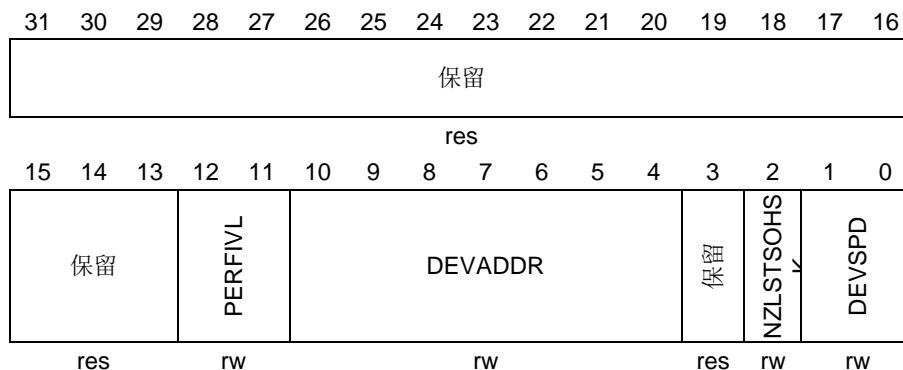
21.14.29 设备模式下的寄存器

21.14.30 OTG_FS设备配置寄存器(OTG_FS_DCFG)

地址偏移: 0x800

复位值: 0x0220 0000

在复位、或特殊控制命令、或枚举后，此寄存器用于配置控制器在设备模式下的操作特性。在初始化后，不要再修改此寄存器。



位 31:13	保留
位 12:11	PERFIVL: 周期性帧间隔 (Periodic frame interval) 指示产生周期性帧结束中断的时间占整个帧的百分比。应用程序可以通过此中断判断一个帧内的 同步传输是否都已传输完成。 00: 80%的帧时间； 01: 85%的帧时间； 10: 90%的帧时间； 11: 95%的帧时间。
位 10:4	DEVADDR: 设备地址 (Device address) 应用程序在收到 SetAddress 的控制命令后，按照参数填充此位。
位 3	保留
位 2	NZLSTSOHSK: 非零长度的状态 OUT 握手信号 (Non-zero-length status OUT handshake) 在控制传输的状态阶段，如果收到了一个非零长度的数据包，应用程序可以通过此位选择发送一个握手信号。 1: 向非零长度的状态 OUT 传输发送 STALL 握手，并且不向应用程序传送收到的 OUT 包。 0: 根据设备端口控制寄存器的 NAK 位和 STALL 位状态，选择发送握手信号，并将收到的 OUT 包 传送给应用程序(零长度和非零长度的)。
位 1:0	DEVSPD: 设备速度 (Device speed) 指示应用程序需要控制器进行枚举操作时的速度，或者是应用程序能支持的最大速度。然而，实际的总线速度只有在整个序列完成后，才能根据所连接的 USB 主机的速度决定。

	00: 保留; 01: 保留; 10: 保留; 11: 全速(USB 1.1 收发器, 时钟为 48MHz)。
--	--

21.14.31 OTG_FS设备控制寄存器(OTG_FS_DCTL)

地址偏移: 0x804

复位值: 0x0000 0000



位 31:12	保留
位 11	PWROPRGDNE: 上电配置结束 (Power-on programming done) 应用程序通过此位指示从调电状态唤醒后, 对寄存器的配置已经完成。
位 10	CGOUTNAK: 清除全局 OUT NAK (Clear global OUT NAK) 对此位的写操作将清除全局 OUT NAK 状态。
位 9	SGOUTNAK: 设置全局 OUT NAK (Set global OUT NAK) 对此位的写操作将设置全局 OUT NAK 状态。 应用程序通过此位告知控制器对所有的 OUT 端点都发送 NAK 信号。 程序在设置此位前, 必需确认控制器中断寄存器的全局 OUT NAK 有效位(OTG_FS_GINTSTS 寄存器的 GONAKEFF 位)已被清除。
位 8	CGNPINAK: 清除全局 IN NAK ((Clear global IN NAK)) 写此位将清除全局 IN NAK 状态。
位 7	SGNPINAK: 设置全局 IN NAK (Set global IN NAK) 对此位的写操作将设置全局非周期性 IN 的 NAK 状态。 程序通过此位告知控制器对所有非周期性 IN 端点都发送 NAK 握手信号。 程序在设置此位前, 必需确认控制器中断寄存器的全局 IN NAK 有效位 (OTG_FS_GINTSTS 寄存器的 GINAKEFF 位)已被清除。
位 6:4	TSTCTRL: 测试控制 (Test control) 000: 测试模式禁止; 001: Test_J 模式; 010: Test_K 模式; 011: Test_SE0_NAK 模式; 100: Test_Packet 模式; 101: Test_Force_Enable; 其他: 保留。
位 3	GOUTNAKSTS: 全局 OUT NAK 状态 (Global OUT NAK status) 0: 根据 FIFO 的状态和 NAK 位及 STALL 位的状态, 发送握手信号。 1: 不管存储区是否为空, 都不写入数据到接收 FIFO。向除了 SETUP 外的所有传输都发送 NAK 握手信号, 丢弃所有的同步 OUT 包。
位 2	GNPINNAKSTS: 全局 IN NAK 状态 (Global IN NAK status) 0: 根据发送 FIFO 中数据的状态发送握手信号。 1: 不管发送 FIFO 中数据的状态, 对所有非周期性 IN 端点都发送 NAK 握手信号。
位 1	SFTDIS: 软件断开 (Soft disconnect) 应用程序通过此位告知 OTG 控制器执行软件断开操作。当设置此位后, 主机将看到设备已经断开, 设备方将不会从 USB 总线上收到任何信号。控制器将保持在断开状态, 直到程序清除此位。 0: 普通操作。当此位在设备软件断开后清除, 控制器将发送一个设备连接事件到主机, 主机将重新执行枚举操作。

位 0	RWKUPSIG: 远程唤醒信号 (Remote wakeup signaling) 当应用程序设置此位，控制器将发送远程唤醒信号，唤醒 USB 主机。应用程序必需设置此位来使 控制器退出挂起状态。根据 USB2.0 规范，程序必需在设置此位后的 1~15ms 之间再次清除
-----	---

为了使 USB 主机能识别到设备断开的操作，软件断开(SDIS)位需要保持一段时间，下表列出了最小的持续时间(根据设备的不同状态)。为了适应时钟的抖动，建议应用程序在定义的最短时间 外再额外保留一段时间的延迟。

USB OTG 全速(OTG_FS)

表 21-7 软件断开的最短持续时间

操作速度	设备状态	最短持续时间
全速	挂起	1ms + 2.5us
全速	空闲	2.5us
全速	不空闲或挂起(正在执行传输操作)	2.5us

21.14.32 OTG_FS设备状态寄存器(OTG_FS_DSTS)

地址偏移: 0x808

复位值: 0x0000 0010

此寄存器指示控制器与 USB 相关的状态。此寄存器用于在发生设备所有中断(OTG_FS_DAINT)寄存器事件时读取。



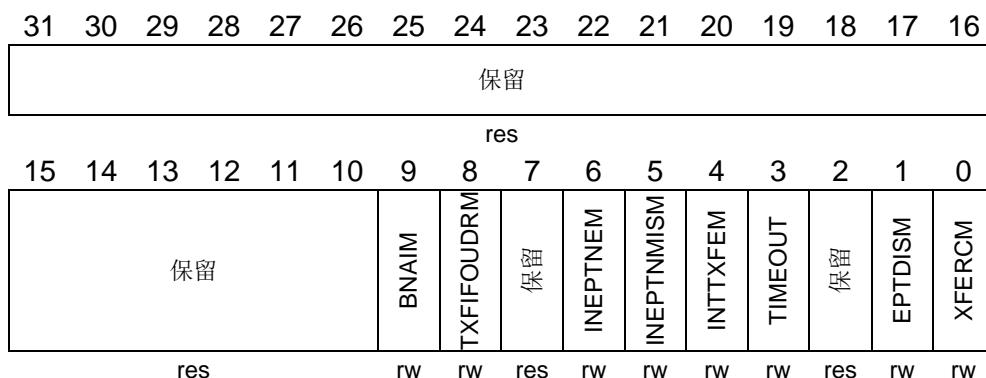
位 31:22	保留
位 21:8	SOFFN: 接收到的 SOF 的帧号 (Frame number of the received SOF)
位 7:4	保留
位 3	ETICERR: 奇怪的错误 (Erratic error) 控制器在发生一些奇怪的错误时设置此位。 如果发生了奇怪的错误，OTG_FS 控制器将进入挂起状态，并设置控制器中断寄存器的早期挂起位(OTG_FS_GINTSTS 寄存器的 ESUSP 位)随之产生中断。如果早期挂起中断是由于此位引起的，应用程序只能通过执行软件断开来解决。
位 2:1	ENUMSPD: 枚举速度 (Enumerated speed) 指示 OTG_FS 控制器通过序列选定的执行速度。 01: 保留； 10: 保留； 11: 全速(PHY 时钟运行在 48MHz); 其他: 保留。
位 0	SUSPSTS: 挂起状态 (Suspend status) 在设备模式下，如果在 USB 总线上检测到了挂起条件，将设置此位。控制器将在检测到 USB 数据 线在 3ms 内没有活动的情况下进入挂起状态。控制器在以下条件时退出挂起模式： 当 USB 数据线上出现了活动 当应用程序设置设备控制寄存器的远程唤醒信号位(OTG_FS_DCTL 寄存器的 RWUSIG 位)

21.14.33 OTG_FS设备OTG_FSIN端点通用中断屏蔽寄存器(OTG_FS_DIEPMSK)

地址偏移: 0x810

复位值: 0x0000 0000

此寄存器配合设备 IN 端点中断寄存器 (OTG_FS_DIEPINTx) 来产生 IN 端点中断。对应于 OTG_FS_DIEPINTx 寄存器的相应 IN 端点中断可以通过配置此寄存器来屏蔽。所有的中断在默认状态下都为屏蔽状态。



位 31:10	保留
位 9	BNAIM: BNA 中断屏蔽 (BNA interrupt mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 8	TXFIFOUDRM: FIFO 向下溢出中断屏蔽 (FIFO underrun mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 7	保留
位 6	INEPTNEM: IN 端点 NAK 状态有效中断屏蔽 (IN endpoint NAK effective mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 5	INEPTNMISM: 端点收到 IN 命令不匹配中断屏蔽 (IN token received with EP mismatch mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 4	INTTXFEM: 当发送 FIFO 空时收到 IN 命令中断屏蔽 (IN token received when TxFIFO empty mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 3	TIMEOUT: 超时检测中断屏蔽(非同步端点) (Timeout condition mask (Non-isochronous endpoints)) 0: 中断屏蔽; 1: 中断不屏蔽。
位 2	保留
位 1	EPTDISM: 端点被禁止中断屏蔽 (Endpoint disabled interrupt mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 0	XFERCM: 传输结束中断屏蔽 (Transfer completed interrupt mask) 0: 中断屏蔽; 1: 中断不屏蔽。

21.14.34 OTG_FS设备OUT端点通用中断屏蔽寄存器 (OTG_FS_DOEPMSK)

地址偏移: 0x814

复位值: 0x0000 0000

此寄存器配合设备 OUT 端点中断寄存器(OTG_FS_DOEPINTx) 使用，产生 OUT 端点中断。

OTG_FS_DOEPINTx 寄存器的每一位都可以通过写此寄存器的相应位来屏蔽。在默认状态下，所有中断都屏蔽。



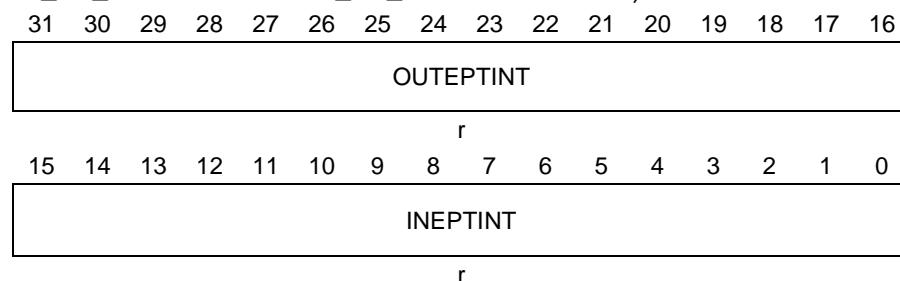
位 31:10	保留
位 9	BNAOM: BNA 中断屏蔽 (BNA interrupt mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 8	OUTPEM: OUT 包错误中断屏蔽 (OUT packet error mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 7	保留
位 6	B2BSETUP: 收到连续的 SETUP 包中断屏蔽 (Back-to-back SETUP packets received mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 5	保留
位 4	OUTTEPDM : 当端点被禁止时收到 OUT 命令中断屏蔽 (OUT token received when endpoint disabled mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 3	SETUPM: SETUP 阶段完成中断屏蔽 (SETUP phase done mask) 仅对控制端点有效 0: 中断屏蔽; 1: 中断不屏蔽。
位 2	保留
位 1	EPTDISM: 端点被禁止中断屏蔽 (Endpoint disabled interrupt mask) 0: 中断屏蔽; 1: 中断不屏蔽。
位 0	XFERCM: 传输结束中断屏蔽 (Transfer completed interrupt mask) 0: 中断屏蔽; 1: 中断不屏蔽。

21.14.35 OTG_FS设备所有端点中断寄存器(OTG_FS_DAIANT)

地址偏移: 0x818

复位值: 0x0000 0000

当每个端点发生了事件时，设备所有端点中断寄存器分别通过控制器中断寄存器的设备 OUT 端点中断位或设备 IN 端点中断位(OTG_FS_GINTSTS 寄存器的 OEPINT 或 IEPINT 位)来产生中断打断应用程序。每个端点都有相对应的一位，OUT 端点有 16 位，IN 端点也有 16 位。对于双向端点，同时使用 IN 和 OUT 位。此寄存器的相应位，在应用程序设置和清除相应的设备端点 x 中断寄存器(OTG_FS_DIEPINTx 和 OTG_FS_DOEPINTx 寄存器)的相应位时自动设置和清除。



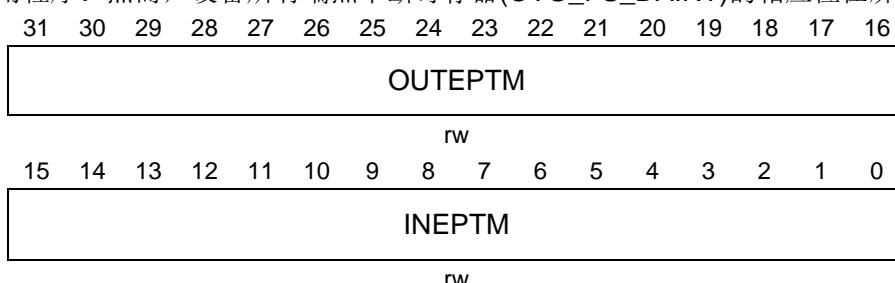
位 31:16	OUTEPTINT: OUT 端点中断位 (OUT endpoint interrupt bits) 每个位对应一个 OUT 端点。 位 16 对应 OUT 端点 0，位 18 对应 OUT 端点 3。
位 15:0	INEPTINT: IN 端点中断位 (IN endpoint interrupt bits) 每个位对应一个 IN 端点。 位 0 对应 IN 端点 0，位 3 对应 IN 端点 3。

21.14.36 OTG_FS所有端点中断屏蔽寄存器 (OTG_FS_DAIANTMSK)

地址偏移: 0x81C

复位值: 0x0000 0000

设备所有端点中断屏蔽寄存器与设备端点中断寄存器配合使用，在发生设备端点事件时，产生 中断打断应用程序。然而，设备所有端点中断寄存器(OTG_FS_DAIANT)的相应位在屏蔽时仍然置位。



位 31:16	OUTEPTM: OUT 端点中断屏蔽寄存器 (OUT EP interrupt mask bits) 每个位对应一个 OUT 端点。 位 16 对应 OUT 端点 0，位 31 对应 OUT 端点 15。 0: 屏蔽中断； 1: 不屏蔽中断。
---------	---

位 15:0	INEPTM: IN 端点中断屏蔽位 (IN EP interrupt mask bits)
	每个位对应一个 IN 端点。 位 0 对应 IN 端点 0, 位 15 对应 IN 端点 15。 0: 屏蔽中断; 1: 不屏蔽中断。

21.14.37 OTG_FS设备IN端点FIFO空中断屏蔽寄存器 (OTG_FS_DIEPEMPMSK)

地址偏移: 0x834

复位值: 0x0000 0000

此寄存器配合 IN 端点 FIFO 空中断寄存器(TXFE_OTG_FS_DIEPINTx)产生中断。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
res															
INEPTXFEM															
rw															

位 31:16	保留
位 15:0	INEPTXFEM: IN端点发送FIFO空中断屏蔽位(IN EP Tx FIFO empty interrupt mask bits) 此位用于屏蔽OTG_FS_DIEPINTx寄存器的相应位。 TXFE中断的一位对应一个IN端点: 位0对应IN端点0, 位3对应IN端点3。 0: 屏蔽中断; 1: 不屏蔽中断。

21.14.38 OTG_FS设备控制IN端点0控制寄存器 (OTG_FS_DIEPCTL0)

地址偏移: 0x900

复位值: 0x0000 0000

本节描述了设备控制 IN 端点 0 控制寄存器。非 0 控制端点使用对应端点 1-15 的寄存器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EPTENA	EPTDIS	保留	SNAK	CNAK	TXFNUM			STALL	保留	EPTYPE	S	NAKSTS	保留		
r	r	res	w	w	rw			rs	res	r	r	res			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBAEP															
保留															
MAXPSIZE															
r															

位 31	EPTENA: 端点使能(Endpoint enable) 此应用程序设置此位, 以启动在端点0上的数据传输。 控制器在产生以下端点中断前会先清除此位:
------	---

	0: 端点禁止; 1: 传输完成。
位 30	EPTDIS: 端点禁止(Endpoint disable) 应用程序通过设置此位可以立即停止端点上的数据传输，即使传输还未完成。应用程序需要等到端点禁止中断才能确定此端点已禁止。控制器在设置端点中断时会清除此位。应用程序只有在端点已经使能时才能设置此位。
位 29:28	保留
位 27	SNAK: 设置NAK (Set NAK) 写此位会设置端点的NAK状态 通过设置此位，程序能告知控制器发送NAK握手信号。控制器也会在收到SETUP包时设置此位。
位 26	CNAK: 清除NAK (Clear NAK) 此写此位会清除端点的NAK状态
位 25:22	TXFNUM: 发送FIFO的编号(TxFIFO number) 此位设置分配给IN端点0的FIFO编号。
位 21	STALL: STALL握手(STALL handshake) 位应用程序只能设置此位，控制器会在收到SETUP命令时清除此位。即使同时设置了NAK位、或全局IN NAK位、或全局OUT NAK位，STALL位仍有高优先级。
位 20	保留
位 19:18	EPTYPE: 端点类型(Endpoint type) 对于控制端点，由硬件置为'00'。
位 17	NAKSTS: NAK状态 (NAK status) 指示以下： 0: 根据FIFO状态，控制器发送非NAK握手信号； 1: 控制器发送NAK握手信号。 只要设置了此位，不管是应用程序设置此位还是控制器设置此位，控制器都将停止数据传输，而不管发送FIFO中的数据是否有效。不管此位设置如何，控制器永远发送ACK握手响应SETUP数据包。
位 16	保留
位 15	USBAEPT: USB活跃端点(USB active endpoint) 此位永远为'1'，指示控制端口0在任何配置情况下都是活跃的。
位 14:2	保留
位 1:0	MAXPSIZE: 最大包长度(Maximum packet size) 此应用程序通过此位配置该端点的最大数据包长度 00: 64字节； 01: 32字节； 10: 16字节； 11: 8字节。

21.14.39 OTG_FS设备端点x控制寄存器 (OTG_FS_DIEPCTLx)(其中x为端点号， x=1…3)

地址偏移: 0x900 + (端点号 × 0x20)

复位值: 0x0000 0000

应用程序通过这些寄存器控制非 0 端点的操作特性。

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

EPTENA	EPTDIS	SODDFRM	SETD0PID SELALEDAM	SNAK	CNAK	TXFNUM	STALL	保留	EPTYPE	NAKSTS	EONUM/DPID							
rs	rs	w	w	w	w	rw	rw/s	res	rw	r	r							
15	14	13	12	11	10	9	8	7	6	5	4							
USBAEPT	保留				MAXPSIZE													
位 31	EPTENA: 端点使能 (Endpoint enable) 应用程序设置此位，以启动端点上的数据传输。 控制器在产生以下端点中断前会先清除此位： SETUP 阶段完成； 端点禁止； 传输完成。																	
位 30	EPTDIS: 端点禁止 (Endpoint disable) 应用程序通过设置此位可以立即停止端点上的数据传输，即使传输还未完成。应用程序需要等到 端点禁止中断才能确为此端点已禁止。控制器在设置端点中断中断时会清除此位。应用程序只有 在端点已经使能时才能设置此位。																	
位 29	SODDFRM: 设置奇数帧 (Set odd frame) 仅对同步的 IN 和 OUT 端点有效。写此位在 EONUM 中选择奇数帧。																	
位 28	SETD0PID: 设置 DATA0 PID (Set DATA0 PID) 仅对中断/块传输 IN 端点有效。写此位将设置数据 PID 位为 DATA0。 SEVNFRM: 设置偶数帧，仅对同步 IN 端点有效。写此位在 EONUM 中选择偶数帧。																	
位 27	SNAK: 设置 NAK (Set NAK) 写此位会设置端点的 NAK 状态 通过设置此位，程序能告知控制器发送 NAK 握手信号。控制器也会在收到 SETUP 包或 OUT 端点 传输结束中断时设置此位。																	
位 26	CNAK: 清除 NAK (Clear NAK) 写此位会清除端点的 NAK 状态。																	
位 25:22	TXFNUM: 发送 FIFO 的编号 (TxFIFO number) 此位设置分配给该端点的 FIFO 编号，每个有效的 IN 端点都必需分配一个独立的 FIFO 编号。此位仅对 IN 端点有效。																	
位 21	STALL: STALL 握手 (STALL handshake) 仅对非控制、非同步 IN 端点有效(操作类型为 rw) 应用程序设置此位，该端点会以 STALL 来响应所有的主机命令。即使同时设置了 NAK 位、或 全局 IN NAK 位、或 全局 OUT NAK 位，STALL 位仍有最高优先级。只有应用程序能清除此位，控制器不能。 仅对控制端点有效(操作类型是 rs) 应用程序只能设置此位，控制器会在收到 SETUP 命令时清除此位。即使同时设置了 NAK 位、或 全局 IN NAK 位、或 全局 OUT NAK 位，STALL 位仍有高优先级。然而控制器将永远用 ACK 握手来响应 SETUP 数据包。																	
位 20	保留																	
位 19:18	EPTYPE: 端点类型 (Endpoint type) 此位指示端点的传输类型 00: 控制； 01: 同步； 10: 块传输； 11: 中断。																	

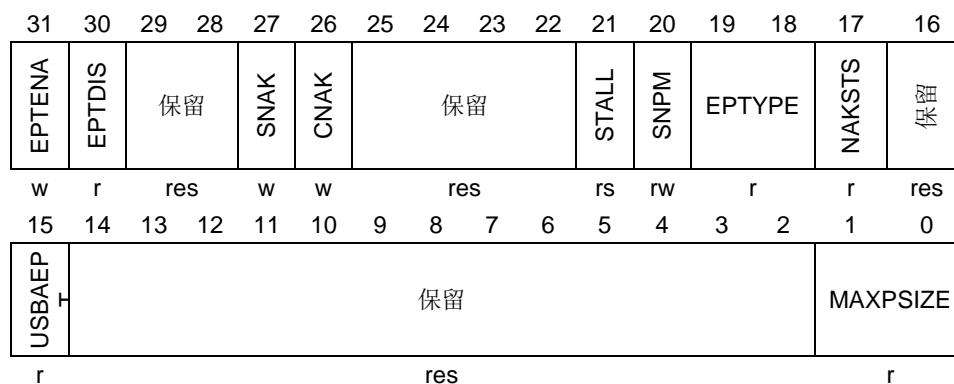
位 17	NAKSTS: NAK 状态 (NAK status) 指示以下状态： 0: 根据 FIFO 状态, 控制器发送非 NAK 握手; 1: 控制器发送 NAK 握手信号。只要设置了此位, 不管是应用程序设置还是控制器设置: 对于非同步 IN 端点, 控制器都将停止数据传输, 而不管发送 FIFO 中的数据是否有 效。对于同步 IN 端点, 即使发送 FIFO 中的数据有效, 控制器都将发送一个零长度的 数据包。 不管此位设置如何, 控制器永远发送 ACK 握手以响应 SETUP 数据包。
位 16	EONUM: 偶数/奇数帧 (Even/odd frame) 仅对同步 IN 端点有效：指示该端点进行同步数据收发的帧号。程序必需适用本寄存器 中 SEVNFRM 和 SODDFRM 位 的状态来, 设置希望收发帧的偶数/奇数帧号。 0: 偶数帧; 1: 奇数帧。 DPID: 端点数据 PID (Endpoint data PID) 仅对中断/块传输 IN 端点有效：此位保存通过此端点来传输的数据包的 PID。应用程 序必需在使能端点后, 配置此位, 选择首个发送或接收的数据包的 PID。应用程序通过 SD0PID 寄存器位来配置 DATA0 或 DATA1。 0: DATA0; 1: DATA1。
位 15	USBAEPT: USB 活跃端点 (USB active endpoint) 指示在当前配置下, 此端点是否为活跃端点。控制器在检测到 USB 复位后会清除所有 端点的此位(除了端点 0), 在收到 SetConfiguration 和 SetInterface 命令后, 应用程序 必需根据需要设置此位。
位 14:11	保留
位 10:0	MAXPSIZE: 最大包长度 (Maximum packet size) 应用程序通过此位配置该端点的最大数据包长度 此位的值以字节为单位。

21.14.40 OTG_FS 设备控制 OUT 端点 0 控制寄存器 (OTG_FS_DOEPCTL0)

地址偏移: 0xB00

复位值: 0x0000 8000

本节描述了设备控制 OUT 端点 0 的控制寄存器。非 0 控制端点使用相应的端点 1-15 控制寄存器。



位 31	EPTENA: 端点使能 (Endpoint enable) 应用程序设置此位, 以启动端点 0 上的数据传输。 控制器在产生以下端点中断前会先清除此位： SETUP 阶段完成; 端点禁止; 传输完成。
位 30	EPTDIS: 端点禁止 (Endpoint disable) 应用程序不可以禁止控制 OUT 端点 0。
位 29:28	保留

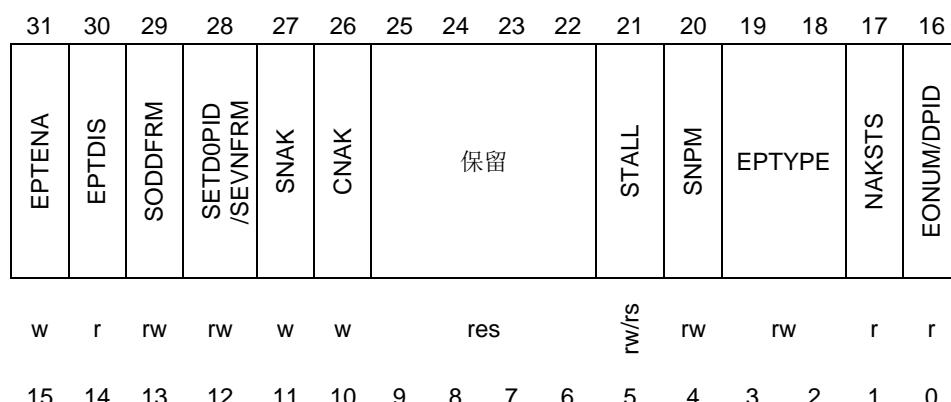
位 27	SNAK: 设置 NAK (Set NAK) 写此位会设置端点的 NAK 状态。 通过设置此位，应用程序能告知控制器发送 NAK 握手信号。控制器也会在收到 SETUP 包或传输结束中断时设置此位。
位 26	CNAK: 清除 NAK (Clear NAK) 设置此位会清除端点的 NAK 状态。
位 25:22	保留
位 21	STALL: STALL 握手 (STALL handshake) 应用程序只能设置此位；当收到一个 SETUP 命令时，由控制器清除。即使同时设置了 NAK 位、或全局 OUT NAK 位，STALL 位仍有高优先级。然而无论此位如何设置，控制器总是以 ACK 握手来响应 SETUP 数据包。
位 20	SNPM: 监听模式 (Snoop mode) 设置此位将使端点进入监听模式，在监听模式下，控制器在将数据传入应用程序缓冲区之前将不会检测 OUT 包的正确性。
位 19:18	EPTYPE: 端点类型 (Endpoint type) 由硬件设置为'00'。
位 17	NAKSTS: NAK 状态 (NAK status) 指示以下状态： 0: 根据 FIFO 状态，控制器发送非 NAK 握手； 1: 控制器发送 NAK 握手信号。 只要设置了此位，不管是应用程序设置还是控制器设置。 控制器都将停止数据传输，而不管发送 FIFO 中的数据是否有效。不管此位设置如何，控制器永远发送 ACK 握手以响应 SETUP 数据包。
位 16	保留
位 15	USBAEPT: USB 活跃端点 (USB active endpoint) 总是为'1'，表示控制端点 0 在任何配置下都是活跃的。
位 14:2	保留
位 1:0	MAXPSIZE: 最大包长度 (Maximum packet size) 控制 OUT 端点 0 的最大数据包长度必须与控制 IN 端点 0 的最大数据包长度一致。 00: 64 字节； 01: 32 字节； 10: 16 字节； 11: 8 字节。

21.14.41 OTG_FS设备OUT端点x控制寄存器 (OTG_FS_DOEPCTLx)(其中x为端点号，x=1…3)

地址偏移: 0xB00 + (端点号 × 0x20)

复位值: 0x0000 0000

应用程序通过此寄存器来控制除了端点 0 的其他端点的操作特性。



USBAEP U	保留	MAXPSIZE
rw	res	rw

位 31	<p>EPTENA: 端点使能 (Endpoint enable) 对于 IN 和 OUT 端点都有效。 应用程序设置此位，以启动端点上的数据传输。 控制器在产生以下端点中断前会先清除此位： SETUP 阶段完成； 端点禁止； 传输完成。</p>
位 30	<p>EPTDIS: 端点禁止 (Endpoint disable) 应用程序通过设置此位可以立即停止端点上的数据传输，即使传输还未完成。应用程序需要等到 端点禁止中断才能确为此端点已被禁止。控制器在设置端点中断时会清除此位。应用程序只有在 端点已经使能时才能设置此位。</p>
位 29	<p>SODDFRM: 设置奇数帧 (Set odd frame) 仅对同步 OUT 端点有效 设置此位，则在奇偶帧域(EONUM)中选择奇数帧。</p>
位 28	<p>SETD0PID: 设置 DATA0 PID (Set DATA0 PID) 仅对中断/块传输 OUT 端点有效。 写此位将设置数据 PID 位为 DATA0。 SEVNFRM: 设置偶数帧 仅对同步 OUT 端点有效。 设置此位，则在奇偶帧域(EONUM)中选择偶数帧。</p>
位 27	<p>SNAK: 设置 NAK (Set NAK) 写此位会设置端点的 NAK 状态。 通过设置此位，应用程序能控制控制器发送 NAK 握手信号。控制器也会在收到 SETUP 包或 OUT 端点传输结束中断时设置此位。</p>
位 26	<p>CNAK: 清除 NAK (Clear NAK) 写此位会清除端点的 NAK 状态。</p>
位 25:22	保留
位 21	<p>STALL: STALL 握手 (STALL handshake) 仅对非控制，非同步 OUT 端点有效(操作类型为 rw) 应用程序设置此位，该端点会以 STALL 来响应所有来自主机的命令。即使同时设置了 NAK 位、或全局 IN NAK 位、或全局 OUT NAK 位，STALL 位仍有最高优先级。 只有应用程序能清除此位，控制器不能。 仅对控制端点有效(操作类型是 rs) 应用程序只能设置此位，控制器会在收到 SETUP 命令时清除此位。即使同时设置了 NAK 位、或全局 IN NAK 位、或全局 OUT NAK 位，STALL 位仍有高优先级。然而控制器将永远用 ACK 握手来响应 SETUP 数据包。</p>
位 20	<p>SNPM: 监听模式 (Snoop mode) 设置此位将使端点进入监听模式。在监听模式下，控制器在将 OUT 数据包写入应用程序缓存区前 不检查数据的正确性。</p>
位 19:18	<p>EPTYPE: 端点类型 (Endpoint type) 此位指示端点的传输类型： 00: 控制 01: 同步 10: 块传输 11: 中断</p>
位 17	<p>NAKSTS: NAK 状态 (NAK status) 指示以下状态： 0: 根据 FIFO 状态，控制器发送非 NAK 握手信号。 1: 控制器发送 NAK 握手信号。 只要设置了此位，不管是应用程序设置还是控制器设置： 控制器都将停止数据传输，而不管接收 FIFO 是否能接收数据。 不管此位设置如何，控制器永远发送 ACK 握手响应 SETUP 数据包。</p>
位 16	<p>EONUM: 偶数/奇数帧 (Even/odd frame) 仅对同步 OUT 端点有效：</p>

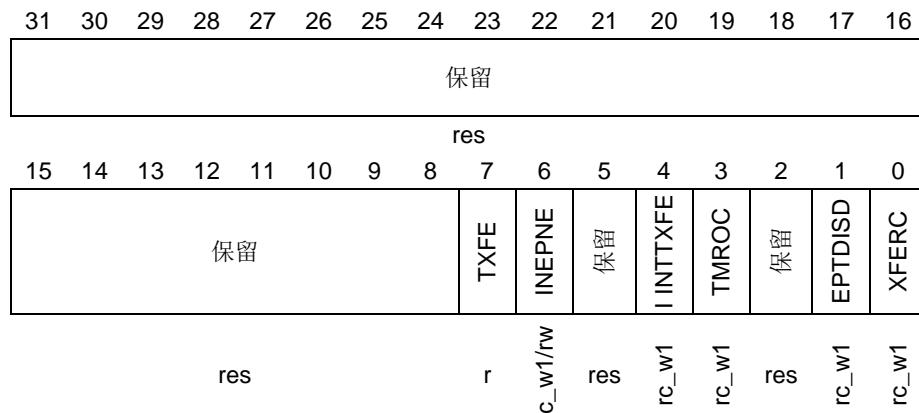
	<p>指示该端点进行同步数据收发的帧号。程序必需根据本寄存器中 SEVNFRM 和 SODDFRM 位 的状态来设置偶数/奇数帧号。</p> <p>0: 偶数帧; 1: 奇数帧。</p> <p>DPID: 端点数据 PID (Endpoint data PID) 仅对中断/块传输 OUT 端点有效:</p> <p>此位保存通过此端点来传输的数据包的 PID。程序必需在使能端点后配置此位，选择首个发送或接收的数据包的 PID。应用程序通过 SDOPID 寄存器位来配置 DATA0 或 DATA1。</p> <p>0: DATA0; 1: DATA1。</p>
位 15	USBAEPT: USB 活跃端点 (USB active endpoint) 指示在当前配置下，此端点是否为活跃端点。控制器在检测到 USB 复位后会清除所有端点的这一位(除了端点 0)，在收到 SetConfiguration 和 SetInterface 命令后，程序必需根据需要设置此位。
位 14:11	保留
位 10:0	MAXPSIZE: 最大包长度 (Maximum packet size) 应用程序通过此位配置该端点的最大数据包长度 长度数值以字节为单位。

21.14.42 OTG_FS设备端点x中断寄存器(OTG_FS_DIEPINTx)(其中x为端点号，x=0…3)

地址偏移: 0x908 + (端点号 × 0x20)

复位值: 0x0000 0080

寄存器指示相应端点与 USB 和 AHB 相关的事件状态。具体请参考图 21-9。当控制器中断寄存器的 IN 端点中断位(OTG_FS_GINTSTS 寄存器的 IEPINT 位)为‘1’时，程序必需先读设备所有端点中断寄存器(OTG_FS_DAINT)来获得发生事件的端点号，然后再读相应端点的中断寄存器获得详细信息。应用程序必需通过清除此位来清除 OTG_FS_DAINT 和 OTG_FS_GINTST 寄存器的对应位。



位 31:8	保留
位 7	<p>TXFE: 发送 FIFO 空 (Transmit FIFO empty) 当与此端点相对应的发送 FIFO 为空或者半空时，会产生此中断。控制器 AHB 配置寄存器的 TxFIFO 空级别位(OTG_FS_GAHBCFG 寄存器的 TXFEMLVL 位)将决定发送 FIFO 在空还是半空状态 时产生中断。</p>
位 6	<p>INEPNE: IN 端点 NAK 有效 (IN endpoint NAK effective) 写 OTG_FS_DIEPCTLx 寄存器的 CNAK 位将清除 IN 端点的 NAK 状态，同时也清除此位。此中断意味着控制器检测到 NAK 已经被设置(可以由应用程序设置也可以由控制器设置)，这个中断指示由应用程序设置的 NAK 位已经生效。 这个中断不能保证已经在 USB 线上发送了 NAK 信号。STALL 位的优先级高于 NAK 位。</p>
位 5	保留

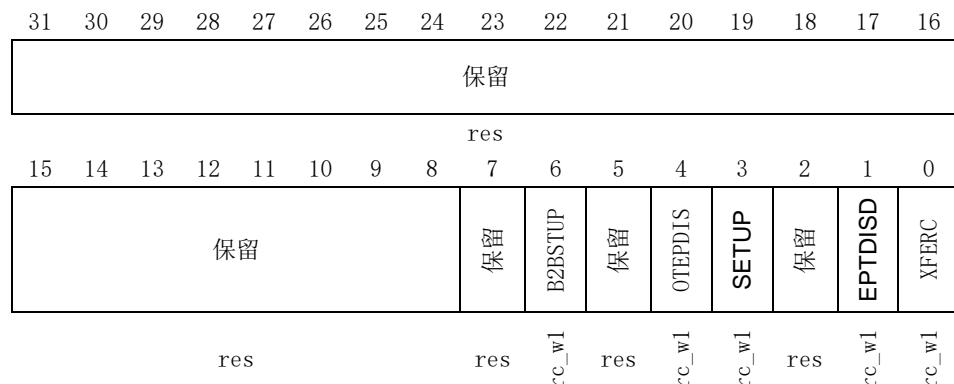
位 4	INTTXFE: 当发送 FIFO 空时收到 IN 命令 (IN token received when TxFIFO is empty) 仅对于非周期性的 IN 端点有效。 指示与此端点相关的发送 FIFO(周期性/非周期性)为空时，收到了 IN 的命令。此中断仅在收到 IN 命令的端点产生。
位 3	TMROC: 超时 (Timeout condition) 仅对控制 IN 端点有效。 指示自该端点收到最后一个 IN 命令以来，控制器监测到了超时状态。
位 2	保留
位 1	EPTDISD: 端点禁止中断 (Endpoint disabled interrupt) 此中断指示根据应用程序的请求，此端点已经被禁止。
位 0	XFERC: 传输完成中断 (Transfer completed interrupt) 此中断指示该端点上已配置好的传输，无论在 AHB 方面还是 USB 方面，都已传输完毕。

**21.14.43 OTG_FS设备端点x中断寄存器
(OTG_FS_DOEPINTx)(其中x为端点号, x=0…3)**

地址偏移: $0xB08 + (\text{端点号} \times 0x20)$

复位值: 0x0000 0080

此寄存器指示相应端点与 USB 和 AHB 相关的事件状态。具体请参考图 21-9。当控制器中断寄存器的 OUT 端点中断位(OTG_FS_GINTSTS 寄存器的 OEPINT 位)为'1'时，应用程序必需先读设备所有端点中断寄存器(OTG_FS_DAINT)来获得发生事件的端点号，然后再读相应端点的中断寄存器获得详细信息。应用程序必需通过清除此位来清除 OTG_FS_DAINT 和 OTG_FS_GINTST 寄存器的对应位。



位 31:7	保留
位 6	B2BSTUP: 收到连续的 SETUP 包 (Back-to-back SETUP packets received) 仅对控制 OUT 端点有效。 指示该端点收到了超过 3 个连续的 SETUP 包。
位 5	保留
位 4	OTEPDIS: 当端点禁止时收到了 OUT 命令 (OUT token received when endpoint disabled) 仅对控制 OUT 端点有效。 指示端点禁止时收到了 OUT 命令，此中断仅在收到 OUT 命令的端点上产生。
位 3	SETUP: SETUP 阶段完成 (SETUP phase done) 仅对控制 OUT 端点有效。 指示与此控制端点相关的 SETUP 阶段已经完成，当前传输不会再有更多的连续的 SETUP 包。产生此中断后，应用程序可以开始处理收到的 SETUP 数据包。
位 2	保留
位 1	EPTDISD: 端点禁止中断 (Endpoint disabled interrupt) 此中断指示根据应用程序的请求，此端点已经被禁止。

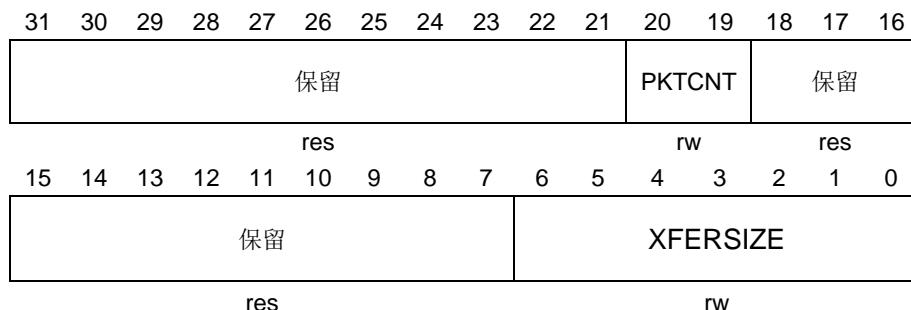
位 0	XFERC: 传输完成中断 (Transfer completed interrupt) 此中断指示该端点上已配置好的传输，无论在 AHB 端还是 USB 端，都已传输完毕。
-----	---

21.14.44 OTG_FS设备IN端点0传输长度寄存器 (OTG_FS_DIEPTSIZ0)

地址偏移: 0x910

复位值: 0x0000 0000

应用程序必需在使能端点 0 之前配置此寄存器。一旦通过设备控制端点 0 控制寄存器的端点使能 位 (OTG_FS_DOEPCTL0 寄存器的 EPENA 位)使能了端点 0，就只有控制器可以修改此寄存器。当端点使能位被清除之前，应用程序只能读此寄存器。



位 31:21	保留
位 20:19	PKTCNT: 包数目(Packet count) 指示在端点 0 上要传输“传输长度”数据，所需要的 USB 数据包的数量。 控制器每从发送 FIFO 中读出一个数据包(最大长度的数据包和短包)，此寄存器的值会自动减 1。
位 18:7	保留
位 6:0	XFERSIZE: 传输长度 (Transfer size) 指示端点 0 上要传输的字节数。当传输字节数减为 0 时，控制器会产生中断并通知应用程序。可以在每个包结束后，将此寄存器值设置为端点的最大传输长度。 控制器会在从存储区向发送 FIFO 写数据的时候自动递减此域。

21.14.45 OTG_FS设备OUT端点0传输长度寄存器 (OTG_FS_DOEPTSIZ0)

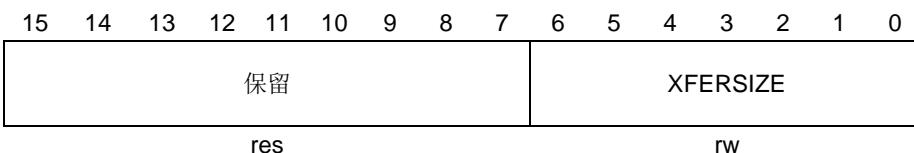
地址偏移: 0xB10

复位值: x0000 0000

应用程序必需在使能端点 0 前配置好此寄存器。一旦端点 0 通过设备控制端点 0 控制寄存器的端点使能位(OTG_FS_DOEPCTL0 寄存器的 EPENA 位)使能，就只有控制器能修改此寄存器。控制器在清除端点使能位之前，应用程序只能读此寄存器。

非 0 的端点使用针对端点 1 至端点 15 的寄存器。





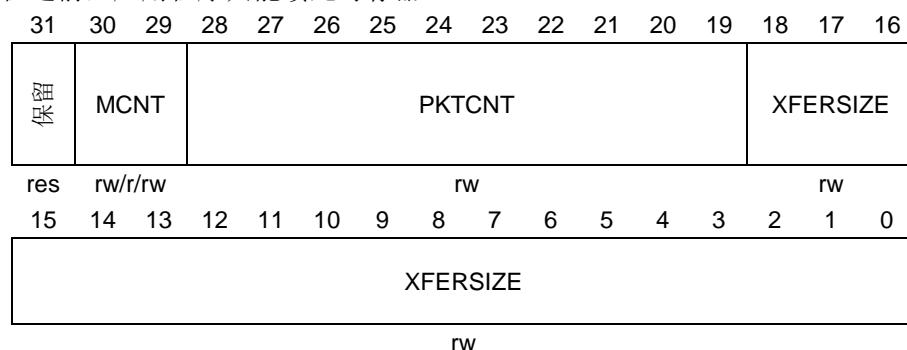
位 31	保留
位 30:29	SETUPCNT: SETUP 包数目 (SETUP packet count) 此位指示端点能够接收的连续的 SETUP 包数目 01: 1 个包; 10: 2 个包; 11: 3 个包。
位 28:20	保留
位 19	PKTCNT: 包数目 (Packet count) 当一个包被写入接收 FIFO 后, 此位递减, 直至减为 0。
位 18:7	保留
位 6:0	XFERSIZE: 传输长度 (Transfer size) 指示端点 0 上的传输字节数。控制器在传输长度为 0 时产生中断并通知应用程序。可以在每个包结束时, 设置此寄存器值为端点的最大传输长度, 并在每个数据包结束时产生中断。 控制器在数据包从接收 FIFO 中写入存储区时会自动递减此域。

21.14.46 OTG_FS设备端点 x 传输长度寄存器 (OTG_FS_DIEPTSI0x)(其中 x 为端点号, x=1…3)

地址偏移: 0x910 + (端点号 × 0x20)

复位值: x0000 0000

应用程序必需在使能端点前配置此寄存器。一旦端点通过设备端点 x 控制寄存器的端点使能位 (OTG_FS_DIEPCTLx 寄存器的 EPENA 位)使能, 就只有控制器能修改此寄存器。控制器清除了端点使能位之前, 应用程序只能读此寄存器。

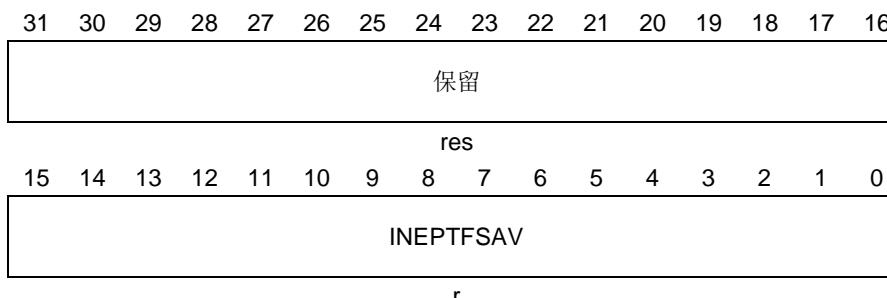


位 31	保留
位 30:29	MCNT: 帧内包数目 (Multi count) 对于周期性 IN 端点, 此位指示在 USB 一个帧期间要传输的数据包数量。控制器根据此位来计算同步 IN 端点发送的数据 PID 号。 01: 1 个包 10: 2 个包 11: 3 个包
位 28:19	PKTCNT: 包数目 (Packet count) 指示端点上总共要发送的数据包数。 每从发送 FIFO 中读出一个数据包, 自动递减此域。
位 18:0	XFERSIZE: 传输长度 该位指示当前端点的传输长度。控制器会在此位为 0 时产生中断并通知应用程序。可以配置此寄存器为端点的最大传输长度, 并在每个数据包结束产生中断。 控制器会在每次从存储区向发送 FIFO 写数据时, 自动递减此域。

21.14.47 OTG_FS设备IN端点传输FIFO状态寄存器(OTG_FS_DTXFSTSx)(其中x为端点号, x=0…3)

地址偏移: 0x918 + (端点号 × 0x20)

此寄存器为只读寄存器, 保存设备 IN 端点的发送 FIFO 的剩余空间信息。

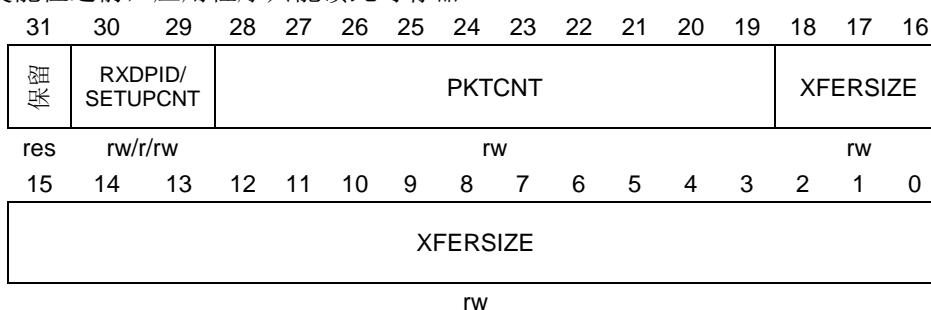


21.14.48 OTG_FS设备端点x 传输长度寄存器(OTG_FS_DOEPTSIzX)(其中x 为端点号, x=1…3)

地址偏移: 0xB10 + (端点号 × 0x20)

复位值: 0x0000 0000

此应用程序必需在使能端点前, 配置此寄存器。一旦端点通过设备端点 x 控制寄存器的端点使能位 (OTG_FS_DOEPCTLx 寄存器的 EPENA 位)使能, 就只有控制器能修改此寄存器。当控制器清除端点使能位之前, 应用程序只能读此寄存器。



位 31	保留
位 30:29	RXDPID: 收到的数据 PID (Received data PID) 此位仅对同步 OUT 端点有效。 指示收到的最后一个数据包的数据 PID: 00: DATA0; 01: DATA2; 10: DATA1; 11: MDATA。 SETUPCNT: SETUP 包数目 (SETUP packet count) 此位仅对控制 OUT 端点有效。 指示端点收到的连续的 SETUP 包的数量: 01: 1 个包; 10: 2 个包;

	11: 3 个包。
位 28:19	PKTCNT: 包数目 (Packet count) 指示该端点上传输的 USB 包数目。 控制器在每次从存储区向接收 FIFO 中写数据包时，自动递减此域。
位 18:0	XFERSIZE: 传输长度 (Transfer size) 此位指示该端点要传输的字节数。控制器在此域为 0 时会产生中断通知应用程序。可以配置此域 为端点的最大传输长度，并在每个数据包结束产生中断。 控制器在每次从接收 FIFO 向存储区写数据时，自动递减此数值。

21.14.49 OTG_FS电源和时钟门控寄存器(OTG_FS_PCGCCTL)

地址偏移: 0xE00

复位值: 0x0000 0000

此寄存器在设备模式和主机模式下都有效。



位 31:5	保留
位 4	PHYSUSP: PHY 挂起 指示 PHY 已经挂起。此位在通过应用程序设置 STPPCLK 位(位 0)使 PHY 进入挂起状态时置为'1'。
位 3:2	保留
位 1	GATEHCLK: HCLK 门控 (Gate HCLK) 应用程序通过设置此位可以控制 HCLK，在 USB 挂起时唤醒逻辑模块。
位 0	STOPPCLK: 停止 PHY 时钟 (Stop PHY clock) 当 USB 挂起、或者设备断开时，应用程序可以通过设置此位来停止 PHY 的时钟驱动。当 USB 唤醒时，应用程序可以清除此位。

21.15 OTG_FS编程规则

21.15.1 控制器初始化

应用程序必须按照顺序初始化控制器。如果在上电期间，USB 电缆已经连上，控制器中断寄存器的当前操作模式位(OTG_FS_GINTSTS 的 CURMOD 位)将指出当前的工作模式。当 A 类插头插入时，OTG_FS 控制器工作在主机模式下，当 B 类插头插入时，控制器工作在设备模式下。

本节介绍上电后 OTG_FS 控制器的初始化。无论在主机模式或是在设备模式下工作，应用程序都必须按照顺序初始化控制器。所有的控制器全局寄存器都必须按照控制器的配置来进行初始化：

1. 配置 AHB 全局配置寄存器(OTG_FS_GAHBCFG)的如下位:
 - 全局的中断屏蔽位 GINTMSK = 1
 - 接收 FIFO 非空位(OTG_FS_GINTSTS 寄存器的 RXFLVL 位)
 - 周期性的发送 FIFO 空级别
2. 配置 OTG_FS_GUSBCFG 寄存器的如下位:
 - FS 超时校准位
 - USB 反射时间位
3. 应用程序不能屏蔽 GINTMSK 寄存器的如下位:
 - OTG 中断屏蔽位
 - 模式不匹配中断屏蔽位
4. 应用程序通过读取 OTG_FS_GINTSTS 寄存器的 CURMOD 位来判断当前 OTG_FS 控制器处于主机模式还是处于设备模式。

21.15.2 主机模式下的初始化

在主机模式下，应用程序需遵循如下步骤来配置控制器：

1. 将 GINTMSK 寄存器的 HPRTINT 位配置为'1'，使能该中断。
2. 配置 OTG_FS_HCFG 寄存器，选择工作在全速的主机模式下。
3. 配置 OTG_FS_HPRT 寄存器的 PRTPWR 位为'1'，使能 USB 线上的 VBUS 供电。
4. 等待 OTG_FS_HPRT0 寄存器的 PRTCONDET 中断，该中断表示有 USB 设备接到端口。
5. 配置 OTG_FS_HPRT 寄存器的 PRTRST 位为'1'，对设备发起复位操作。
6. 等待最少 10ms，保证复位操作完成。
7. 配置 OTG_FS_HPRT 寄存器的 PRTRST 位为'0'。
8. 等待 OTG_FS_HPRT 寄存器的 PRTENCHNG 位中断。
9. 读取 OTG_FS_HPRT 寄存器的 PRTSPD 位，该位指示设备使用全速还是低速进行枚举。
10. 根据已选择的 PHY 时钟 1 来配置 HFIR 寄存器。
11. 配置 OTG_FS_RXFSIZE 寄存器，选择接收 FIFO 的长度。
12. 配置 OTG_FS_NPTXFSIZE 寄存器，选择非周期性发送 FIFO 的长度和起始地址。
13. 配置 OTG_FS_HPTXFSIZ 寄存器，选择周期性发送 FIFO 的长度和起始地址。

为了和设备通讯，应用程序必须使能并初始化至少一个通道。

21.15.3 设备模式下的初始化

应用程序必须在上电或者从主机模式切换到设备模式时，遵循如下步骤来初始化控制器，使之 工作于设备模式下：

1. 配置 OTG_FS_DCFG 寄存器的如下位:
 - 设备速度
 - 对非零长度的 OUT 包的响应状态
2. 配置 OTG_FS_GINTMSK 寄存器，使能以下中断:
 - USB 复位
 - 枚举完成
 - USB 早期挂起
 - USB 挂起
 - SOF

3. 在 B 类设备模式下，配置 OTG_FS_GCCFG 寄存器的 VBUSBSESEN 位使能 VBUS，使 DP 线上拉 5V。
4. 等待 OTG_FS_GINTSTS 寄存器的 USBRST 位，指示在 USB 线上检测到了持续大约 10ms 的复位信号。等待 OTG_FS_GINTSTS 寄存器的 ENUMDONE 位，它表示 USB 复位操作的结束。在接收到中断后，应用程序必须读取 OTG_FS_DSTS 寄存器，获得枚举速度的信息，并按照“枚举完成后的端点初始化”小节实现初始化。此时，设备已准备好接收 SOF 数据包，并通过端点 0 实现控制传输。

21.15.4 主机模式下的编程规则

通道初始化

在主机与所连接的设备通讯之前，应用程序需要初始化一个或多个通道。可通过如下步骤初始化并使能通道：

1. 配置 GINTMSK 寄存器，使能以下中断：
 2. 通道中断
 - 对于 OUT 传输的非周期性发送 FIFO 空(适用于从模式，即配置运行在传输级的流水线上的包数超过 1)
 - 对于 OUT 传输的非周期性发送 FIFO 半空(适用于从模式，即配置运行在传输级的流水线上的包数超过 1)
 3. 配置 OTG_FS_HAINTMSK 寄存器，使能选中通道的中断。
 4. 配置选中通道的 OTG_FS_HCINTMSK 寄存器，使能在主机通道中断寄存器中与传输相关的中断。
 5. 配置选中通道的 OTG_FS_HCCTSIZx 寄存器，以字节为单位设置总传输长度，和期望接收到的数据包数，包括短数据包。需要根据初始的数据 PID 号来设置寄存器的 PID 位(将用于首个传输的 OUT 包的数据 PID 号和期望首个接收的 IN 包的数据 PID 号)。
 6. 配置选中通道的 OTG_FS_HCCHARx 寄存器，设置设备端点的特性，例如传输类型、速度、方向等。(仅在应用程序准备好传输或接收数据包时，才需要设置通道使能位为'1'，使能通道。)

中止通道

应用程序可以通过设置 OTG_FS_HCCHARx 寄存器的 CHDIS 和 CHENA 位为'1'来中止任何一个通道。这个操作将使 OTG_FS 主机控制器清除已递交的传输请求(如果存在的话)，并产生一个通道中止中断。应用程序需要在重新分配此通道用于其他通讯前，等待 OTG_FS_HCINTx 寄存器的 CHHLT 位为'1'(指示此通道已中止)。OTG_FS 的主机控制器不能打断已经开始的 USB 总线上的传输。

在中止通道前，应用程序需要确认在非周期性请求队列(中止的是非周期性通道时)、或周期性请求队列(中止的是周期性通道时)中至少有一个剩余空间。在请求队列已满时(执行通道中止操作前)，可以通过写 OTG_FS_HCCHARx 寄存器的 CHDIS 位为'1'并等待 CHENA 位变为'0'，来清除 已递交的传输请求。

应用程序需要在以下情况中止通道：

1. 在一个非周期性的 IN 传输或者高带宽的中断 IN 传输时(仅在从模式下)，检测到 OTG_FS_HCINTx 寄存器的 XFERC 位为'1'。
2. 在任意 IN 或者 OUT 通道(仅在从模式下的) OTG_FS_HCINTx 寄存器中产生了 STALL、XACTERR、BBLERR 或 DTGERR 事件。对于高带宽的中断 IN 传输(仅在从模式下)，一旦应用程序检测到了 DTGERR 事件，就必须中止该通道并等待该通道已成功中止的事件。在收到该通道已成功中止的信息前，应用程序需要能接收该通道的其他事件(DTGERR、NAK、DATA、XACTERR)。
3. 当 OTG_FS_GINTSTS 寄存器的 DISCONINT 为'1'时(指示设备已断开)，应用程序需要中止所有已使能的通道。
4. 当应用程序需要在传输正常结束前中止传输。

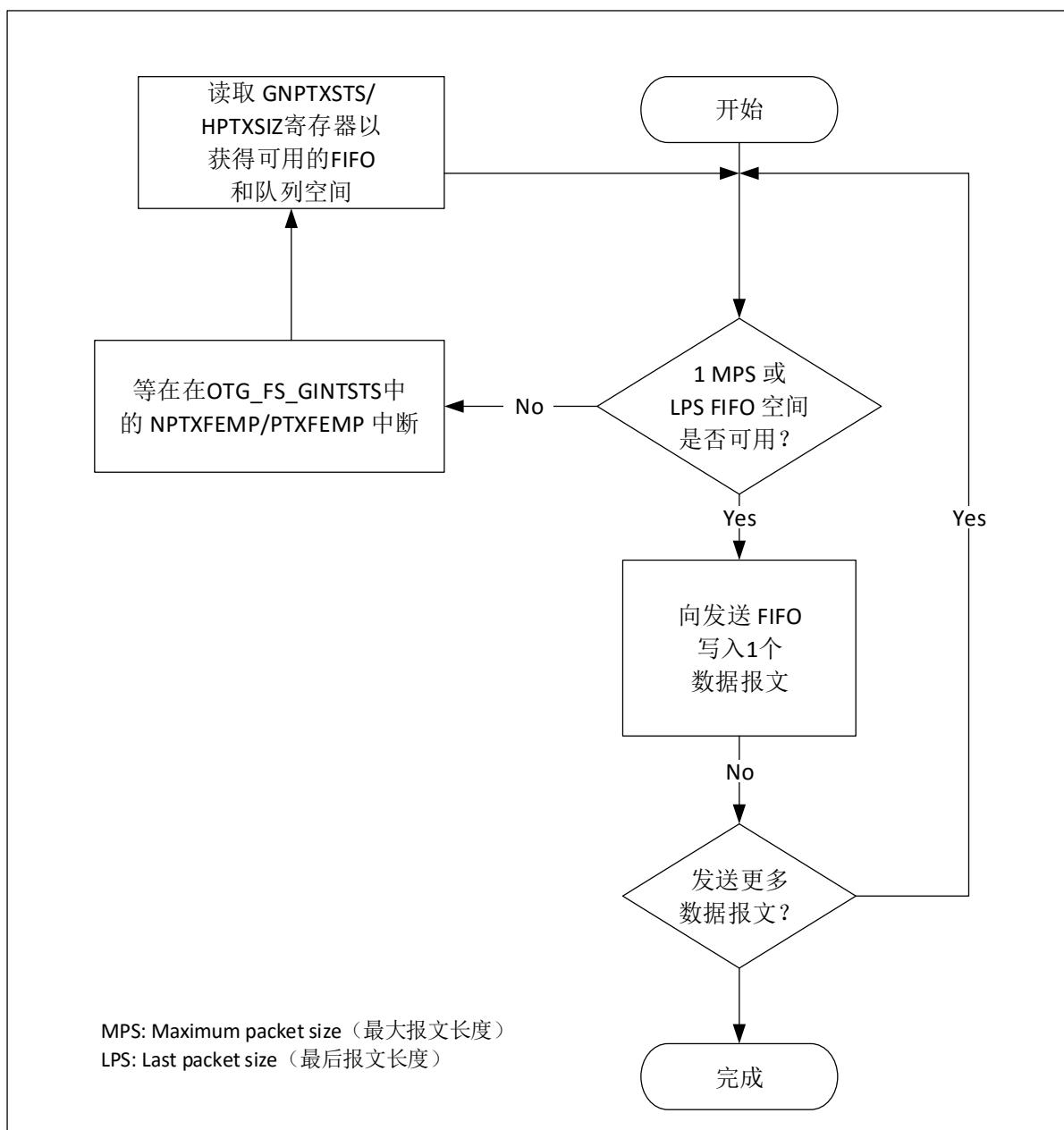
操作模式

应用程序需要在与所连接的设备通讯前初始化一个通道，本节介绍了针对不同的 USB 传输类型 所进行的操作。

写入发送FIFO

OTG_FS 主机模式控制器会在程序按照 DWORD 方式写数据包时，自动地向周期性/非周期性请求队列中写入请求(OUT 请求)，因此在写入发送 FIFO 之前，必须确保周期性/非周期性请求队列中至少有一个空余位置。应用程序只能以 DWORD 的方式来写入发送 FIFO，如果要写的数据包不是 DWORD 对齐的，需要补齐剩余字节。OTG_FS 主机模式控制器会按照配置好的最大数据包长度和实际传输长度来决定实际发送的数据包长度。

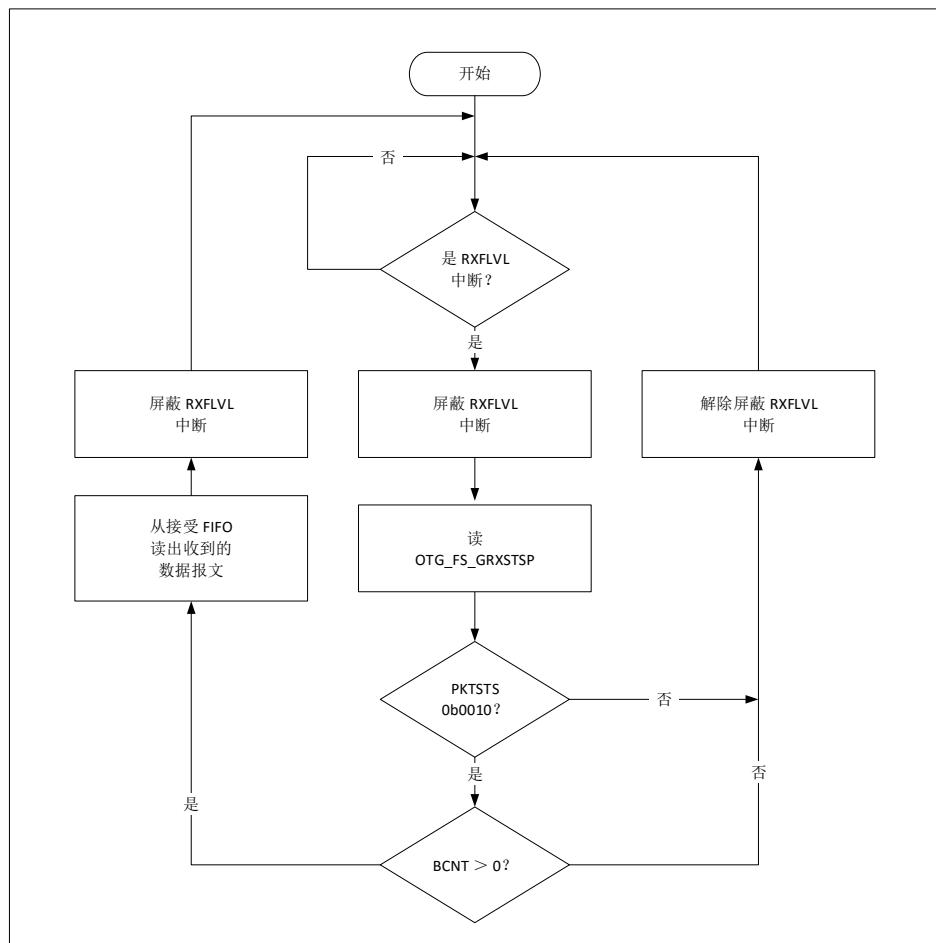
图21-11 发送FIFO写任务



读取接收FIFO

只有在收到 IN 的数据包时(0x0010)应用程序才需要读取接收 FIFO。

图21-12 接收 FIFO 读出任务



块传输和控制传输的OUT/SETUP

下图给出了典型的块传输或控制传输的 OUT/SETUP 的操作流程。详见通道 1(ch_1)。2 个块传输的 OUT 包需要发送，1 个控制传输的 SETUP 包传输也需要处理。

假设：

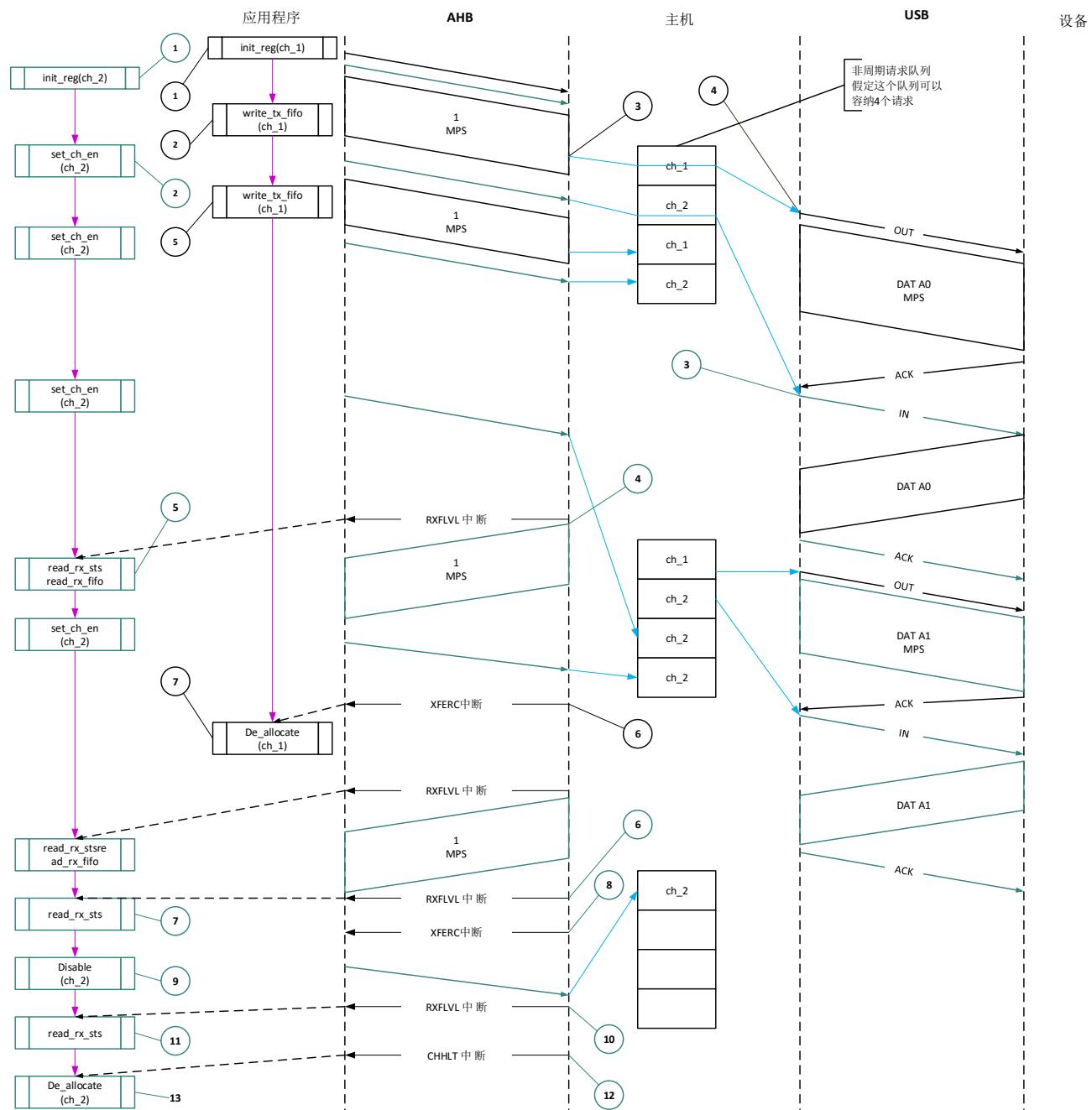
- 应用程序需要发送 2 个最大包长度的数据包(传输长度为 1024 字节)
- 非周期性的发送 FIFO 已保存了 2 个数据包(对于全速传输有 128 字节)
- 非周期性的请求队列深度为 4

普通块传输和控制传输的OUT/SETUP处理流程

下图(使用通道 1)所描述的处理流程如下：

- a) 初始化通道1。
- b) 写通道1的第一个包。
- c) 随着最后一个DWORD数据的写入，控制器向非周期性请求队列写入一个请求。
- d) 当非周期性请求队列非空时，控制器在当前帧内发送一个OUT令牌。
- e) 将第二个数据包(最后一个)写入通道1。
- F) 在前一个传输正常结束时，控制器产生一个XFERC中断。
- g) 收到XFERC事件，重新安排通道为其他传输服务。
- h) 控制非ACK响应。

图 21-13 普通的块(Bulk)/控制(Control)的OUT/SETUP和块/控制的IN传输过程



下面针对从模式下块传输和控制传输的 OUT/SETUP 流程，列出了与通道相关的中断处理程序代码例程。

块和控制OUT/SETUP传输与块和控制IN传输的中断处理流程

a) 块和控制 OUT/SETUP 传输
使能(NAK/XACTERR/STALL/XFERC)中断

```

if (XFERC)
{
    清除错误计数
    屏蔽ACK中断
    解除通道分配
}

else if (STALL)
{
    传输完成 = 1
}

```

```
使能CHHLT中断
中止通道
}
else if (NAK或XACTERR)
{
重置缓冲区指针
使能CHHLT中断
中止通道
if (XACTERR)
{
增加错误计数
使能ACK中断
}
else
{
清除错误计数
}
}
else if (CHHLT)
{
屏蔽CHHLT中断
if (传输完成 或 (错误计数 == 3))
{
解除通道分配
}
else
{
重新初始化通道
}
}
else if (ACK)
{
清除错误计数
屏蔽ACK中断
}
```

应用程序必须在发送 FIFO 和请求队列有空余空间时才能向发送 FIFO 写数据包。可以通过 OTG_FS_GINTSTS 寄存器的 NPTXFEMP 位来检测发送 FIFO 是否有空余空间。

b) 块和控制的IN传输 使能(XACTERR/XFERC/BBLERR/STALL/DTGERR)中断

```
if (XFERC)
{
复位错误计数
使能CHHLT中断
中止通道
屏蔽ACK
}
else if (XACTERR 或 BBLERR 或 STALL)
{
使能CHHLT中断
中止通道
if (XACTERR)
{
增加错误计数
使能ACK中断
}
}
else if (CHHLT)
{
屏蔽CHHLT
if (传输完成 或 (错误计数 == 3))
```

```
{  
    重新分配通道  
}  
else  
{  
    重新初始化通道  
}  
}  
else if (ACK)  
{  
    复位错误计数器  
    屏蔽ACK  
}  
else if (DTGERR)  
{  
    复位错误计数器  
}
```

应用程序必须等到XFERC事件发生后，才能在请求队列有剩余空间时写入请求。

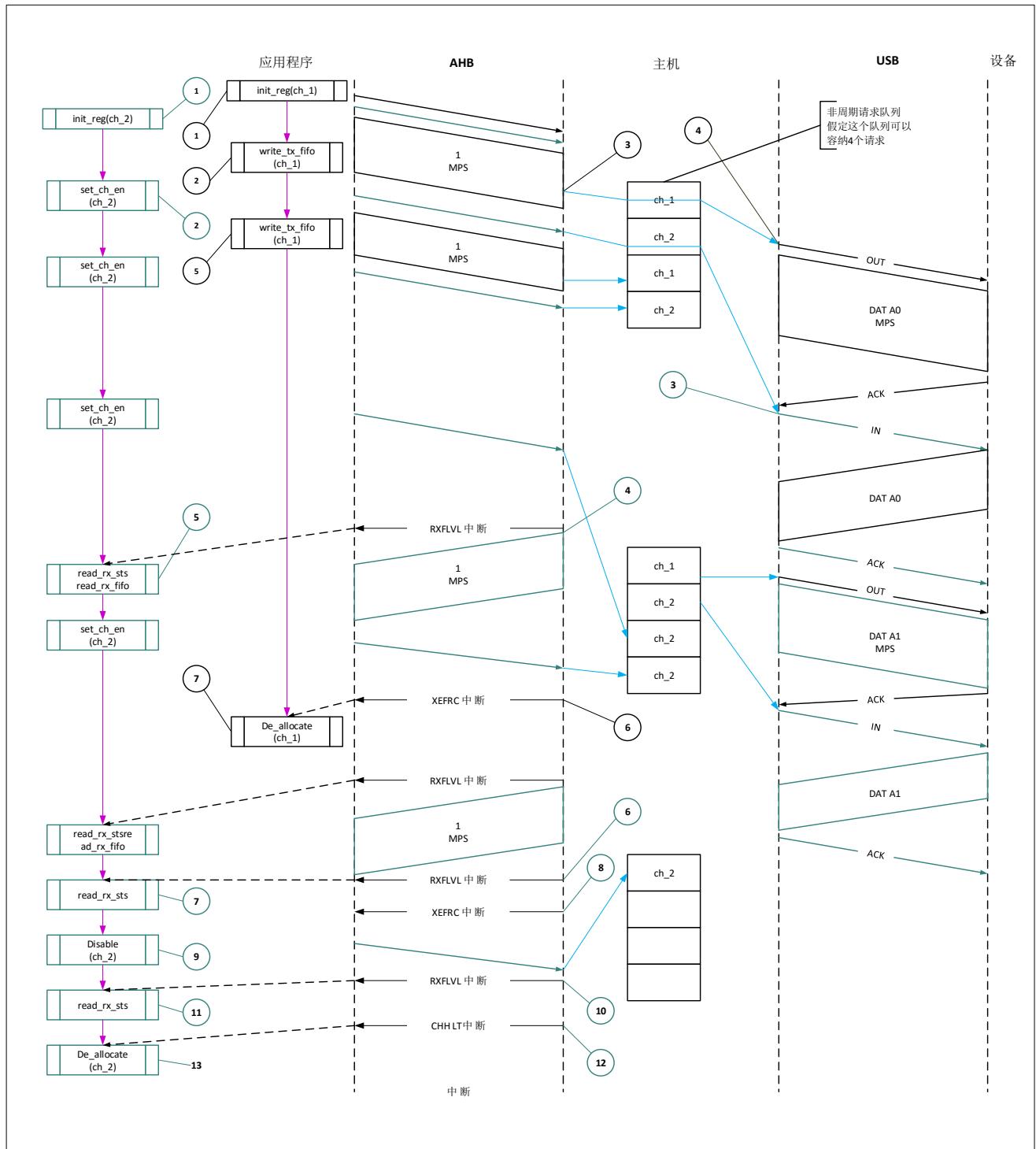
块/控制的IN传输

典型的块(BULK)和控制 IN 传输的操作流程如下图所示；见通道 2。

做如下假设：

- 应用程序需要接收 2 个最大包长度的数据包(传输长度为 1024 字节)。
- 接收 FIFO 可以保存至少 1 个最大包长度的数据包和针对每个数据包的 2 个 DWORD 类型状态。(对于全速通信来说是 72 个字节)。
- 非周期性请求队列深度为 4。

图 21-14 块(Bulk)/控制(Control)的 IN 传输过程



操作流程如下：

- 初始化通道 2
- 设置 HCCHAR2 寄存器的 CHENA 位，向非周期性请求队列写入一个 IN 请求。
- 控制器在完成当前 OUT 传输后尝试发送 IN 令牌。
- 在接收到的数据写入接收 FIFO 后，控制器产生 RXFLVL 中断。
- 在 RXFLVL 中断处理程序中，需要先屏蔽 RXFLVL 中断，读取接收到的状态判定接收到的字节数，并从接收 FIFO 中读取相应数据。完成以上操作后再打开 RXFLVL 中断。
- 控制器在传输完成的状态存入接收 FIFO 后产生 RXFLVL 中断。
- 应用程序读取接收到的数据包状态，如果它不是一个 IN 的数据包(即 GRXSTSRR 寄存器的

PKTSTS 位≠0x0010), 则不理它。

- h) 控制器在接收到的数据包状态被读出后产生 XFERC 中断。
- i) 在 XFRC 中断处理程序中, 需要配置 OTG_FS_HCCHAR2 寄存器来中止通道, 并停止写入更多的请求。控制器会在 OTG_FS_HCCHAR2 寄存器被设置完后向非周期性请求队列写入通道中止请求。
- j) 控制器将在中止状态写入接收 FIFO 后产生 RXFLVL 中断。
- k) 读出该包状态, 但不处理它。
- l) 控制器将在中止信息从接收 FIFO 中读出后产生 CHHLT 中断。
- m) 在 CHHLT 中断处理程序中, 应用程序可以重新分配该通道为其他传输服务。
- n) 控制非 ACK 响应。

从模式下的控制传输

Setup、数据和状态是控制传输的 3 个阶段, 必须按照 3 个独立的传输来对待。Setup、数据 OUT 和状态 OUT 传输的处理流程类似于前面介绍的块 OUT 传输。数据 IN 和状态 IN 传输的处理流程类似于前面介绍的块 IN 传输。在这 3 个阶段中, 应用程序都需要设置 OTG_FS_HCCHAR1 寄存器的 EPTYPE 位, 表明传输类型为控制传输。在 Setup 阶段, 应用程序需要设置 OTG_FS_HCTSIZ1 寄存器的 DPID 位, 表明为 SETUP 包。

中断OUT传输

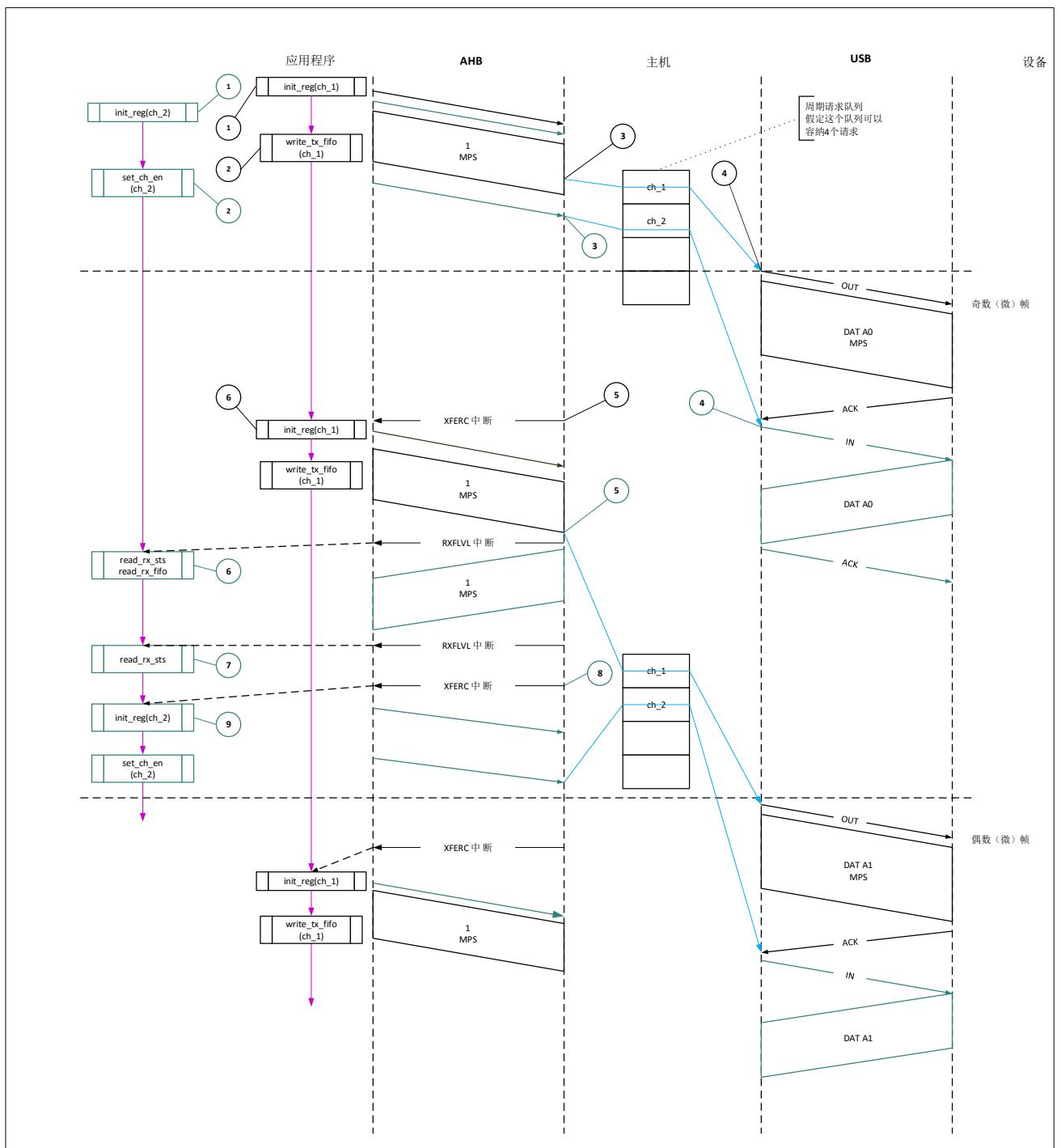
典型的中断 OUT 传输的操作流程如下图所示。做如下假设:

- 应用程序从奇数帧开始在每个帧中都发送一个最大数据包长度的包(发送长度为 1024 字节)。
- 周期性的 FIFO 中能储存 1 个包(1024 字节)。
- 周期性的请求队列深度为 4。

操作流程如下:

- a) 初始化通道 1, 同时应用程序需要配置 OTG_FS_HCCHAR1 寄存器的 ODDFRM 位, 指明 从奇数帧开始发送。
- b) 将第一个要传输的包写入通道 1。对于高带宽的中断传输, 应用程序需要在切换到其他通道前, 先将后续需要传输的包写入通道, 包数由 MCNT 位)在下一帧时需要传输的包数)指 定。
- c) 在写完每个包的最后一个 DWORD 时, 控制器会将请求写入周期性请求队列。
- d) 在下一个奇数帧时, 控制器会发送一个 OUT 令牌。
- e) 在最后一个包正常传输完毕后, 控制器会产生 XFERC 中断。
- f) 在 XFERC 中断处理程序中, 应用程序可以重新初始化通道, 以便通道为其他传输所用。

图21-15 普通的中断(Interrupt)OUT/IN传输过程



针对中断OUT/IN传输的中断服务程序

a) 中断OUT

```

使能(NAK/TXERR/STALL/XFRC/FRMOVR)中断 if (XFERC)
{
    复位错误计数
    屏蔽ACK中断
    重新分配通道
}
else if(STALL 或 FRMOVR)
{
    屏蔽ACK中断
    使能CHHLT中断
}

```

```
中止通道
if (STALL)
{
    传输完成 = 1
}
else if (NAK 或XACTERR)
{
    重置缓存区指针
    复位错误计数
    屏蔽ACK中断
    使能CHHLT中断
    中止通道
}
else if (CHHLT)
{
    屏蔽CHHLT中断
    if (传输完成 或 (错误计数 == 3))
    {
        重新分配通道
    }
    else
    {
        重新初始化通道(为下一个b_interval - 1的帧)
    }
}
else if (ACK)
{
    复位错误计数
    屏蔽ACK中断
}
```

应用程序需要在切换到其他通道之前，先根据 MCNT 位指定的数据包数，把数据包和请求写入发送 FIFO 和请求队列，此时发送 FIFO 必须有剩余空间，可以通过 OTG_FS_GINTSTS 寄存器的 PTXFEMP 位来获得发送 FIFO 是否有剩余空间的信息。

b) 中断IN 使能(NAK/XACTERR/XFERC/BBLERR/STALL/ FRMOVR /DTGERR)

```
if (XFERC)
{
    复位错误计数
    屏蔽ACK
    if (OTG_FS_HCTSIZx.PKTCNT == 0)
    {
        重新分配通道
    }
    else
    {
        传输完成 = 1
        使能CHHLT
        中止通道
    }
}
```

```
        }
        else if (STALL 或 FRMOVR 或 NAK 或 DTGERR 或 BBLERR)
        {
            屏蔽ACK
            使能CHHLT
            中止通道
            if (STALL 或 BBLERR)
            {
                复位错误计数器
                传输完成 = 1
            }
            else if (! FRMOVR)
            {
                复位错误计数
            }
        }
        else if (XACTERR)
        {
            增加错误计数
            使能ACK
            使能CHHLT
            中止通道
        }
        else if (CHHLT)
        {
            屏蔽CHHLT
            if (传输完成 或 (错误计数 == 3))
            {
                重新分配通道
            }
            else
            {
                重新初始化通道(为下一个b_interval -1帧)
            }
        }
        else if(ACK)
        {
            复位错误计数
            屏蔽ACK
        }
    }
```

应用程序需要在切换到其他通道前，向有剩余空间的请求队列写入请求，直到写入的请求数达到在 MCNT 位指定的数目。

中断 IN 传输

假设：

- 程序需要从奇数帧开始每个帧接收一个最大数据包长度的包(传输长度为 1024 字节)
 - 接收 FIFO 可以保存指示 1 个最大数据包长度的包和 2 个 DWORD 类型的状态字(共 1031 字节)
 - 周期性请求队列深度为 4 普通的中断 IN 操作 操作流程如下：
- a) 初始化通道 2，程序需要写 OTG_FS_HCCHAR2 寄存器的 ODDFRM 位，指定奇数帧。
 - b) 设置 OTG_FS_HCCHAR2 寄存器的 CHENA 位，控制器会向周期性请求队列写入 IN 请求。对于高带宽的中断传输，程序需要在切换到其他通道前写 OTG_FS_HCCHAR2 寄存器的 MCNT 位(指定在下一个帧期间需要接收的包数目)。
 - c) 每次程序设置 OTG_FS_HCCHAR2 寄存器 CHENA 位时，控制器都会向周期性请求队列写入一个 IN 请求。

- d) 在下一个奇数帧时，控制器会发送一个 IN 令牌。
- e) 控制器收到 IN 的数据包并写入 RX FIFO 后，会产生 RXFLVL 中断。
- f) 在 RXFLVL 中断处理程序中，应用程序读取接收到的包状态，得知收到的字节数目，并相应地读取接收 FIFO。在读接收 FIFO 前，需要屏蔽 RXFLVF 中断，并在读完完整的包后使能 RXFLVL 中断。
- g) 控制器在传输完成状态存入接收 FIFO 后，产生 RXFLVL 中断。程序需要读取这个包状态，并且在状态表示非 IN 的数据包时(GRXSTSR 寄存器的 PKTSTS 位≠0x0010)丢弃这个包。
- h) 在读取接收到的包状态后，控制器会产生 XFERC 中断。
- i) 在 XFERC 中断处理程序中，应用程序读取 OTG_FS_HCTSIZ2 寄存器的 PKTCNT 位，如果该位不为 0，中止通道，然后重新初始化通道，准备下一次的传输。如果 PKTCNT 位为 0，重新初始化通道，准备下一次的传输。此时应用程序需要复位 OTG_FS_HCCHAR2 寄存器的 ODDFRM 位。

同步OUT传输

典型的从模式下的同步 OUT 传输的流程图如下图所示。

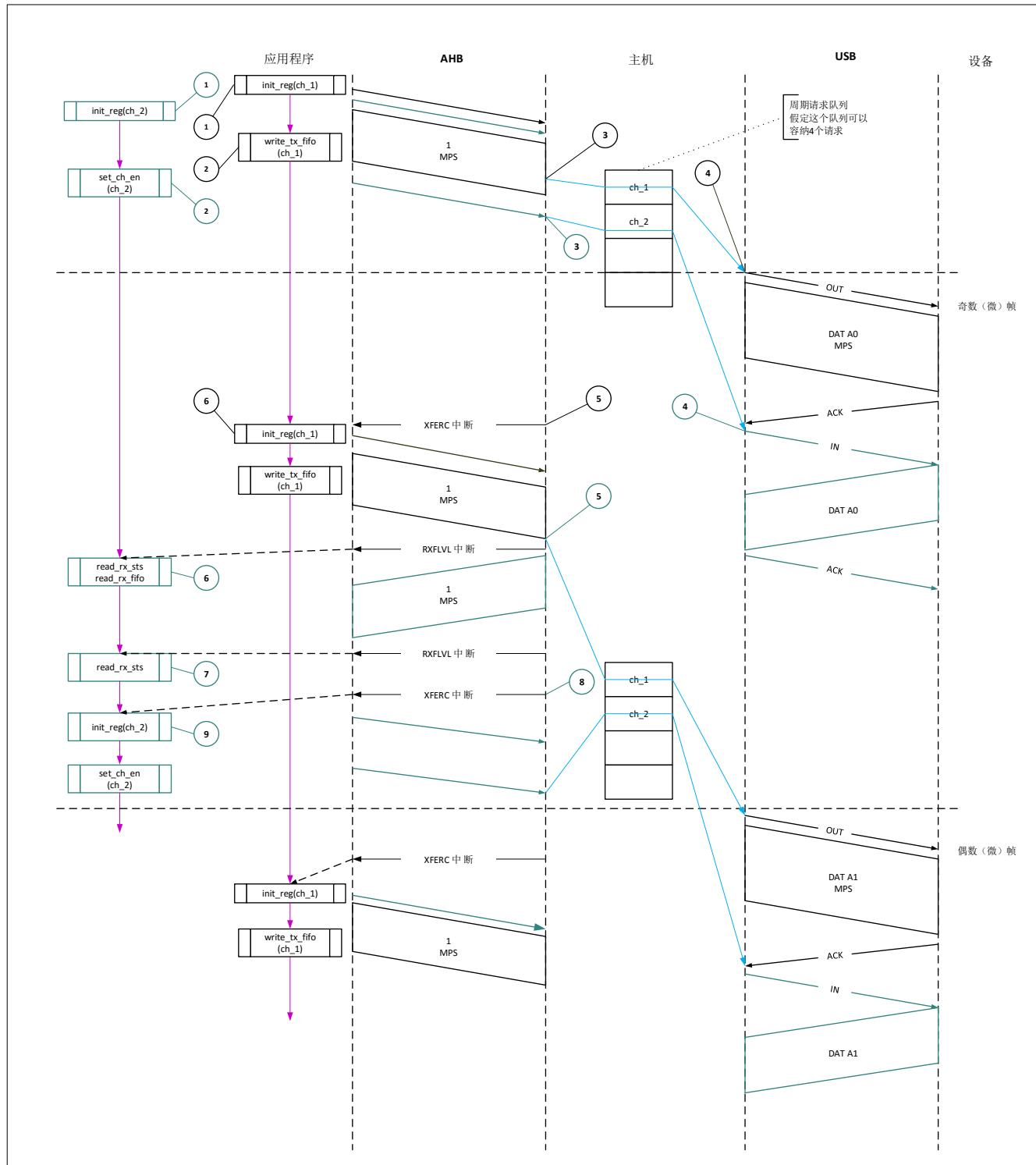
假设：

- 程序需要从奇数帧开始每个帧发送一个最大数据包长度的包(发送长度为 1024 字节)。
- 周期性发送 FIFO 能储存 1 个最大数据包长度的包(1024 字节)。
- 周期性请求队列深度为 4。

操作流程如下：

- a) 初始化并使能通道 1，程序需要设置 OTG_FS_HCCHAR1 寄存器的 ODDFRM 位。
- b) 将第一个要发送的包写入通道 1。对于高带宽的同步传输，应用程序需要在切换到其他通道前根据 MCNT 位(下一个帧时间内需要发送的最大包数)将后续要发送的数据包都写入通道。
- c) 在每个包的最后一个 DWORD 数据写完后，控制器会写一个请求到周期性的请求队列中。
- d) 控制器会在下一个奇数帧时发送 OUT 令牌。
- e) 当最后一个包正确传输完毕后，控制器会产生 XFERC 中断。
- f) RC 中断处理程序中，需要重新初始化通道为下一次传输做准备。
- g) 控制非 ACK 响应。

图 21-16 普通的同步(Isochronous)OUT/IN传输过程



同步OUT/IN传输的中断处理程序

代码例子：同步OUT：

```
使能(FRMOVR/XFERC)
if (XFERC)
{
    重新分配通道
}
else if(FRMOVR)
{
```

```
使能CHHLT
中止通道
}
else if(CHHLT)
{
屏蔽CHHLT
重新分配通道
}
```

代码例子：同步IN

```
使能(XACTERR/XFERC/FRMOVR/BBLERR)
if (XFERC 或 FRMOVR)
{
if (XFERC 并且 OTG_FS_HCTSIZx.PKTCNT==0)
{
    复位错误计数
    重新分配通道
}
else
{
    使能CHHLT
    中止通道
}
}
else if(XACTERR 或 BBLERR)
{
增加错误计数
使能CHHLT
中止通道
}
else if(CHHLT)
{
屏蔽CHHLT
if (传输完成 或 (错误计数 == 3))
{
    重新分配通道
}
else
{
    重新初始化通道
}
}
```

同步IN传输

假设：

- 程序从奇数帧起，每个帧都需要接收一个最大数据长度的包(传输长度为 1024 字节)。
- 接收 FIFO 至少可以储存一个最大数据长度的包和针对每个包的两个 DWORD 类型的状态字(共 1031 字节)。
- 周期性请求队列深度为 4。

操作流程如下：

- 初始化通道 2，应用程序需要设置 OTG_FS_HCCHAR2 寄存器的 ODDFRM 位。
- 设置 OTG_FS_HCCHAR2 寄存器的 CHENA 位，控制器会将 IN 请求写入周期性请求队列。对于高带宽的同步传输，应用程序需要在切换到其他通道前写 OTG_FS_HCCHAR2 寄存器的 MCNT 位(下一个帧时间内需要接收的最大包数)。
- 每次设置 OTG_FS_HCCHAR2 寄存器的 CHENA 位，控制器都会写一个 IN 请求到周期性请求队列。

- d) 控制器会在下一个奇数帧时发送 IN 令牌。
- e) 当控制器收到 IN 包并写入接收 FIFO 后，会产生 RXFLVL 中断。
- f) 在 RXFLVL 中断处理程序中，读取收到的数据包状态，并判定需要接收的字节数，然后读取接收 FIFO。应用程序需要在读取接收 FIFO 前屏蔽 RXFLVL 中断，并在读完后使能。
- g) 在控制器将传输完成的状态信息写入接收 FIFO 后，会产生 RXFLVL 中断。此时应用程序需要读取状态，并在判定不是 IN 数据包(OTG_FS_GRXSTSR 寄存器的 PKTST 位≠0x0010)后丢弃这个包。
- h) 控制器会在读取接收到的包状态后产生 XFERC 中断。
- i) 在 XFRC 中断处理程序中，应用程序需要读取 OTG_FS_HCTSIZ2 寄存器的 PKTCNT 位。如果 PKTCNT 位不为 0，应用程序需要中止通道，并重新初始化通道，为下一次传输做准备。如果 PKTCNT 为 0，则重新初始化通道为下一次传输做准备。此时应用程序需要复位 OTG_FS_HCCHAR2 寄存器的 ODDFRM 位。

设置队列深度

需要小心选择周期性和非周期性请求队列的深度，使之与周期性/非周期性的端点数相匹配。非周期性请求队列的深度仅影响非周期性的传输效率。请求队列越深(配合足够的 FIFO 空间)，

控制器能流水线式地操作越多的非周期性传输。如果请求队列较少，控制器只有在请求队列有剩余空间时才能写入一个新的请求。

周期性请求队列的深度将对周期性传输的调度有较大的影响。一定要按照每个微帧时间内要周期性传输的包数来决定周期性请求队列的深度。在从模式下，应用程序还需要考虑到那些必须写入请求队列的无效请求。因此，如果有 2 个非高带宽的周期性端点，周期性请求队列的深度至少是 4。如果至少支持一个高带宽的周期性端点，请求队列深度必须是 8。如果周期性请求队列 的深度小于每个微帧时间内需要周期性传输的包数，就会发生帧溢出。

管理混乱现象

OTG_FS 控制器管理两类混乱现象：包混乱和端口混乱。设备发送的数据超过主机通道支持的最大数据包长度时会发生包混乱。主机在 EOF2(第二类帧结束信号，非常接近于帧首信号)时还不断的收到设备发送的数据时会发生端口混乱。

当 OTG_FS 控制器检测到包混乱时，将停止往接收缓存区中写数据，并等待包结束信号(EOP)。当检测到 EOP 后，控制器将清除已写入缓存区的数据，并产生一个混乱中断通知应用程序。

当 OTG_FS 控制器检测到端口混乱时，将清除接收 FIFO 并中止端口，同时产生端口无效中断(OTG_FS_CINTSTS 寄存器的 HPRTINT 位和 OTG_FS_HPRT 寄存器的 PRTEENCHNG 位)。应用程序在处理该中断时，需要先读 OTG_FS_HPRT 寄存器的 PRTOVCA 位，来排除是由于端口过流造成的无效(这是产生端口无效中断的另一个源)，然后再执行一个软件复位操作。在检测到一个端口混乱事件后，控制器不能再发送任何令牌。

21.15.5 设备模式下的编程规则

USB 复位时的端点初始化

1. 将所有 OUT 端点都设为 NAK 状态。
 - 设置 OTG_FS_DOEPCTLx(所有的 OUT 端点)寄存器的 SNAK 位为'1'
2. 使能以下中断位：
 - 设置 OTG_FS_DAINTMSK 寄存器的 INEPTINT 0 位为'1'(控制 IN 端点 0)
 - 设置 OTG_FS_DAINTMSK 寄存器的 OUTEPTINT 0 位为'1'(控制 OUT 端点 0)
 - 设置 DOEPMSK 寄存器的 SETUP 位为'1'
 - 设置 DOEPMSK 寄存器的 XFERC 位为'1'
 - 设置 DIEPMSK 寄存器的 XFERC 位为'1'
 - 设置 DIEPMSK 寄存器的 TMROC 位为'1'
3. 为每个 FIFO 分配 RAM 空间

- 设置 OTG_FS_GRXFSIZ 寄存器，用以接收控制传输的 OUT 数据和 SETUP 数据。所分配 RAM 的最小值应该是控制端点 0 的 1 个最大数据包的长度+2 个 DWORD 空间(用于控制传输的 OUT 数据包的状态信息)+10 个 DWORD 空间(用于 SETUP 包)。
 - 配置 OTG_FS_GNPTXFSIZ 寄存器(根据所选用的 FIFO 编号)，用于发送控制传输的 IN 数据。所分配 RAM 的最小值应为控制端点 0 的 1 个最大数据包长度。
4. 设置与端点相关的寄存器的以下位，用于控制 OUT 端点 0 接收 SETUP 数据包。
- 设置 OTG_FS_DOEPTSIZ0 寄存器的 SETUPCNT=3(用于接收 3 个连续的 SETUP 数据包)。此时，初始化完成，可以开始接收 SETUP 数据包。

枚举完成后的端点初始化

1. 在枚举完成中断(OTG_FS_GINTSTS 寄存器的 ENUMDONE 位)中，读取 OTG_FS_DSTS 寄存器，获得枚举速度的信息。
2. 配置 OTG_FS_DIEPCTL0 寄存器的 MAXPSIZE 位，设置最大的包长度。
这个步骤配置的是控制端点 0。对于控制端点，最大的包长度取决于枚举速度。
此时，设备经准备好接收 SOF 包了，并且能执行端点 0 上的控制传输。

SetAddress 时的端点配置

应用程序在收到 SETUP 包中的 SetAddress 命令后所要进行的操作：

1. 用包含在 SetAddress 命令中的设备地址信息来配置 OTG_FS_DCFG 寄存器。
2. 配置控制器，使之发出状态 IN 包。

SetConfiguration / SetInterface 命令时的端点配置

应用程序在收到 SETUP 包中的 SetConfiguration 或 SetInterface 命令后要进行的操作：

1. 在收到 SetConfiguration 命令时，需要按照新的配置中定义的属性来配置端点寄存器。
2. 在收到 SetInterface 命令时，要配置该命令所涉及到的端点寄存器。
3. 部分端点可能仅在先前的设置中有效，在新的配置或设置中可能已经失效，这些已失效的端点需要重新配置为无效。
4. 设置 OTG_FS_DAINTMSK 寄存器，使能每个有效端点的中断，屏蔽所有无效端点的中断。
5. 为每个 FIFO 分配 RAM 空间。
6. 在配置完所有的端点后，应用程序需要使控制器发送一个状态 IN 包。

此时，设备模式下的控制器已准备好发送或接收数据包了。

端点激活

激活一个端点或者将一个已存在的端点配置成新类型的步骤：

1. 配置 OTG_FS_DIEPCTLx 寄存器(对于 IN 或者双向端点)或者 OTG_FS_DOEPCTLx 寄存器(对于 OUT 或者双向端点)的以下位：

- 最大包长度
- USB 有效端点位='1'
- 端点起始的数据翻转号(对于中断和块传输类型的端点)
- 端点的类型
- 发送 FIFO 号

2. 一旦端点被激活，控制器将解析发送到该端点的令牌，并对于有效的令牌发送有效的握手包。

端点无效

使一个已存在的端点失效的操作：

1. 清除 OTG_FS_DIEPCTLx 寄存器(对于 IN 或者双向端点)或者 OTG_FS_DOEPCTLx 寄存器

(对于 OUT 或者双向端点)的 USB 有效端点位。

2. 一旦端点失效，控制器将会忽略发向该端点的令牌，这将导致 USB 超时。

注意：应用程序需要进行以下的配置，以便设备模式下的控制器来控制通信：GINTMSK 寄存器的 NPTXFEMPM 和 RXFLVLM 位必须清'0'。

21.15.6 操作流程

SETUP和OUT数据传输

本节描述了 OUT 数据传输和 SETUP 传输的内部数据流及应用程序的操作流程。

● 读操作 在从模式下从接收 FIFO 中读一个包(OUT 和 SETUP 包)的步骤如下：

1. 在 RXFLVL 中断处理程序中，需要读取接收状态弹出寄存器(OTG_FS_GRXSTSP)。
2. 在从接收 FIFO 中读出数据包期间，写入 RXFLVL=0(OTG_FS_GINTSTS 寄存器)来屏蔽 RXFLVL 中断。

3. 如果接收到的包的字节数不为 0，则相应的数据将从数据 FIFO 中弹出，并储存到内存中，如果收到的包的字节数为 0，则没有数据从数据 FIFO 中弹出。

4. 从接收 FIFO 中读出的包状态为以下几种模式之一：

a) 全局的 OUT NAK 模式：

PKTSTS = 全局的 OUT NAK, BCNT=0x000, EPTNUM = 不关心(0x0), DPID=不关心(0x0)。

这样的数据表示有一个全局的 OUT NAK。

b) SETUP 包模式：PKTSTS=SETUP, BCNT=0x008, EPTNUM=控制端点号, DPID=D0。这样的数据表示针对指定端点的 SETUP 包已有效，可以从接收 FIFO 中读取。

c) SETUP 阶段已完成模式：PKTSTS=SETUP 阶段已完成, BCNT=0, EPTNUM=控制端点号, DPID=不关心 (0x0)。这样的数据表示一个针对指定端点的 SETUP 阶段已完成，并已经开始数据阶段。在这个 信息从接收 FIFO 中弹出后，控制器将产生一个指定的控制 OUT 端点的 SETUP 中断。

d) 数据 OUT 包模式：PKTSTS=数据 OUT, BCNT=接收到的 OUT 数据包长度($0 \leq BCNT \leq 1024$), EPTNUM=接 收到包的端点号, DPID=实际的数据 PID。

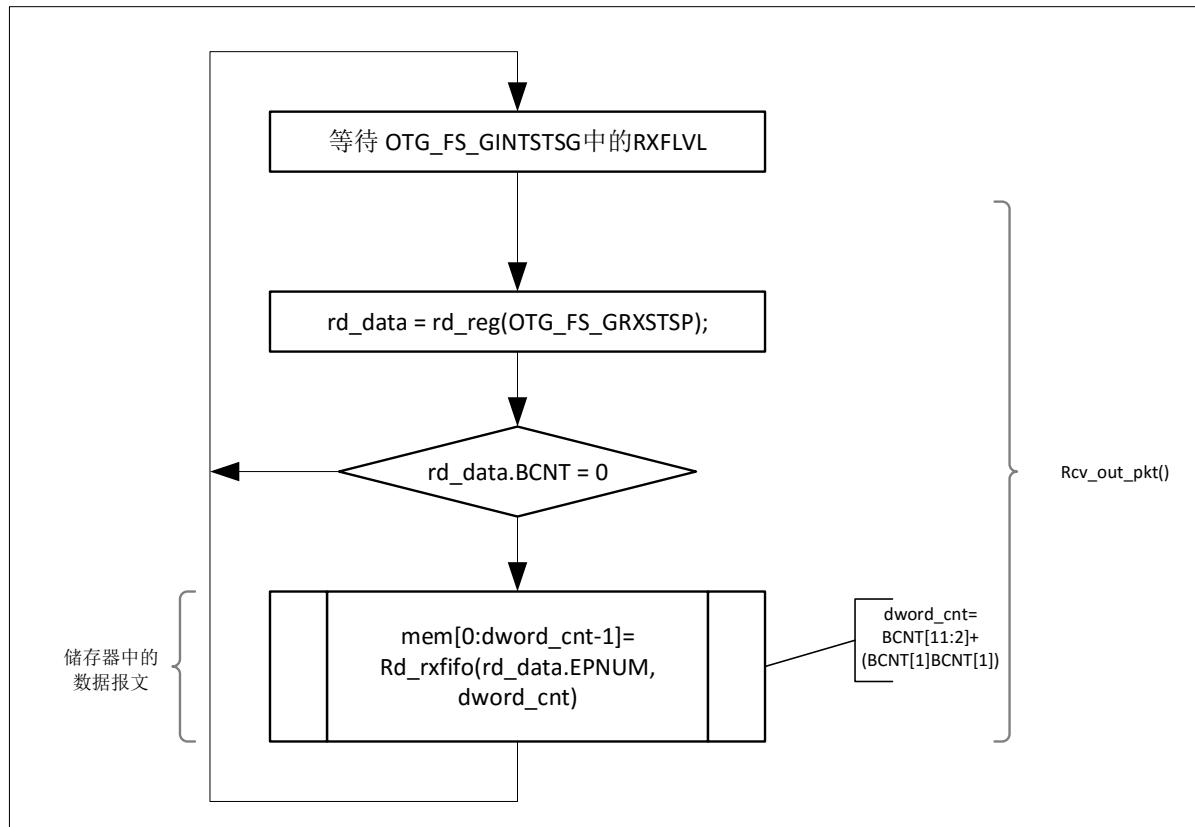
e) 数据阶段已完成模式：PKTSTS=数据 OUT 阶段已完成, BCNT=0x0, EPTNUM=OUT 端点数据传输的端点号, DPID=不关心(0x0)。这样的数据表示一个针对指定 OUT 端点的 OUT 数据阶段已完成。在这个信息从接收 FIFO 中弹出后，控制器将会产生一个针对指定 OUT 端点的传输完成中断。

5. 在读出接收 FIFO 中的数据后，需要再次打开 RXFLVL 中断(OTG_FS_GINTSTS)。

6. 在每次检测到一个 RXFLVL(OTG_FS_GINTSTS)中断后，都需要重复以上五个步骤。读一个空的接收 FIFO 会导致未定义的后果。

下图是以上流程的流程图

图 21-17 在从模式下读出接收 FIFO 的数据报文



SETUP 传输 本节描述了控制器如何控制一个 SETUP 的包，以及应用程序处理 SETUP 传输的过程。

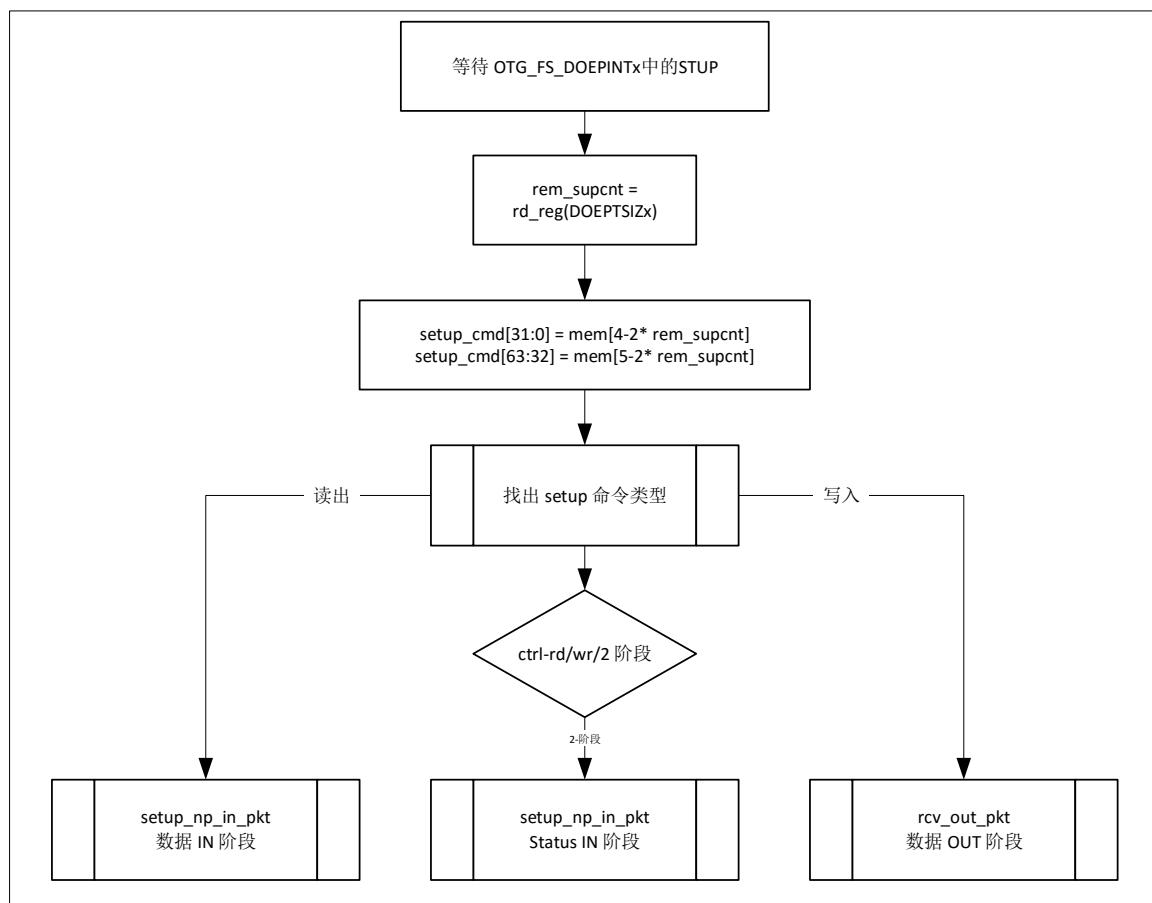
- 对应用程序的要求

- 为了接收一个 SETUP 包，控制 OUT 端点的 STUPCNT 位(OTG_FS_DOEPTSIx 寄存器中)必须被配置为一个非 0 值。当应用程序配置 SETUPCNT 位为非 0 时，控制器将接收 SETUP 包，并将其写入接收 FIFO 中，此操作与 OTG_FS_DOEPCCTLx 寄存器的 NAKSTS 和 EPTENA 位的设置无关。每当控制端点收到一个 SETUP 包，SETUPCNT 位的值都会自减 1。如果在接收 SETUP 包之前，没有设置一个合适的 SETUPCNT 值，控制器仍将接收 SETUP 包，并自减 SETUPCNT 位，但应用程序就不能知道在控制传输的 SETUP 阶段到底接收了多少个正确的 SETUP 包。

- 设置 OTG_FS_DOEPTSIx 寄存器的 SETUPCNT 位=3
- 程序需要为接收 FIFO 分配一些额外的空间，以便接收最多 3 个 SETUP 包。
 - 需要分配的空间是 10 个 DWORD。其中 3 个 DWORD 空间用于第一个 SETUP 包，1 个 DWORD 空间用于 SETUP 阶段完成信息，另 6 个 DWORD 空间用于储存控制端点的另两个额外的 SETUP 包。
 - 一个 SETUP 包需要 3 个 DWORD 空间，其中 8 个字节用于储存 SETUP 数据，4 个字节用于储存 SETUP 状态(SEUP 包模式)。控制器会为接收到的数据保留这些空间。
 - FIFO 仅用于 SETUP 包，而不用于数据包。
- 应用程序需要从接收 FIFO 中读 SETUP 包的 2 个 DWORD 长度的数据。
- 应用程序需要从接收 FIFO 中读一个 DWORD 的 SETUP 阶段完成信息。
- 内部的数据流程
 - 当收到 SETUP 包，控制器会将收到的数据储存到接收 FIFO 中，此时不会检测接收 FIFO 是否有剩余空间，也不检测该端点的 NAK 或者 STALL 位的状态。
 - 在收到 SETUP 包后，控制器会在内部将控制 IN/OUT 端点的状态位设为 IN NAK 和 OUT NAK。
 - 从 USB 线上收到每个 SETUP 包后，都会有 3 个 DOWRD 的数据写入接收 FIFO 中，并且 STUPCNT 位自减 1。

- 第一个 DWORD 数据包含控制器内部使用的控制信息。
 - 第二个 DWORD 数据包含 SETUP 命令的前 4 个字节。
 - 第三个 DWORD 数据包含 SETUP 命令的后 4 个字节。
7. 当 SETUP 阶段完成，数据 IN/OUT 阶段开始时，控制器会写一个信息(DWORD 类型的 SETUP 阶段完成信息)到接收 FIFO 中，指示 SETUP 阶段的完成。
8. 应用程序通过 AHB 总线读取 SETUP 包。
9. 当应用程序取出接收 FIFO 中 DWORD 类型的 SETUP 阶段完成信息，控制器将产生一个 STUP 中断(OTG_FS_DOEPINTx)，指示 SETUP 包已收完，应用程序可以开始处理接收到的 SETUP 包了。
- 控制器将清除控制 OUT 端点的端点使能位。
- 应用程序处理流程
1. 配置 OTG_FS_DOEPTSIZx 寄存器
 - SETUPCNT=3
 2. 等待 RXFLVL 中断(OTG_FS_GINTSTS)，并读取接收 FIFO 中的数据包。
 3. 等待 SETUP 中断(OTG_FS_DOEPINTx)，指示一个成功完成的 SETUP 阶段。
 - 在此中断处理程序中，应用程序需要读 OTG_FS_DOEPTSIZx 寄存器，以便知道接收到了多少个 SETUP 包，并对最后一个接收到的 SETUP 包进行处理。

图 21-18 处理一个 SETUP 数据报文



- 处理多于 3 个连续的 SETUP 包 根据 USB2.0 规范，通常如果出现了错误的 SETUP 包，主机不能向同一个端口发送超过 3 个连续的 SETUP 包。然而，USB2.0 规范并没有限制主机发向同一个端口连续的 SETUP 包的数量。当发生此种情况时，OTG_FS 控制器将产生一个 B2BSTUP 中断(OTG_FS_DOEPINTx)。
- 设置全局的 OUT NAK

内部数据流：

1. 当应用程序设置了一个全局的 OUT NAK 时(OTG_FS_DCTL 寄存器的 SGOUTNAK 位), 除了 SETUP 包, 控制器将停止向接收 FIFO 中写入任何数据。不管接收 FIFO 是否有剩余空间, 非同步的 OUT 端点将收到 NAK 握手信号, 控制器将丢弃同步的 OUT 数据包。
2. 控制器将写全局 OUT NAK 信息到接收 FIFO 中, 应用程序需要保证接收 FIFO 中有足够的空间写此信息。
3. 当从接收 FIFO 中读出 DWORD 类型的全局 OUT NAK 信息时, 控制器将产生一个 GOUTNAKEFF 中断(OTG_FS_GINTSTS)。
4. 一旦检测到此中断, 就可以判断控制器已处于全局 OUT NAK 状态。应用程序可以通过清除 OTG_FS_DCTL 寄存器的 SGOUTNAK 位来清除这个中断。

应用程序处理流程

1. 应用程序需要设置全局 OUT NAK 位, 使控制器停止接收任何数据到接收 FIFO 中。
 - OTG_FS_DCTL 寄存器的 SGOUTNAK=1
 2. 等待 GOUTNAKEFF 中断(OTG_FS_GINTSTS), 此中断指示控制器将停止接收除了 SETUP 包以外的任何数据。
 3. 在设置 OTG_FS_DCTL 寄存器的 SGOUTNAK 位之后, 在控制器产生 GOUTNAKEFF 中断之前, 应用程序可以接收到有效的 OUT 包。
 4. 可以通过写 GINTMSK 寄存器的 GINNAKEFFM 位来暂时屏蔽此中断。
 - GINTMSK 寄存器的 GINNAKEFFM=0
 5. 一旦需要退出全局 OUT NAK 模式, 可以清除 OTG_FS_DCTL 寄存器的 SGOUTNAK 位。此操作也将清除 GOUTNAKEFF(OTG_FS_GINTSTS)中断。
 - OTG_FS_DCTL 寄存器的 CGOUTNAK 位=1
 6. 如果已经屏蔽了此中断, 可以通过以下操作使能中断。
 - GINTMSK 寄存器的 GINNAKEFFM=1
- 中止一个 OUT 端点 需要使用以下流程来中止一个已使能的 OUT 端点:
 1. 在中止一个 OUT 端点前, 应用程序需要使能全局 OUT NAK 状态。
 - OTG_FS_DCTL 寄存器的 SGOUTNAK=1
 2. 等待 GOUTNAKEFF 中断(OTG_FS_GINTSTS)
 3. 对以下位进行编程, 中止 OUT 端点
 - OTG_FS_DOEPCTLx 寄存器的 EPTDIS=1
 - OTG_FS_DOEPCTLx 寄存器的 SNAK=1
 4. 等待 EPDISD 中断(OTG_FS_DOEPINTx), 此中断指示 OUT 端点已被成功中止。当产生 EPDISD 中断时, 控制器将同时清除以下位:
 - OTG_FS_DOEPCTLx 寄存器的 EPTDIS=0
 - OTG_FS_DOEPCTLx 寄存器的 EPTENA=0
 5. 需要清除全局 OUT NAK 状态, 使其他没有被中止的 OUT 端点能正常接收数据。
 - OTG_FS_DCTL 寄存器的 SGOUTNAK=0
 - 普通的非同步 OUT 数据传输

本节描述了一个标准的非同步 OUT 数据的传输过程(控制、块或中断传输)。

对应用程序的要求:

1. 在使能一个 OUT 传输前, 需要在存储区中分配一个缓存区用于保存 OUT 传输中收到的所有数据。
2. 对于 OUT 传输, 端点的传输长度寄存器中的传输长度位, 需要被设置成端点的最大数据包长度的倍数, 以 DWORD 类型对齐。
 - 传输长度[EPTNUM] = n ×(MAXPSIZE[EPTNUM] + 4 – (MAXPSIZE[EPTNUM]模 4))

- 包数[EPTNUM] = n
 - n > 0
3. 在每个 OUT 端点中断中，都需要读出端点的传输长度寄存器，以便计算缓存区中的数据长度。收到的数据长度可以比设置的传输长度小。
- 缓存区中的数据长度 = 初始配置的传输长度 - 控制器更新的传输长度。
 - 接收到的 USB 包数目 = 初始配置的包数目 - 控制器更新的包数目
- 内部数据流：
1. 应用程序需要配置相关端点寄存器的传输长度位和包数目位，清除 NAK 位，并使能端点以便接收数据。
 2. 一旦 NAK 位被清除，控制器将开始接收数据，并在接收 FIFO 有剩余空间时，将数据写入接收 FIFO 中。对于每一个收到的数据包，数据包和其状态信息都将写入接收 FIFO 中。每写入接收 FIFO 一个数据包(最大包长度的包或短包)，端点寄存器的包数目位都将自减 1。
 - 一个带有错误的 CRC 的 OUT 数据包，将被从接收 FIFO 中自动清除。
 - 在发送一个 ACK 信号后，对于因为主机没有收到 ACK 信号时而重新发送的非同步 OUT 数据包，将被控制器丢弃。应用程序不用处理对同一端点的带有同样数据 PID 号的连续 OUT 数据包，这种情况下寄存器的包数目位不会自减。
 - 如果接收 FIFO 没有剩余空间，同步或非同步的数据包都将被丢弃，并不会被写入接收 FIFO。另外，对于非同步的 OUT 数据包，将发送 NAK 握手信号。
 - 对于以上三种情况，由于都没有实际的数据写入接收 FIFO 中，端点寄存器的包数目位都不会自减。
 3. 当包数目自减到 0，或者端点收到一个短的数据包，控制器会将该端点的状态设置为 NAK。一旦端点处于 NAK 状态，同步和非同步传输的数据包都将被丢弃，而不会写入接收 FIFO 中，同时，对于非同步的 OUT 传输，控制器将返回一个 NAK 的握手包。
 4. 在数据被控制器写入接收 FIFO 后，应用程序可以从接收 FIFO 中读取数据，并将之写入其他存储区，每个端点一次只能操作一个包的数据。
 5. 每当一个包的数据通过 AHB 总线写入其他存储区后，端点的传输长度寄存器的值都会自动减去已写入的数据长度。
 6. OUT 端点的 OUT 传输完成标志会在以下情况时写入接收 FIFO 中：
 - 传输长度寄存器的值为 0，同时包数寄存器的值也为 0。
 - 写入接收 FIFO 的最后一个 OUT 数据包是一个短包($0 \leq$ 收到的包长度 < 最大包长度)
 7. 当应用程序将此标志(OUT 传输完成标志)从接收 FIFO 中读出后，控制器将产生该端点的传输完成中断，同时，该端点的使能标志被清除。

应用程序处理流程：

1. 配置 OTG_FS_DOEPTSIZx 寄存器，设置传输长度和合适的包数目。
2. 配置 OTG_FS_DOEPCTLx 寄存器，设置端点的特性，同时设置 EPTENA 和 CNAK 位为'1'。
 - OTG_FS_DOEPCTLx 寄存器的 EPTENA=1
 - OTG_FS_DOEPCTLx 寄存器的 CNAK=1
3. 等待 RXFLVL(OTG_FS_GINTSTS)中断，并从接收 FIFO 中读出数据包。
 - 根据不同的传输长度，此步骤将重复多次。
4. 等待非同步 OUT 传输正常完成标志的 XFERC(OTG_FS_DOEPINTx)中断。
5. 读 OTG_FS_DOEPTSIZx 寄存器，获得实际接收到的数据长度的信息。
 - 普通的同步 OUT 数据传输

本节描述了标准的同步 OUT 传输处理过程。对应用程序的要求：

1. 所有对于非同步 OUT 传输的要求都适用于同步 OUT 传输。

2. 对于同步 OUT 传输，控制寄存器的传输长度位和包数目位都必须设置为在一个帧内接收的最大数据包长度和数量。同步 OUT 传输不能跨越一个帧。

3. 应用程序需要在一个周期性的帧(OTG_FS_GINTSTS 寄存器的 EOPF 中断)结束前，从接收 FIFO 中读出所有的同步 OUT 数据包(包括数据和状态)。

4. 为准备接收下一个帧的数据，同步 OUT 端点需要在 EOPF(OTG_FS_GINTSTS)后，SOF(OTG_FS_GINTSTS)前被使能。

内部数据流：

1. 除了一些细微的差别，同步 OUT 端点的内部数据流与非同步 OUT 端点的内部数据流大致相同。

2. 在同步 OUT 端点被使能(通过设置端点使能位)，同时 NAK 状态被清除时，应用程序必须设置合适的奇数/偶数帧位。控制器只有在以下情况下，同步 OUT 端点才会在特殊的帧接收数据：

- EONUM(OTG_FS_DOEPCTLx 寄存器) = SOFFN[0](OTG_FS_DSTS 寄存器)

3. 在从接收 FIFO 中读取完整的同步 OUT 数据包(包括数据和状态)后，控制器会根据从接收 FIFO 中读取的最后一个同步 OUT 数据包来更新 OTG_FS_DOEPTSzX 寄存器的 RXDPID 位。

应用程序操作流程：

1. 配置 OTG_FS_DOEPTSzX 寄存器，设置合适的传输长度和包数。

2. 配置 OTG_FS_DOEPCTLx 寄存器，设置端点的特性并使能端点，同时清除 NAK 状态，选择合适的奇数/偶数帧。

- EPTENA = 1

- CNAK = 1

- EONUM = (0: 偶数 / 1: 奇数)

3. 等待 RXFLVL 中断(OTG_FS_GINTSTS)，并从接收 FIFO 中读取数据包

- 根据不同的传输长度，本步骤将重复多次。

4. 等待同步 OUT 传输结束标志产生的 XFERC 中断(OTG_FS_DOEPINTx)。此中断并不意味着存储区中的数据是正确的。

5. 在同步传输中，并不是每次都会产生 XFERC 中断，但能够检测到 OTG_FS_GINTSTS 寄存器的 INCOMISOOUTM 中断。

6. 读 OTG_FS_DOEPTSzX 寄存器，以便知道在一个帧内收到了多少有效数据。只有在满足以下任一条件之一时，才能判定收到的数据是有效的。

在这个帧内收到的 USB 包数目 = 初始化的包数目 - 控制器更新的最终包数目。

- RXDPID = D0(OTG_FS_DOEPTSzX)，同时在这个帧内收到的 USB 包数为 1。

- RXDPID = D1(OTG_FS_DOEPTSzX)，同时在这个帧内收到的 USB 包数为 2。

- RXDPID = D2(OTG_FS_DOEPTSzX)，同时在这个帧内收到的 USB 包数为 3。

在这个帧内收到的 USB 包数目 = 初始化的包数目 - 控制器更新的最终包数目。应用程序可以丢弃无效的数据包。

● 不完全的同步 OUT 数据传输 本节描述了同步 OUT 数据包接收不完全时的处理流程。 内部数据流：

1. 对于同步 OUT 端点，XFRC 中断(OTG_FS_DOEPINTx)不是每次都会产生的。在以下情况下，控制器会停止接收同步 OUT 数据包，应用程序将不会检测到 XFERC 中断 (OTG_FS_DOEPINTx)。

- 当接收 FIFO 没有足够的空间存放完整的同步 OUT 数据包时，控制器将停止接收。

- 当收到的同步 OUT 数据包发生了 CRC 错误。

- 当收到的同步 OUT 令牌是错误的。

- 当应用程序从接收 FIFO 中读取数据的速度过慢。

2. 当控制器在完成所有的同步 OUT 传输前检测到了帧结束信号，会产生一个不完全的同步 OUT 中断 (OTG_FS_GINTSTS 寄存器的 ISOOUTDR)，此中断表示至少有一个同步 OUT 端点没有产生 XFERC

中断(OTG_FS_DOEPINTx)。这种情况下，该端点仍然有效，但在 USB 线上不会有进一步的数据传输。

应用程序处理流程：

1. INCOMISOOUTM 中断(OTG_FS_GINTSTS)指示在当前帧内至少有一个同步 OUT 端点发生了不完全传输的情况。
2. 应用程序需要判断是否由于没有读空接收 FIFO 才导致发生了不完全传输。应该确保在进一步操作前必须读出接收 FIFO 中所有的同步 OUT 数据(包括数据和状态)。
 - 应用程序读空接收 FIFO 后，会产生 XFERC 中断(OTG_FS_DOEPINTx)，此时，需要重新使能端点，以便在下一帧时接收同步 OUT 数据。
3. 当检测到 INCOMISOOUTM 中断(OTG_FS_GINTSTS)，需要读出所有同步 OUT 端点的控制寄存器(OTG_FS_DOEPCTLx)以便确认在当前帧内哪个端点发生了不完全传输。在同时满足以下条件时，表示传输不完整。
 - EONUM 位(OTG_FS_DOEPCTLx) = SOFFN[0](OTG_FS_DSTS)
 - EPTENA = 1(OTG_FS_DOEPCTLx)
4. 以上的操作必需在检测到 SOF 中断(OTG_FS_GINTSTS)之前完成，以确保当前的帧号没有改变。
5. 对于一个发生了不完全传输的同步 OUT 端点，必需丢弃储存在存储区的数据，并通过设置 OTG_FS_DOEPCTLx 寄存器的 EPTDIS 位来无效该端点。
6. 等待 EPTDIS 中断(OTG_FS_DOEPINTx)，并重新使能端点，以便在下一个帧开始接收新的数据。
 - 由于控制器需要一定的时间来关闭端点，因此在收到一个错误的同步数据之后，应用程序可能在下一个帧时不能接收数据。

- 中止一个非同步 OUT 端点

本节描述了应用程序如何中止一个非同步端点。

1. 设置控制器进入全局 OUT NAK 响应状态。
2. 无效相应的端点。
 - 通过设置 STALL = 1(OTG-FS_DOEPCTL)，而不是设置 SNAK 位(OTG_FS_DOEPCTL)来使端点无效。
3. 当应用程序准备好结束以 STALL 来响应端点时，必需清除 STALL 位(OTG_FS_DOEPCTLx)。
4. 当应用程序收到 SetFeature.Endpoint Halt 命令或者 ClearFeature.Endpoint Halt 命令时，需要设置或者清除端点的 STALL 位，这个设置或者清除的操作必需在控制端点发起状态阶段传输之前完成。

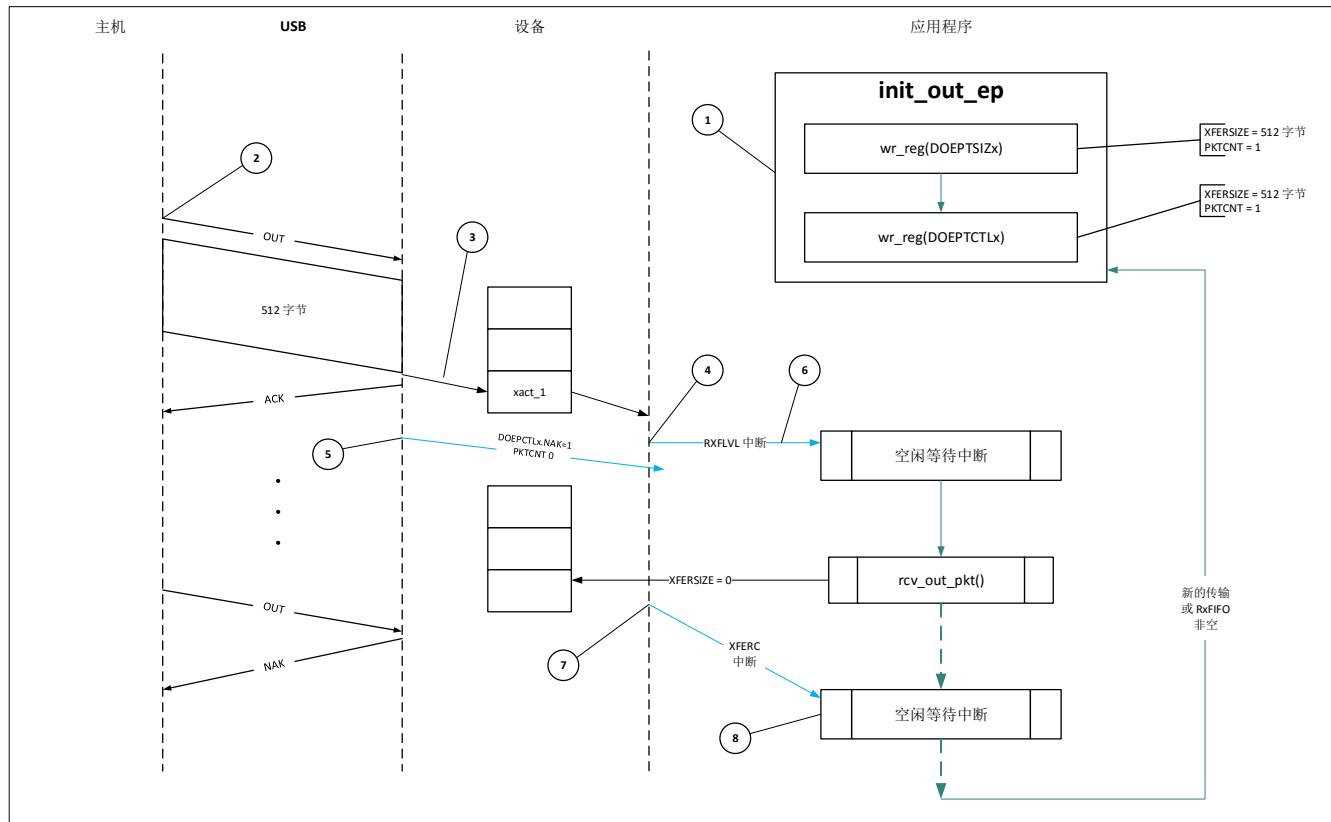
示例

本节列举了一些例子，来说明如何处理基本的传输类型和情况。

- 设备模式下块 OUT 传输

下图给出了从 USB 接收一个单独的块 OUT 数据包到 AHB 的流程以及相关的事件。

图 21-19 从模式下块(Bulk)OUT 传输过程



在收到 SetConfiguration/SetInterface 命令后，应用程序通过设置 (OTG_FS_DOEPCTLx) 中 CNAK=1 和 EPTEA=1 来初始化所有的 OUT 端点，并为 OTG_FS_DOEPTSIx 寄存器设置合理的 XFSIZE 和 PKTCNT 值。

1. 主机尝试向一个端点发送数据(OUT 令牌)
2. 当接收到 USB 线上的 OUT 令牌，控制器将数据包储存在接收 FIFO 中，此时接收 FIFO 应该有剩余空间。
3. 当控制器将完整的数据包写入接收 FIFO 后，将产生 RXFLVL 中断(OTG_FS_GINTSTS)。
4. 在接收到 PKTCNT 个 USB 数据包之后，控制器将自动设置端点状态的 NAK 位，以防止持续接收更多的数据包。
5. 应用程序需要响应中断，并从接收 FIFO 中读取数据。
6. 当读出了所有的数据(数据长度等于 XFSIZE)，控制器将产生(OTG_FS_DOEPINTx)XFERC 中断。
7. 应用程序需要响应中断，并通过 XFERC 中断位的来决定整个传输是否已完成。

IN数据传输

本节叙述了当使能了相应的发送FIFO时，如何在设备模式下写数据包到端点的FIFO中。

1. 可以选择使用轮询方式或者中断方式
 - 使用轮询方式，需要通过读 OTG_FS_DTXFSTSx 寄存器来监视端点相应的发送 FIFO 状态，以便了解发送 FIFO 是否还有剩余空间。
 - 使用中断方式，需要等待 TXFE 中断(OTG_FS_DIEPINTx)并读 OTG_FS_DTXFSTSx 寄存器来了解发送 FIFO 是否有足够的剩余空间。
 - 如果要写一个单独的非零长度的数据包，发送 FIFO 的剩余空间必需要足够写入整个完整的数据包。
 - 如果要写一个零长度的数据包，则无需查看发送 FIFO 的剩余空间。

2. 无论使用以上哪种方式，当发送 FIFO 有足够剩余空间来写入一个数据包，应用程序需要先写端点控制寄存器，再写数据包到发送 FIFO。通常，除了设置端点的使能位，应用程序都必需通过读-修改-写的操作来设置 OTG_FS_DIEPCTLx 寄存器，以防止寄存器的内容被修改。

如果发送 FIFO 的剩余空间足够大，可以向同一个端点连续写入多个数据包。对于周期性 IN 端点，在一个帧内只能写入一个数据包，只有在收到前一个数据包的传输完成标志后，才能写入下一个周期要发送的数据。

- 设置 IN 端点 NAK 状态 内部数据流程：

1. 当设置某个具体的 IN 端点状态为 NAK 时，控制器将无视该端点的发送 FIFO 中是否有要传送的数据，而停止该端点的数据传送，
2. 对于非同步 IN 命令，将以 NAK 握手信号回复。
 - 对于同步 IN 命令，将以零长度的数据包回复。
3. 对于 OTG_FS_DIEPCTLx 寄存器的 SNAK 位，控制器将产生 INEPNE(IN 端点 NAK 有效)中断 (OTG_FS_DIEPINTx)。
4. 当接收到此中断，就可以判断该端点已进入 IN 端点 NAK 状态。应用程序可以通过设置 OTG_FS_DIEPCTLx 寄存器的 CNAK 位来清除此中断。

应用程序编程流程：

1. 需要设置 IN NAK 位，来停止指定 IN 端点的数据传输活动：
 - OTG_FS_DIEPCTLx 寄存器的 SNAK = 1
2. 等待 OTG_FS_DIEPCTLx 寄存器的 INEPNE 中断。此中断表示控制器已停止指定端点的数据传输活动。
3. 控制器在应用程序设置 NAK 位之后，在产生 NAK 有效的中断之前，可以在该端点上发送有效的 IN 数据包。
4. 应用程序可以通过写 DIEPMSK 寄存器的 INEPNEM 位来临时屏蔽此中断。
 - DIEPMSK 寄存器的 INEPNEM=0
5. 通过清除 OTG_FS_DIEPCTLx 寄存器的 NAK 状态位(NAKSTS)来退出端点 NAK 状态模式。同时需要清除 INEPNE 中断(OTG_FS_DIEPINTx)。
 - OTG_FS_DIEPCTLx 寄存器的 CNAK=1
6. 如果应用程序在之前屏蔽了此中断，需要解除屏蔽：
 - DIEPMSK 寄存器的 INEPNEM=1

- IN端点无效

通过以下步骤，可以使一个已经使能的 IN 端点无效。

应用程序编程流程：

1. 应用程序在无效一个 IN 端点之前，需要先停止从 AHB 写数据包。
2. 应用程序需要设置端点进入 NAK 模式
 - OTG_FS_DIEPCTLx 寄存器的 SNAK=1
3. 等待 OTG_FS_DIEPINTx 寄存器的 INEPNE 中断。
4. 对于需要无效的端点，设置 OTG_FS_DIEPCTLx 寄存器的以下位：
 - OTG_FS_DIEPCTLx 寄存器的 EPTDIS=1
 - OTG_FS_DIEPCTLx 寄存器的 SNAK=1
5. 等待 OTG_FS_DIEPINTx 寄存器的 EPTDISD 中断，该中断表示控制器已经使指定的端点无效。伴随着该中断，控制器也将清除以下位：
 - OTG_FS_DIEPCTLx 寄存器的 EPTENA=0
 - OTG_FS_DIEPCTLx 寄存器的 EPTDIS=0

6. 应用程序必需读取周期性 IN 端点的 OTG_FS_DIEPTSI z 寄存器，以了解该端点已经向 USB 总线发送了多少数据。

7. 应用程序需要通过设置 OTG_FS_GRSTCTL 寄存器的以下位，来清除该端点的发送 FIFO 中的数据：

- TXFNUM(OTG_FS_GRSTCTL)=端点的发送 FIFO 编号
- TXFFLSH(OTG_FS_GRSTCTL)=1 应用程序需要查询 OTG_FS_GRSTCTL 寄存器，直到 TXFFLSH 位被控制器清除，这表示刷新操作已经完成。应用程序可以随后重新使能该端点，来发送新的数据。
- 普通的非周期性 IN 数据传输 应用程序需要：
 1. 在发起一个 IN 传输前，需要确保所有要通过 IN 传输被发送的数据，都属于同一个缓冲区。
 2. 对于 IN 传输，端点传输长度寄存器的传输长度位指示整个要发送的数据长度，包括若干个最大包长度的数据包和一个短包。短包将在传输的最后进行传送。
 - 为了要先发送若干个最大数据包长度的数据包，并在传输的最后发送一个短包：传输长度 [EPTNUM] = $x \times \text{MAXPSIZE[EPTNUM]} + sp$
If ($sp > 0$)
包数目[EPTNUM] = $x + 1$
else
包数目[EPTNUM] = x
 - 为了要发送一个单独的零长度的数据包：
传输长度[EPTNUM] = 0
包数目[EPTNUM] = 1
 - 为了要先发送若干个最大数据包长度的数据包，并在传输最后发送一个零长度的数据包，应用程序需要把整个发送过程分割为两部分。第一个部分发送若干个最大数据包长度的数据包，第二个部分再单独发送长度为零的数据包。

第一部分：传输长度[EPTNUM] = $x \times \text{MAXPSIZE[EPTNUM]}$; 包数目[PENUM] = n

第二部分：传输长度[EPTNUM] = 0; 包数目[EPTNUM] = 1

3. 一旦一个端点开始发送数据，控制器会更新传输长度寄存器的值，在 IN 传输结束时，需要读出传输长度寄存器，以了解发送 FIFO 中有多少数据已通过 USB 总线发出。

4. 仍然留在发送 FIFO 中的数据 = 设置的传输长度 - 控制器更新过的最终传输长度。
- USB 总线上传输的数据 = (设置的初始包数目 - 控制器更新过的最终包数目) × MAXPSIZE[EPTNUM]
 - 仍然需要发送的数据 = 设置的初始传输长度 - 已通过 USB 发送的数据长度。

内部数据流：

1. 应用程序需要设置端点控制寄存器的传输长度和包数目位，并使能需要传输数据的端点。
2. 应用程序需要将要传输的数据，写入相应端点的发送 FIFO 中。
3. 每当应用程序写一个数据包到发送 FIFO 中，控制器将自动从传输长度中减去写入的包长度。需要持续写入数据直到该端点的传输长度变为 0。在写数据到 FIFO 后，FIFO 中的数据包数目位(每个 IN 端点都用 3 位表示包数目，在内部由控制器管理，在任何时候，对于 IN 端点控制器能管理的最大包数为 8)将自动加 1。对于零长度的数据包，会有相应的标志位指明，FIFO 中不需要有任何数据。
4. 在数据被写入发送 FIFO 后，控制器会在收到 IN 命令后读取这些数据。对于每个以 ACK 结束的非同步 IN 数据包传输，该端点的包数目寄存器将自减 1，直到包数目变为 0。包数目寄存器将不会因为超时而自减。
5. 对于零长度数据包(由内部的零长度标志位指示)，控制器将根据 IN 命令发送零长度的数据包，并且包数寄存器自减 1。

6. 如果在包数寄存器已经变为 0，并且 FIFO 中已无要发送的数据时，收到了 IN 命令，控制器将产生“在发送 FIFO 为空时收到了 IN 命令”的中断(ITTXFE)，同时不设置该端点的 NAK 标志位。控制器将以 NAK 握手信号来回应一个非同步端点的传输。

7. 控制器内部复原 FIFO 的指针并且不会产生超时的中断。

8. 如果传输长度为 0，并且包数也为 0，传输完成中断(XFRC)会产生，并且端点的有效标志将被清除。

应用程序流程：

1. 根据传输长度和相应的包数目设置 OTG_FS_DIEPTSI_x 寄存器。

2. 根据端点的特性设置 OTG_FS_DIEPCTL_x 寄存器，并设置 CNAK 和 EPTENA(端点使能)位。

3. 当传输非零长度的数据包时，应用程序需要查询 OTG_FS_DTXFSTS_x 寄存器(此处 x 代表与端点相关的 FIFO 编号)来了解发送 FIFO 是否有剩余空间。应用程序也可以使用 TXFE(OTG_FS_DIEPINT_x)中断来决定是否写数据到 FIFO。

● 普通的周期性 IN 传输 本节叙述了一个典型的周期性 IN 传输

应用程序需要：

1. 上一节所描述的普通的非周期性 IN 传输的应用程序需求 1、2、3 和 4 同样适用于本节的周期性 IN 传输，除了 2 有些许不同。

- 应用程序可以传输多个最大数据包长度的数据包，或传输带有一个短包结尾的多个最大数据包长度的数据包。传输若干个最大数据包长度的数据包，并在传输的最后发送一个短包需要做到：

传输长度[EPtNUM] = x × MAXPSIZE[EPTNUM] + sp

(此处 x 是≥0 的整数，并且 0 ≤ sp ≤ MAXPSIZE[EPTNUM])

If (sp > 0)

包数目[EPTNUM] = x + 1

else

包数目[EPTNUM] = x

MCNT[EPTNUM] = 包数目[EPTNUM]

- 应用程序不能在传输末尾发送一个零长度的数据包，但可以自动发送一个单独的零长度的数据包。为了要发送一个单独的零长度的数据包，需要设置：

传输长度[EPTNUM] = 0

包数目[EPTNUM] = 1

MCNT[EPTNUM] = 包数目[EPTNUM]

2. 应用程序在一个时间只能安排一个帧的数据传输。

- (MCNT - 1) × MAXPSIZE ≤ XFERSIZE ≤ MCNT ≤ MAXPSIZE
- PKTCNT = MCNT(OTG_FS_DIEPTSI_x)
- 如果 XFERSIZE < MCNT × MAXPSIZE，那么传输的最后一个数据包是一个短包。
- 注意：MCNT 位在 OTG_FS_DIEPTSI_x 寄存器中，MAXPSIZE 位在 OTG_FS_DIEPCTL_x 寄存器中，PKTCNT 位在 OTG_FS_DIEPTSI_x 寄存器中，XFERSIZE 位在 OTG_FS_DIEPTSI_x 寄存器中。

3. 所有在一个帧内需要发送的数据都必需在收到 IN 命令之前写入到发送 FIFO 中。需要在一个帧内发送的数据，即使只有一个 DWORD 没有写入发送 FIFO 中，控制器仍然会认为 FIFO 是空的。当发送 FIFO 为空时：

- 对于同步 IN 端点，会发送一个零长度的数据包。
- 对于中断 IN 端点，会发送 NAK 握手信号。

4. 对于一个帧内有三个数据包的高带宽 IN 端点，应用程序需要设置端点 FIFO 的长度为 2×max_pkt_size(最大数据包长度)，并在第一个数据包已经发送到 USB 总线后，写入第三个数据包。

内部数据流程:

1. 应用程序需要设置相应端点寄存器的传输长度和包数目位，并使能该传输端点。
2. 应用程序需要将数据写入相应的发送 FIFO 中。
3. 每当应用程序写入一个数据包到发送 FIFO，该端点的传输长度寄存器值将自动减去写入的数据包长度。应用程序需要持续的写入数据直到该端点的传输长度变为 0。
4. 当周期性端点收到 IN 命令时，控制器将自动的发送 FIFO 中的数据。如果 FIFO 中没有当前帧的完整数据包(在指定 FIFO 模式下有完整的包)，控制器会产生“收到 IN 命令时发送 FIFO 为空”的中断。
 - 对于同步 IN 端点，控制器会发送零长度的数据包
 - 对于中断 IN 端点，控制器会发送 NAK 的握手响应
5. 相应端点的包数目寄存器值会在以下情况时，自动减 1:
 - 对于同步端点，当发送了一个零长度或非零长度的数据包
 - 对于中断端点，当一个 ACK 握手信号被传输
 - 当发送长度和包数目都为 0 时，会产生传输结束中断，相应端点的使能会被清除。
6. 在“周期性帧间隔时间”(由 OTG_FS_DCFG 寄存器的 PFIVL 位控制)内，当控制器发现任一在当前帧内应该为空的同步 IN 端点的 FIFO 为非空，会产生 OTG_FS_GINTSTS 寄存器的 INCOMISOIN 中断。

应用程序流程:

1. 根据端点特性配置 OTG_FS_DIEPCTLx 寄存器，并设置 CNAK 和 EPTENA 位。
2. 将需要在下一个帧时发送的数据写入发送 FIFO 中。
3. 如果产生了 INTXFCE 中断(OTG_FS_DIEPINTx)，表示应用程序没有来得及将要发送的数据写入发送 FIFO 中。
4. 当产生中断的端点在中断产生前已经使能，不用理会此中断；否则，使能该端点，控制器将在收到下一个 IN 命令时发送数据。
5. 当产生 XFERC 中断(OTG_FS_DIEPINTx)，并且没有 INTXFCE 中断(OTG_FS_DIEPINTx)，表示同步 IN 传输已经正常结束。可以读 OTG_FS_DIEPTSIZx 寄存器，传输长度寄存器值 和包数目寄存器值都等于 0，指示所有的数据都已通过 USB 传送。
6. 当产生 XFRCE 中断(OTG_FS_DIEPINTx)，不管有没有 INTXFCE 中断(OTG_FS_DIEPINTx)，都表示中断 IN 传输已经正常结束。可以读 OTG_FS_DIEPTSIZx 寄存器， 传输长度和包数寄存器值都等于 0，指示所有的数据都已通过 USB 传送。
7. 当产生未完成的同步 IN 传输中断(OTG_FS_GINTSTS 的 INCOMISOIN)，而没有产生前述的中断，表示在当前帧，控制器少收到至少一个周期性 IN 命令。

● 未完成的同步 IN 数据传输 本节叙述了当发生未完成的同步 IN 传输时，应用程序的处理流程。 内部数据流程:

1. 出现以下任一情况时会认为同步 IN 传输未完成:
 - 控制器在至少一个同步 IN 端点上，收到一个错误的同步 IN 命令。此时，应用程序会检测到一个“未完成的同步 IN 传输”中断(OTG_FS_GINTSTS 寄存器的 INCOMISOIN)。
 - 应用程序来不及将完整的数据写入发送 FIFO 中，也就是说在写完整的数据包到发送 FIFO 之前，收到了 IN 命令。此时，应用程序会检测到“收到 IN 命令时发送 FIFO 为空”中断(OTG_FS_DIEPINTx)。应用程序可以不理会此中断，因为这将在周期性帧结束 的时候，导致一个“未完成的同步 IN 传输”中断(OTG_FS_GINTSTS 的 INCOMISOIN)。控制器将发送一个零长度的数据包到 USB 总线来响应收到的 IN 命令。
2. 应用程序应该尽快停止继续向发送 FIFO 写数据。
3. 应用程序应该设置端点的 NAK 位和取消使能位。
4. 控制器会解除端点的使能，清除端点的取消使能位，并产生该端点的“端点取消使能”中断。

应用程序流程:

1. 应用程序在任何同步 IN 端点上收到 OTG_FS_DIEPINTx 的发送 FIFO 空中断时，都可以忽略接收到的 IN 命令，因为这将导致一个未完全的同步 IN 传输中断(OTG_FS_GINTSTS)。
2. “未完成的同步 IN 传输”中断(OTG_FS_GINTSTS)表示至少有一个同步 IN 端点发生了未完成的同步 IN 传输。
3. 应用程序需要读所有同步 IN 端点的端点控制寄存器，以了解是哪个端点发生了未完成的 IN 传输事件。
4. 应用程序必需停止继续向这个端点的发送 FIFO 写数据。
5. 配置 OTG_FS_DIEPCTLx 寄存器的以下位来取消端点的使能：
 - OTG_FS_DIEPCTLx 寄存器的 SNAK = 1
 - OTG_FS_DIEPCTLx 寄存器的 EPTDIS = 1
6. OTG_FS_DIEPINTx 寄存器的“端点取消使能”中断指示控制器取消端点的使能状态。
 - 此时，应用程序需要清除相应的发送 FIFO，或者在重新使能端点之后，覆盖仍存留在 FIFO 中的数据。为了清除数据，应用程序必需使用 OTG_FS_GRSTCTL 寄存器。

- 中止非同步 IN 端点

本节叙述了应用程序如何中止一个非同步端点

应用程序流程：

1. 解除需要中止的 IN 端点的使能状态。设置 STALL 位。
2. 如果端点已经使能，设置 OTG_FS_DIEPCTLx 寄存器的 EPTDIS=1。
 - OTG_FS_DIEPCTLx 的 STALL = 1。
 - STALL 位的优先级用于高于 NAK 位。
3. 端点“取消使能中断”(OTG_FS_DIEPINTx)通知应用程序，控制器已经取消了相应端点的使能。
4. 应用程序需要根据端点的传输类型，清除非周期性或周期性发送 FIFO。对于非周期性端点，应用程序必需重新使能另一个不需要中止的非周期性端点，来完成数据传输。
5. 当应用程序准备好结束以 STALL 握手信号来响应端点，必需清除 OTG_FS_DIEPCTLx 寄存器的 STALL 位。
6. 当应用程序根据 SetFeature.Endpoint Halt 命令，或者 ClearFeature.Endpoint Halt 命令来设置或清除 STALL 位，必需在控制端点上建立状态传输阶段之前执行对 STALL 位的设置和清除操作。

特殊情况：中止一个控制 OUT 端点 控制器在主机发送超过 SETUP 包中定义的数量的 IN/OUT 命令时，可以在控制传输的数据传输阶段 STALL IN/OUT 命令。在这种情况下，应用程序必需在控制传输的数据传输阶段，使能 OTG_FS_DIEPINTx 的 INTTXFE 中断和 OTG_FS_DOEPINTx 的 OTEPDIS 中断。当应用程序收到了中断，意味着必需设置相应端点控制寄存器的 STALL 位，并清除中断。

21.15.7 最差情况下的响应时间

当 OTG_FS 控制器工作在设备模式下时，对于任何一个跟在同步 OUT 传输后的命令，都会有一个最坏的响应时间。这个最坏的响应时间根据 AHB 的时钟频率有所不同。

控制器寄存器位于 AHB 时钟域的范围内，并且控制器在这些寄存器值被更新之前，不能接收新的命令。最坏的情况是：对于任何一个跟在同步 OUT 传输之后的命令，由于同步传输不需要握手信号，因此这个命令可能会马上到达。这个最坏的响应时间在 AHB 时钟等于 PHY 时钟频率时，是 7 个 PHY 时钟。当 AHB 时钟更快时，这个响应时间会变快些。

当这种最坏的情况发生时，控制器会以 NAK 来响应块传输和中断传输命令，丢弃同步和 SETUP 命令。对于 SETUP 命令，主机会以 SETUP 超时来处理这种情况，并重发 SETUP 包。对于同步传输，会产生未完全的同步 IN 传输中断(INCOMISOIN)和未完全的同步 OUT 传输中断(INCOMISOOUTM)，来通知应用程序有同步的 IN/OUT 命令被丢弃了。

选择 OTG_FS_GUSBCFG 寄存器的 TRDTIM 值

OTG_FS_GUSBCFG 寄存器的 TRDTIM 值以 PHY 时钟个数为单位，表示 MAC 从收到一个 IN 命令，到获取 FIFO 状态并从 PFC(包 FIFO 控制器)获取最初的数据，所需要的时间。这个时间包括了 PHY 和

AHB 时钟同步的延迟。最坏的情况是 AHB 时钟频率与 PHY 时钟频率相同，此时，这个延迟是 5 个时钟周期。

一旦 MAC 收到了 IN 命令，这个信息(收到命令)将由 PFC(PFC 以 AHB 时钟驱动)同步到 AHB 时钟。PFC 会从 SPRAM 读取数据，并将之写入双时钟源的缓存区。MAC 再从缓存区中读出数据(4 个深度)。

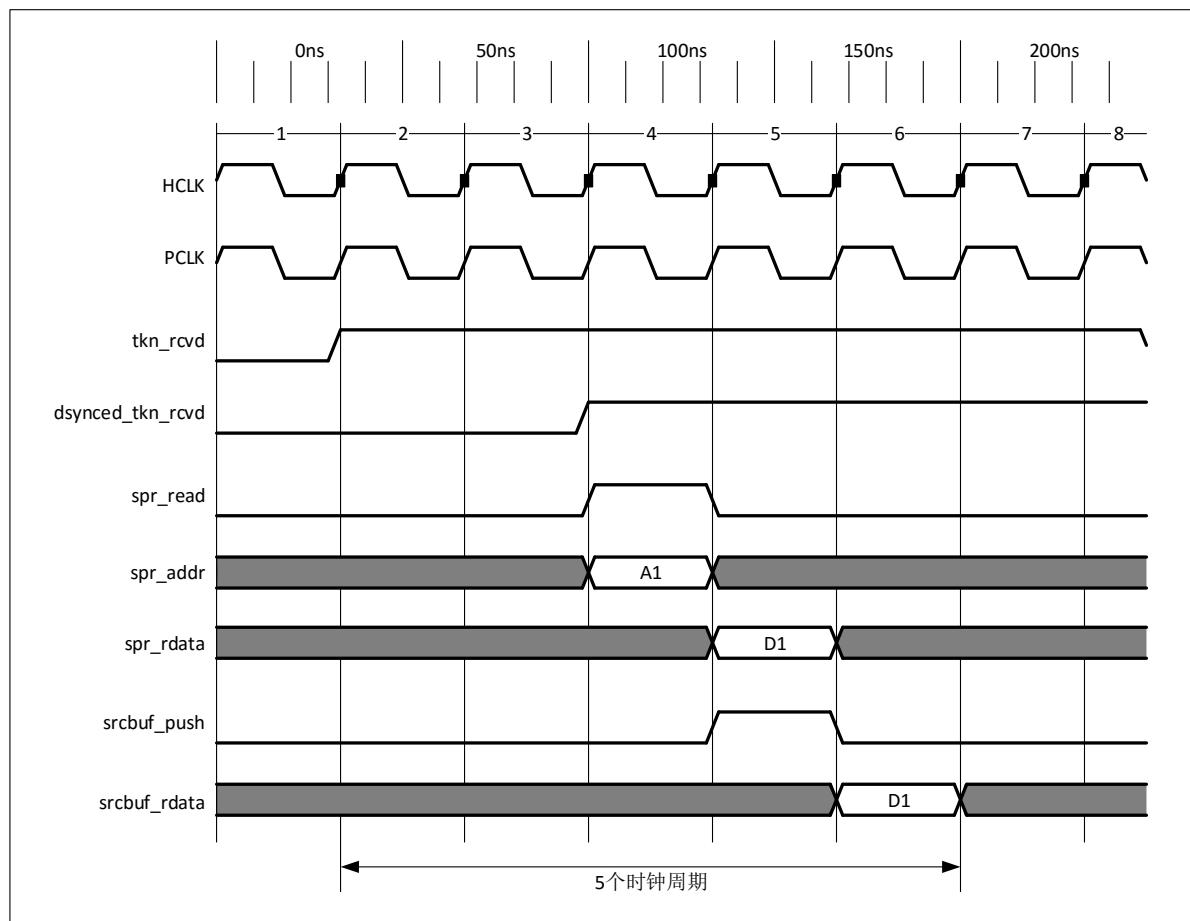
如果 AHB 时钟频率高于 PHY，可以选择一个较小的 TRDTIM 数值(OTG_FS_GUSBCFG)。下图中有以下信号：

- tkn_rcvd: 从 MAC 发到 PFC 的命令已收到信息
- dynced_tkn_rcvd: 从 PCLK 到 HCLK 的双倍的同步 tkn_rcvd 信号
- spr_read: 读 SPRAM
- spr_addr: SPRAM 寻址
- spr_rdata: 从 SPRAM 读数据
- srcbuf_push: 送入源缓存区
- srcbuf_rdata: 从源缓存区读数据。MAC 检测到数据。

应用程序可以使用以下公式来计算 TRDTIM 的值：

$4 \times \text{AHB 时钟} + 1 \text{ 个 PHY 时钟} = (\text{2 个时钟同步} + \text{1 个时钟的存储器寻址} + \text{1 个时钟从同步 RAM 获取数据}) + \text{1 个 PHY 时钟}$ (下一个 PHY 时钟 MAC 可以采样 2 个时钟的 FIFO 输出)。

图 21-20 TRDTIM最大时序的情况



22 版本历史

文档版本历史

日期	版本	变更
2018.08.12	1.00	最初版本
2018.08.23	1.01	<ol style="list-style-type: none">修改首页功能12位A/D转换器为一组采样和保持功能修正图19-14比较器框图错误，增加COMP1_OUT输出IO(PA11)与COMP2_OUT输出IO(PA12)修正文字与章节名称错误
2020.06.28	1.02	<ol style="list-style-type: none">3.2.3 增加PLL配置模式说明3.2.12 补充RCC_PLL寄存器说明

重要通知 - 请仔细阅读

买方自行负责对本文所述雅特力产品和服务的选择和使用，雅特力概不承担与选择或使用本文所述雅特力产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为雅特力授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在雅特力的销售条款中另有说明，否则，雅特力对雅特力产品的使用和 / 或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途（及其依据任何司法管辖区的法律的对应情况），或侵犯任何专利、版权或其他知识产权的默示保证。

雅特力的产品不得应用于武器。此外，雅特力产品也不是为下列用途而设计并不得应用于下列用途：(A) 对安全性有特别要求的应用，例如：生命支持、主动植入设备或对产品功能安全有要求的系统；(B) 航空应用；(C) 汽车应用或汽车环境，且 / 或 (D) 航天应用或航天环境。如果雅特力产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向雅特力发出了书面通知，采购商仍将独自承担因此而导致的任何风险，雅特力的产品设计规格明确指定的汽车、汽车安全或医疗工业领域专用产品除外。根据相关政府主管部门的规定，ESCC、QML 或 JAN 正式认证产品适用于航天应用。

经销的雅特力产品如有不同于本文档中提出的声明和 / 或技术特点的规定，将立即导致雅特力针对本文所述雅特力产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大雅特力的任何责任。

© 2020 雅特力科技 (重庆) 有限公司 保留所有权利