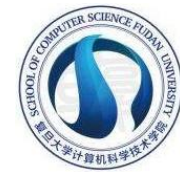


8. 锁存器、触发器

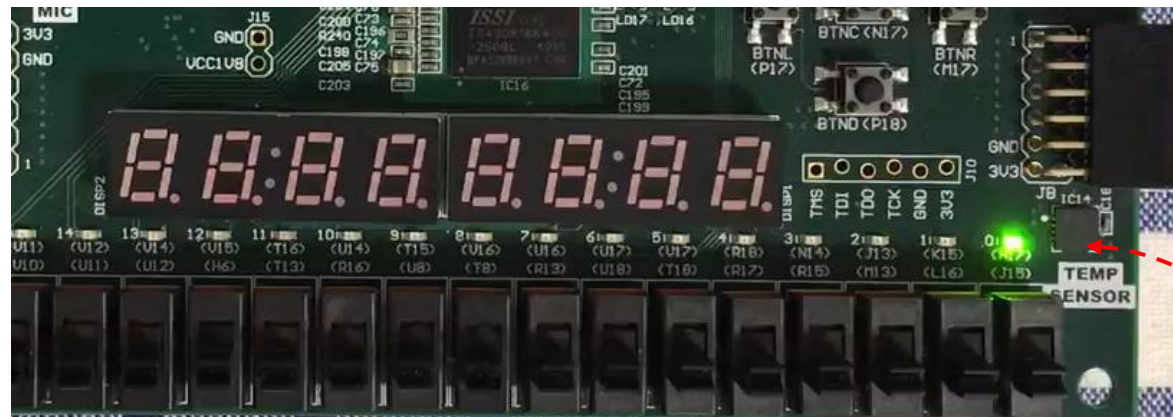


为什么需要**存储**元件？

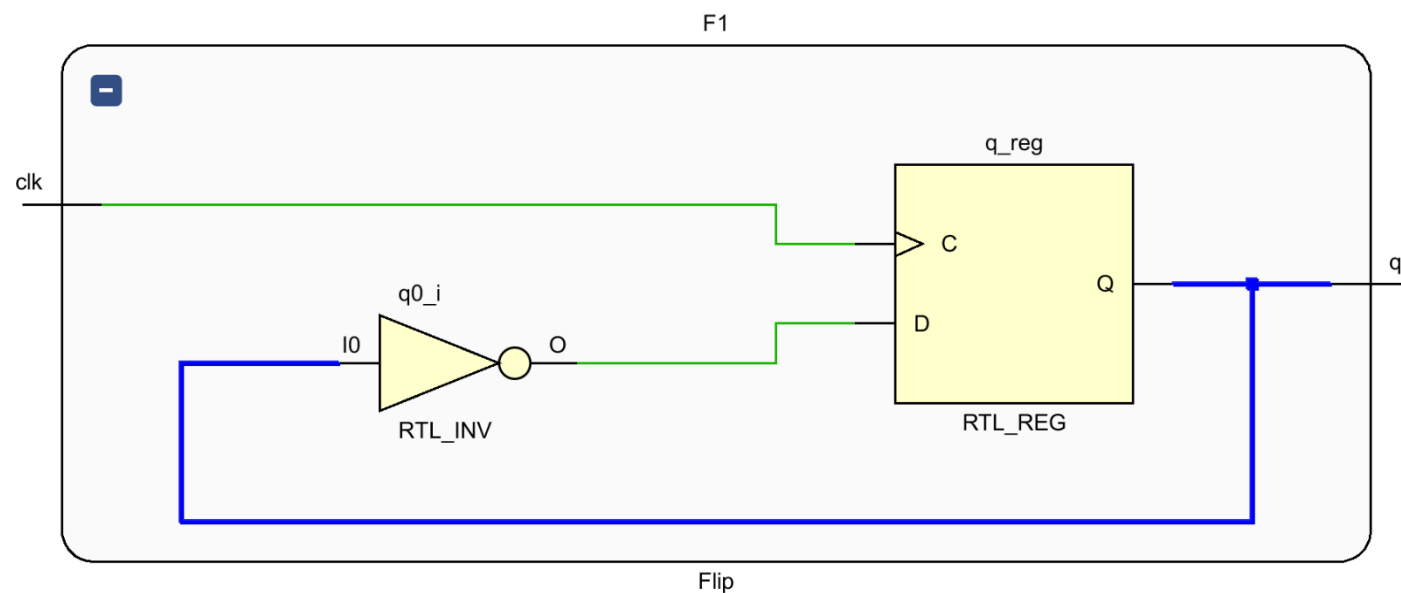
```
assign q = 0;
```

```
assign q = 1;
```

多驱动！

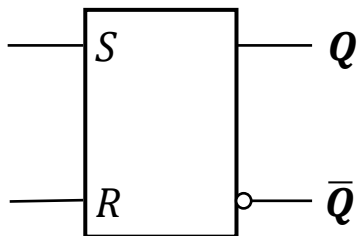


```
1 // 翻转
2 module Flip
3     (input logic clk,
4      output logic q ); //reg
5
6     always @(posedge clk)
7         q = ~q;
8 endmodule
```

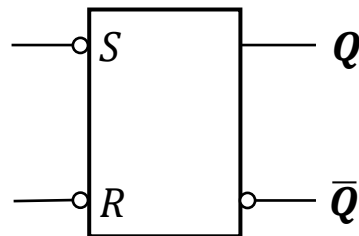


锁存器、触发器

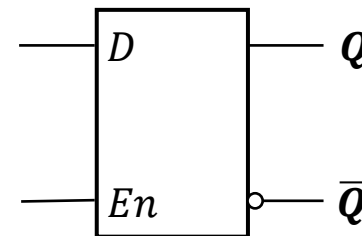
① SR 锁存器



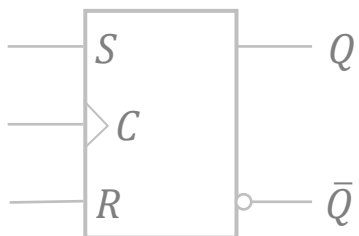
② $\bar{S}\bar{R}$ 锁存器



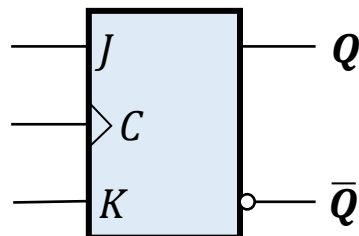
③ 门控 D 锁存器



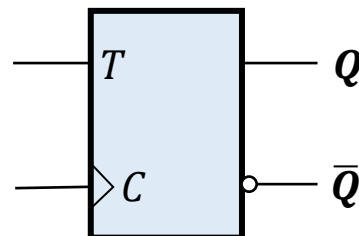
④ SR 触发器



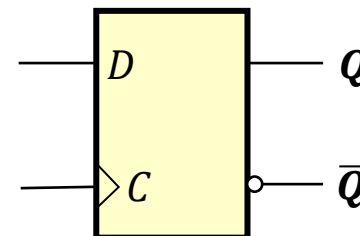
⑥ JK 触发器



⑦ T 触发器



⑤ D 触发器



最常用



latch 锁存器、触发器 flip-flop

- **Latches** and **Flip-flops** are used as data storage elements.
- **Flip-flops** can be either simple or clocked (synchronous or edge-triggered).
- The **simple** ones are commonly called **latches**. The word **latch** is mainly used for storage elements, while **clocked** devices are described as **flip-flops**.

时序逻辑电路

结构: ① 包含锁存器 或 触发器

② 有**反馈**，电路输出由：输入+反馈共同决定

特点: 电路具有**记忆**功能

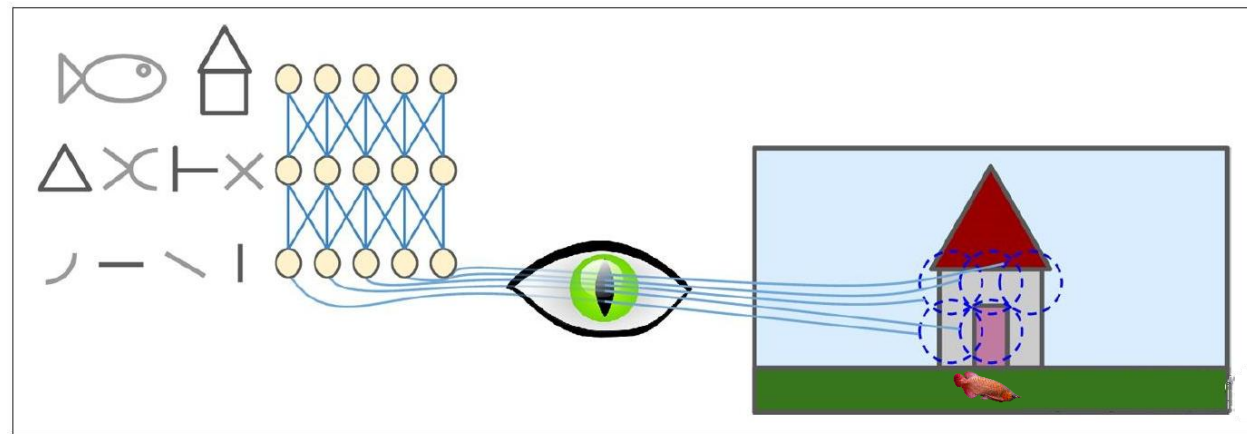
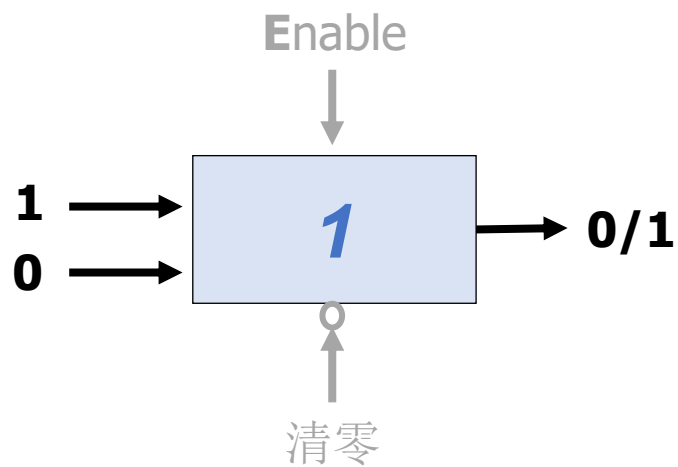
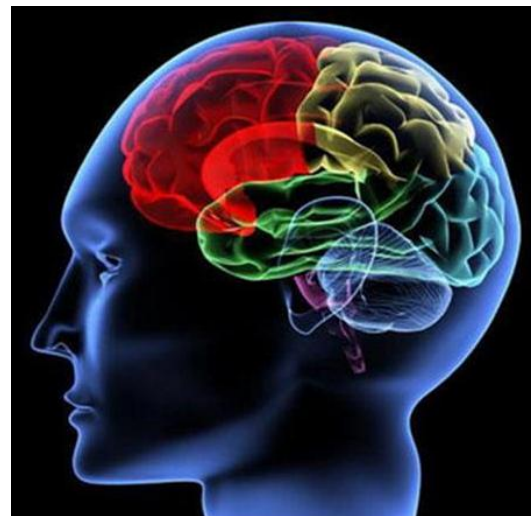
1

锁存器

记忆的标准

为了实现记忆1位二值信号的功能，
记忆器必须具有以下2个基本特点：

- ① 具有能**保持稳定**的状态，用来保持二进制数的0、1.
- ② 可以**置0或置1**.



如何记忆?

1个或非门:



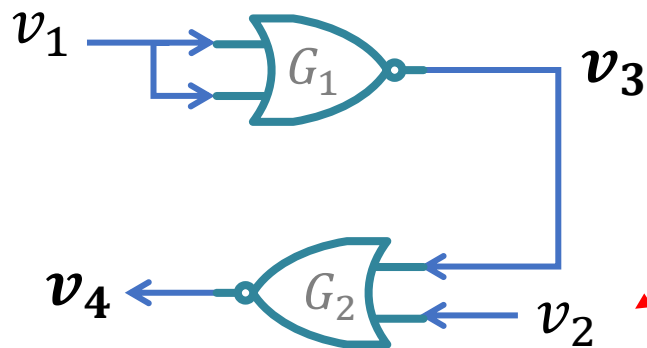
- 当 $v_1 = 0$, 输出 v_3 将随 v_2 而变, 无法保存
- 当 $v_1 = 1$, 输出 $v_3 \equiv 0$: 只有1个结果

v_1	v_2	v_3	效果
0	0	1	v_3 将随 v_1 而变
0	1	0	
1	0	0	$v_3 \equiv 0$
1	1	0	

如何记忆?



- **1个或非门:**
 - 当 $v_1 = 0$, 输出 v_3 将随 v_2 而变, 无法保存
 - 当 $v_1 = 1$, 输出 $v_3 \equiv 0$: 只有1个结果

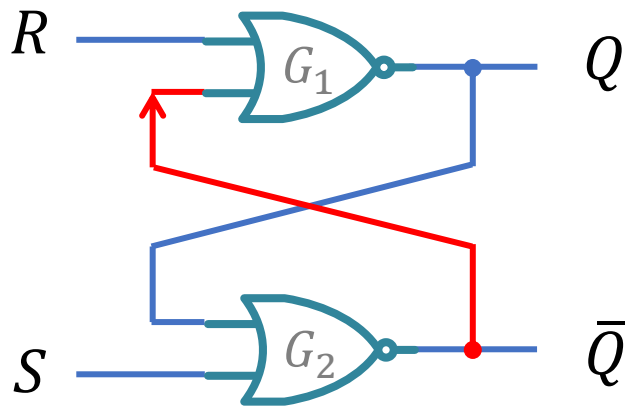
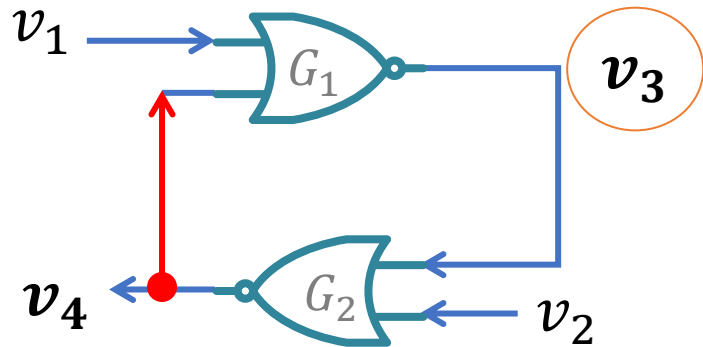


- **2个或非门:**
 - 当 $v_2 = 0$, 输出 $v_4 = \overline{v_3} = v_1$, 无法保存
 - 当 $v_2 = 1$, 输出 $v_4 \equiv 0$: 只有1个结果

v_1	v_2	v_3	v_4	效果
0	0	1	0	v_4 将随 v_1 而变
1	0	0	1	
0	1	-	0	$v_4 \equiv 0$
1	1	-	0	

如何记忆?

- 2个或非门首尾相连



SR锁存器(Set-Reset)

v_1	v_2	v_3	v_4	效果
1	0	0	1	置0
0	1	1	0	置1
0	0	0	1	保持
		1	0	
1	1	0	0	禁用

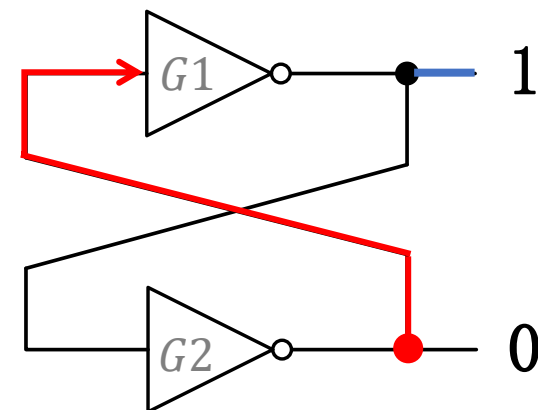
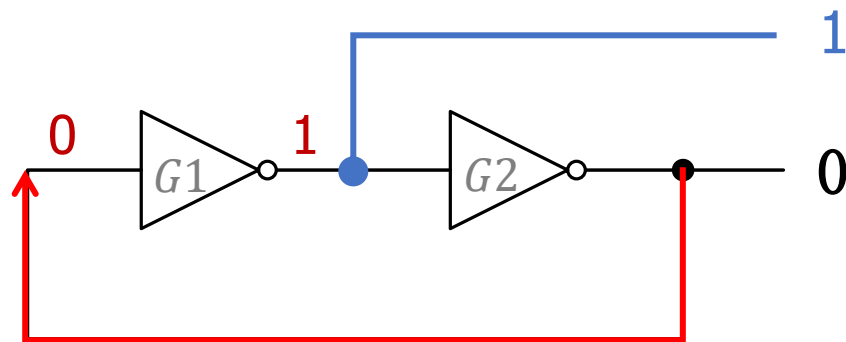
对输出均不起作用，需看两输出原来值，若两输出是相反的，则能够自动维持原状态不变。

- Q 与 \bar{Q} 都=0，相互矛盾
- 既非1状态，也非0状态
- 因两或非门延迟不同，次态是0还是1无法确定。

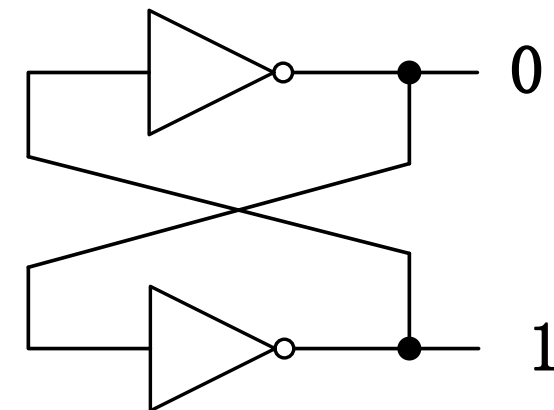
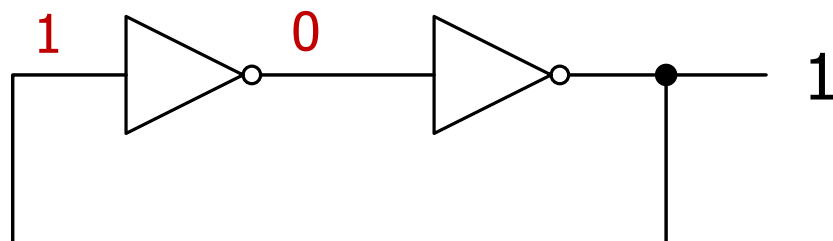
双稳态电路

电路具有**0**、**1**两种逻辑状态，一旦进入其中一种状态，就能长期保持不变。

稳态1
“0状态”

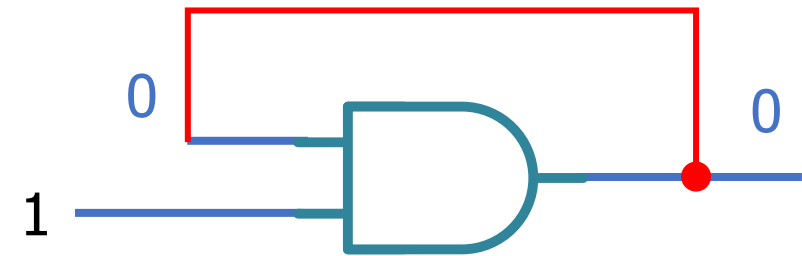
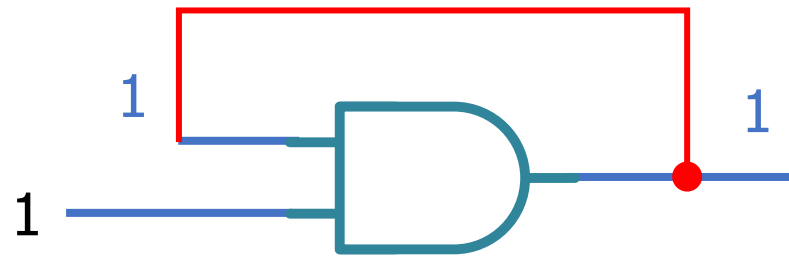
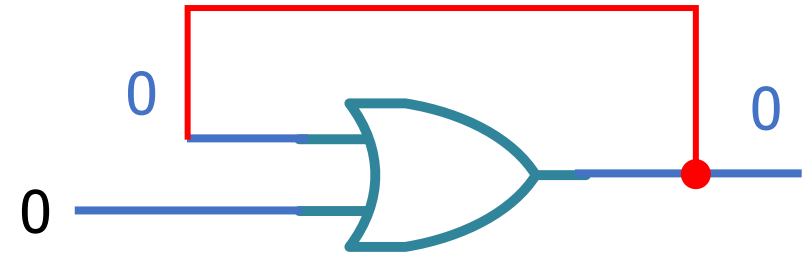
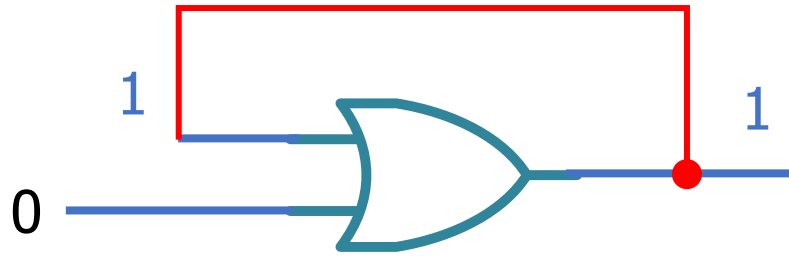


稳态2
“1状态”



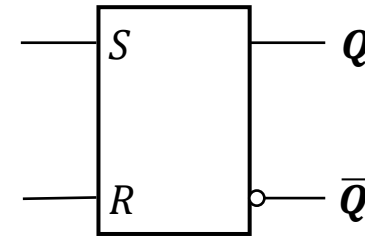
双非门反馈电路没有输入端，无法改变或控制。不实用。

更简单的双稳态电路



锁存器的基本特性

锁存器：一种对电平敏感的双稳态电路，具有**0**和**1**两个稳定状态。
一旦状态被确定，就能自行保持，
直到外部输入脉冲电平作用，才有可能改变状态。



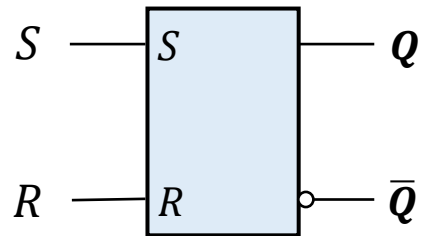
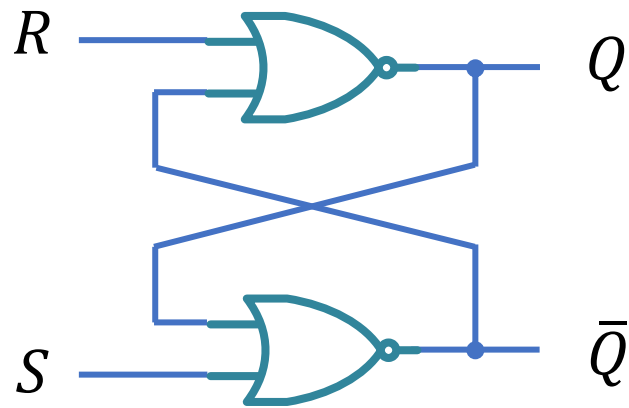
① 具有两个稳定的状态：“**1**”状态 ($Q=1, \bar{Q}=0$)、“**0**”状态 ($Q=0, \bar{Q}=1$)

② 在输入信号的作用下，可以从一个稳定状态转换到另一个稳定状态。

↩ **现态 PS**：输入信号变化之前的状态 (Q^n, \bar{Q}^n)
↩ **次态 NS**：输入信号变化之后的状态 (Q^{n+1}, \bar{Q}^{n+1})

③ 有两个互补的输出端 Q 、 \bar{Q} 。

SR锁存器 Set-Reset



R	S	Q^{n+1}	\bar{Q}^{n+1}	效果
1	0	0	1	置 0
0	1	1	0	置 1
0	0	0	1	保持
		1	0	
1	1	0	0	禁用

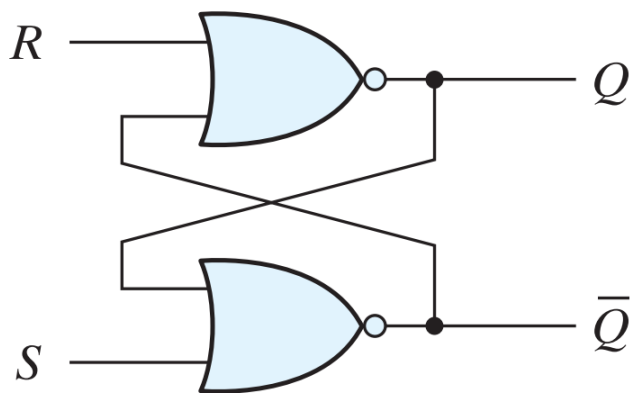
① $R = 1, S = 0$ $Q^{n+1} = 0$, 置 0 (复位)

② $R = 0, S = 1$ $Q^{n+1} = 1$, 置 1 (置位)

③ $R = 0, S = 0$ $\left\{ \begin{array}{l} Q = 0, \text{ 则 } Q^{n+1} = 0 \\ Q = 1, \text{ 则 } Q^{n+1} = 1 \end{array} \right\} Q^{n+1} = Q$ 保持原来状态不变
双稳态电路

④ $R = 1, S = 1$ $Q、\bar{Q}$ 都=0, 不满足输出互补要求

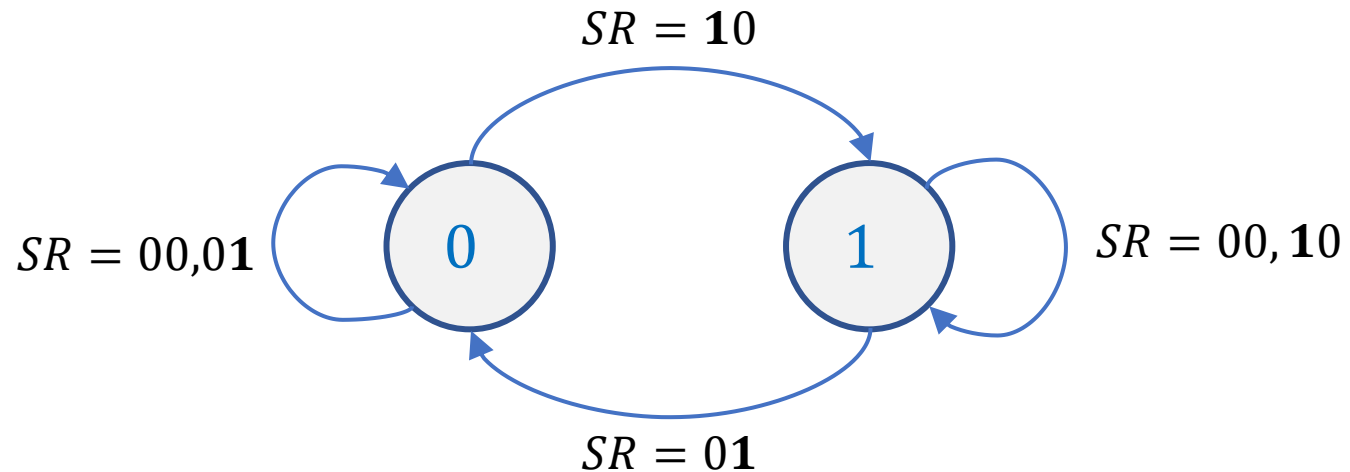
SR 锁存器



功能表

输入 S	R	输出 Q^{n+1}	\bar{Q}^{n+1}	说明
1	0	1	0	置 1
0	1	0	1	置 0
0	0	Q^n	\bar{Q}^n	保持
1	1	d	d	禁用

状态(转换)图

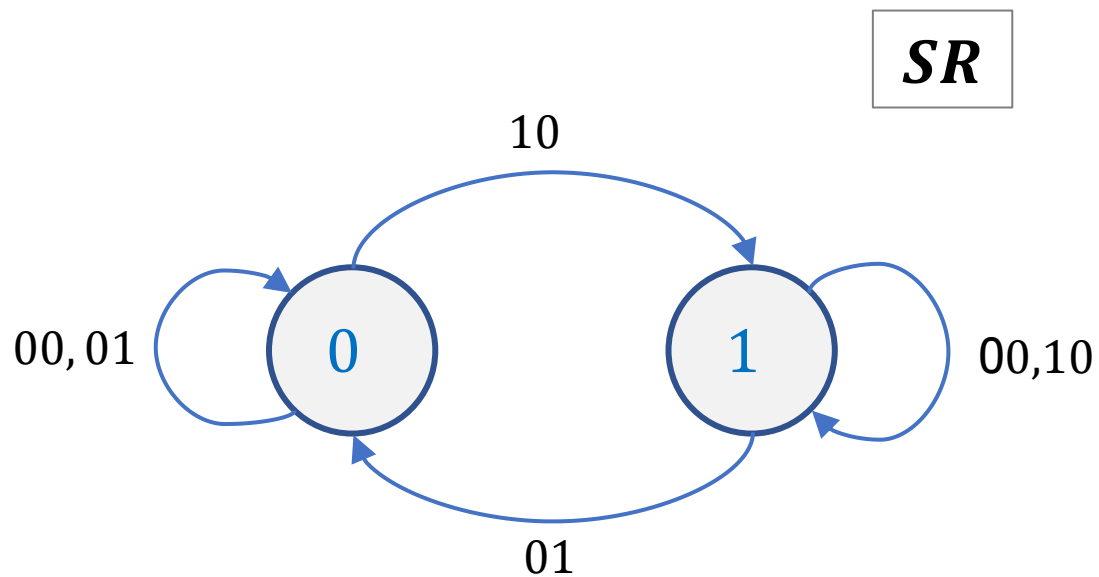


状态表

现态 Q^n	次态 Q^{n+1}			
	$SR = 00$	$SR = 01$	$SR = 10$	$SR = 11$
0	0	0	1	d
1	1	0	1	d

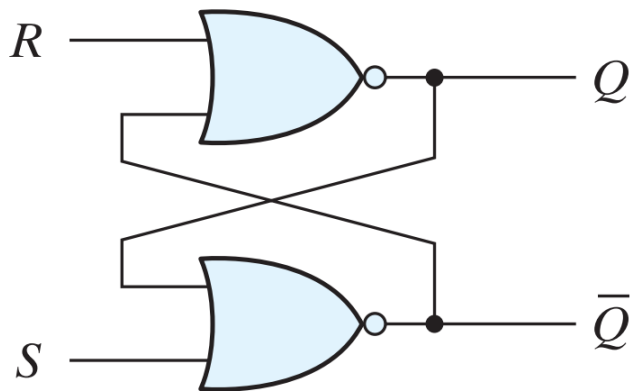
状态图

反映状态之间转移关系的有向图。



- 圆圈：稳定状态
- 有向线段：状态转移的方向
 - 起点：现态
 - 终点：次态
 - 触发条件

SR 锁存器



$Q \backslash SR$	00	01	11	10
0	0	0	d	1
1	1	0	d	1

$S \backslash R$	0	1
0	Q^n	0
1	1	d

特征方程 $Q^{n+1} = S + \bar{R}Q^n$ $S \cdot R = 0$ 约束条件

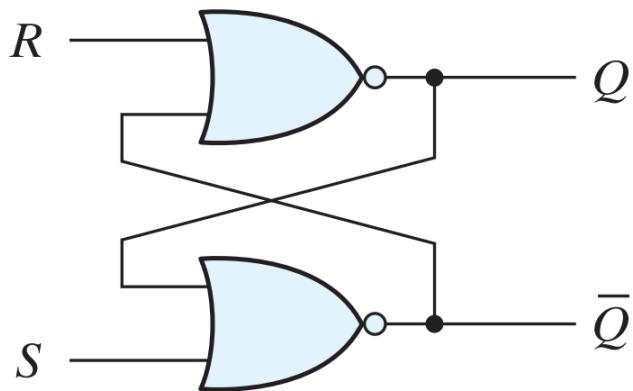
功能表

输入 S	R	输出 Q^{n+1}	\bar{Q}^{n+1}	说明
1	0	1	0	置 1
0	1	0	1	置 0
0	0	Q^n	\bar{Q}^n	保持
1	1	d	d	禁用

状态表

现态 Q^n	次态 Q^{n+1}			
	$SR = 00$	$SR = 01$	$SR = 10$	$SR = 11$
0	0	0	1	d
1	1	0	1	d

SR 锁存器



Q \ SR	SR			
	00	01	11	10
0	0	0	<i>d</i>	1
1	1	0	<i>d</i>	1

特征方程 $Q^{n+1} = S + \bar{R}Q^n$ $S \cdot R = 0$ 约束条件

$$Q^{n+1} = \overline{R + S + Q^n}$$

$$= \bar{R} \cdot (S + Q^n)$$

$$= \bar{R}S + \bar{R}Q^n$$

$$= \bar{R}S + RS + \bar{R}Q^n$$

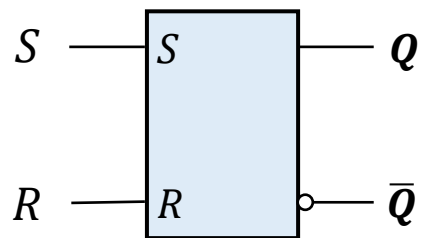
$$= S + \bar{R}Q^n$$

次态方程

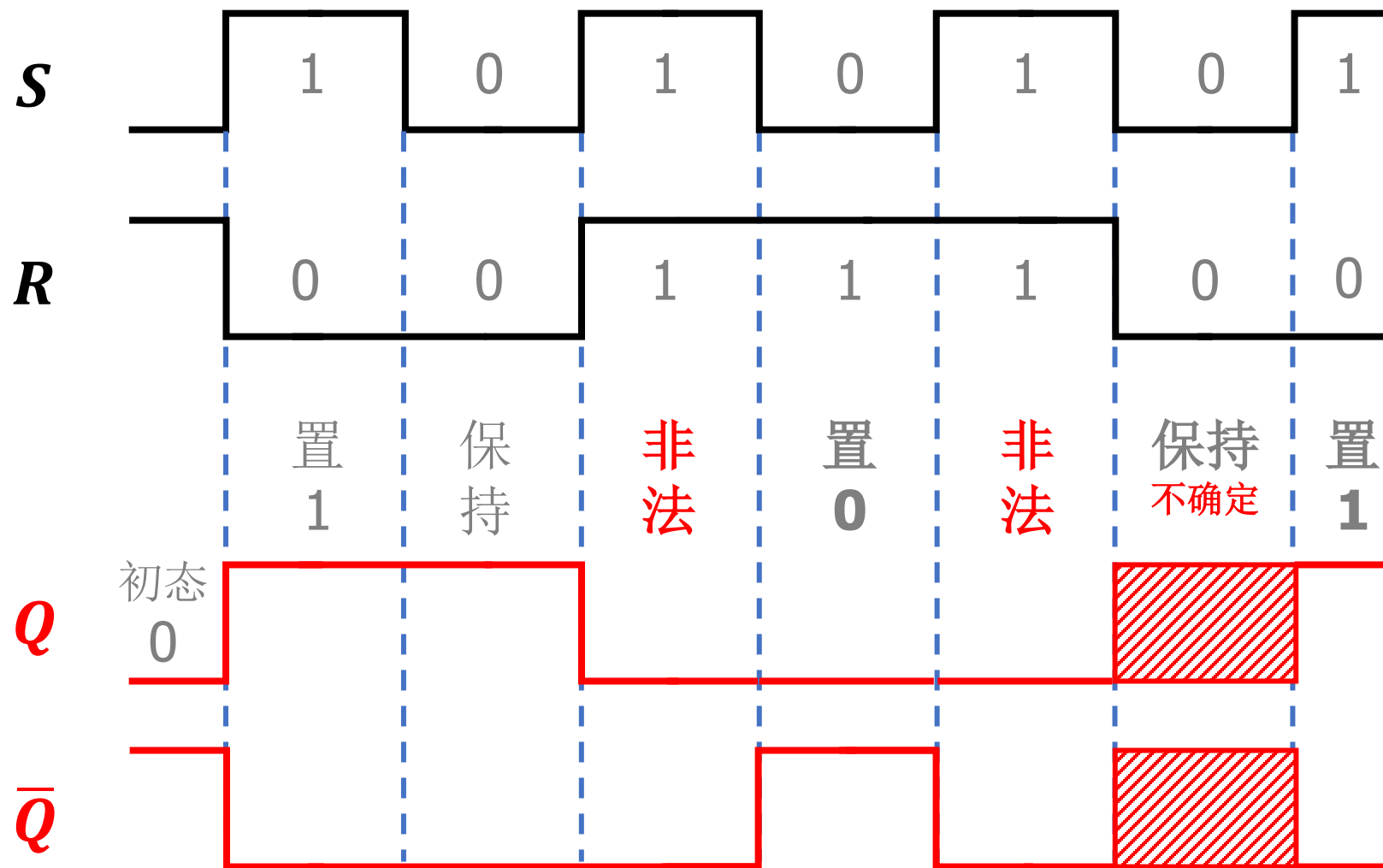
状态方程

$$Q^{n+1} = f(\text{输入信号}, Q^n)$$

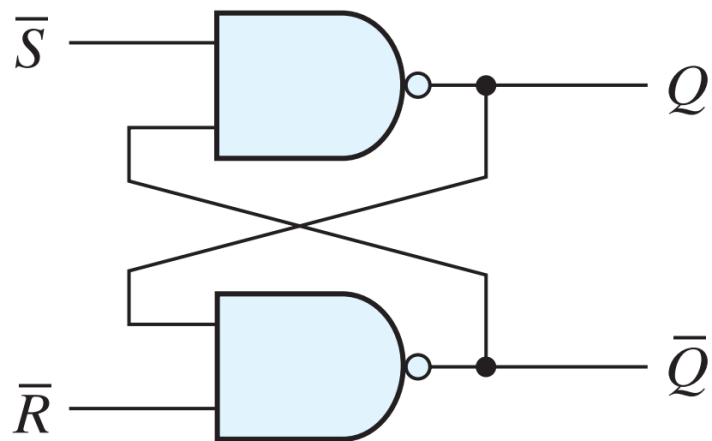
【例1】画出SR锁存器的输出波形图



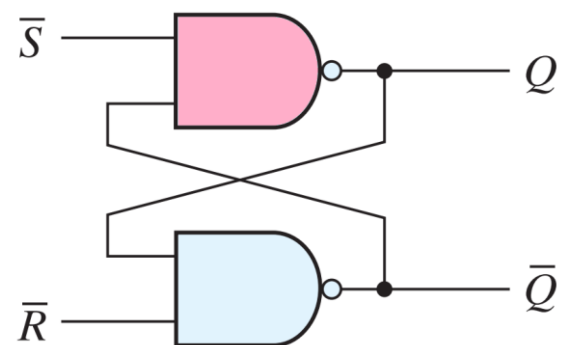
S	R	Q^{n+1}	\bar{Q}^{n+1}
1	0	1	0
0	1	0	1
0	0	Q^n	\bar{Q}^n
1	1	0	0



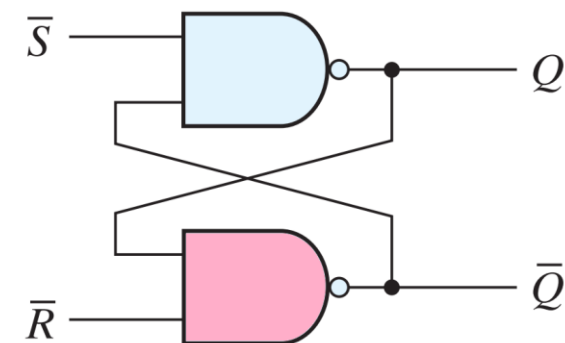
$\bar{S} \bar{R}$ 锁存器



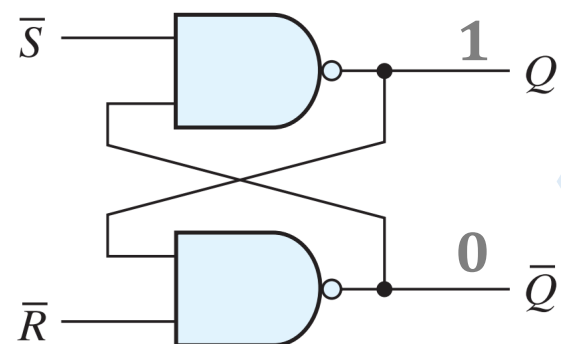
\bar{S} 有效, $Q = 1$



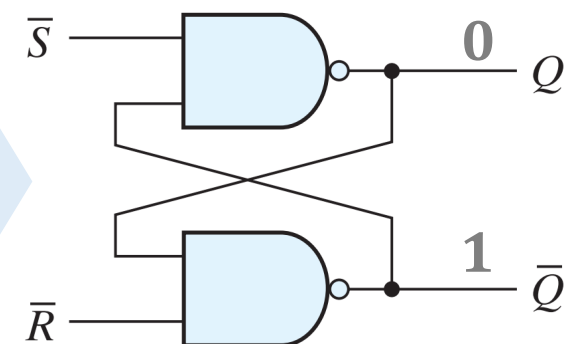
\bar{R} 有效, $Q = 0$



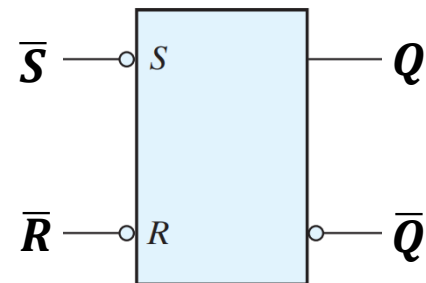
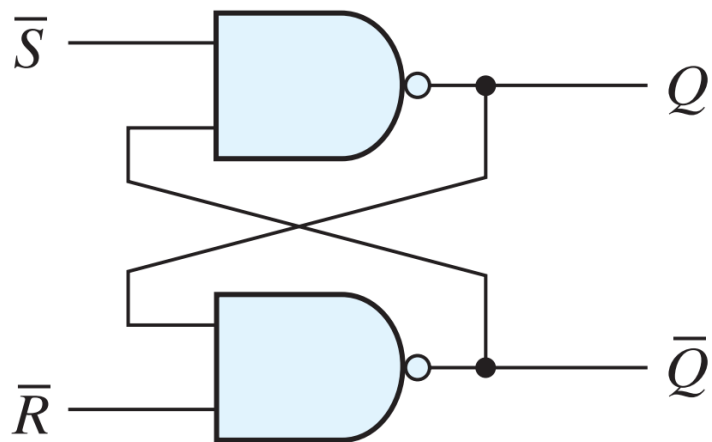
\bar{S}, \bar{R} 均无效



保持



$\bar{S}\bar{R}$ 锁存器



功能表

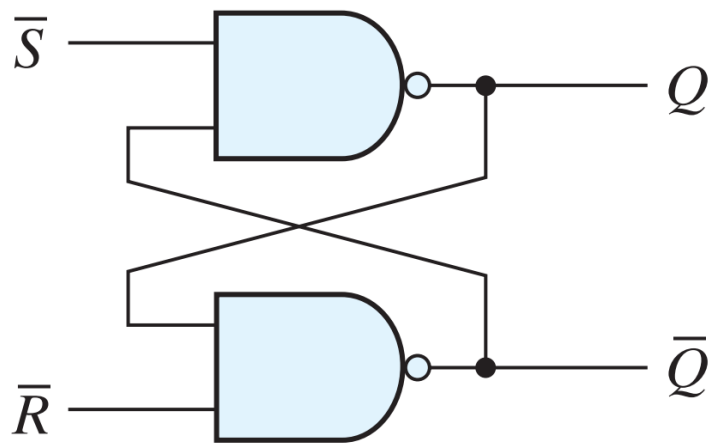
输入 \bar{S} \bar{R}	输出 Q^{n+1} \bar{Q}^{n+1}	说明
0 0	1 1	禁止
0 1	1 0	置1
1 0	0 1	置0
1 1	Q^n \bar{Q}^n	保持

$$Q^{n+1} = \overline{\bar{S} \cdot \bar{R} \cdot Q^n}$$

特征方程: $Q^{n+1} = \bar{S} + \bar{R}Q^n$

约束条件: $\bar{S} + \bar{R} = 1$

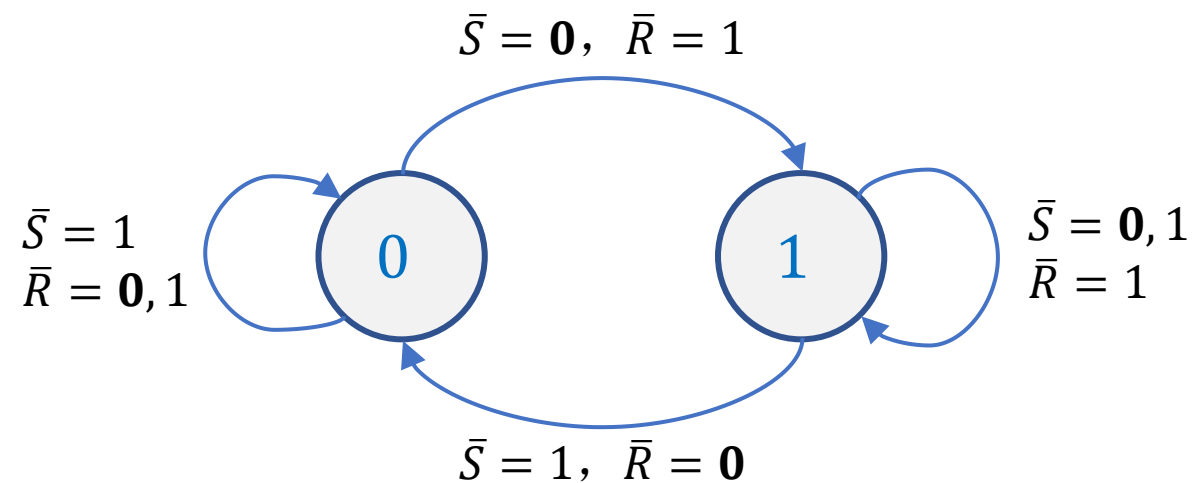
$\bar{S}\bar{R}$ 锁存器



功能表

输入 \bar{S} \bar{R}	输出 Q^{n+1} \bar{Q}^{n+1}	说明
0 0	1 1	禁止
0 1	1 0	置1
1 0	0 1	置0
1 1	Q^n \bar{Q}^n	保持

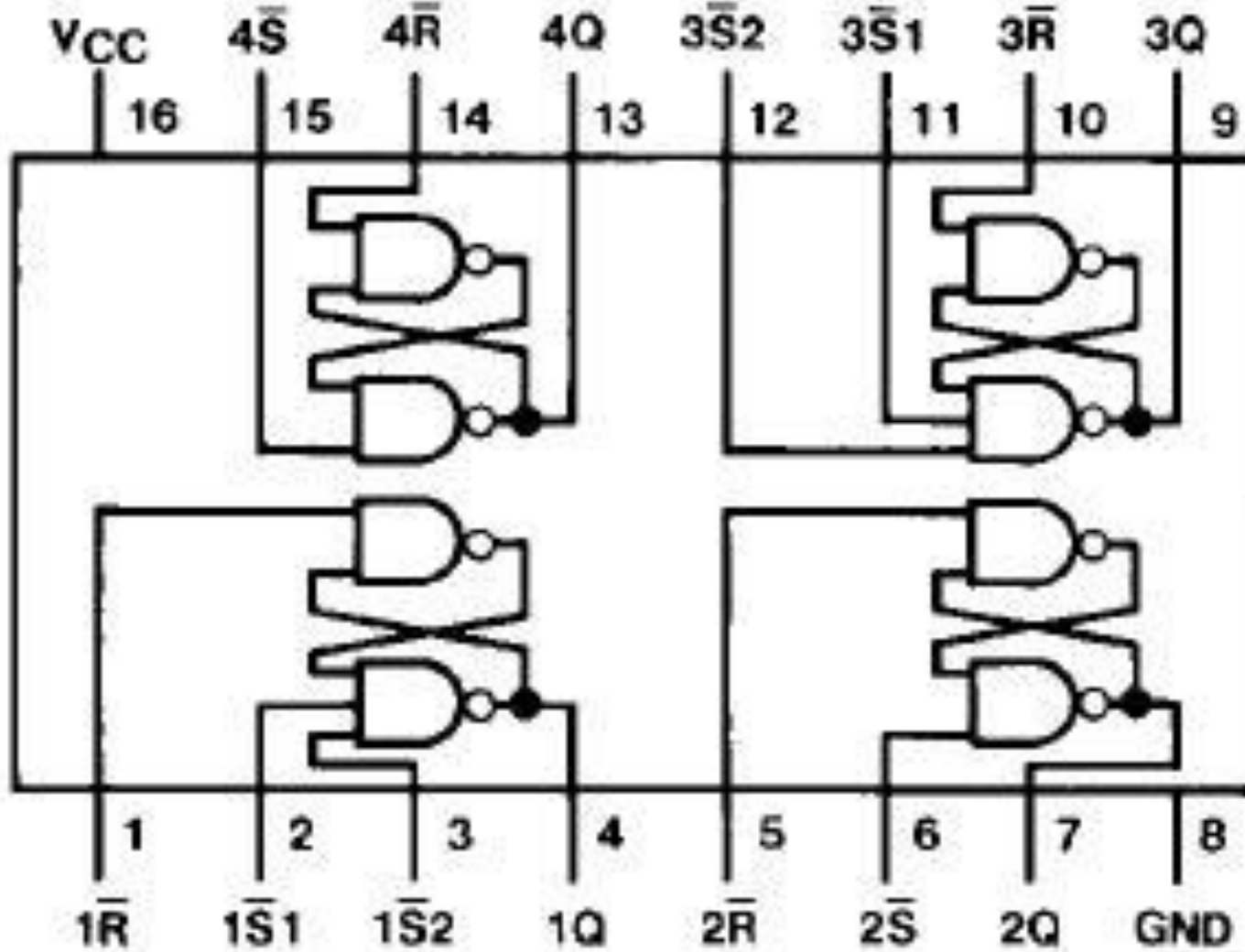
状态图



状态表

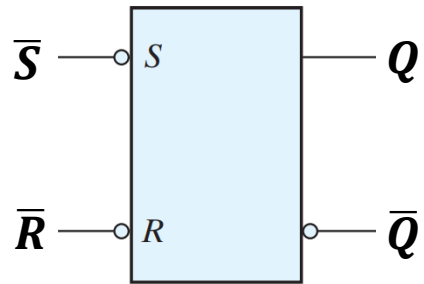
现态 Q^n	次态 Q^{n+1}			
	$\bar{S}\bar{R} = 00$	$\bar{S}\bar{R} = 01$	$\bar{S}\bar{R} = 10$	$\bar{S}\bar{R} = 11$
0	d	1	0	0
1	d	1	0	1

四个 $\bar{S}\bar{R}$ 锁存器 74LS279

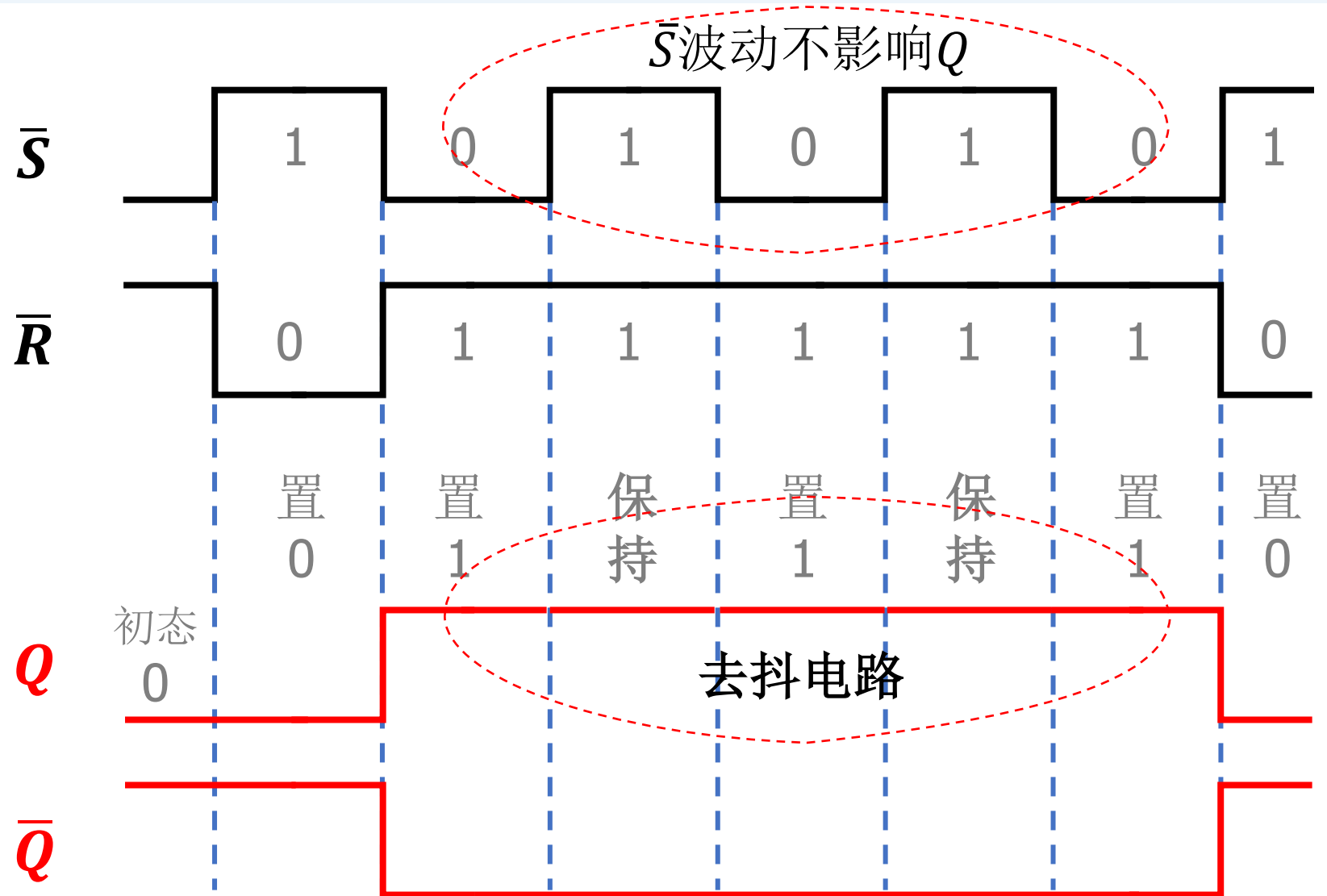


INPUT			OUTPUT (Q)
\bar{S}_1	\bar{S}_2	\bar{R}	
L	L	L	h
L	X	H	H
X	L	H	H
H	H	L	L
H	H	H	No Change

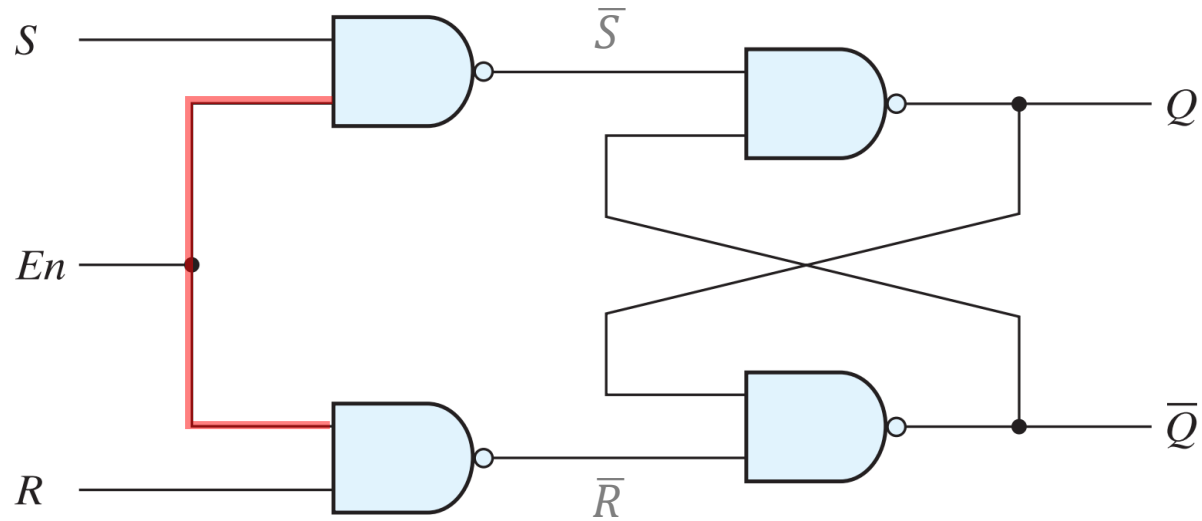
【例2】画出 $\bar{S}\bar{R}$ 锁存器的输出波形图



\bar{S}	\bar{R}	Q^{n+1}	\bar{Q}^{n+1}
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q^n	\bar{Q}^n



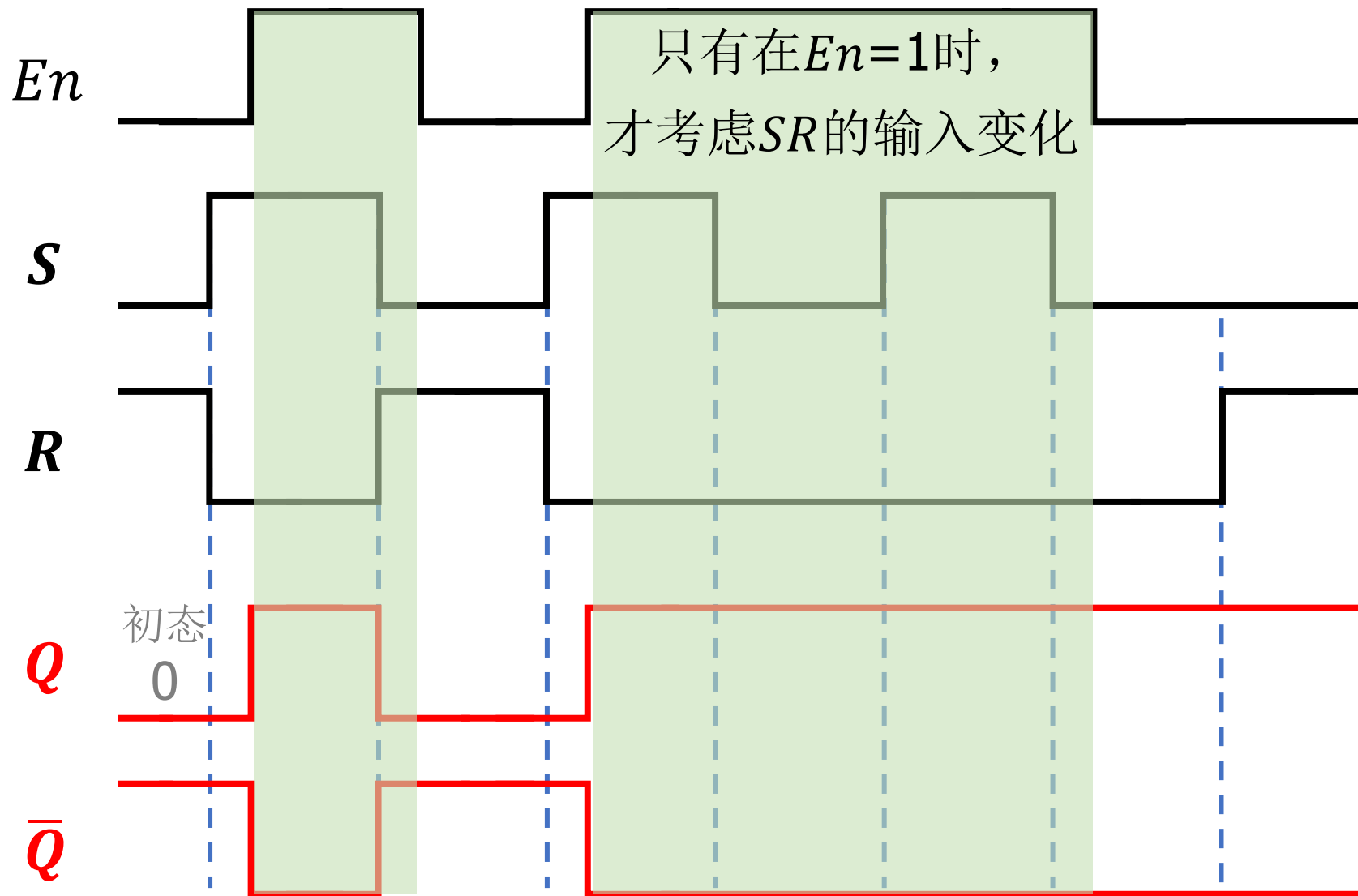
帶有使能 SR 鎖存器



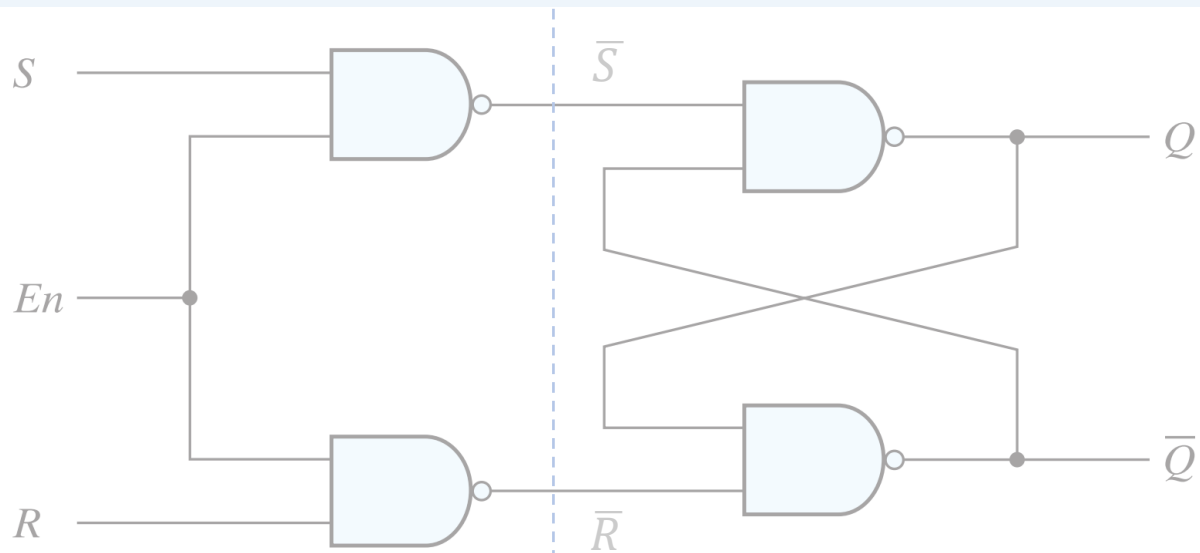
En	S	R	Q^*	\bar{Q}^*
0	x	x	Q	\bar{Q}
1	0	0	Q	\bar{Q}
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

【例3】画出门控SR锁存器的输出波形图

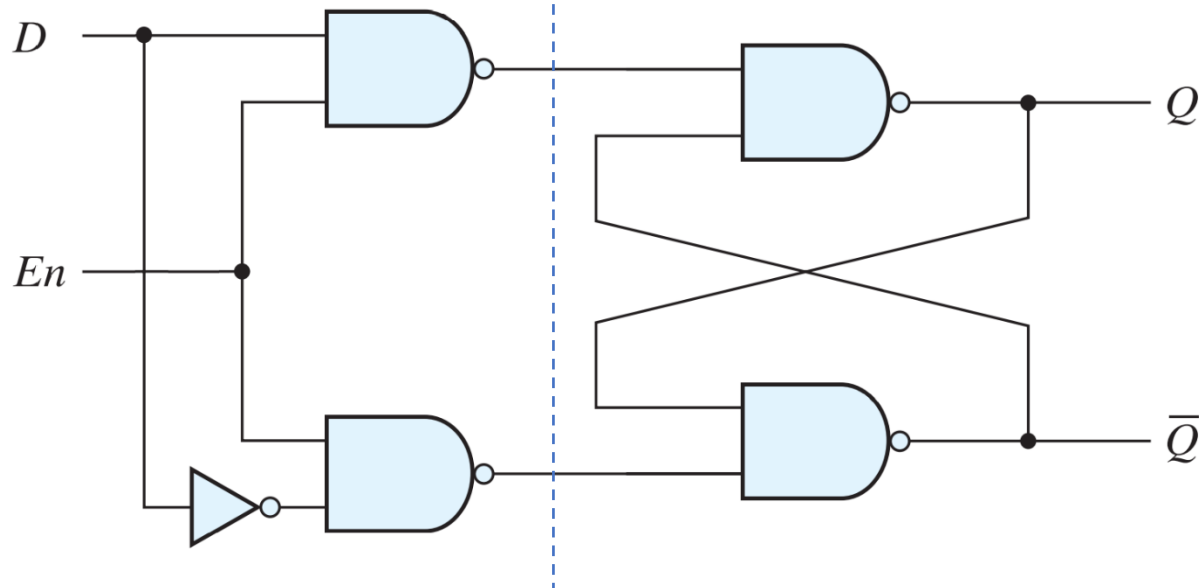
En	S	R	Q^*	\bar{Q}^*
0	x	x	Q	\bar{Q}
1	0	0	Q	\bar{Q}
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1



门控 D 锁存器

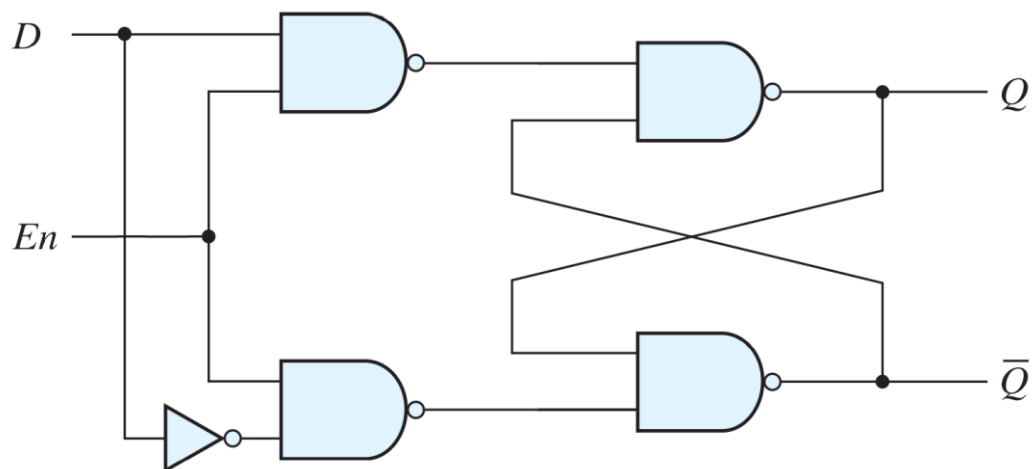


En	S	R	Q^*	\bar{Q}^*
0	x	x	Q	\bar{Q}
1	0	0	Q	\bar{Q}
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1



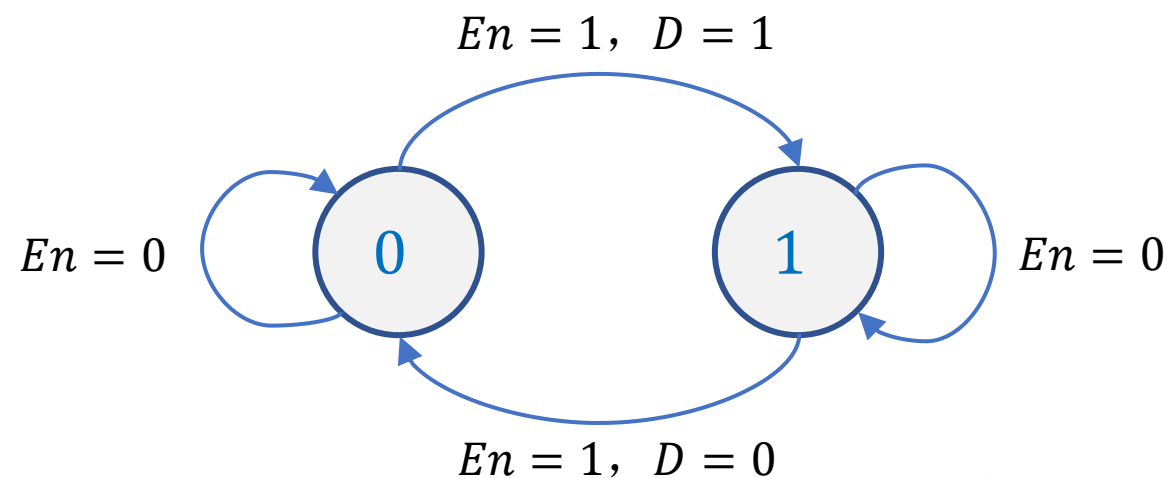
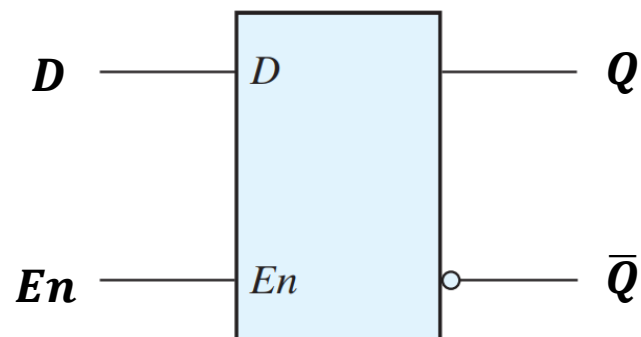
En	D	Q^*	\bar{Q}^*
0	x	Q	\bar{Q}
1	0	0	1
1	1	1	0

门控 D 锁存器



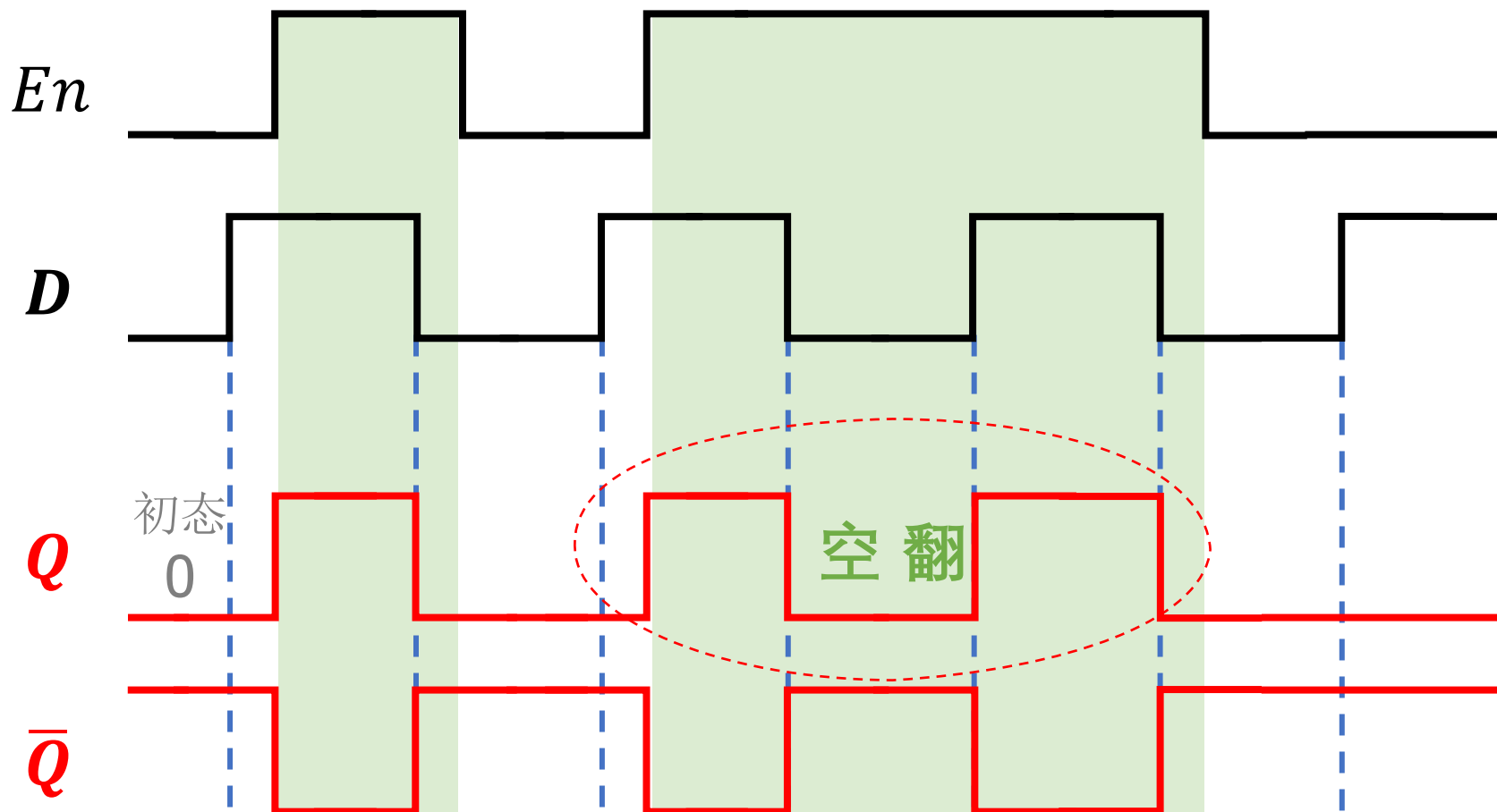
输 入 En	D	输 出		说明
		Q^{n+1}	\bar{Q}^{n+1}	
1	0	0	1	置0
1	1	1	0	置1
0	X	Q^n	\bar{Q}^n	保持

当 $En = 1$ 时， D 锁存器是透明的



【例4】画出门控D锁存器的输出波形图

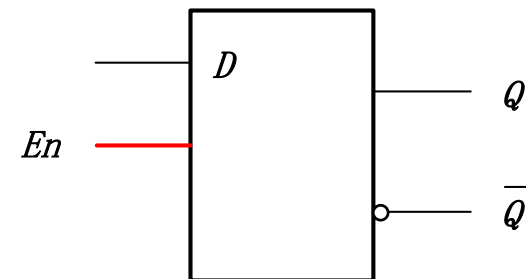
En	D	Q^{n+1}
1	0	0
1	1	1
0	X	Q^n



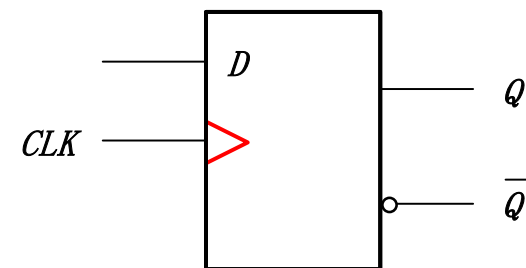
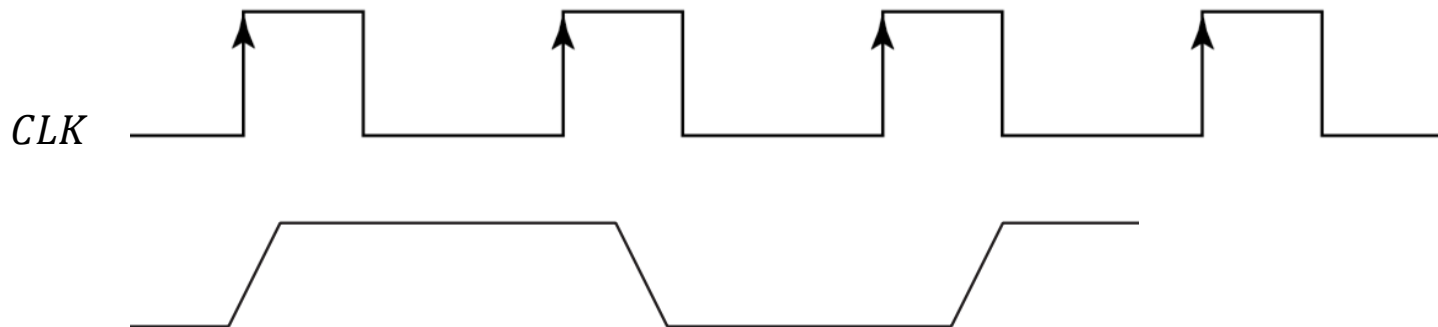
空翻： 同一个 En 有效作用期间，锁存器状态发生两次或两次以上变化的现象。

电平、边沿触发

- 当 $En = 1$ 期间，空翻造成状态的不确定和系统工作的混乱！
因为此时输入信号直接控制锁存器状态的变化。



- 为了提高锁存器工作的**可靠性**，改用**边沿触发**方式。
缩短时钟有效时间



2

触 发 器

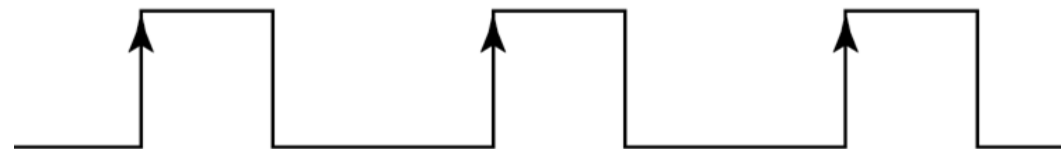
边沿触发器

仅在时钟上升沿或下降沿时刻响应输入信号的触发器。

- 仅在 clk 某一约定跳变到来时，才接受输入信号；
- 在 $clk=0$ 或 $clk=1$ 期间输入信号变化不会引起输出状态的变化。

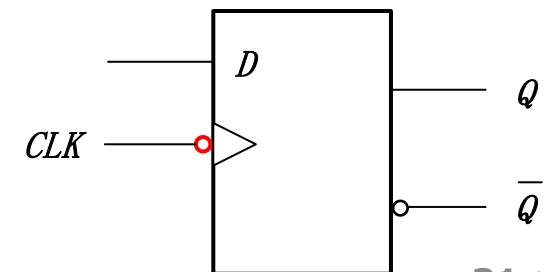
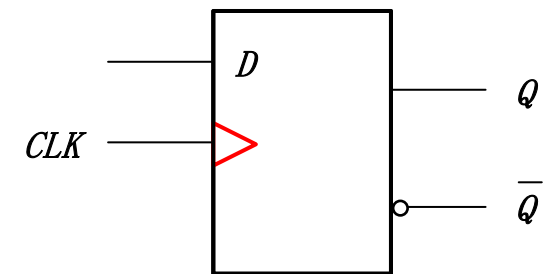
不仅克服了空翻现象，且大大提高抗干扰能力。

上升沿触发

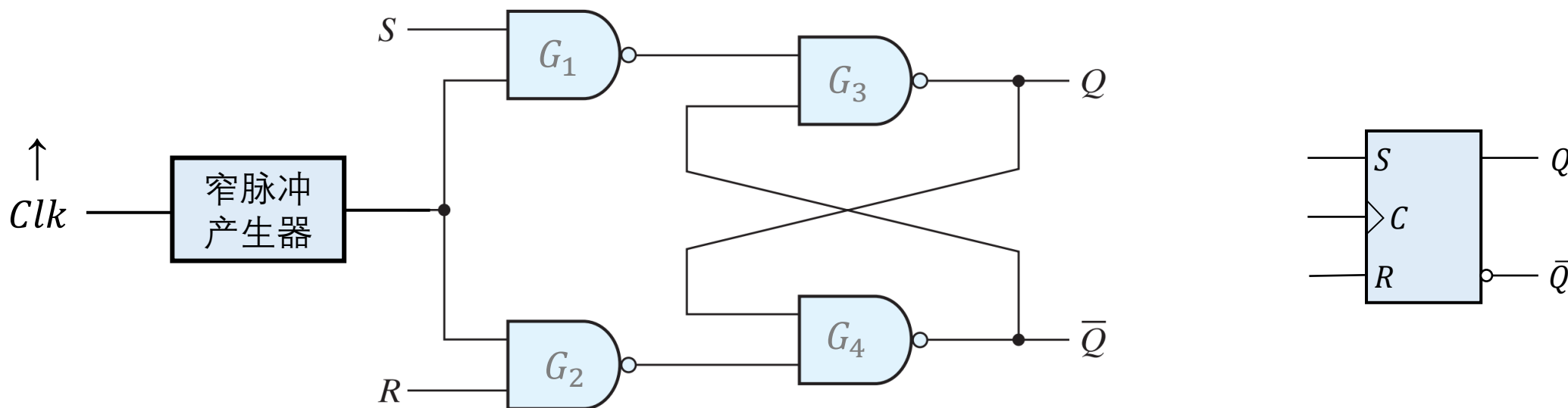


边沿触发是瞬间的

下降沿触发

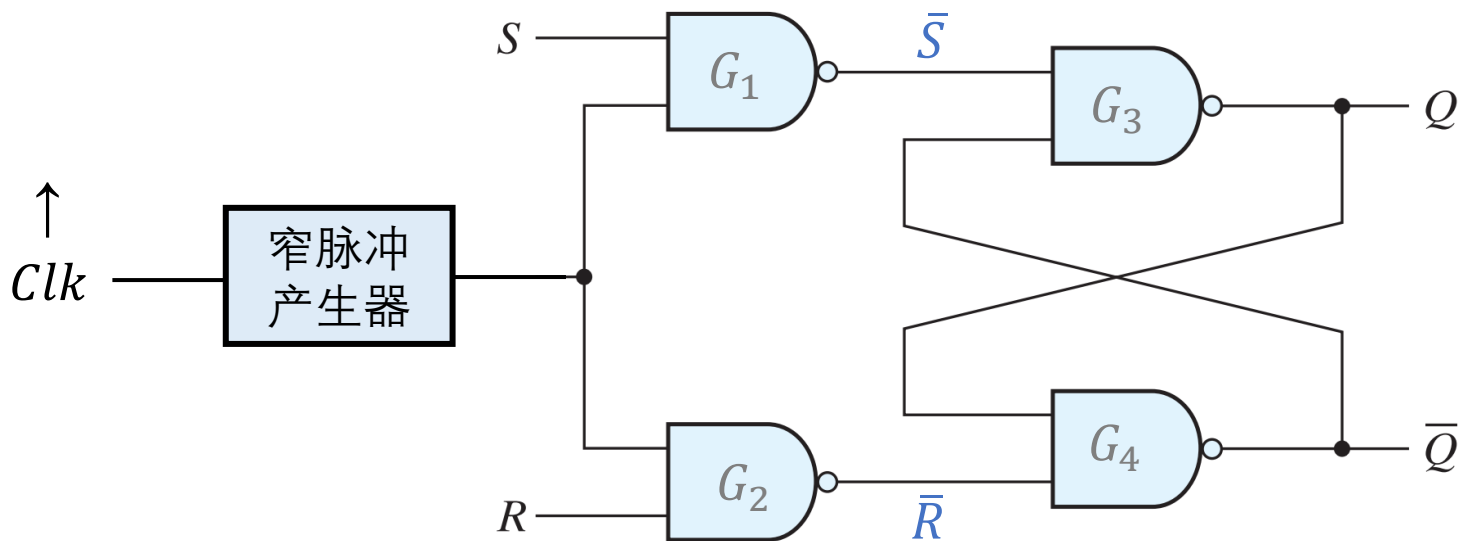


SR触发器



- 虽然没有实际的产品，但却是D触发器和JK触发器的基础。
- **SR触发器与门控SR锁存器**的不同：前者有一个窄脉冲转换器。
 - ✓ 时钟 clk 控制触发器何时转换状态。
 - ✓ 输入信号控制触发器向什么方向转换。

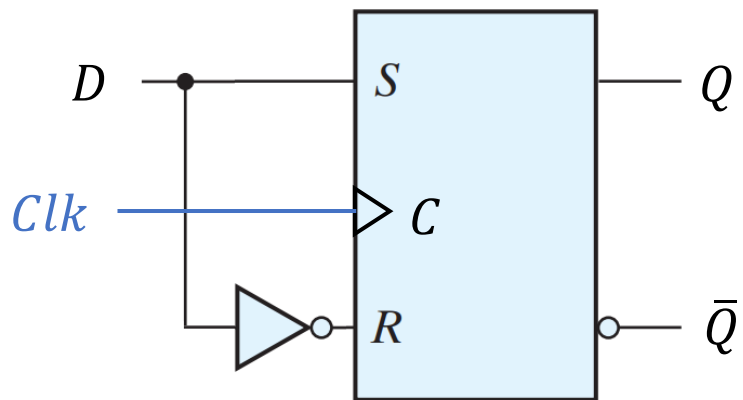
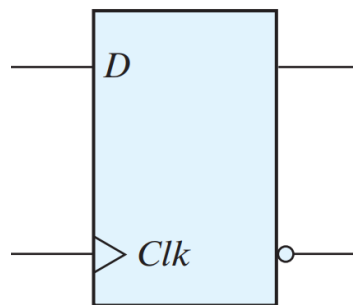
SR触发器



输 入			输 出		说明
Clk	S	R	Q^{n+1}	\bar{Q}^{n+1}	
\times	0	0	Q^n	\bar{Q}^n	保持
\uparrow	1	0	1	0	置1
\uparrow	0	1	0	1	置0
\uparrow	1	1	?	?	不稳

- ① $Clk = \times$, $SR = 00$ 时, $\bar{S}\bar{R} = 11$, 则 $Q^{n+1} = Q$
- ② $Clk = \uparrow$, $SR = 10$ 时, $\bar{S}\bar{R} = 01$, 则 $Q^{n+1} = 1$
- ③ $Clk = \uparrow$, $SR = 01$ 时, $\bar{S}\bar{R} = 10$, 则 $Q^{n+1} = 0$
- ④ $Clk = \uparrow$, $SR = 11$ 时, $\bar{S}\bar{R} = 00$, 则 $Q^{n+1} = \bar{Q}^{n+1} = 0$

D触发器

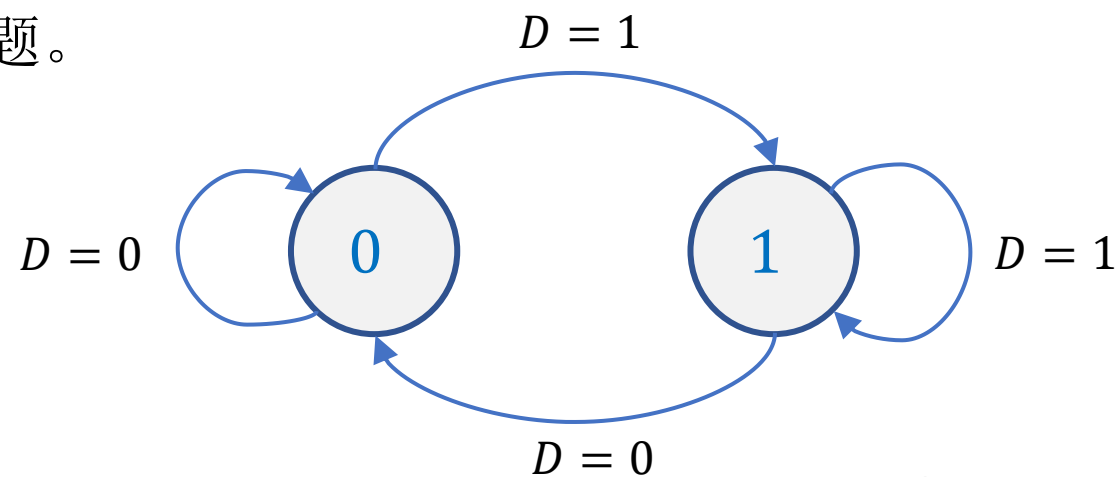


Clk	D	Q^{n+1}	\bar{Q}^{n+1}	说明
↑	1	1	0	置位
↑	0	0	1	复位

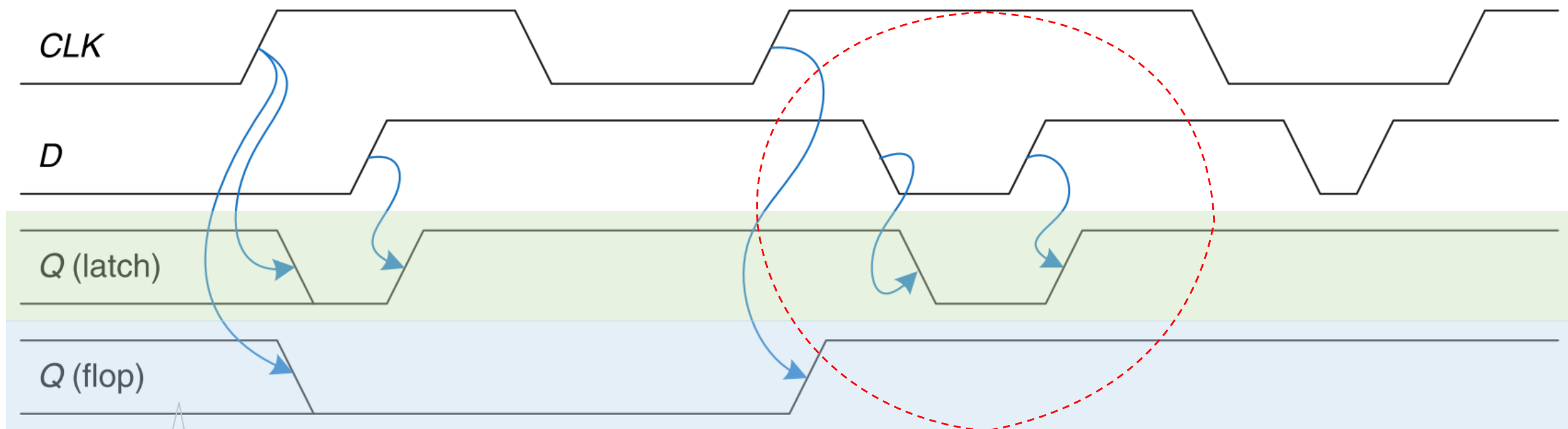
S 和 R 不会同时为高，避免了 SR 触发器不稳定问题。

当时钟 $CLK = 1$ 时， D 触发器特征方程：

$$Q^{n+1} = D$$



【例3.2】锁存器、触发器输出波形比较

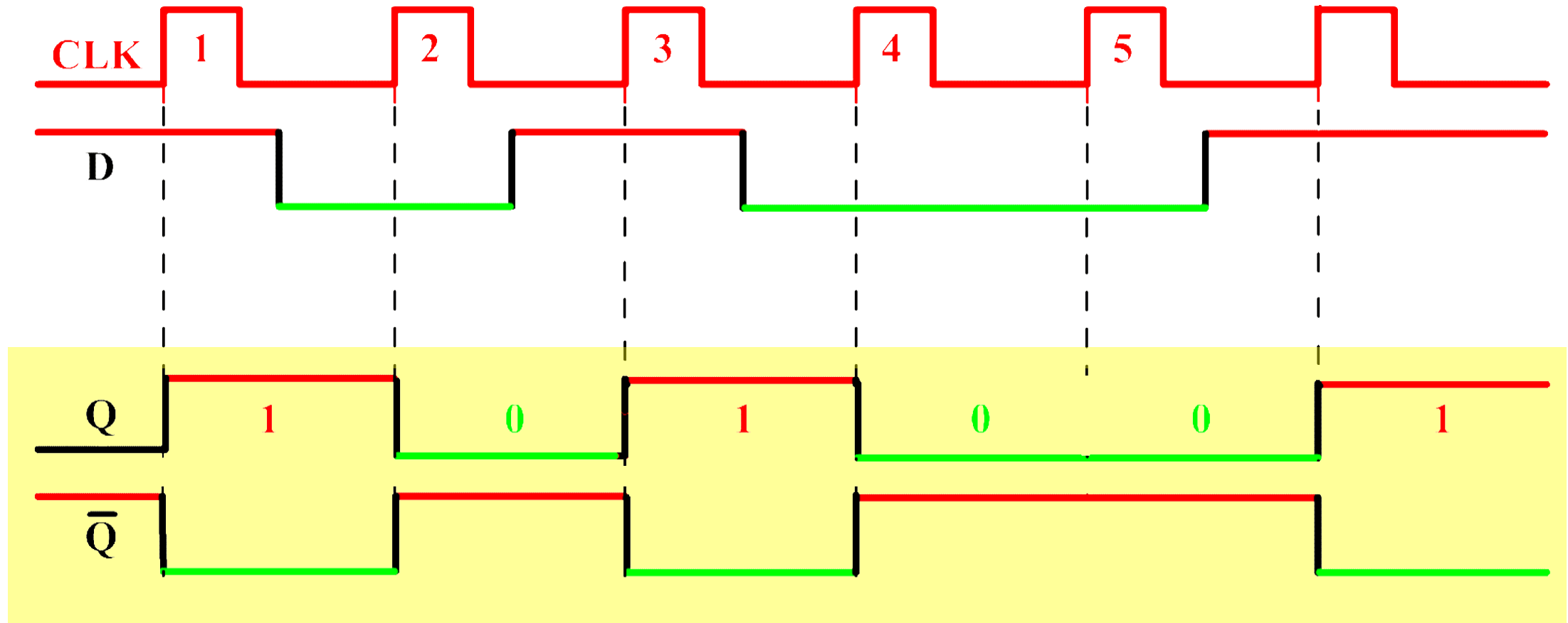


开始时，
初值未知

触发器只在 CLK 上升沿时，才变化。
避免了空翻现象。

【例5】画出D触发器的输出波形图

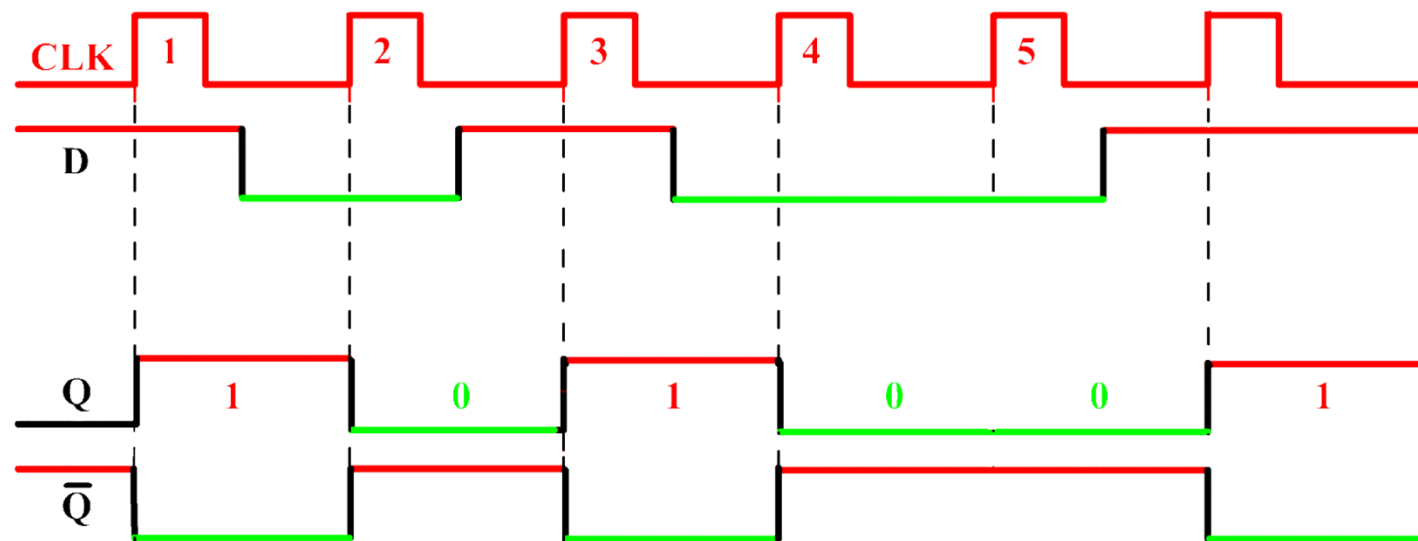
上升沿触发



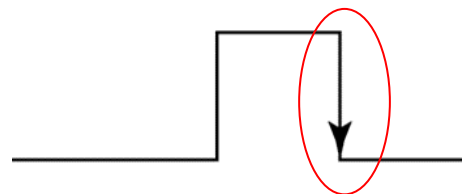
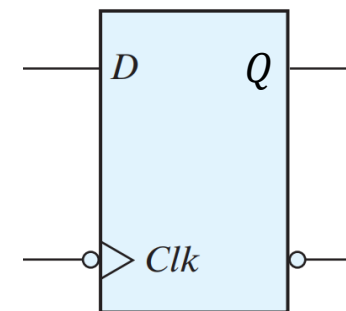
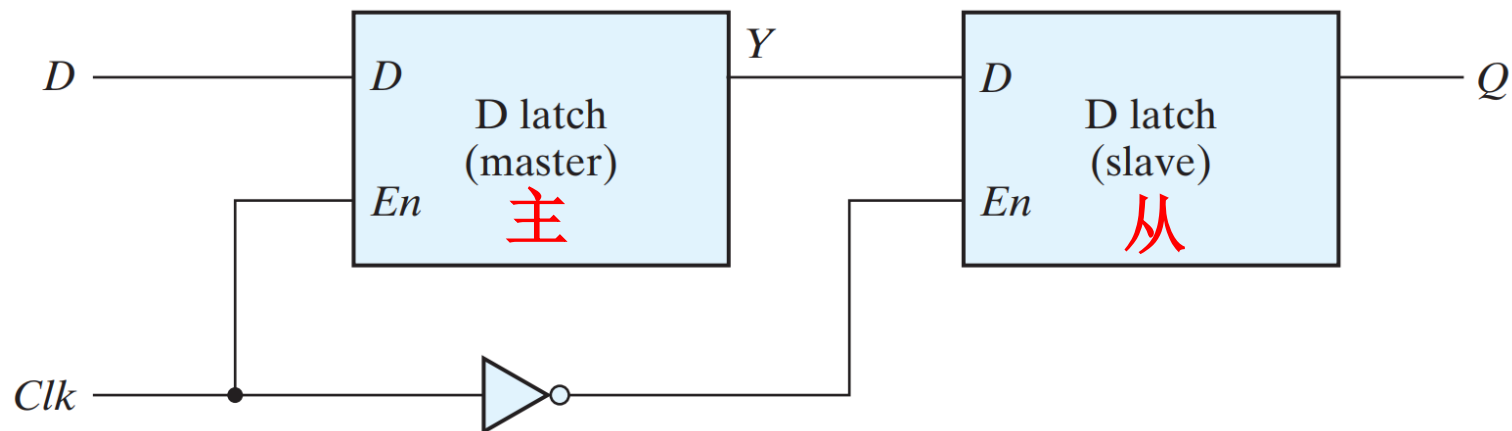
波形图画法

- 以 clk 的作用沿为基准，划分时间间隔
- clk 作用沿到来之前为**现态**，作用沿到来之后为**次态**。
- 每个 clk 作用沿到来之后，根据**功能表**，或**状态方程**确定次态。
- 异步直接**置0**、**置1**。

D	$Q(t + 1)$	说明
1	1	置1
0	0	置0



用双D锁存器构造 下降沿D触发器



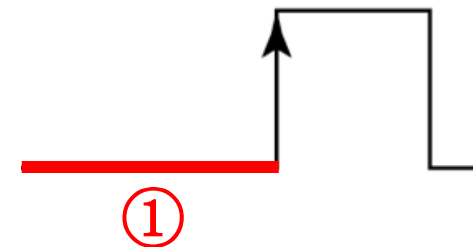
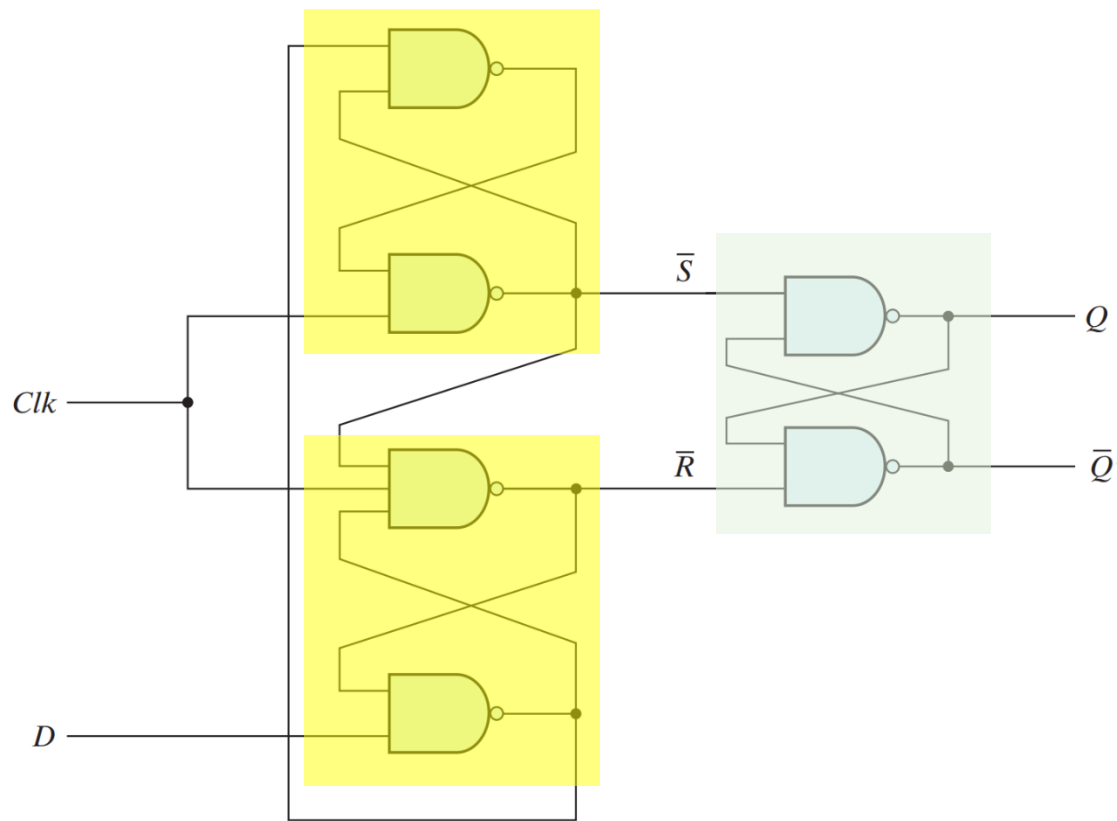
前沿采样，后沿定局

- $Clk = 1$: 主锁存器 $Y = D$, 从锁存器不工作
- $Clk = 0$: 主锁存器不工作, 从锁存器 $Q = Y$

即: Q 只在 Clk 从 1 到 0 的变化瞬间才改变。

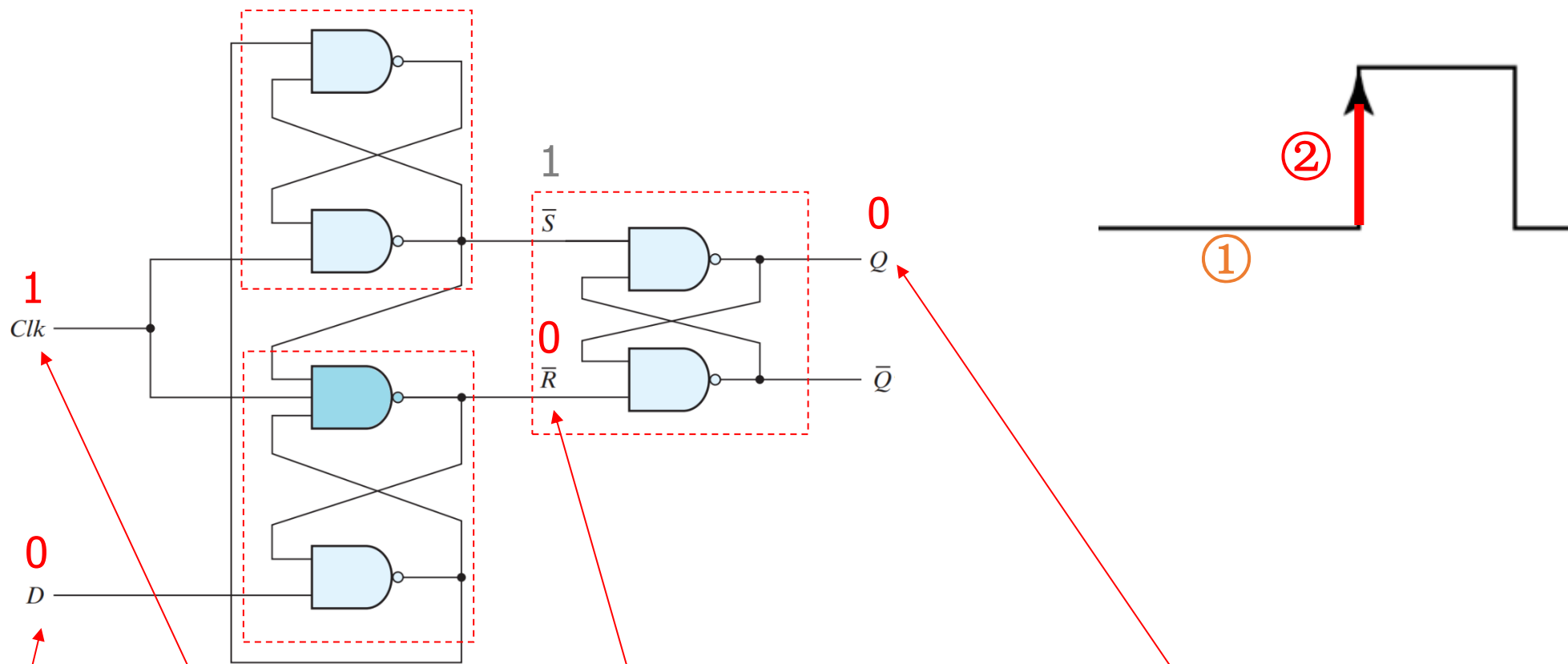
Clk	D	Q^*	\bar{Q}^*	说明
↓	1	1	0	置位
↓	0	0	1	复位

用3个 $\bar{S}\bar{R}$ 锁存器构造 上升沿D触发器 -1



① $Clk = 0$ 时输出锁存器的 $\bar{S} = 1$ 、 $\bar{R} = 1$ ，使输出保持不变.

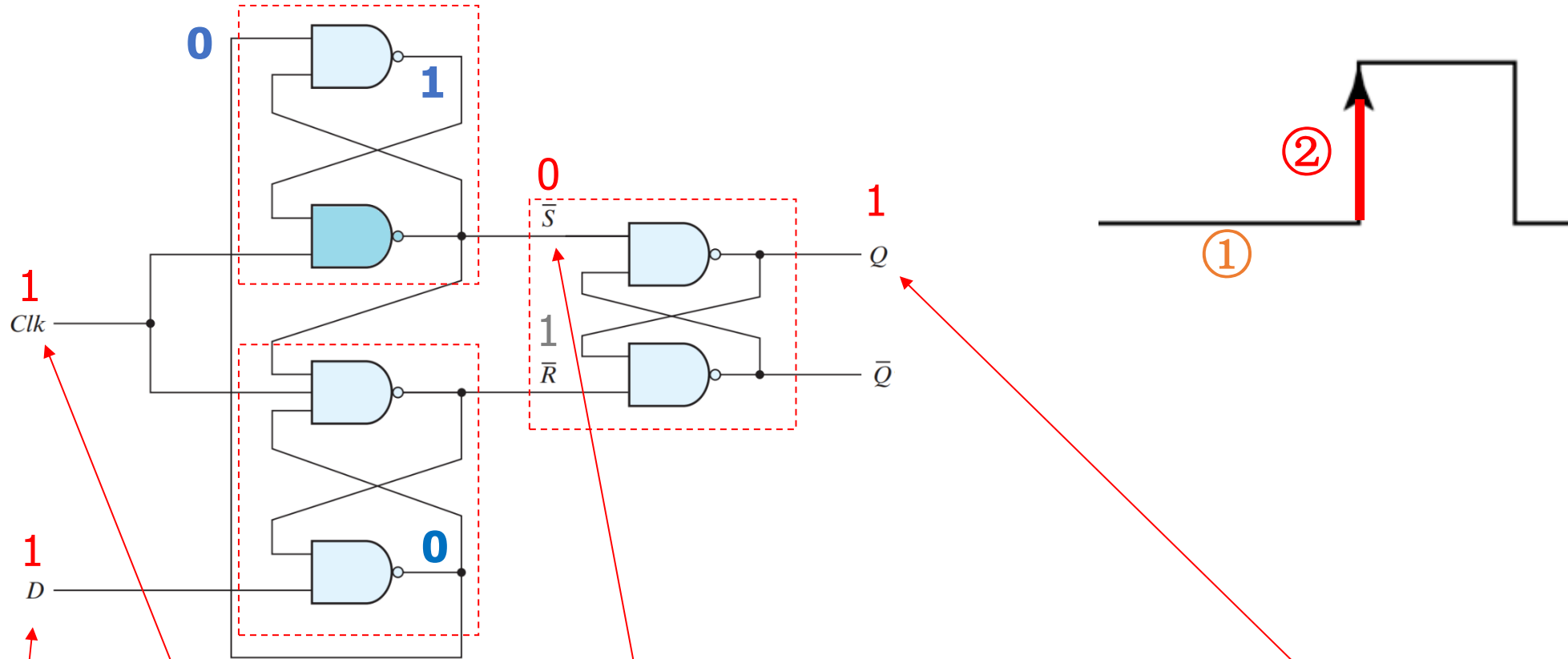
用3个 $\bar{S}\bar{R}$ 锁存器构造 上升沿D触发器 -2



① $Clk = 0$ 时输出锁存器的 $\bar{S} = 1$ 、 $\bar{R} = 1$ ，使输出保持不变。

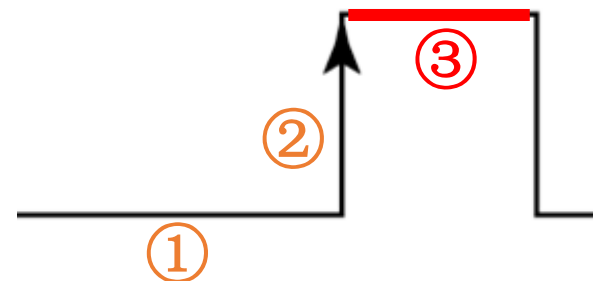
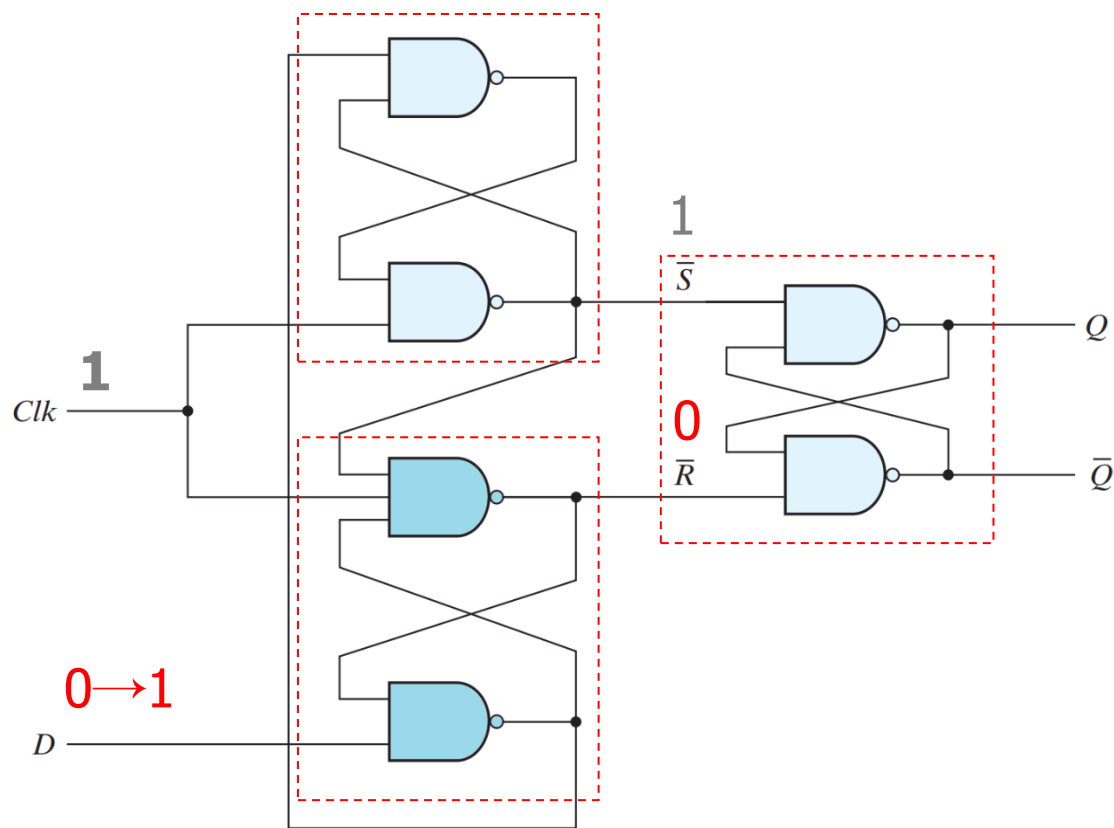
② If $D = 0$ when $Clk = 1$, (原 $\bar{S} = 1$) \bar{R} changes to 0 causing a reset state and making $Q = 0$.

用3个 $\bar{S}\bar{R}$ 锁存器构造 上升沿D触发器 -3



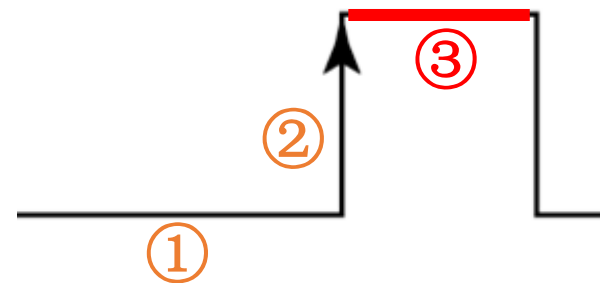
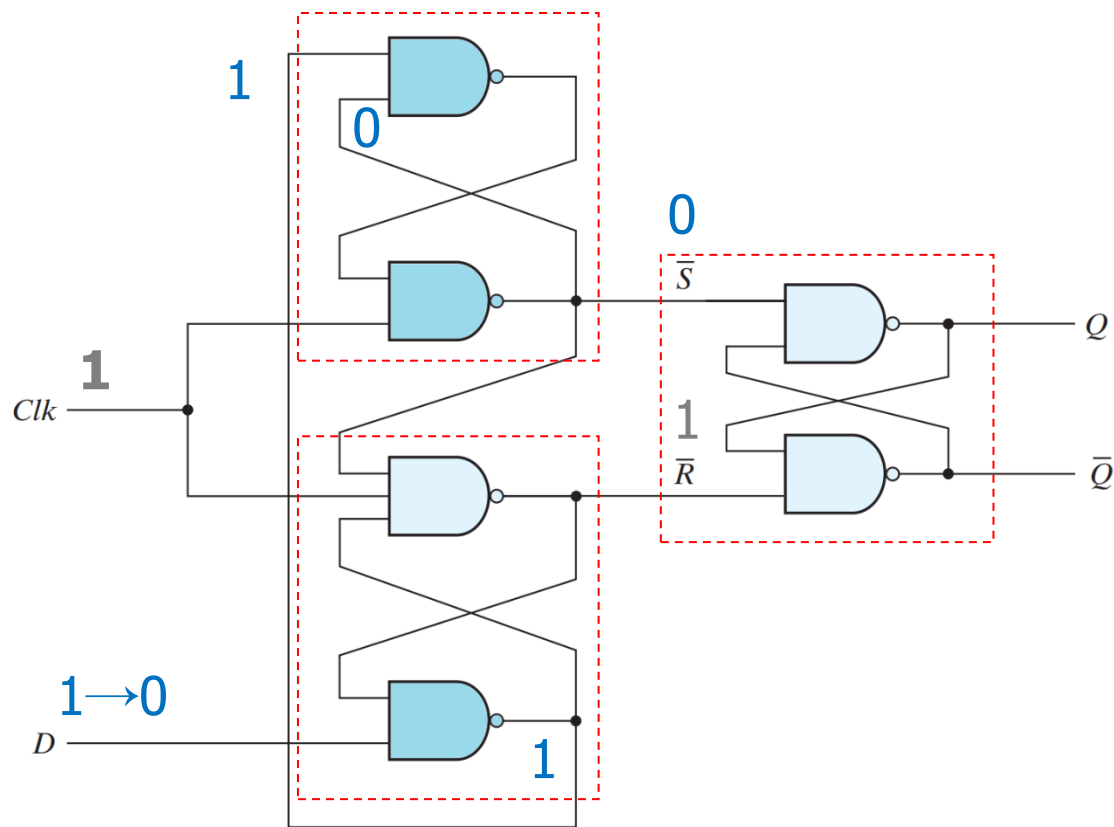
- ① $Clk = 0$ 时输出锁存器的 $\bar{S} = 1$ 、 $\bar{R} = 1$ ，使输出保持不变。
- ② If $D = 0$ when $Clk = 1$, (原 $\bar{S} = 1$) \bar{R} changes to 0 causing a reset state and making $Q = 0$.
- ② If $D = 1$ when $Clk = 1$, (原 $\bar{R} = 1$) \bar{S} changes to 0 causing the circuit to go to the set state making $Q = 1$

用3个 $\bar{S}\bar{R}$ 锁存器构造 上升沿D触发器 -4



- ① $Clk = 0$ 时输出锁存器的 $\bar{S} = 1$ 、 $\bar{R} = 1$ ，使输出保持不变.
- ② If $D = 0$ when $Clk = 1$, (原 $\bar{S} = 1$) \bar{R} changes to 0 causing a reset state and making $Q = 0$.
- ② If $D = 1$ when $Clk = 1$, (原 $\bar{R} = 1$) \bar{S} changes to 0 causing the circuit to go to the set state making $Q = 1$
- ③ If D $0 \rightarrow 1$ while $Clk = 1$, (原 $\bar{S} = 1$) \bar{R} remains at 0, 不影响输出.

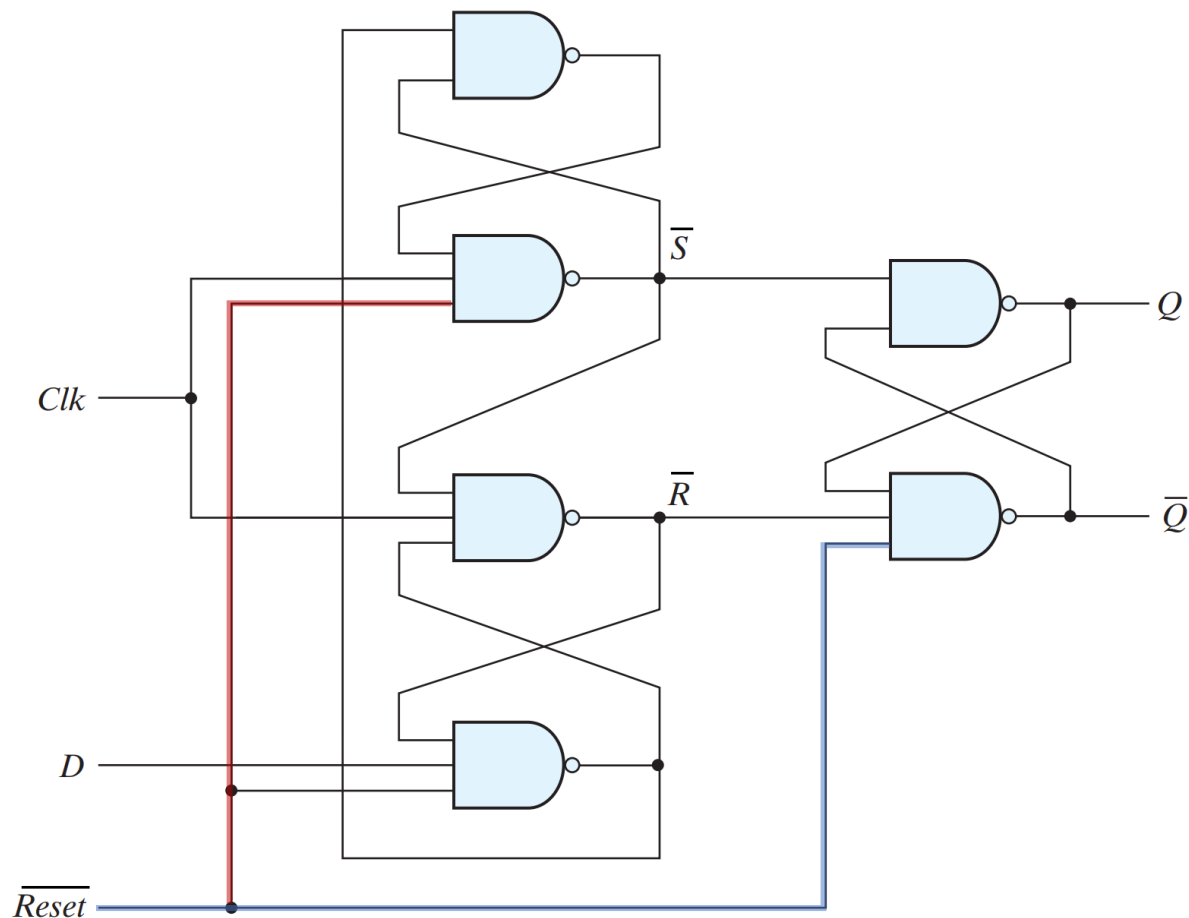
用3个 $\bar{S}\bar{R}$ 锁存器构造 上升沿D触发器 -5



CLK	D	Q^*	\bar{Q}^*	说明
\uparrow	0	0	1	复位
\uparrow	1	1	0	置位

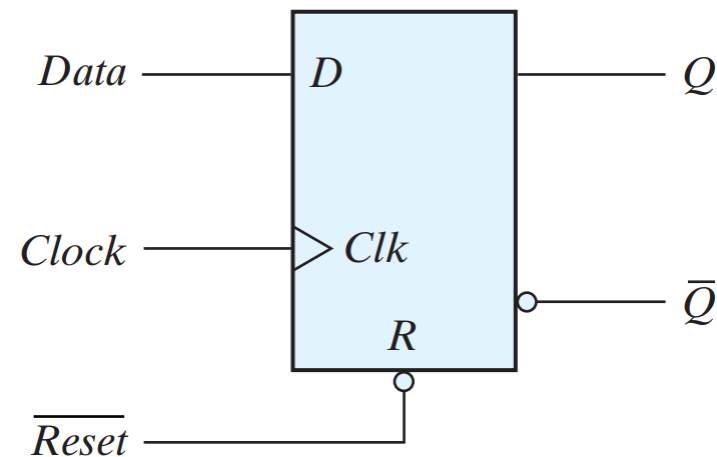
- ① $Clk = 0$ 时输出锁存器的 $\bar{S} = 1$ 、 $\bar{R} = 1$ ，使输出保持不变。
- ② If $D = 0$ when $Clk = 1$, (原 $\bar{S} = 1$) \bar{R} changes to 0 causing a reset state and making $Q = 0$.
- ② If $D = 1$ when $Clk = 1$, (原 $\bar{R} = 1$) \bar{S} changes to 0 causing the circuit to go to the set state making $Q = 1$
- ③ If $D 0 \rightarrow 1$ while $Clk = 1$, (原 $\bar{S} = 1$) \bar{R} remains at 0, 不影响输出。
- ③ If $D 1 \rightarrow 0$ while $Clk = 1$, (原 $\bar{R} = 1$) \bar{S} remains at 0, 不影响输出。

带有异步Reset 的D触发器



$\overline{Reset} = 0$, 强迫 $\bar{Q} = 1$

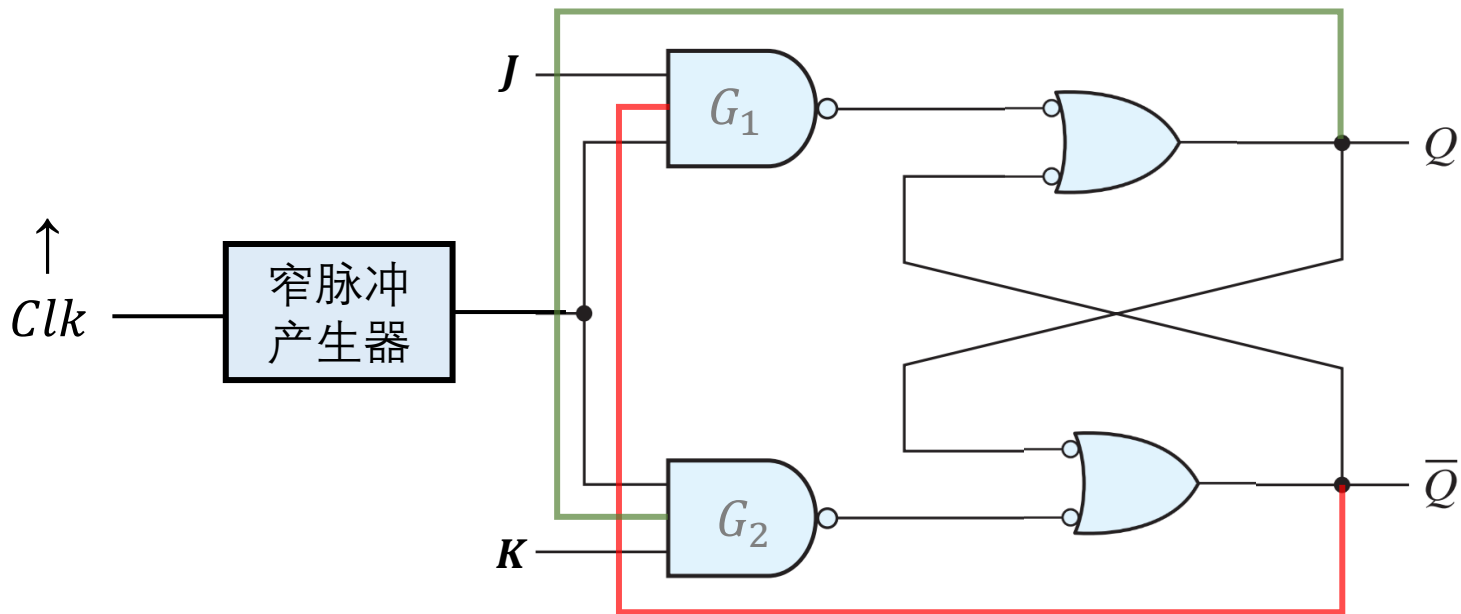
同时迫使 $S = 1$, 故 $Q = 0$



异步：强迫立即进入某状态

\overline{Reset}	Clk	D	Q^*	\bar{Q}^*
0	x	x	0	1
1	\uparrow	0	0	1
1	\uparrow	1	1	0

JK 触发器



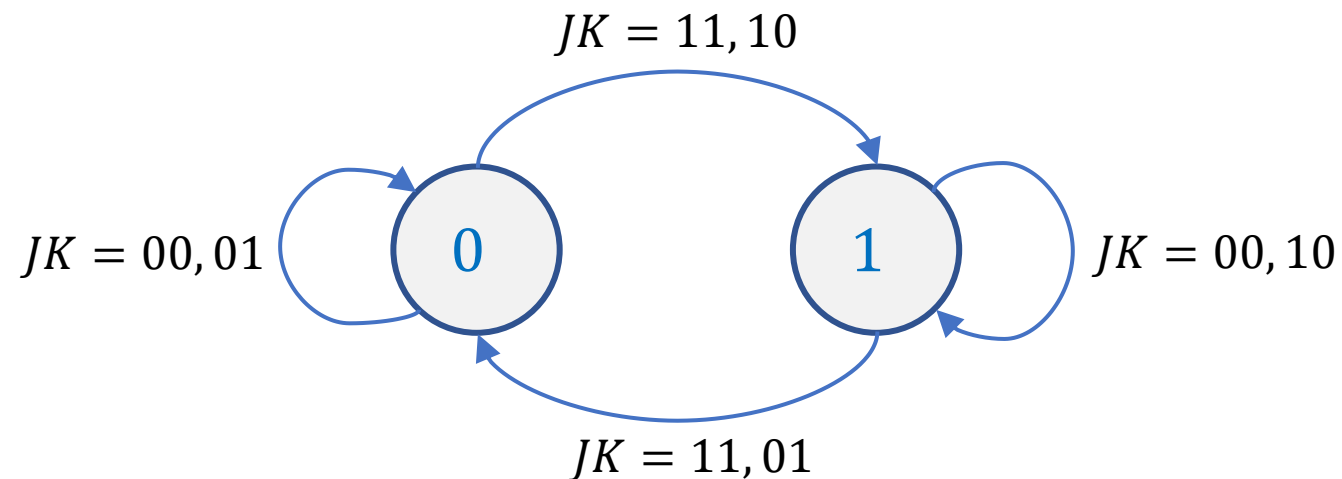
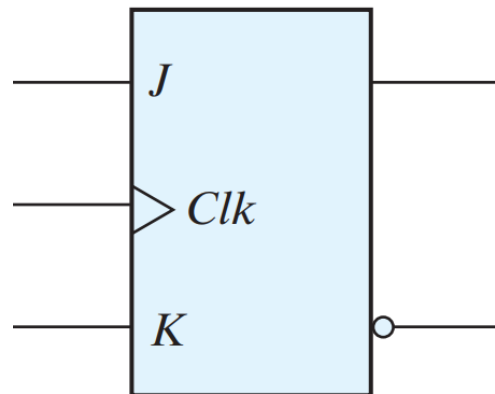
当clk有效时,

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$\begin{aligned} Q^{n+1} &= J\bar{Q}^n + \overline{Q^n K} + \bar{Q}^n \\ &= J\bar{Q}^n + \overline{Q^n K} \cdot Q^n \\ &= J\bar{Q}^n + (\bar{Q}^n + \bar{K}) \cdot Q^n \\ &= J\bar{Q}^n + \bar{K}Q^n + Q^n\bar{Q}^n \\ &= J\bar{Q}^n + \bar{K}Q^n \end{aligned}$$

输 入			输 出		说明
Clk	J	K	Q^{n+1}	\bar{Q}^{n+1}	
↑	0	0	Q^n	\bar{Q}^n	保持
↑	1	0	1	0	置1
↑	0	1	0	1	置0
↑	1	1	\bar{Q}^n	Q^n	翻转

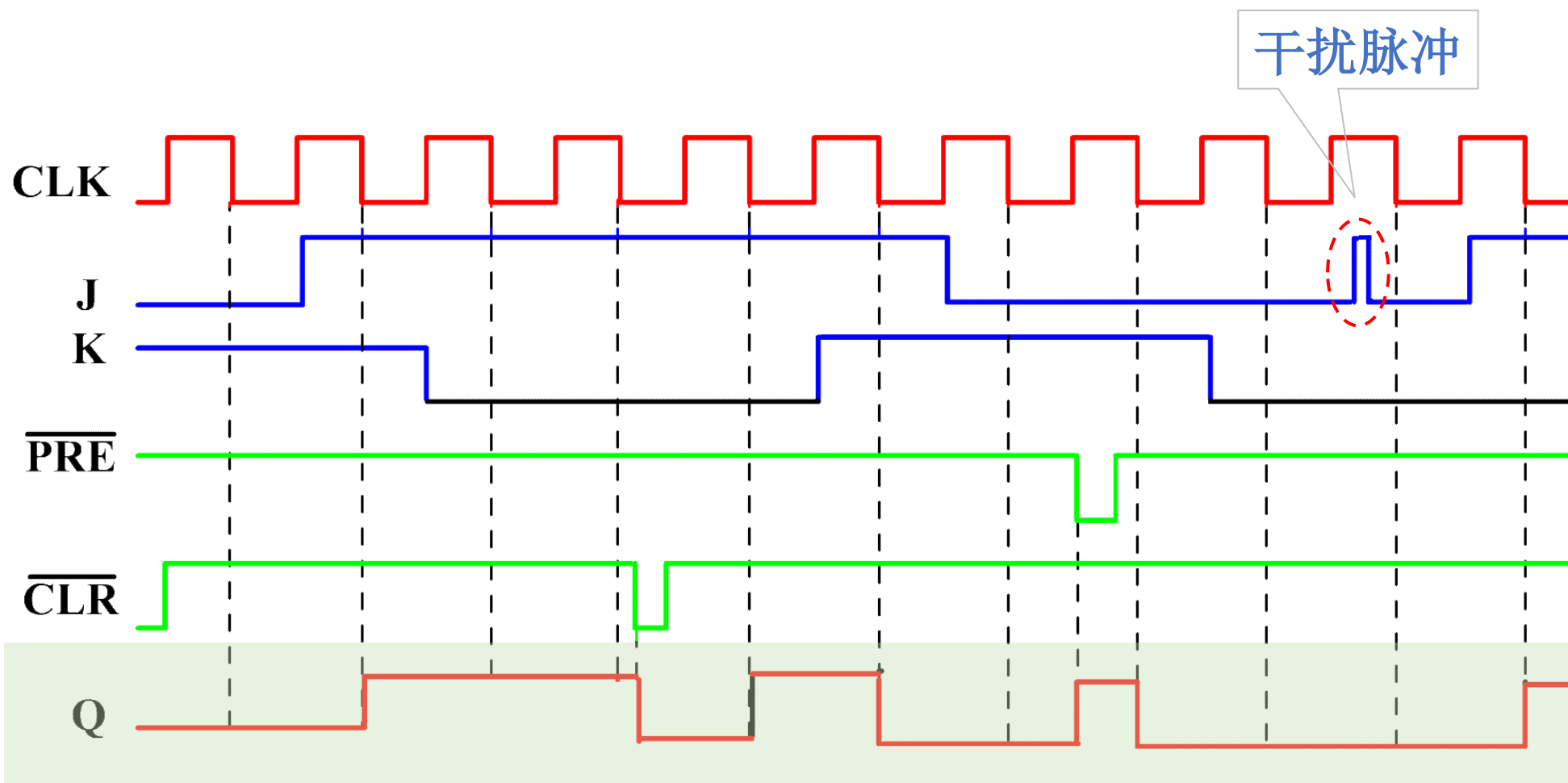
JK 触发器



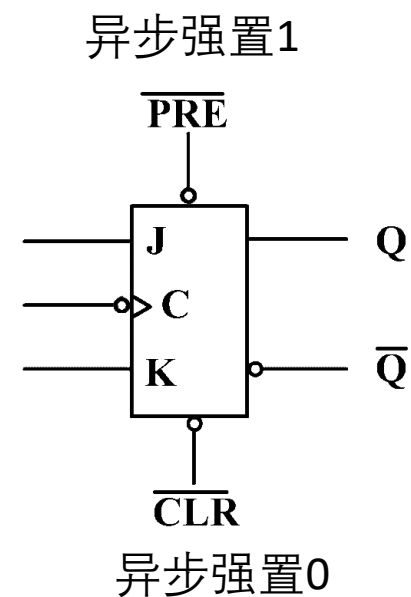
输 入			输 出		说明
Clk	J	K	Q^{n+1}	\bar{Q}^{n+1}	
↑	0	0	Q^n	\bar{Q}^n	保持
↑	1	0	1	0	置1
↑	0	1	0	1	置0
↑	1	1	\bar{Q}^n	Q^n	翻转

现态 Q^n	次态 Q^{n+1}			
	$JK = 00$	$JK = 01$	$JK = 10$	$JK = 11$
0	0	0	1	1
1	1	0	1	0

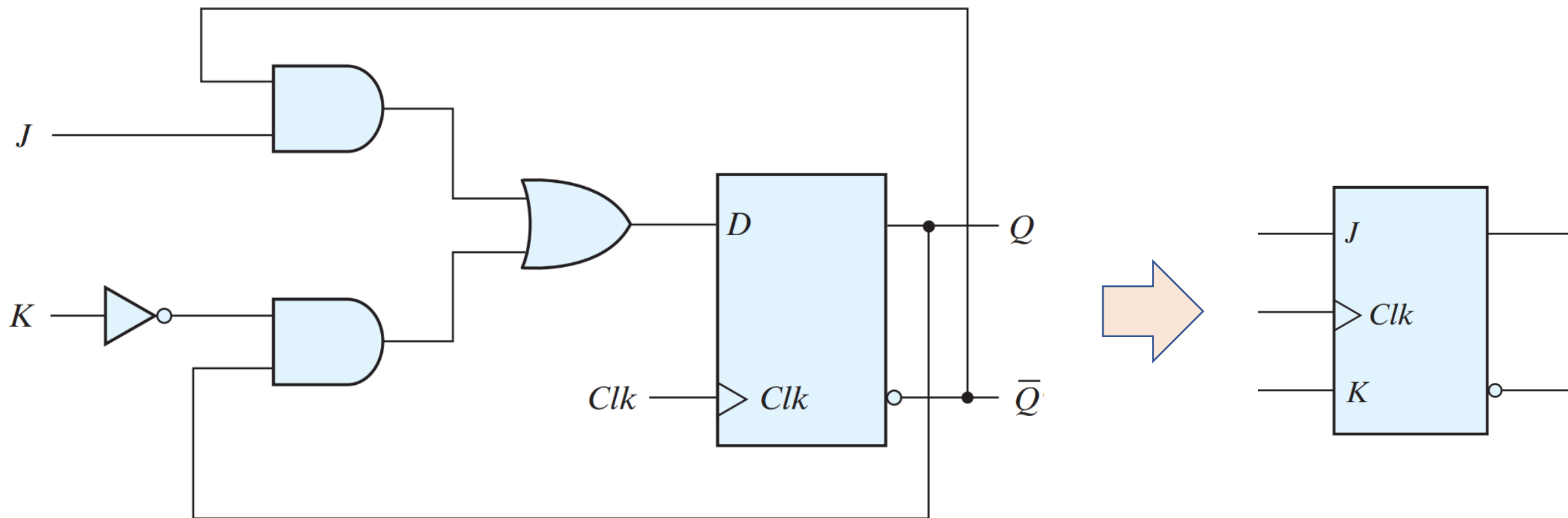
【例6】画74HC112负沿JK触发器输出波形图



没有影响



用D触发器构造JK触发器

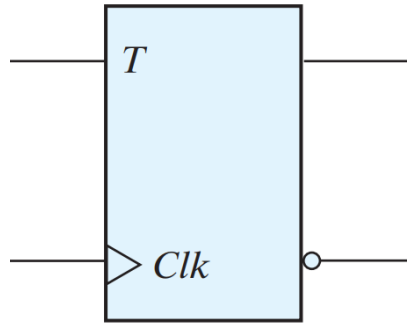


因为 $D = J\bar{Q}^n + \bar{K}Q^n$

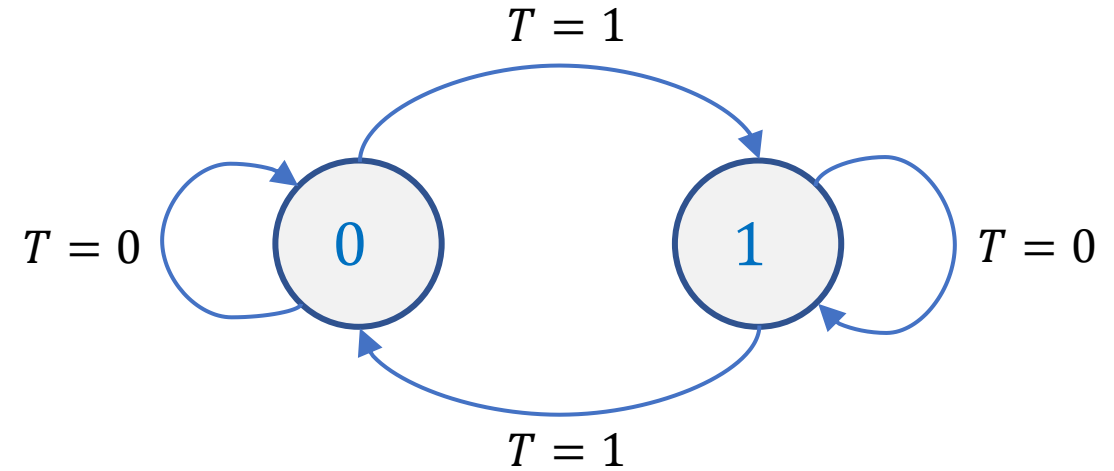
故, $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

T触发器 (Toggle)

常用来构成计数器。

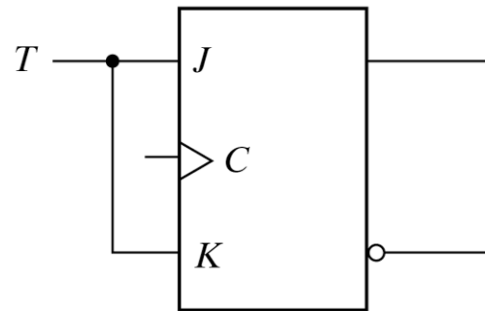


T	$Q(t+1)$	说明
0	$Q(t)$	保持
1	$\bar{Q}(t)$	翻转

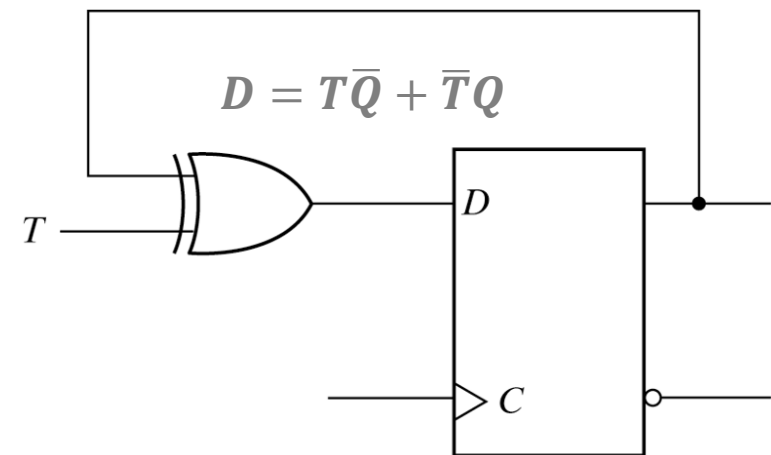


构造
方法

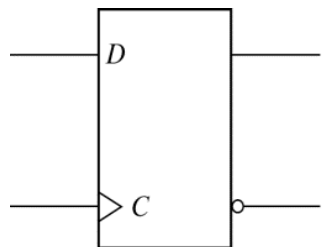
①



②

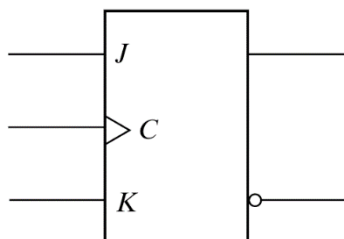


触发器的特征表、特征方程



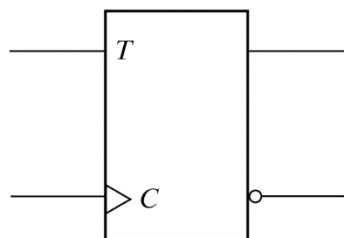
D	$Q(t + 1)$	说明
1	1	置1
0	0	置0

$$Q(t + 1) = D$$



J	K	$Q(t + 1)$	说明
0	0	$Q(t)$	保持
1	0	1	置1
0	1	0	置0
1	1	$\bar{Q}(t)$	翻转

$$Q(t + 1) = J\bar{Q}(t) + \bar{K}Q(t)$$



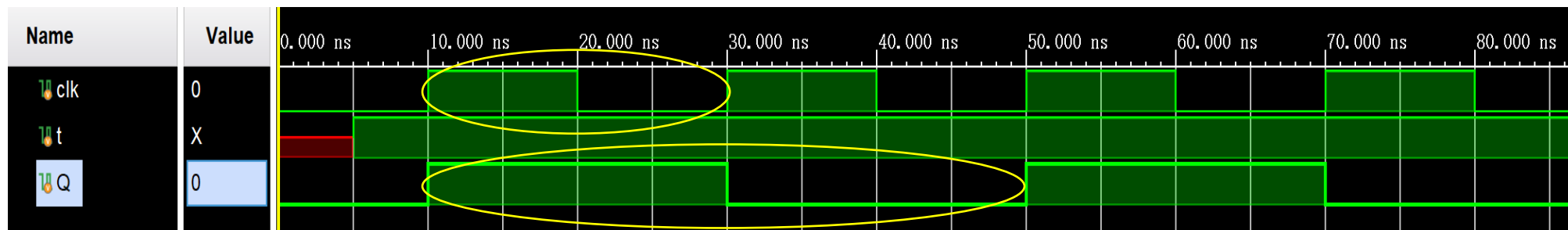
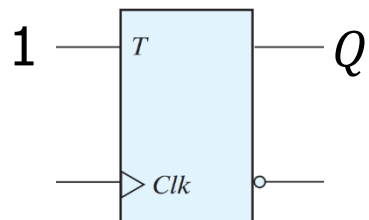
T	$Q(t + 1)$	说明
1	$\bar{Q}(t)$	翻转
0	$Q(t)$	保持

$$Q(t + 1) = T\bar{Q}(t) + \bar{T}Q(t)$$

TTL存储元件

器件	模块数量	模块功能
74LS73A	2	下降沿触发JK触发器，带清除
7474	2	上升沿触发D触发器，带预置和清除
74LS75	4	D锁存器，带使能
7476	2	脉冲触发JK触发器，带预置和清除
74111	2	主从JK触发器，带预置、清除和数据锁存输出
74112	2	JK触发器，带异步置0、异步置1
74116	2	4比特无竞争D锁存器，带清除和双使能
74175	4	上升沿触发D触发器，带清除

触发器的应用



- **分频器：** 下一级的脉冲频率是上一级脉冲频率的 $1/2$ 。使用级联
- **寄存器：** n 个触发器，一次能够并行存储 n 位比特数据。
- **计数器：** n 个触发器按串行方式连接构成 n 位计数器，
记忆时钟脉冲的个数。
- **时钟脉冲产生器：** 产生固定顺序的循环型脉冲序列，由计数器改造而来。