

## 4. 组合逻辑电路分析、设计

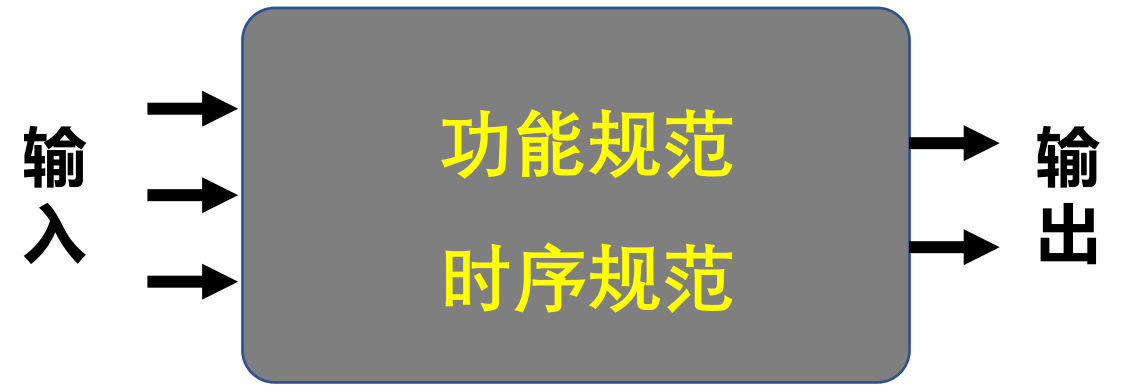


1

# 简介

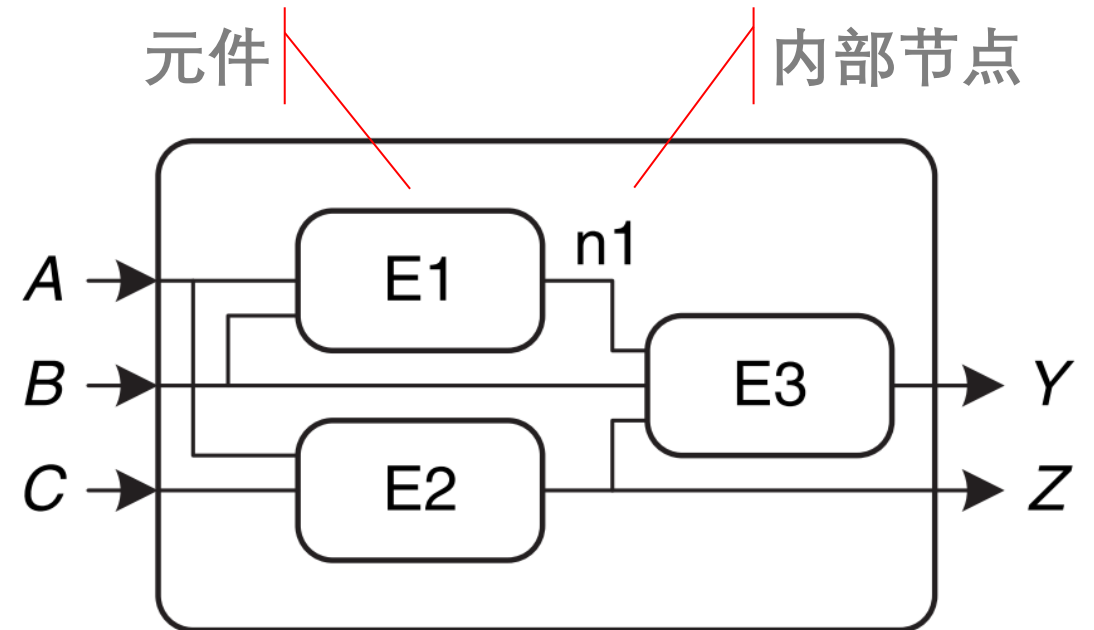
# 数字逻辑电路

- 在数字电路中，**电路**是一个可以处理离散值变量的网络。
- 一个**电路**可看作一个**黑盒子**。

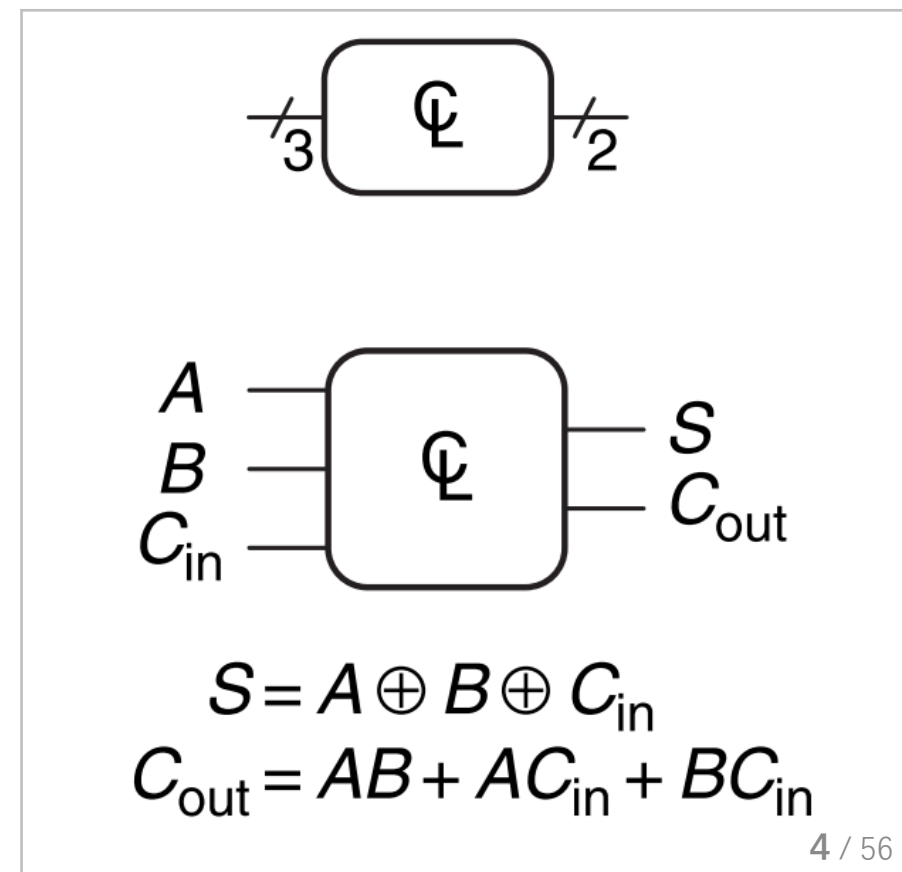
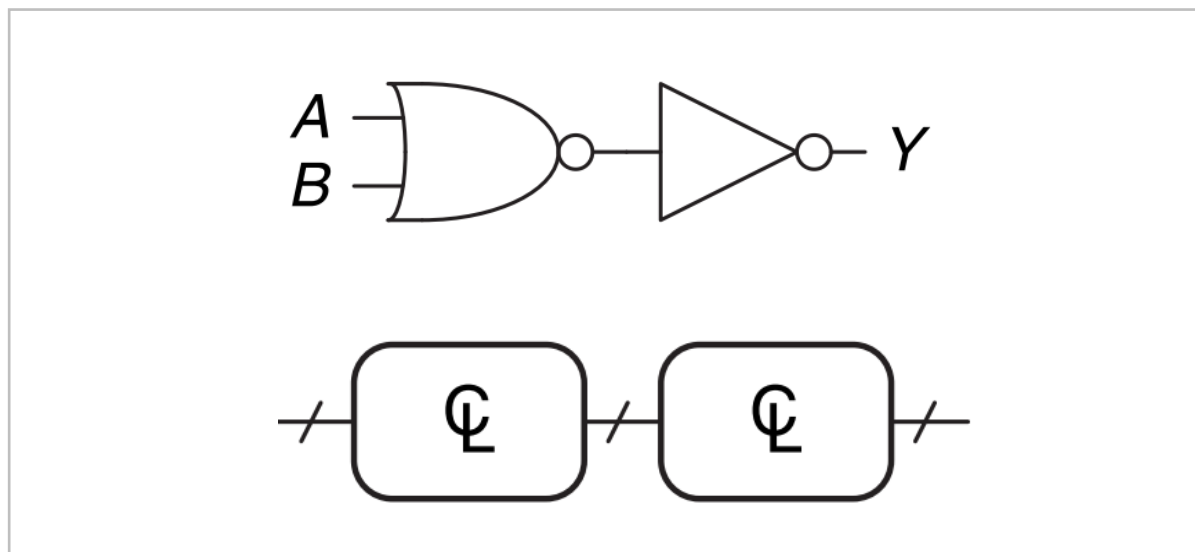
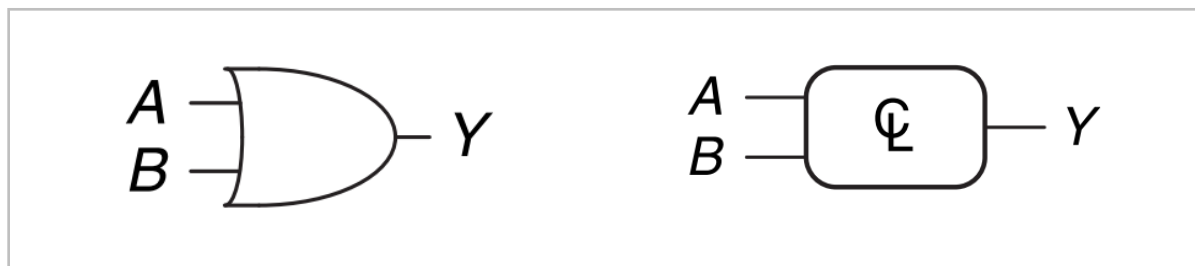


**逻辑**会把你从A带到B，  
想象力能带你去任何地方。

爱因斯坦



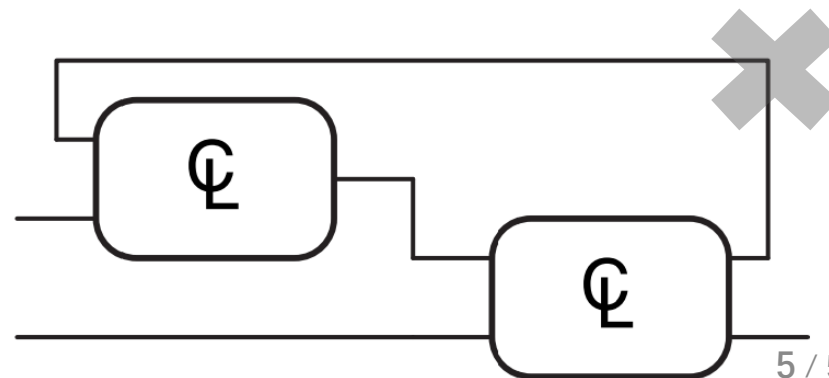
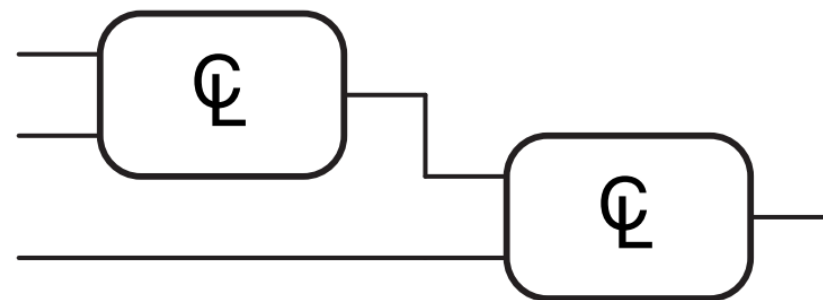
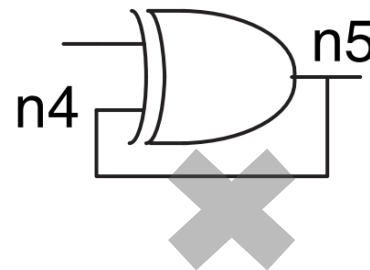
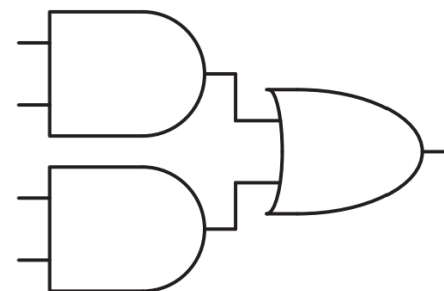
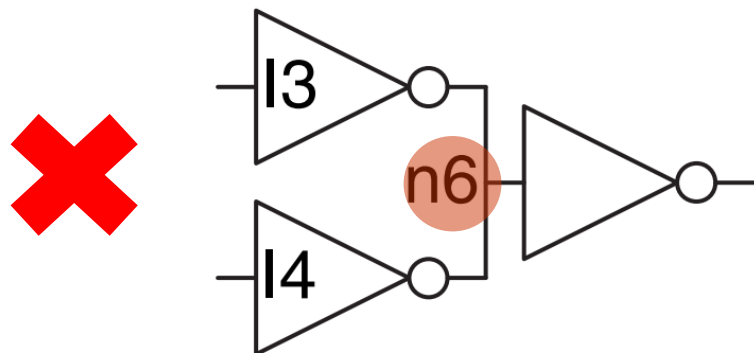
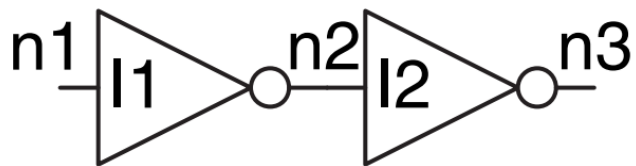
- **组合逻辑电路**：输出**仅仅**取决于输入值。无记忆、无反馈
- **时序逻辑电路**：输出取决与当前输入值、之前的输入值。有记忆、有反馈



# 哪些是组合电路？

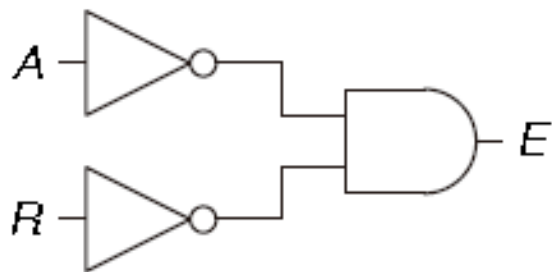
判断条件：

- 每个电路元件本身都是组合电路
- 每个电路节点或者是一个电路的输入、或者是连接到外部电路的一个输出端。
- 电路不包含回路。



# 分析、设计

## 逻辑电路



分析



设计



## 逻辑功能

- 如果下雨，则不野餐
- 如果草地上有蚂蚁，也不去野餐。
- 否则，去野餐。

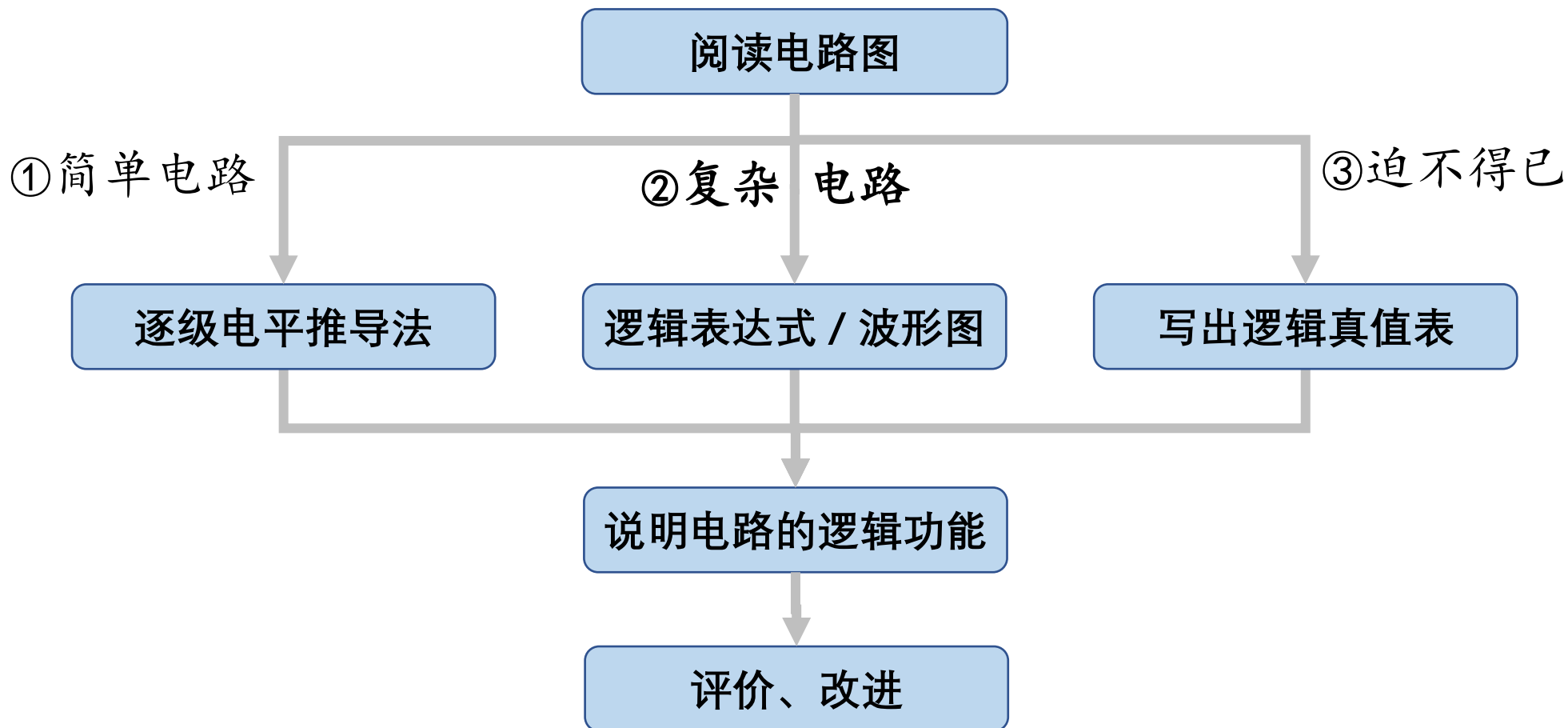


2

分析

# 组合逻辑分析

根据已知逻辑电路图，找出组合逻辑电路的**输入与输出**的关系，  
确定在什么样的输入取值组合下，对应的输出为**1**。





# ① 逐级电平推导法

**方法：**先假设输出逻辑为**1**或**0**，然后逐级向前推导，直到确定输入的逻辑值。

【例1】分析下图的逻辑电路

【解】由 $F = 1$ ，知  $x_1 = 0$  或  $x_2 = 0$

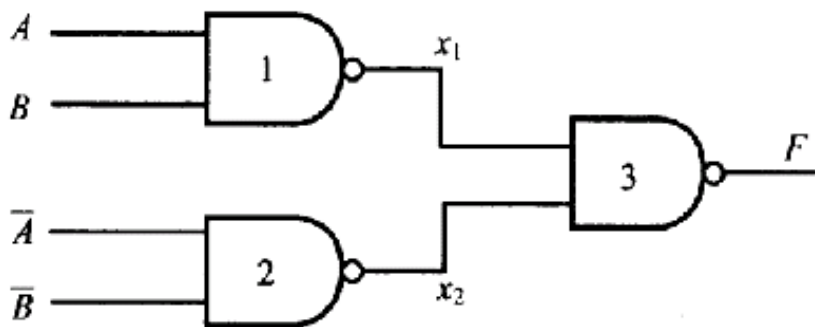
由 $x_1 = 0$ ，知  $A = 1$  且  $B = 1$

由 $x_2 = 0$ ，知  $\bar{A} = 1$  且  $\bar{B} = 1$

由此可知：当 $A$ 、 $B$ 都为1或0时，输出 $F = 1$

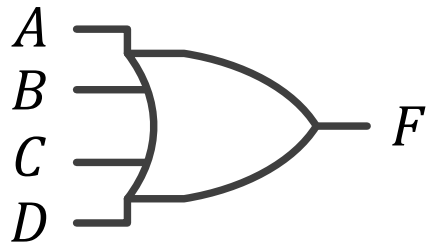
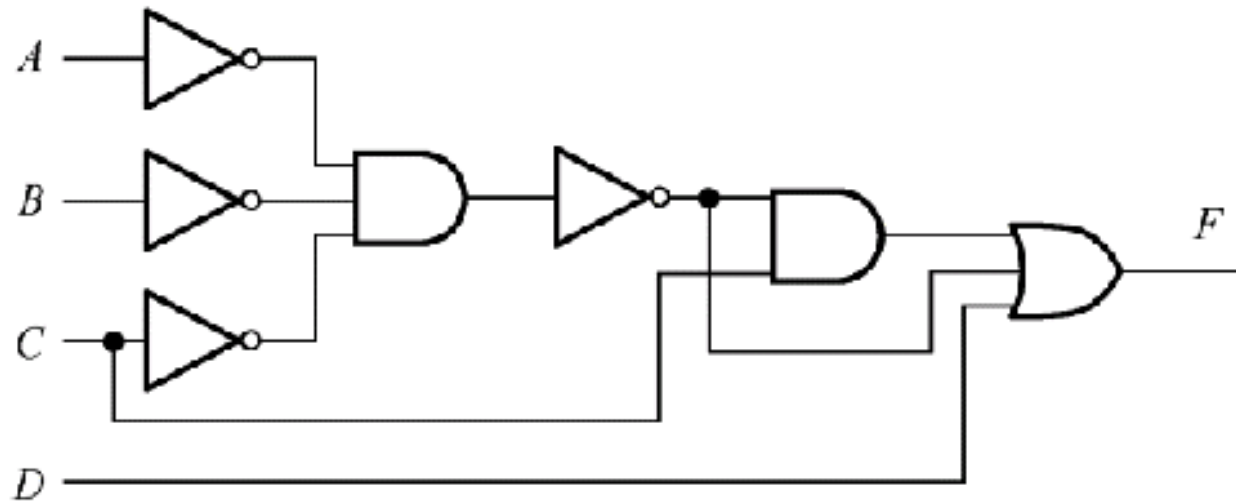
故，这是判断 $A$ 、 $B$ 是否相等的逻辑电路。

可以进一步改进：只用一个同或门。



## ② 写出布尔表达式法

【例2】 分析下图的逻辑电路

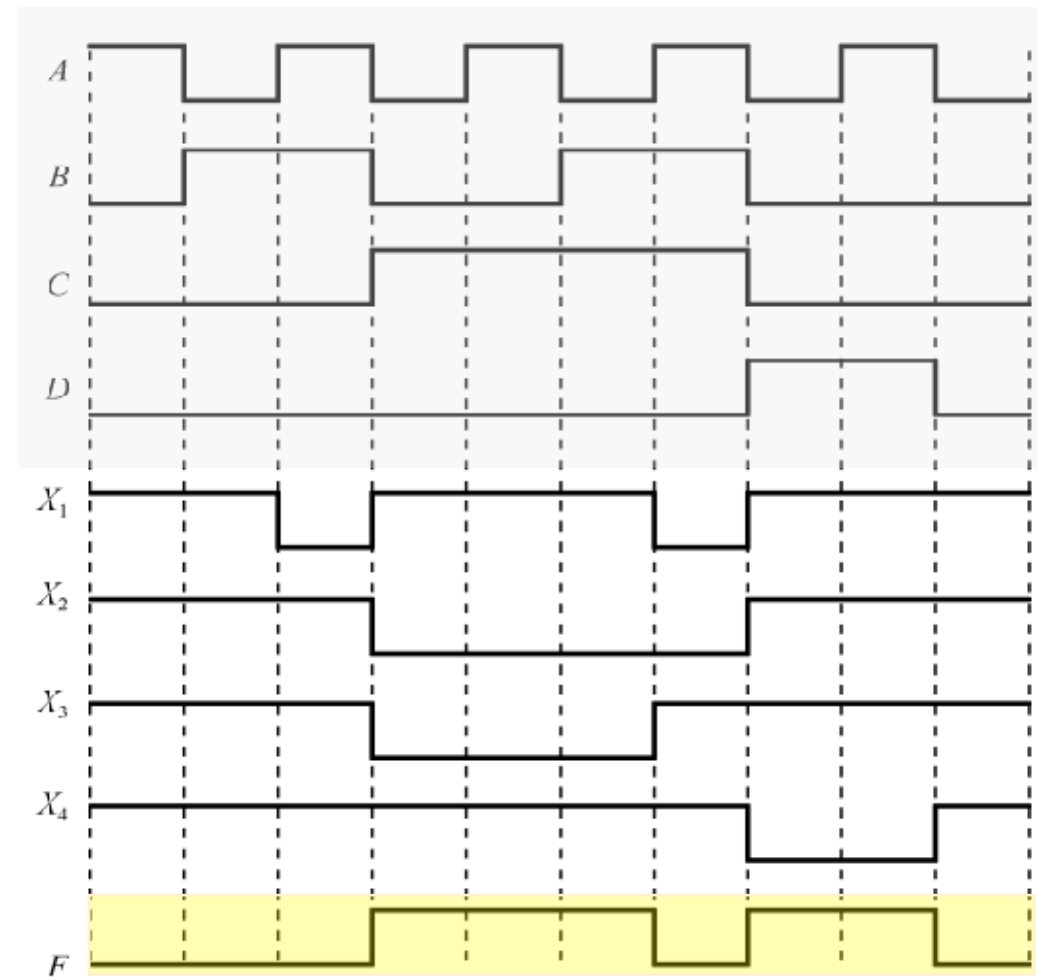
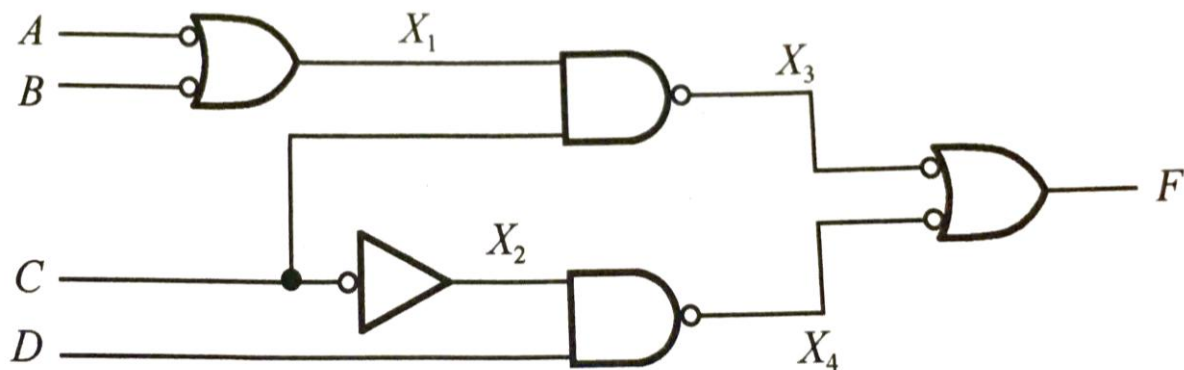


【解】 因用逐级电平推导法不方便，  
故用布尔表达式法

$$\begin{aligned} F &= (\overline{A} \cdot \overline{B} \cdot \overline{C}) \cdot C + \overline{A} \cdot \overline{B} \cdot \overline{C} + D \\ &= (A + B + C) \cdot C + (A + B + C) + D \\ &= AC + BC + CC + A + B + C + D \\ &= A + B + C + D \end{aligned}$$

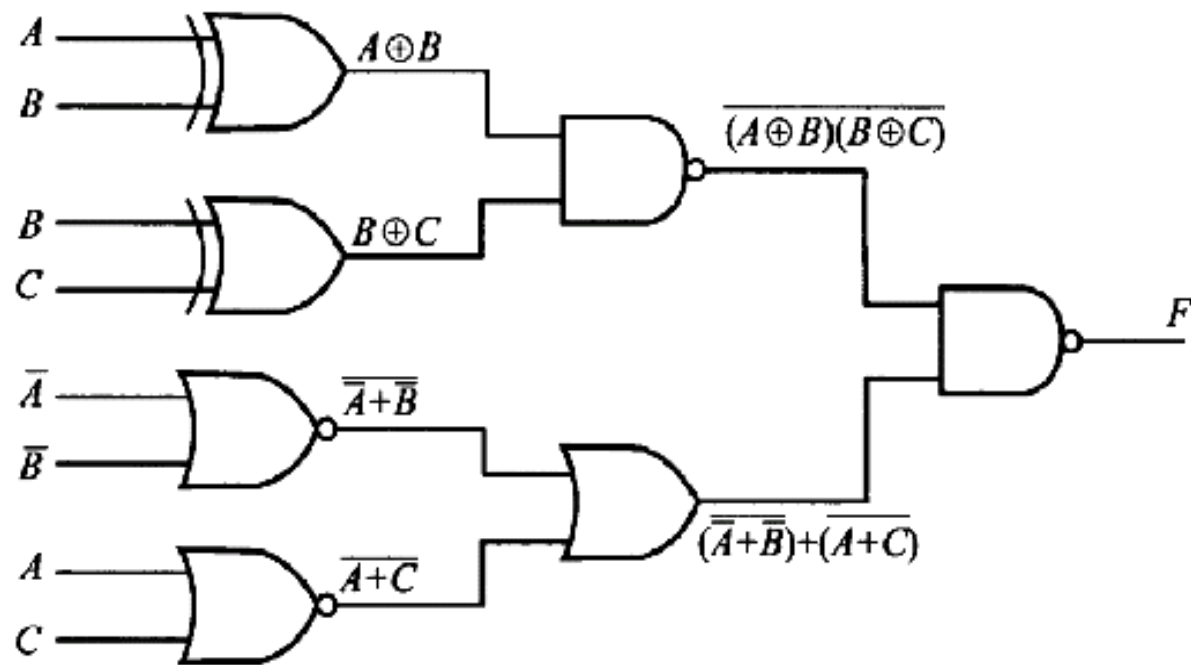
## ② 数字波形图分析法

【例3】 根据电路图画出输出F的波形图。



### ③ 真值表分析法

【例4】 分析下图电路的逻辑功能



【解】 
$$F = \overline{(A \oplus B)(B \oplus C)} \cdot \overline{(\bar{A} \oplus \bar{B})(A \oplus C)}$$

$$= (A \oplus B)(B \oplus C) + (\bar{A} \oplus \bar{B})(A \oplus C)$$

$$= A\bar{B} + \bar{A}B + \bar{B}C + \bar{A}C$$

$$= A\bar{B} + \bar{A}B + \bar{B}C + \bar{A}C(B + \bar{B})$$

$A$	$B$	$C$	$F$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

# 分析步骤

1. 确认是**组合电路**，而非时序电路。

组合电路只有逻辑门，没有反馈，也没有存储单元。

2. 确定**输出逻辑函数/真值表**。

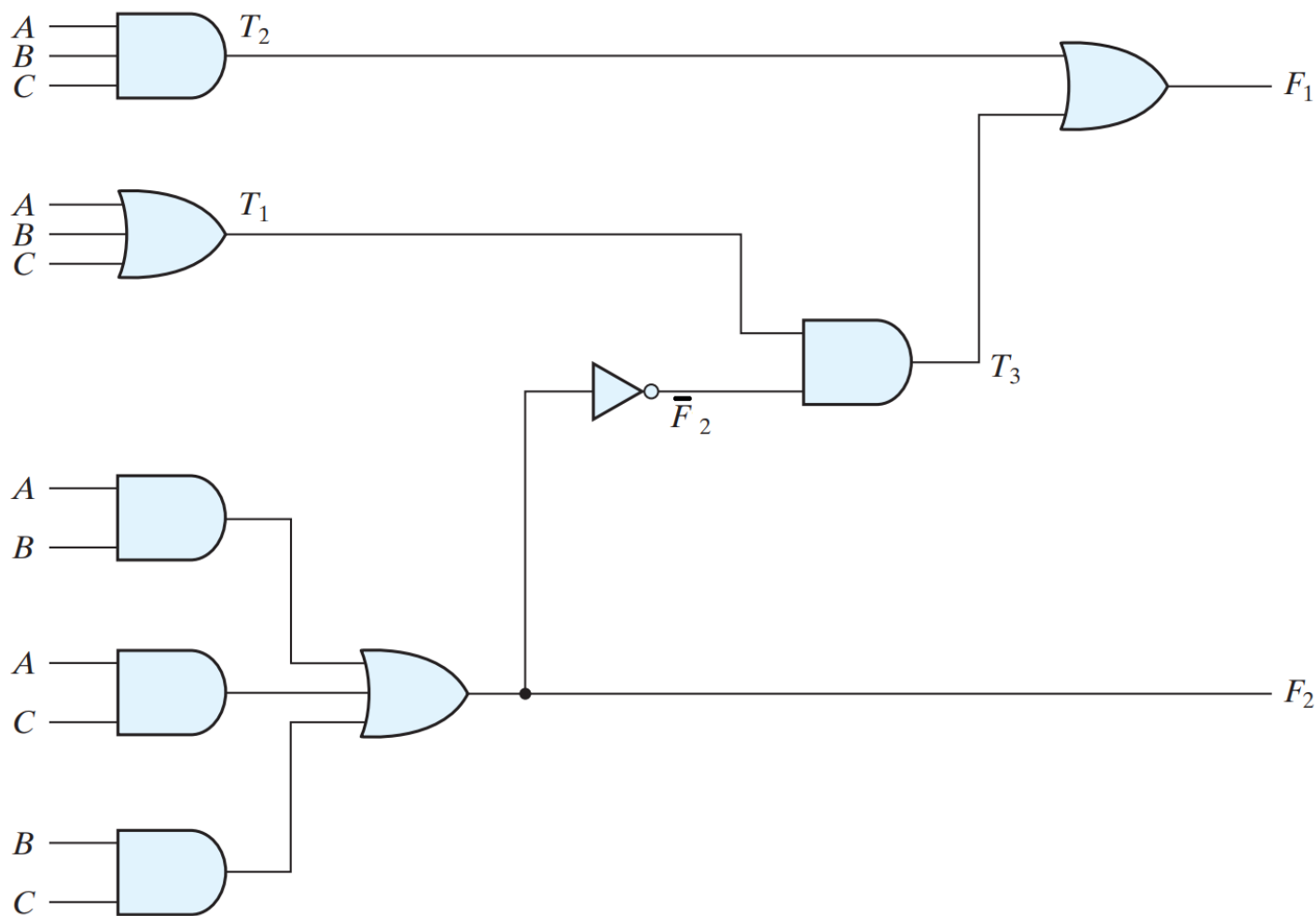
① 由电路图，从输入到输出，写出各级**逻辑表达式**。

② **化简/变换**逻辑表达式。

③ 列出**真值表**。

④ **分析电路功能**，并改进。

## 【例5】分析电路



① 没有存储单元，没有反馈路径

$\therefore$  组合逻辑

②  $F_2 = AB + AC + BC$

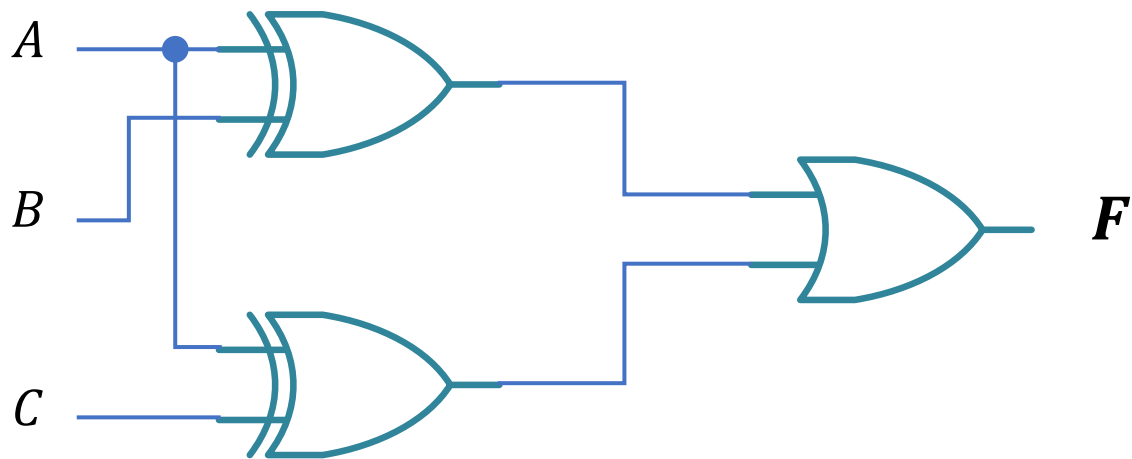
$$F_1 = \bar{A}B\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC$$

③

$A$	$B$	$C$	$F_2$	$F_1$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

④ 三位全加器

## 【练习1】分析电路

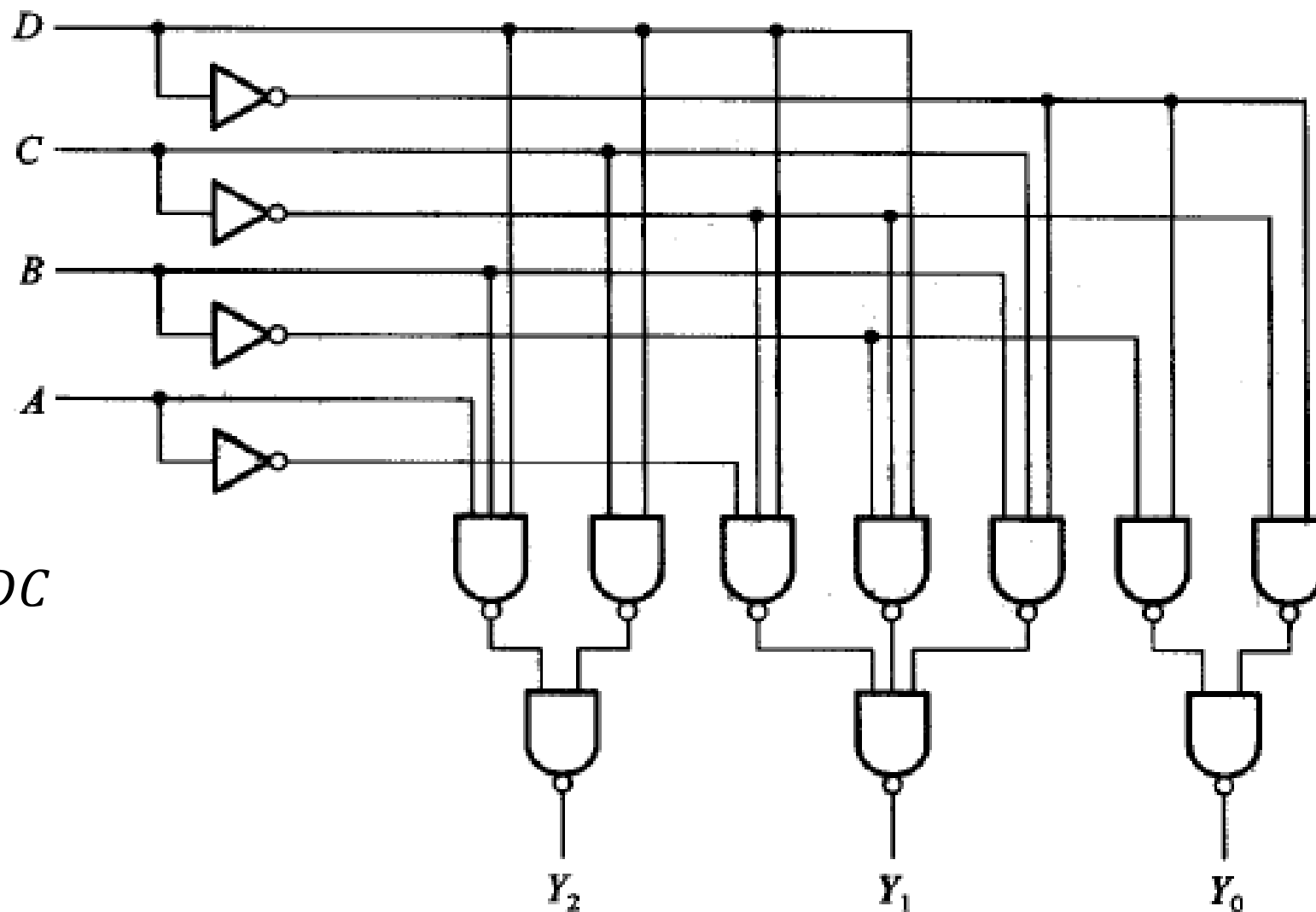


$$F = A \oplus B + A \oplus C$$

三变量非一致电路

$A$	$B$	$C$	$F$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

## 练习2：根据电路图判断功能



$$Y_2 = \overline{\overline{DBA}} \cdot \overline{\overline{DC}} = DBA + DC$$

$$\begin{aligned} Y_1 &= \overline{\overline{\overline{DCB}} \cdot \overline{\overline{D\bar{C}\bar{B}}} \cdot \overline{\overline{D\bar{C}\bar{A}}}} \\ &= \overline{DCB} + \overline{D\bar{C}\bar{B}} + \overline{D\bar{C}\bar{A}} \end{aligned}$$

$$Y_0 = \overline{\overline{\overline{D\bar{C}}} \cdot \overline{\overline{D\bar{B}}}} = \overline{D\bar{C}} + \overline{D\bar{B}}$$



## 练习2：根据电路图判断功能（答案）

【注】如果输入  
顺序为 $ABCD$ ，  
则看不出规律了。

$D$	$C$	$B$	$A$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	1
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	0	0	1
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	0	1	0
1	0	1	1	1	0	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	1	0	0

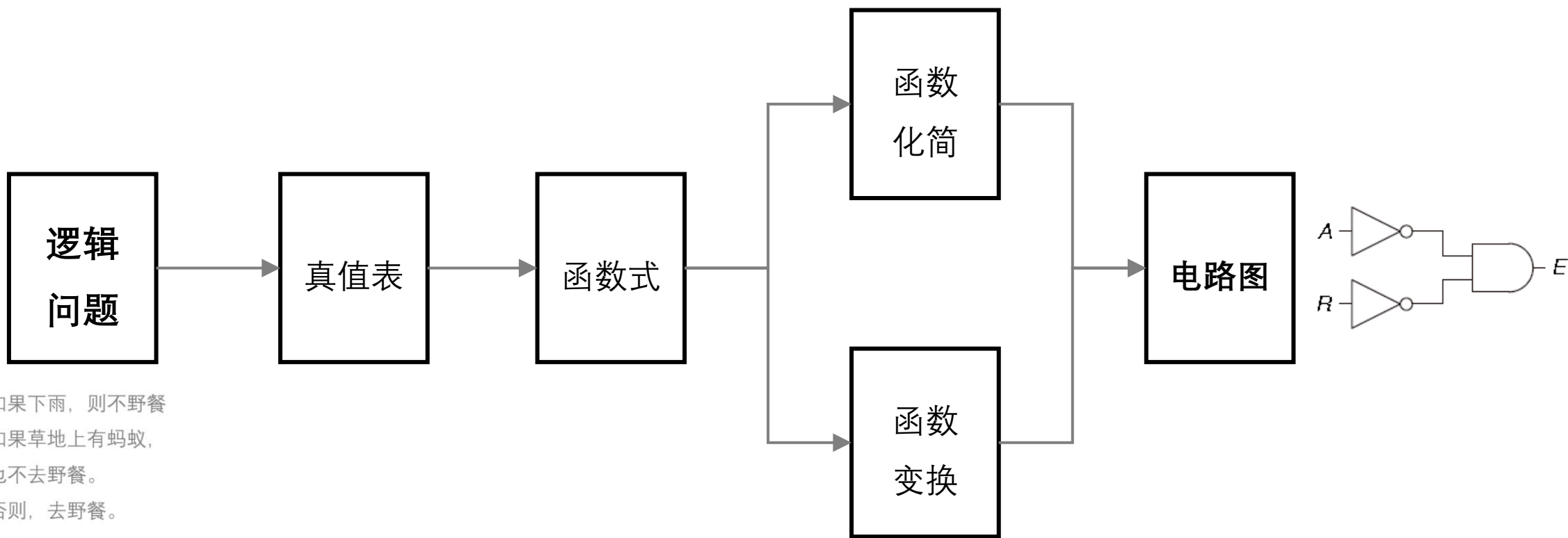
判断4位二进制数  
数值的范围  
(0-5, 6-10, 11-15)

3

设计

# 组合逻辑设计

组合逻辑设计是组合逻辑分析的逆过程



- 如果下雨，则不野餐
- 如果草地上有蚂蚁，也不去野餐。
- 否则，去野餐。



# 设计步骤

**设计：** 由问题的说明  $\Rightarrow$  逻辑**电路图** 或 一组布尔函数。

- ① 根据电路说明，决定需要的**输入、输出数目**，  
并给每个输入 / 输出分配一个符号。
- ② 列出定义输入和输出之间关系的**真值表**。
- ③ 求**输出函数的最简表达式**。
- ④ 画出**逻辑电路图**，并**验证**设计的正确性。

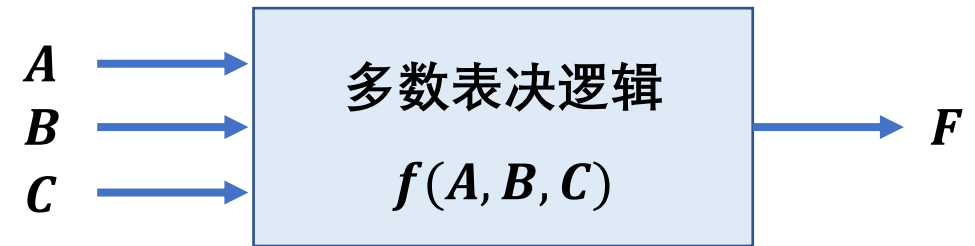
**附加约束条件：**

- |            |              |
|------------|--------------|
| ① 门的个数     | ③ 信号通过门的传输时延 |
| ② 一个门的输入数目 | ④ 连线的数目      |
|            | ⑤ 每个门的驱动能力…… |

## 【例6】设计一个多数表决电路，以判断A、B、C三人中是否多数赞成

【解】A、B、C三人中至少2人赞同即为多数

$m_i$	$A$	$B$	$C$	$F$
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1



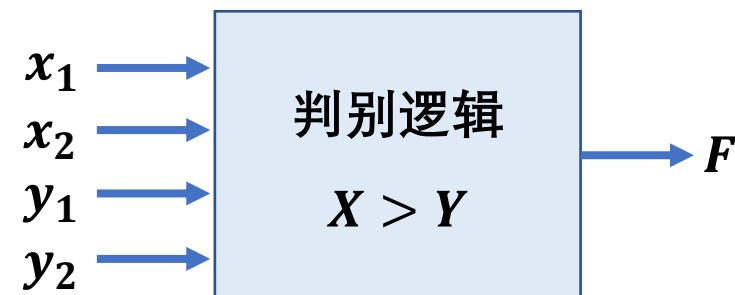
$$\begin{aligned} F &= \Sigma m(3, 5, 6, 7) \\ &= \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC \\ &= BC + A\bar{B}C + AB\bar{C} \end{aligned}$$

【例7】 已知 $X = x_1x_2$ 、 $Y = y_1y_2$ 是两个正整数，写出 $X > Y$ 的逻辑表达式

【解】  $X$ 、 $Y$  均由2位数组成，有16种组合。

若先比较高位数、再比较低位数，可简化真值表。

$x_1$	$x_2$	$y_1$	$y_2$	$F$
1	1	1	0	1
1	$d$	0	$d$	1
0	1	0	0	1



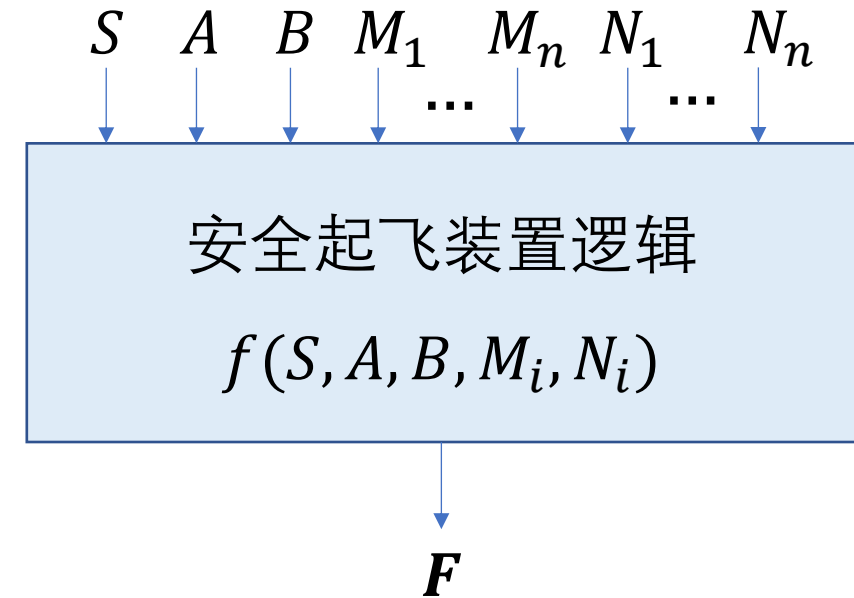
$$F = x_1x_2y_1\bar{y}_2 + x_1\bar{y}_1 + \bar{x}_1x_2\bar{y}_1\bar{y}_2$$

## 【例8】 试写出允许发出滑跑信号的逻辑表达式。

某民航客机的安全起飞装置在同时满足下列条件时，发出允许滑跑信号：

- ① 发动机开关 $S$ 接通；
- ② 飞行员 $A$ 入座，且座位保险带 $B$ 已扣上；
- ③ 乘客 $M_i$ 入座，且座位保险带 $N_i$ 已扣上，或座位上无乘客。

- 【解】
- 发动机启动信号 $S = 1$ 时发动机接通
  - 飞行员入座信号 $A = 1$ 时飞行员入座
  - 飞行员座位保险带已扣上信号 $B = 1$ 时为扣上
  - 乘客座位状态信号 $M_i = 1$ 为有乘客， $i=1,2,3,\dots,n$
  - 乘客座位保险带扣上信号 $N_i = 1$ 为扣上。



$$\begin{aligned} F &= S \cdot A \cdot B \cdot (M_1 N_1 + \bar{M}_1) \cdot (M_2 N_2 + \bar{M}_2) \cdots (M_n N_n + \bar{M}_n) \\ &= S \cdot A \cdot B \cdot (N_1 + \bar{M}_1) \cdot (N_2 + \bar{M}_2) \cdots (N_n + \bar{M}_n) \end{aligned}$$

【例9】一架飞机的监视部件，其逻辑电路要求飞机着陆之前指示三个起落架所处的状态：

某个起落架放下时，传感器产生一个低电平；

某个起落架回收时，传感器产生一个高电平。

当驾驶员按下“起落架放下”开关准备着陆时，如果三个起落架同时放下，则绿色指示灯闪亮，飞机可以降落；  
如果三个起落架中任何一个未放下，则红色指示灯闪亮，警告驾驶员不能降落。

【解】 设起落传感器分别为： $A$ 、 $B$ 、 $C$

起落架放下：各传感器 = 0

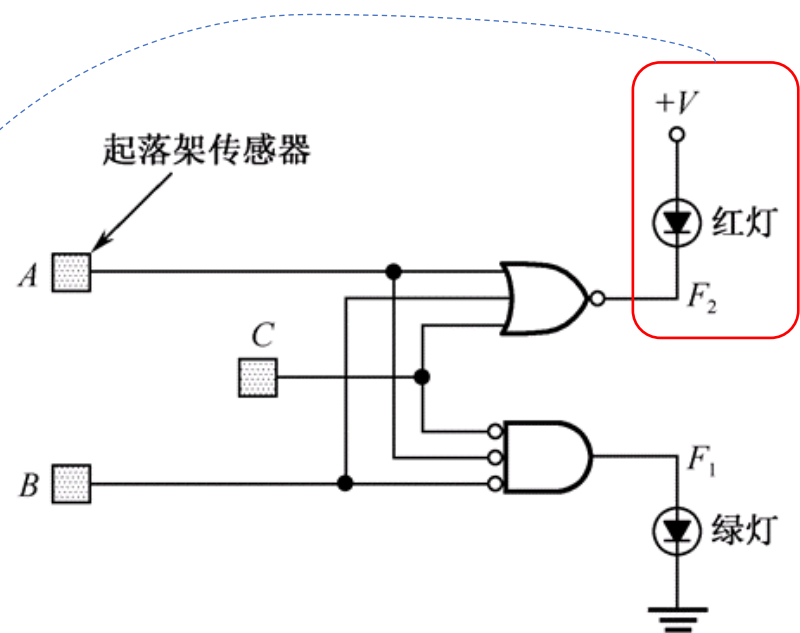
起落架收回：各传感器 = 1

绿灯亮：三个起落架同时放下。

$$F_1 = \bar{A} \cdot \bar{B} \cdot \bar{C}$$

红灯亮：三个起落架中有一个收回。

$$F_2 = \underline{A + B + C}$$



【注】 例7~9逻辑表达式是通过对设计需求的分析直接列出的（不通过真值表，也不通过简化真值表）



# 【例10】用与非门设计一个判别电路，

判别8421BCD码十进制的值 $\geq 5$

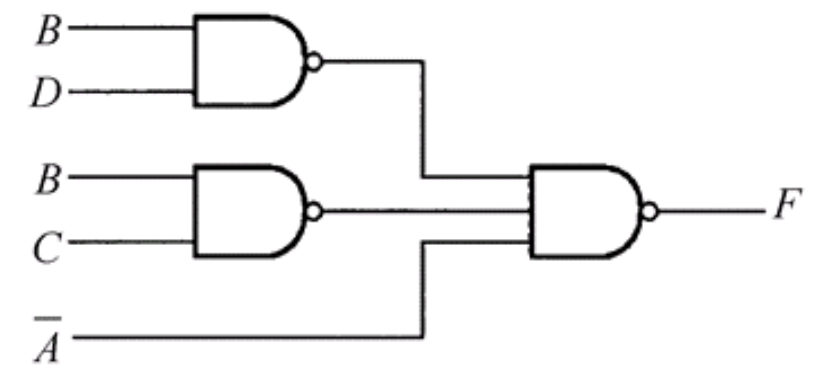
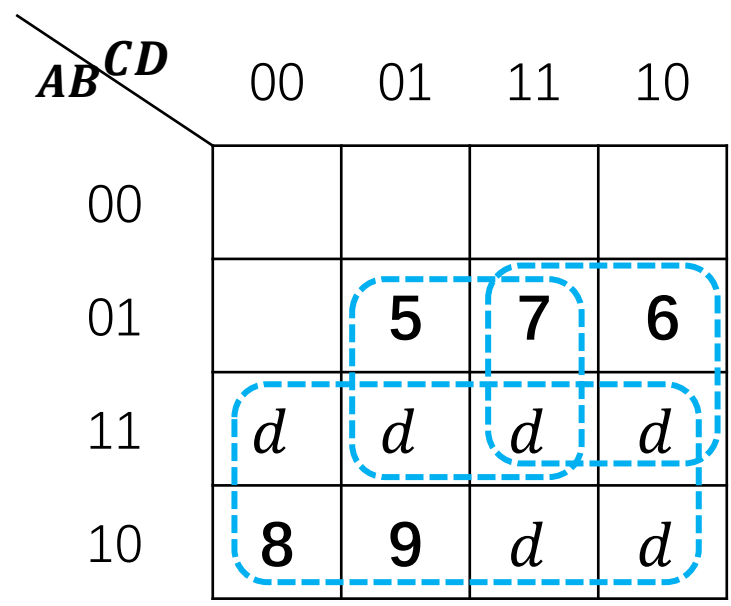
利用任意项简化逻辑

【解】

	A	B	C	D	F
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
...					...
	1	0	1	0	d
	1	1	1	1	d

$$F = \Sigma m(5,6,7,8,9) + \Sigma d(10,11,12,13,14,15)$$

$$F = BD + BC + A = \overline{\overline{BD + BC + A}} = \overline{\overline{BD} \cdot \overline{BC} \cdot \overline{A}}$$



## 【例11】码变换

使两个使用不同二进制代码系统协调工作的电路。

输入: 原码

	Input BCD				Output Excess-3 Code			
	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>w</i>	<i>x</i>	<i>y</i>	<i>z</i>
0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	1	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	0	0
6	0	1	1	0	1	0	0	1
7	0	1	1	1	1	0	1	0
8	1	0	0	0	1	0	1	1
9	1	0	0	1	1	1	0	0

输出: 目标码

# 【例11】码变换 化简

AB \ CD	00	01	11	10
00				
01		1	1	1
11	X	X	X	X
10	1	1	X	X

$$w = A + BC + BD$$

AB \ CD	00	01	11	10
00		1	1	1
01	1			
11	X	X	X	X
10		1	X	X

$$x = \bar{B}C + \bar{B}D + B\bar{C}\bar{D}$$

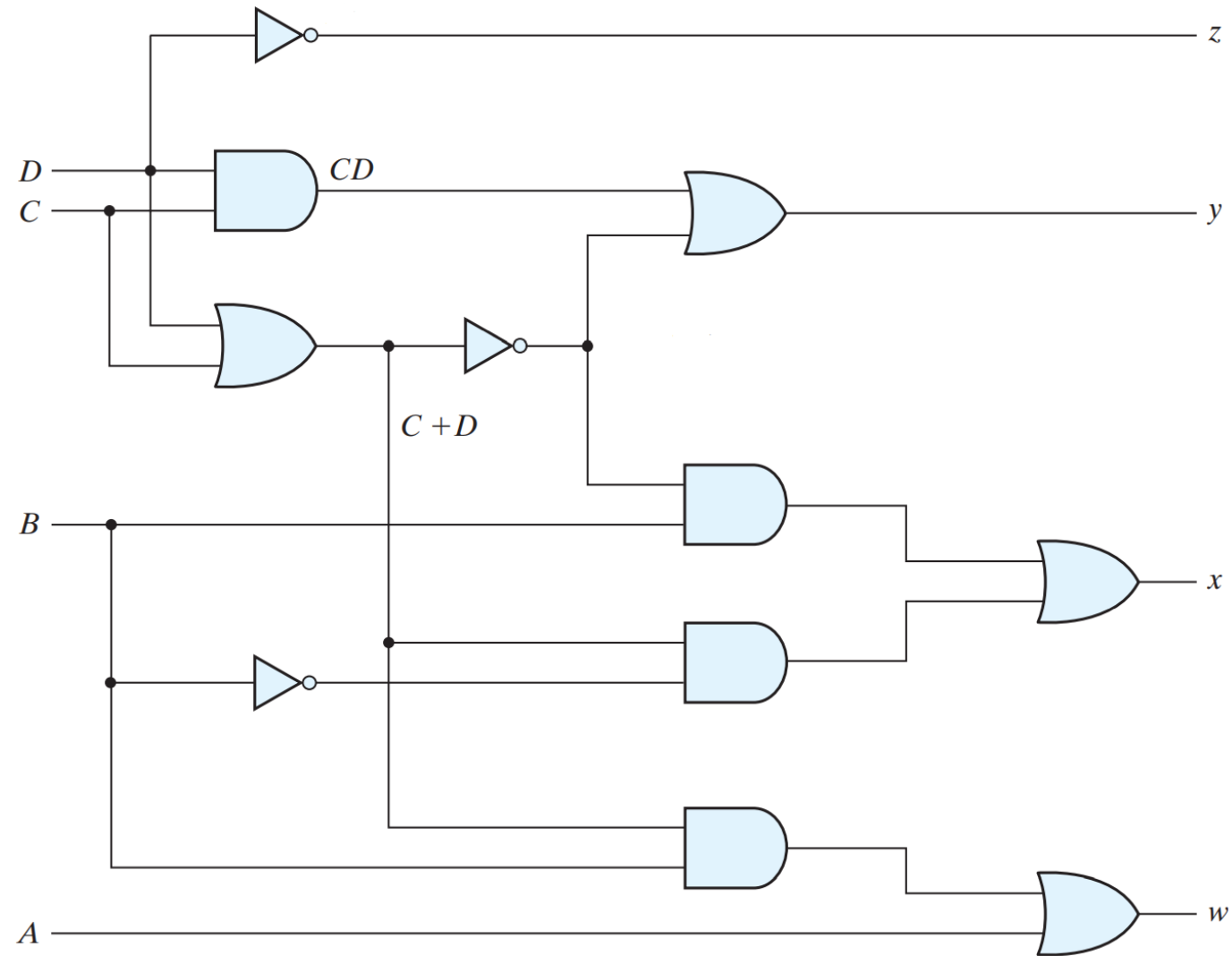
AB \ CD	00	01	11	10
00	1		1	
01	1		1	
11	X	X	X	X
10	1		X	X

$$y = CD + \bar{C}\bar{D}$$

AB \ CD	00	01	11	10
00	1			1
01	1			1
11	X	X	X	X
10	1		X	X

$$z = \bar{D}$$

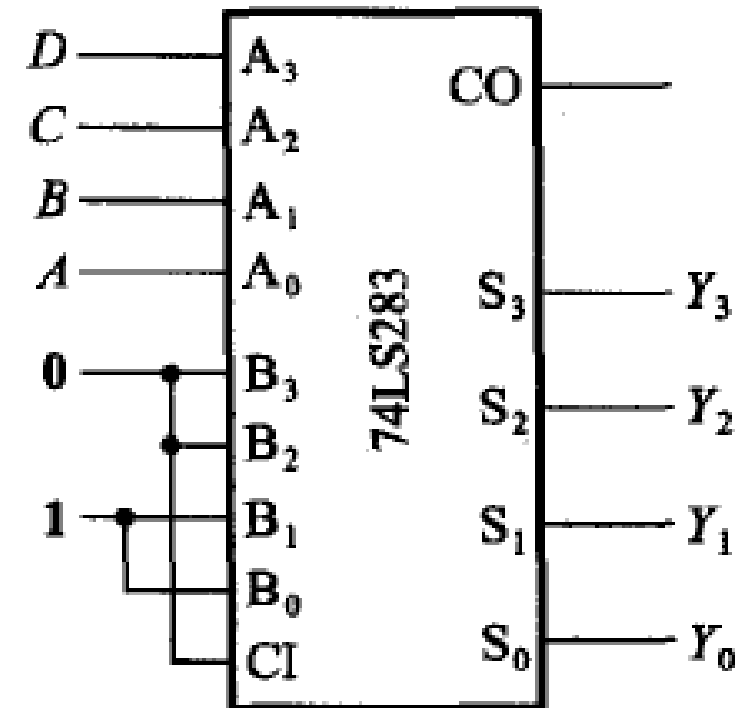
# 【例11】码变换 电路图



# 练习3： 用4位二进制加法器实现BCD码 转换为 余3码

输入： BCD码				输出： 余3码			
D	C	B	A	Y3	Y2	Y1	Y0
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

$$Y_3Y_2Y_1Y_0 = DCBA + 0011$$



四位二进制超前进位全加器

# 练习4：四位二进制8421码 转 格雷码

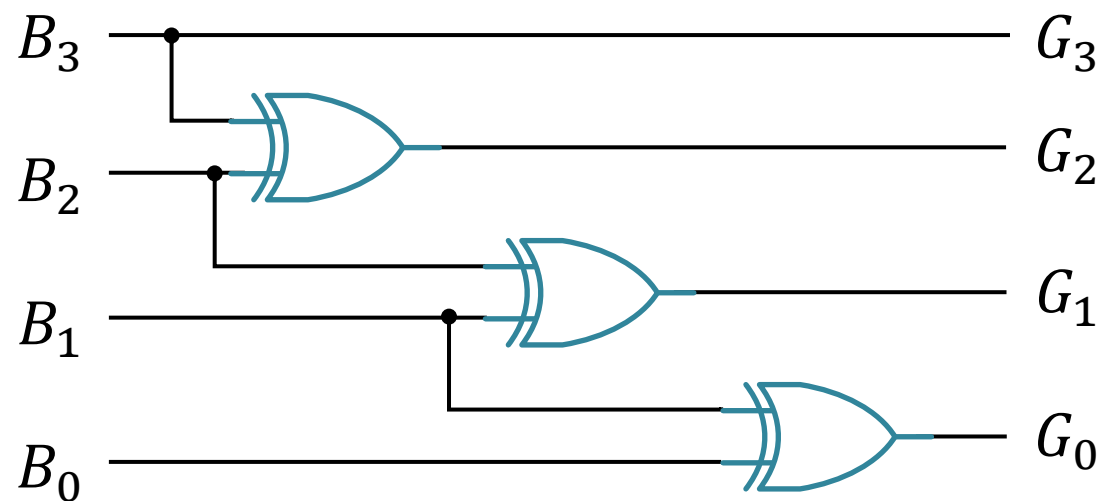
$B_3$	$B_2$	$B_1$	$B_0$	$G_3$	$G_2$	$G_1$	$G_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

$$G_3 = B_3$$

$$G_2 = B_3 \oplus B_2$$

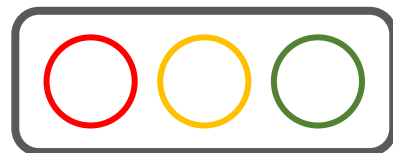
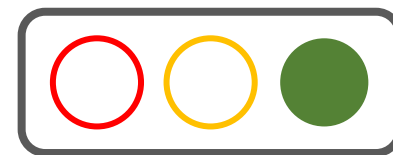
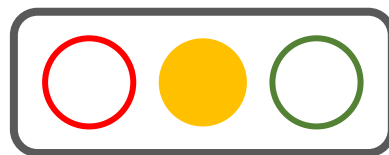
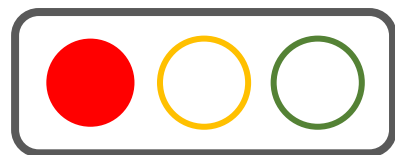
$$G_1 = B_2 \oplus B_1$$

$$G_0 = B_1 \oplus B_0$$

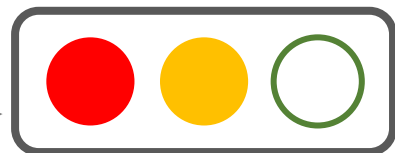


# 练习5：设计一个监视交通信号灯工作状态的逻辑电路

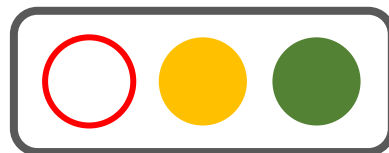
正常状态



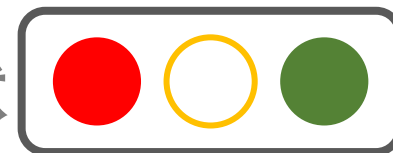
故



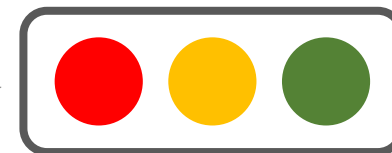
障



状



态



每一组信号均由红、黄、绿三盏灯组成。

正常情况下，任何时刻必有一盏且只有一盏灯点亮；

5种故障状态时，要求发出故障信号，以提醒维修人员去修理。

# 练习5：设计一个监视交通信号灯工作状态的逻辑电路

R, Y, G灯亮为1, 不亮为 0

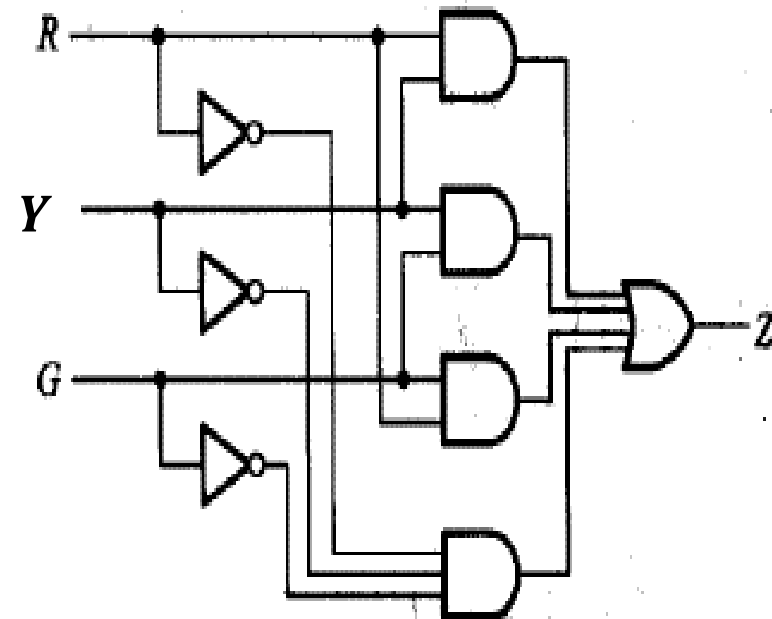
正常时 Z=0 , 故障时Z=1

正常状态



R	Y	G	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$Z = \overline{R}\overline{Y}\overline{G} + RY + RG + YG$$





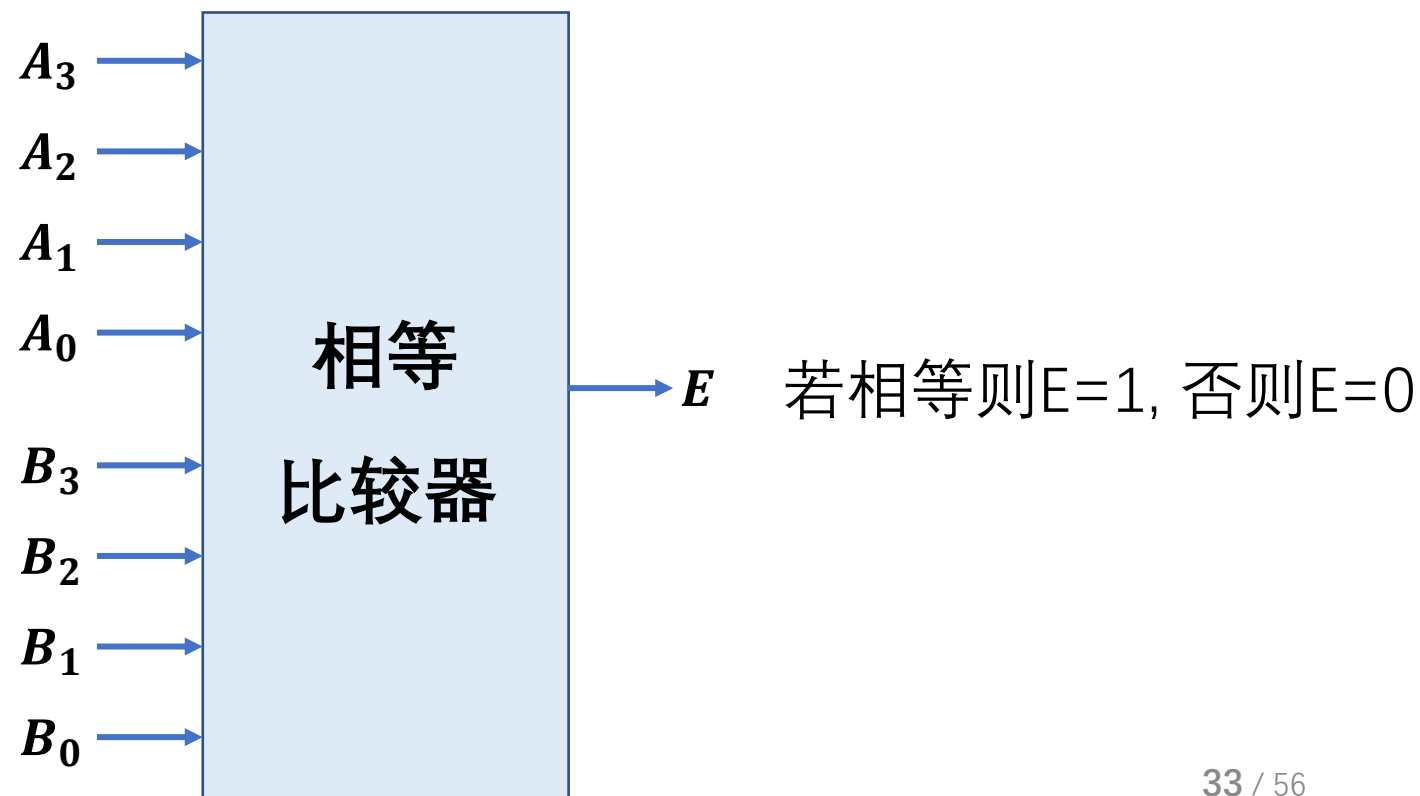
# 分层设计 Hierarchical design

为了处理复杂电路，电路被分成多个简单模块(Block)，  
模块之间相互连接构成复杂电路。

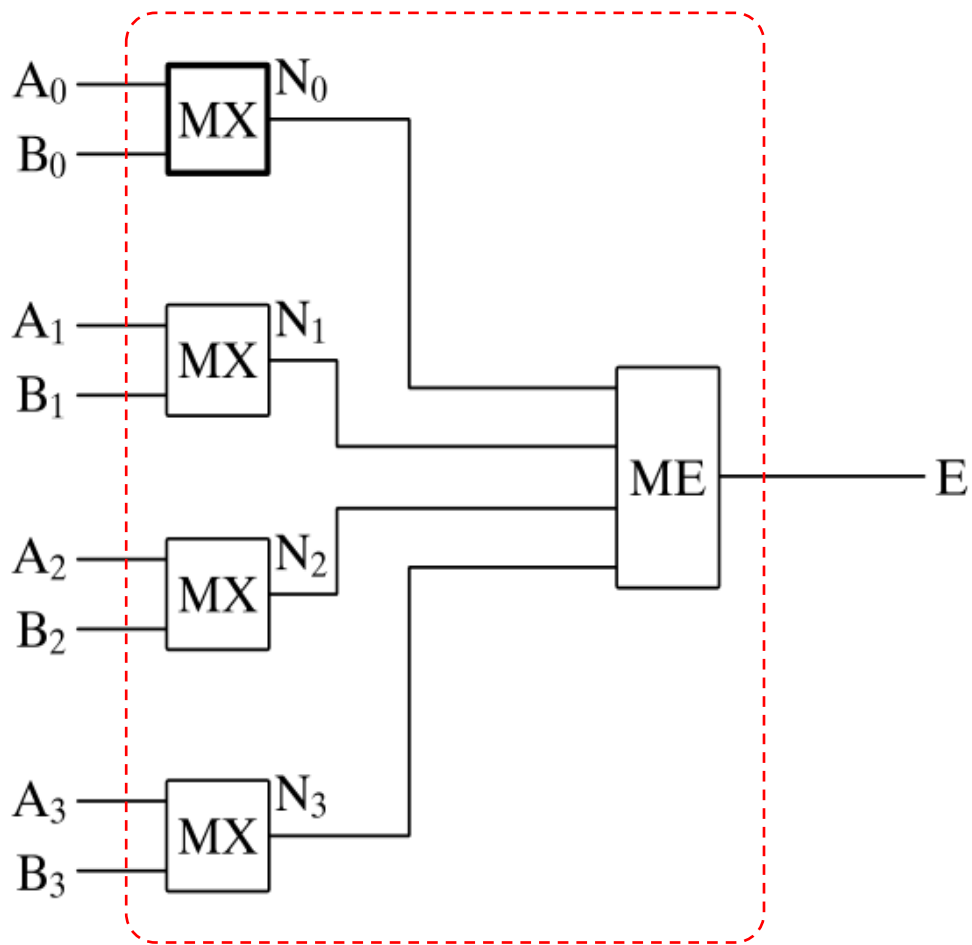
## 【例12】

设计一个4位相等比较器

若采用真值表，  
8输入需要256行！



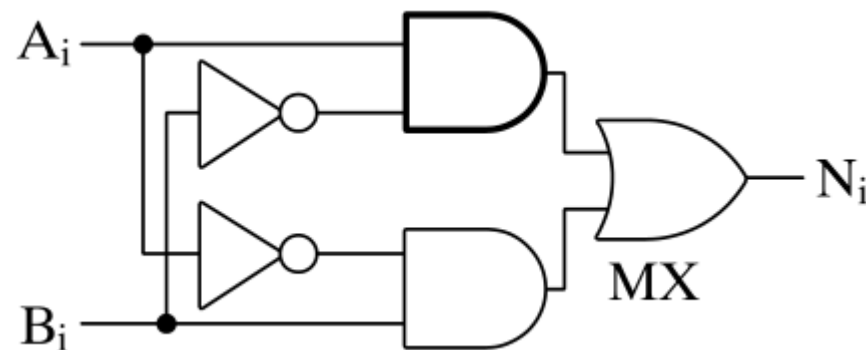
## 【例12】设计一个4位相等比较器



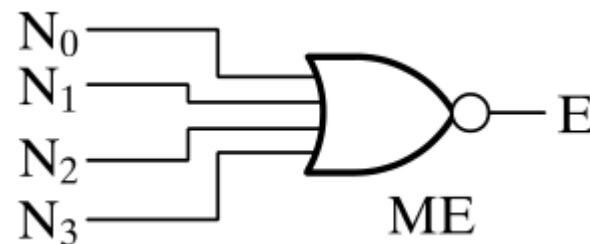
**MX:** 一位比较电路

**ME:** 合并4个比较的电路

对于位置  $i$ , 当  $A_i$  和  $B_i$  相等时, MX 输出  $N_i=0$ , 否则  $N_i=1$ 。故  $N_i = \bar{A}_i B_i + A_i \bar{B}_i$

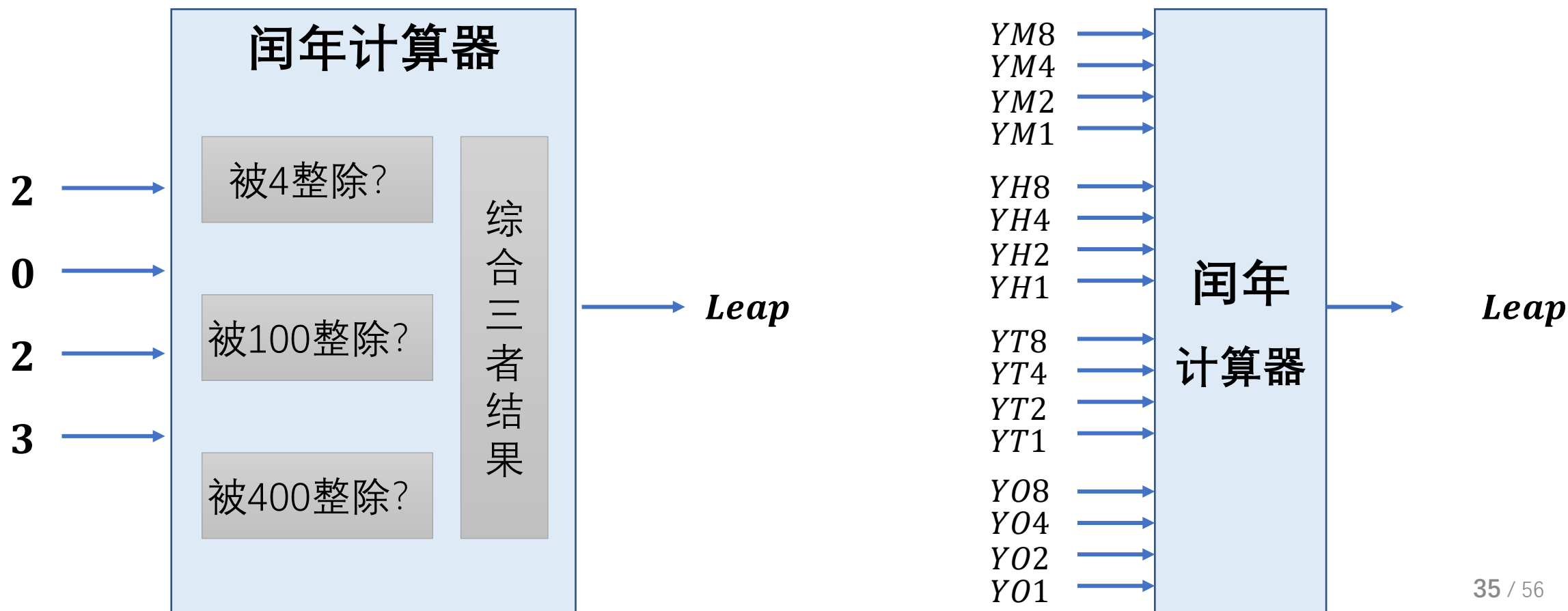


当  $N_i$  全部为 0 时,  $E = 1$   $E = \overline{N_0 + N_1 + N_2 + N_3}$

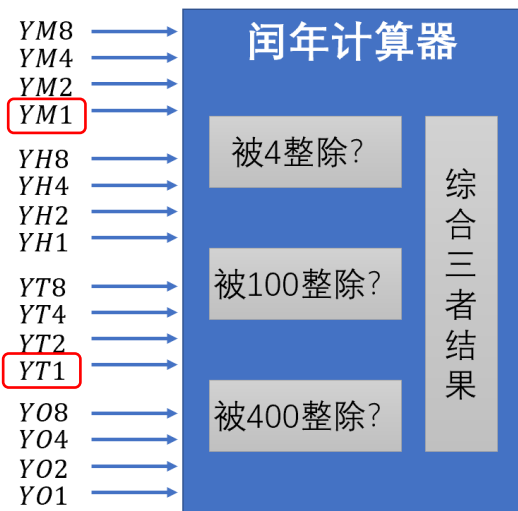


## 【例13】闰年(1582~9999)计算器

- 1) 非整百年：能被4整除的为闰年。（如2004年就是闰年,2001年不是闰年）
- 2) 整百年：能被400整除的是闰年。（如2000年是闰年，1900年不是闰年）



# 【例13】 闰年(1582~9999) 计算器



**被4整除：** 若十位( $YT_1=0$ )为偶数，个位=0或4或8，如，20、24、28、40…  
 若十位( $YT_1=1$ )为奇数，个位=2或6，如，12、16、32、36…

$$D_4 = \overline{YT_1}(\overline{YO_8} \cdot \overline{YO_4} \cdot \overline{YO_2} \cdot \overline{YO_1} + \overline{YO_8} \cdot YO_4 \cdot \overline{YO_2} \cdot \overline{YO_1} + YO_8 \cdot \overline{YO_4} \cdot \overline{YO_2} \cdot \overline{YO_1}) \\ + YT_1(\overline{YO_8} \cdot \overline{YO_4} \cdot YO_2 \cdot \overline{YO_1} + \overline{YO_8} \cdot YO_4 \cdot YO_2 \cdot \overline{YO_1})$$

因数字10(A)~15(F)不会出现  
 利用无关项进一步化简为：

$$D_4 = \overline{YT_1} \cdot \overline{YO_2} \cdot \overline{YO_1} + YT_1 \cdot YO_2 \cdot \overline{YO_1}$$

**被100整除：** 后两位十进制数是否为0

$$D_{100} = \overline{YT_8} \cdot \overline{YT_4} \cdot \overline{YT_2} \cdot \overline{YT_1} \cdot \overline{YO_8} \cdot \overline{YO_4} \cdot \overline{YO_2} \cdot \overline{YO_1}$$

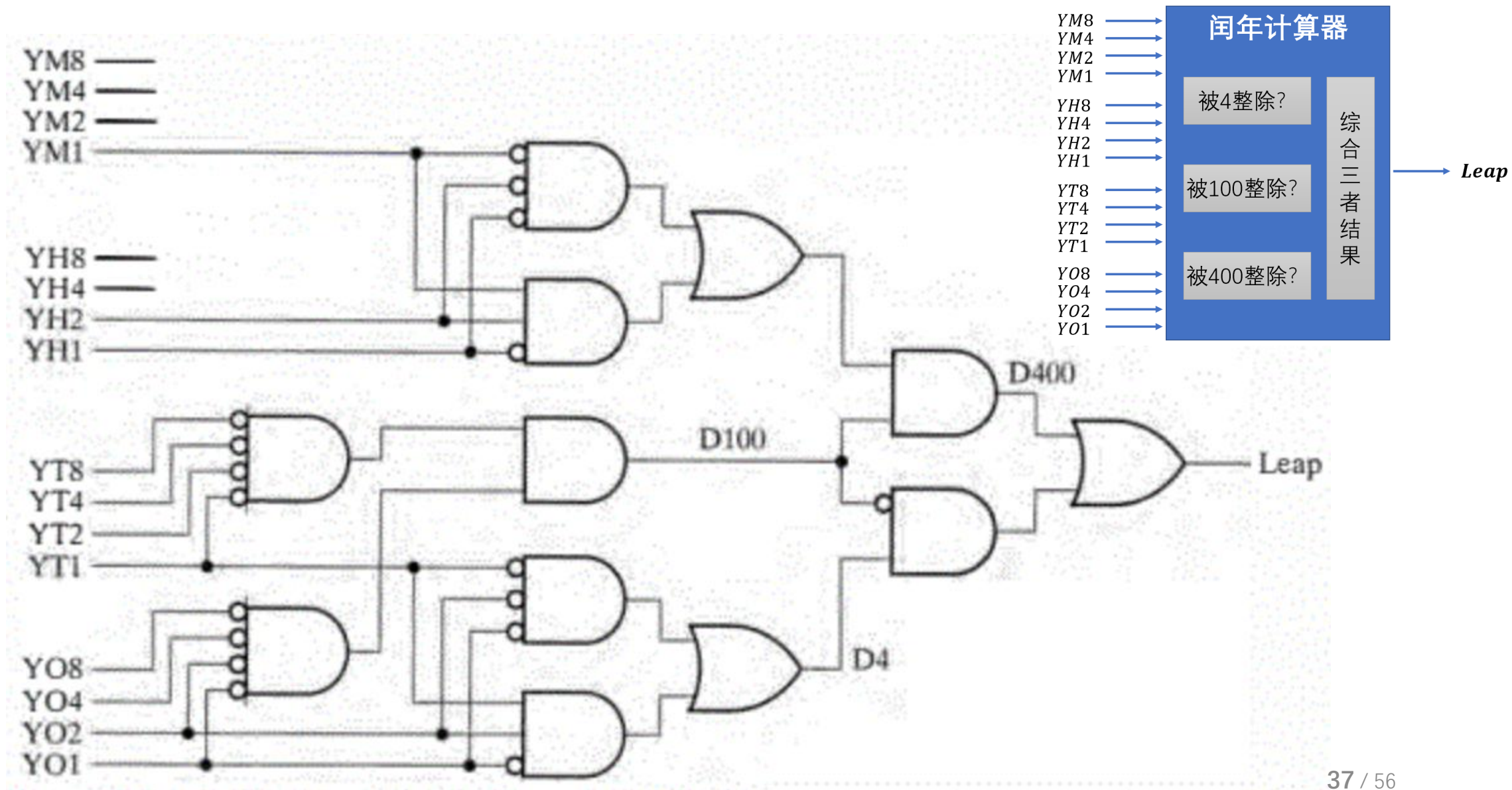
**被400整除：** 能被100整除且高2位能被4整除

$$D_{400} = D_{100}(\overline{YM_1} \cdot \overline{YH_2} \cdot \overline{YH_1} + YM_1 \cdot YH_2 \cdot \overline{YH_1})$$

综合判断：

$$leap = D_4 \cdot \overline{D_{100}} + D_{400}$$

# 【例13】闰年(1582~9999)计算器



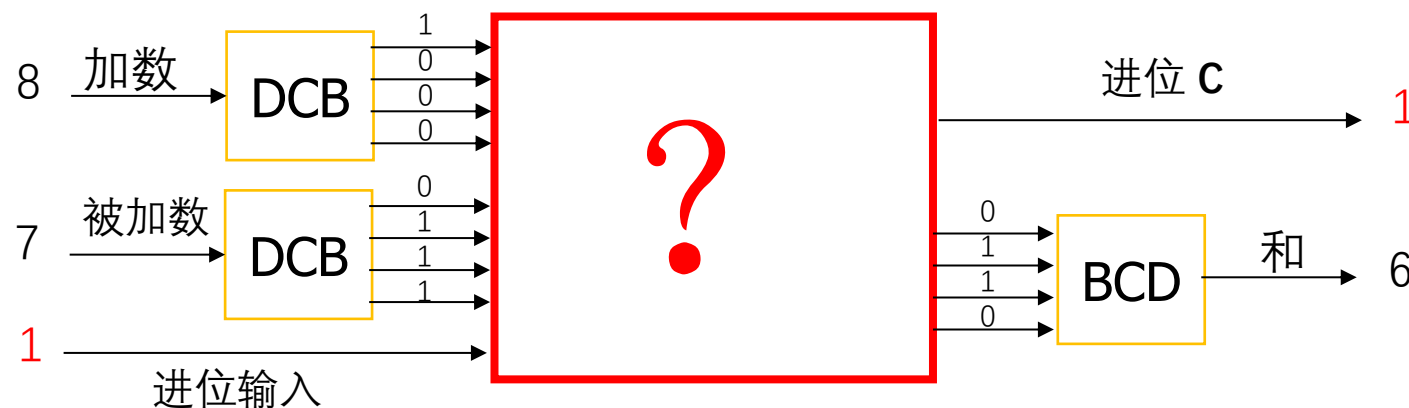
# 【例14】 1位十进制加法器

- 输入：9 bits
  - A: 4位二进制数 (加数)
  - B: 4位二进制数 (被加数)
  - $C_{in}$ : 1位二进制数 (进位)
- 输出：5 bits
  - S: 4位二进制数 (和)
  - $C_{out}$ : 1位二进制数 (进位)

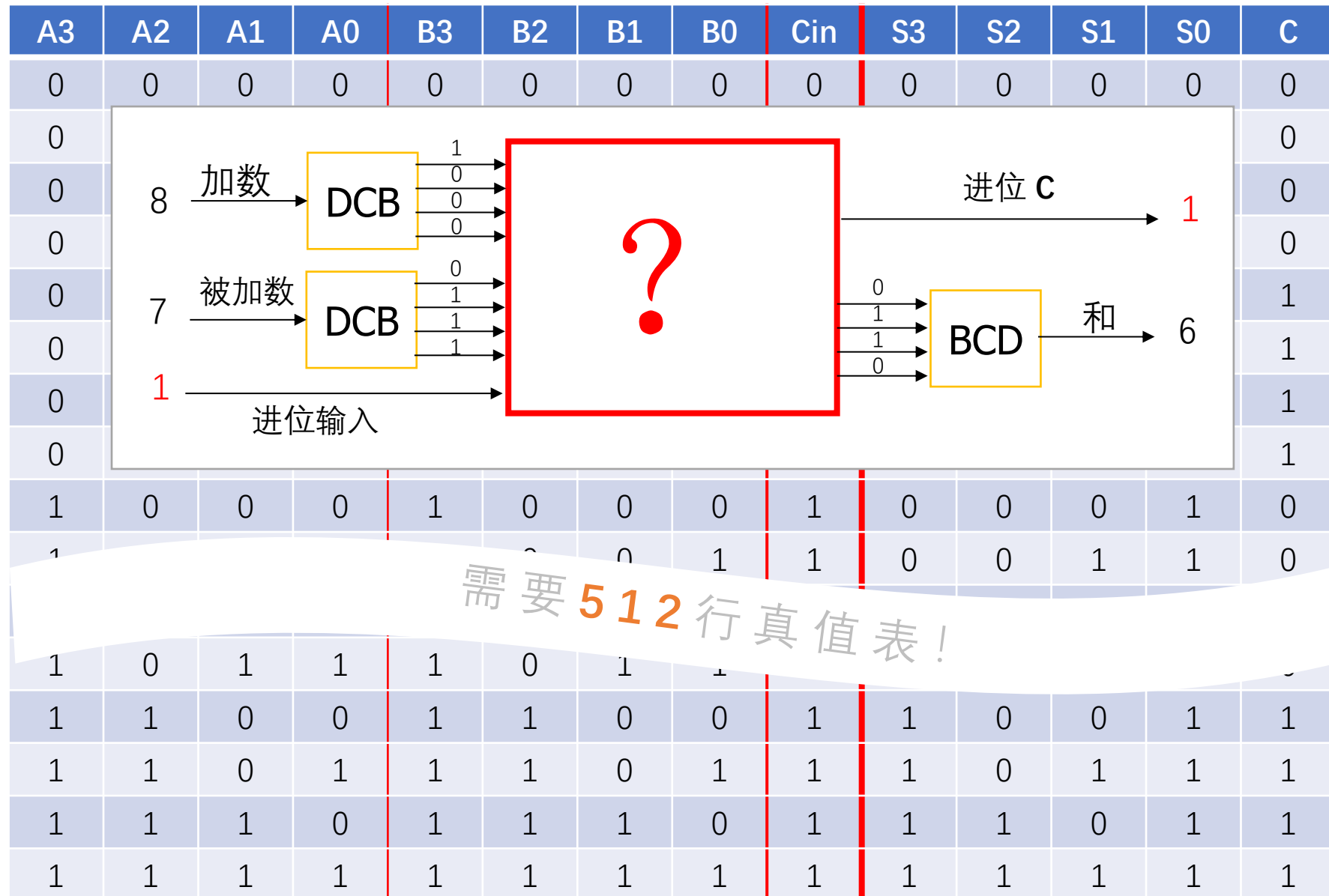
$$\begin{array}{r} 87 \\ + 1 \\ \hline 88 \end{array}$$

采用8421 BCD码表示十进制数

$$\begin{array}{r} 1000 \\ 0111 \\ + 0001 \\ \hline 10000 \end{array}$$

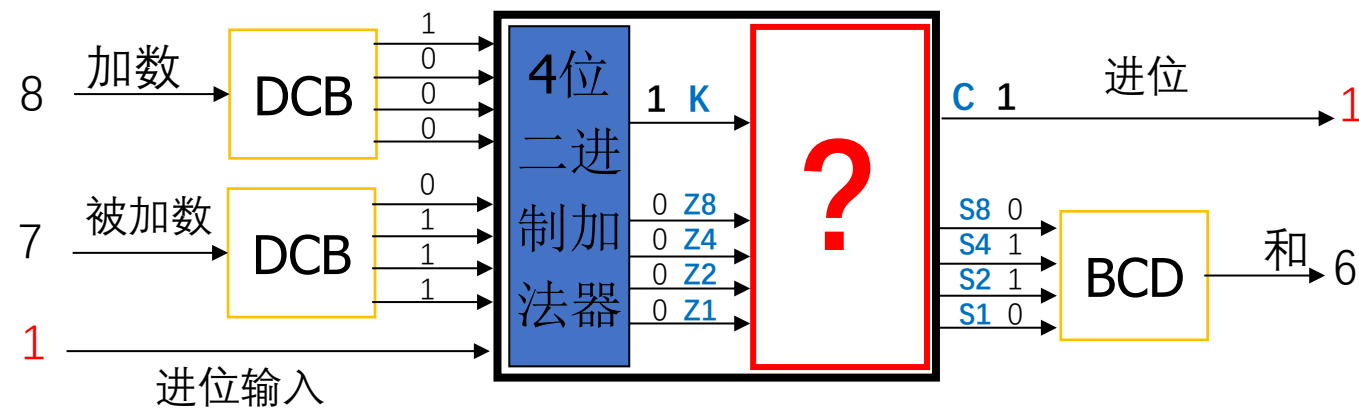


# 【例14】 1位十进制加法器



# 【例14】

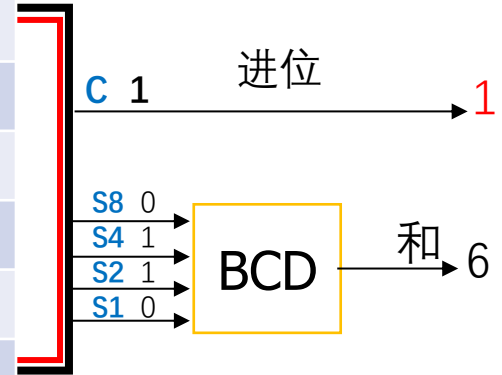
$$\begin{array}{r}
 1000 \\
 0111 \\
 + \quad 1 \\
 \hline
 10000
 \end{array}$$





# 【例14】

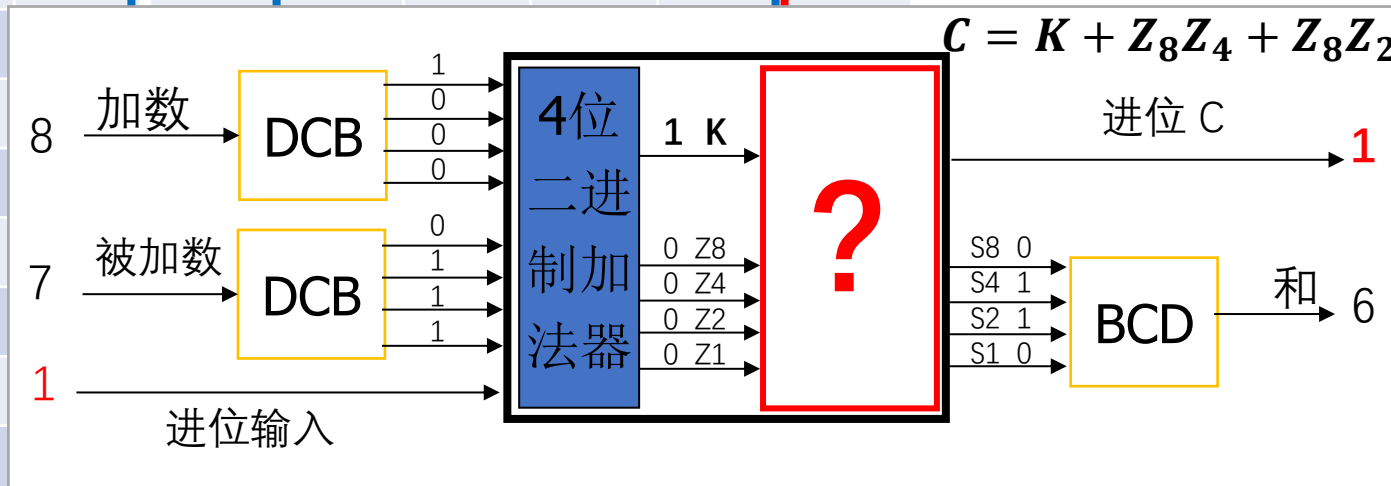
K	Z8	Z4	Z2	Z1	C	S8	S4	S2	S1	十进制
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1	3
0	0	1	0	0	0	0	1	0	0	4
0	0	1	0	1	0	0	1	0	1	5
0	0	1	1	0	0	0	1	1	0	6
0	0	1	1	1	0	0	1	1	1	7
0	1	0	0	0	0	1	0	0	0	8
0	1	0	0	1	0	1	0	0	1	9
0	1	0	1	0	1	0	0	0	0	10
0	1	0	1	1	1	0	0	0	1	11
0	1	1	0	0	1	0	0	1	0	12
0	1	1	0	1	1	0	0	1	1	13
0	1	1	1	0	1	0	1	0	0	14
0	1	1	1	1	1	0	1	0	1	15
1	0	0	0	0	1	0	1	1	0	16
1	0	0	0	1	1	0	1	1	1	17
1	0	0	1	0	1	1	0	0	0	18
1	0	0	1	1	1	1	0	0	1	19



$$\begin{array}{r}
 \boxed{\phantom{0000}} \\
 + 0110 \\
 \hline
 \boxed{\phantom{0000}}
 \end{array}$$

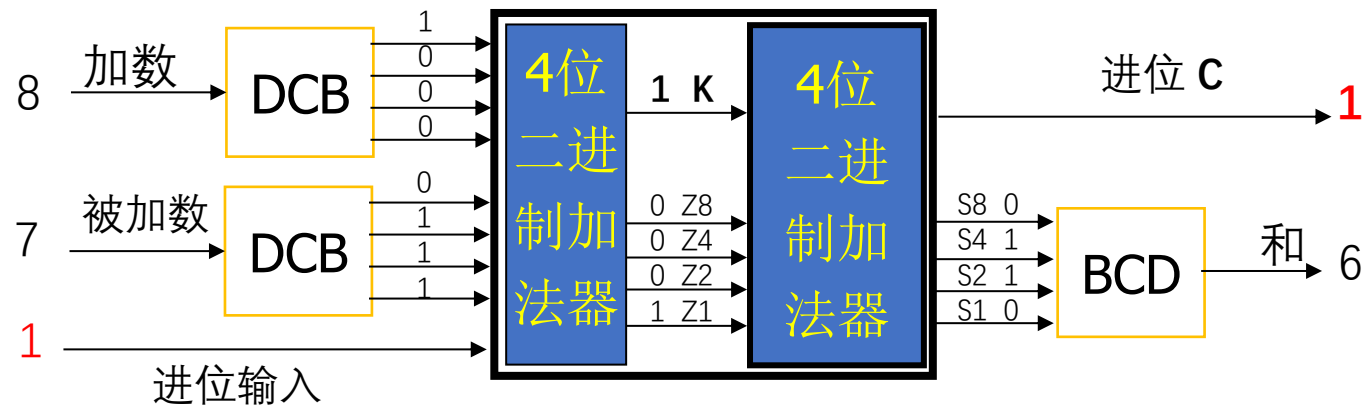
# 【例14】

K	Z8	Z4	Z2	Z1	C	S8	S4	S2	S1	+
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1	1



0	1	0	0	1	0	1	0	0	1	9
0	1	0	1	0	1	0	0	0	0	10
0	1	0	1	1	1	0	0	0	1	11
0	1	1	0	0	1	0	0	1	0	12
0	1	1	0	1	1	0	0	1	1	13
0	1	1	1	0	1	0	1	0	0	14
0	1	1	1	1	1	0	1	0	1	15
1	0	0	0	0	1	0	1	1	0	16
1	0	0	0	1	1	0	1	1	1	17
1	0	0	1	0	1	1	0	0	0	18
1	0	0	1	1	1	1	0	0	1	19

$$\boxed{Z} + 0110 = \boxed{S}$$

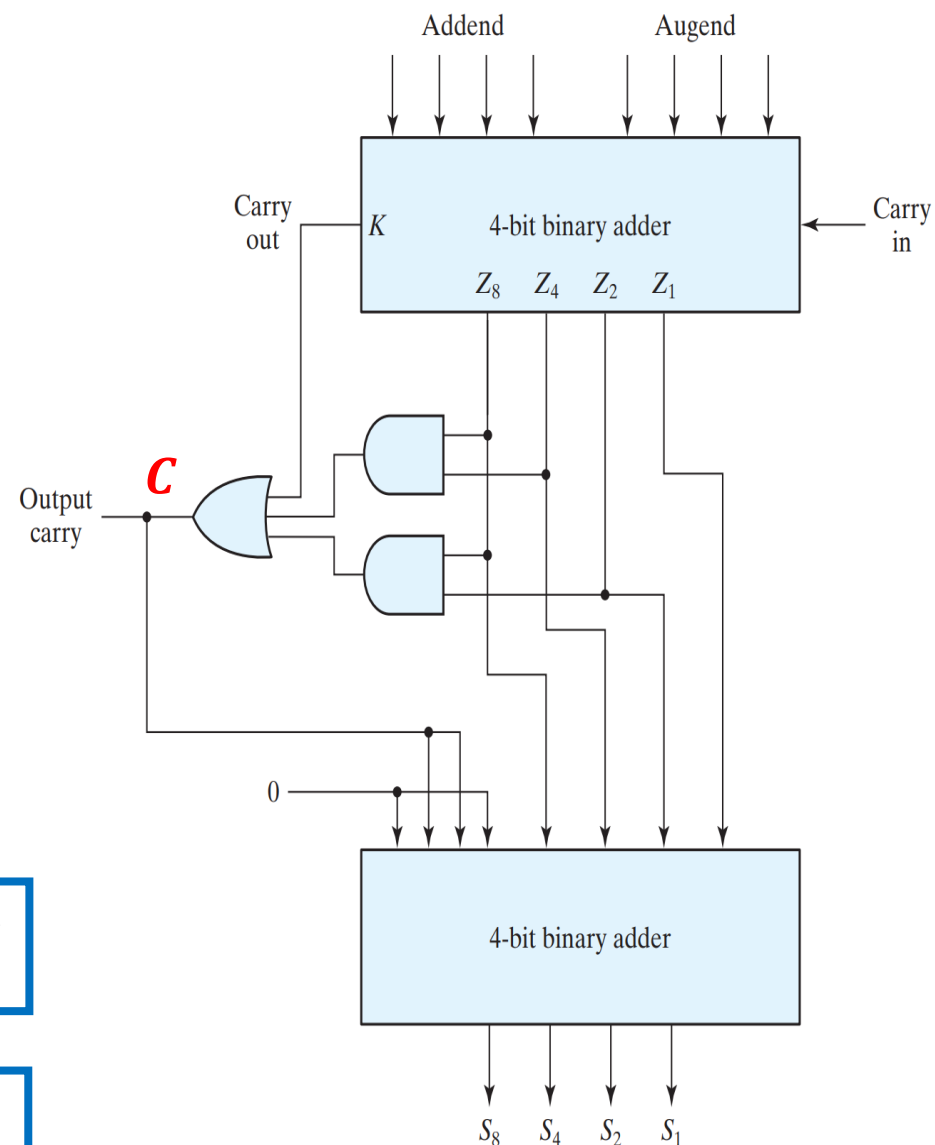


$$C = K + Z_8Z_4 + Z_8Z_2$$

## 【例14】逻辑图

$$C = 0 \text{ 时 } \boxed{Z} = \boxed{S}$$

$$C = 1 \text{ 时 } \boxed{Z} + 0110 = \boxed{S}$$

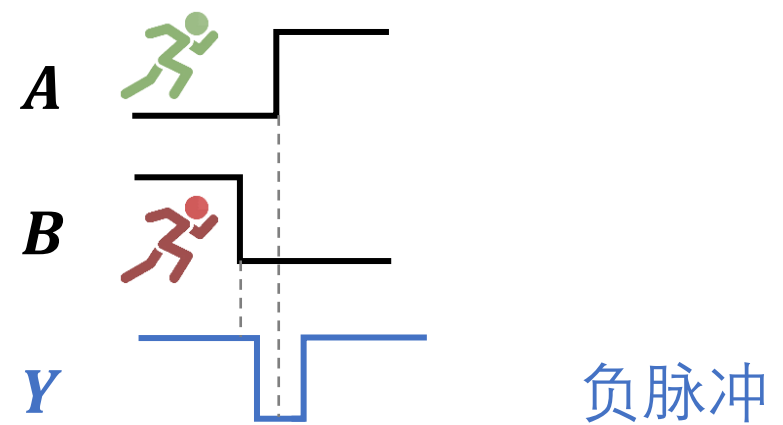
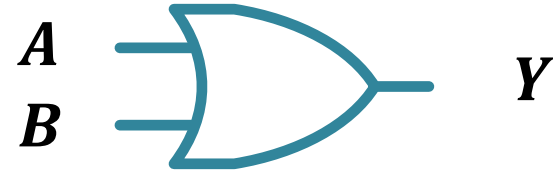
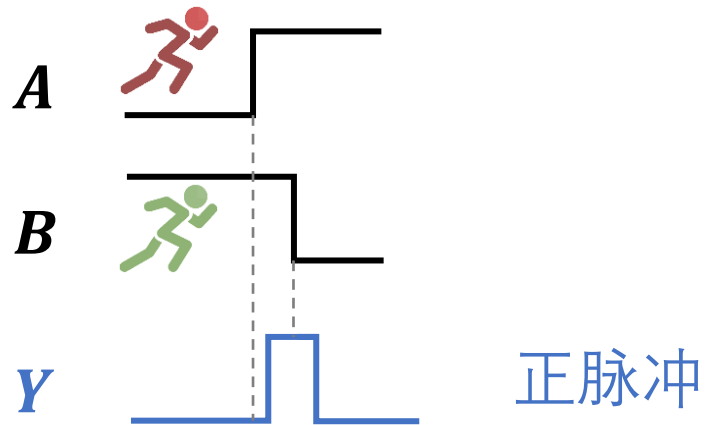
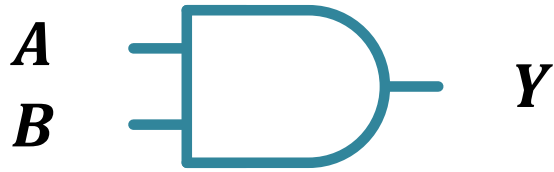


4

# 竞争、冒险

电路在信号电平变化**瞬间**，可能出现与稳态下逻辑功能不一致、产生**错误输出**

# 竞争、冒险 实例



- **竞争**：当一个逻辑门的两个输入端信号同时(但有时间差异)反向变化。
- **冒险**：由竞争而可能产生输出干扰脉冲的现象。
  - 临界竞争：导致错误输出
  - 非临界竞争：不产生错误输出

# 延迟

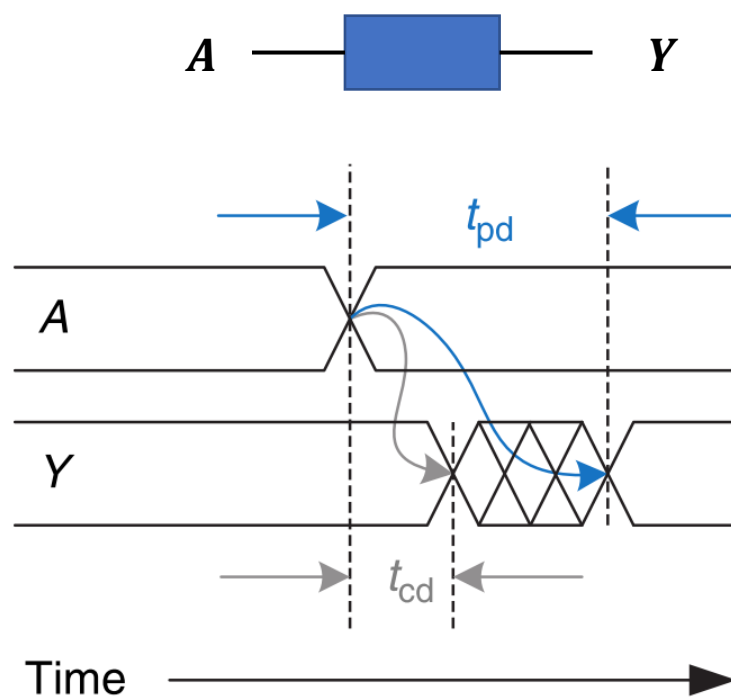
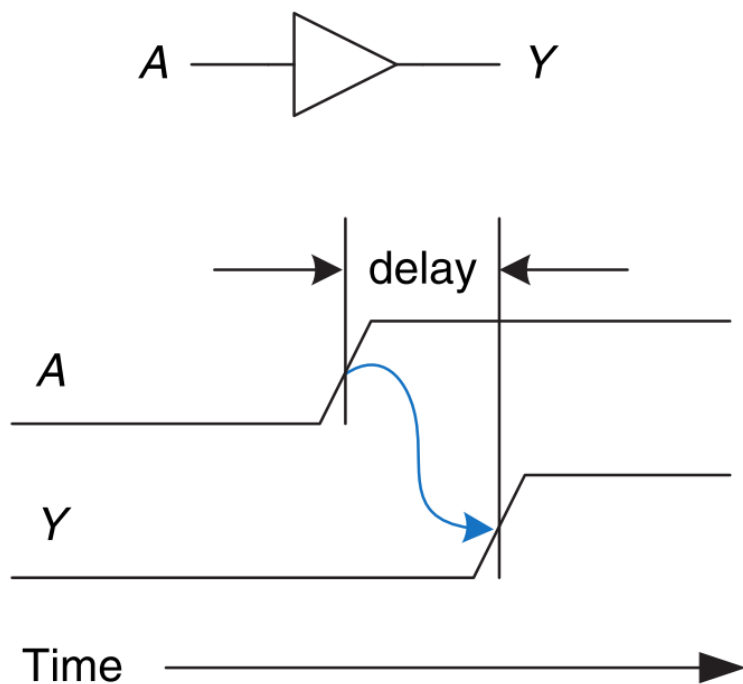
- 信号在器件内部通过连线和逻辑单元时，都有一定的延迟。
- “器件延迟”：经过门电路等器件产生的延时；  
“路径延迟”：在门电路等器件间的传输线上产生的延时。
- 此外，延时还受器件的工艺、工作电压、温度等条件的影响。
- 同时，信号的高低电平转换也需要一定的过渡时间。

延迟对数字系统是一个有害的因素：

- × 使系统速度下降
- × 引起电路中信号波形变坏
- × 产生竞争冒险

**传播延迟：** 当输入改变直到一个或多个输出达到它们的最终值所经历的最长时间。

**最小延迟：** 当一个输入发生变化直到任何一个输出开始改变的最短时间。

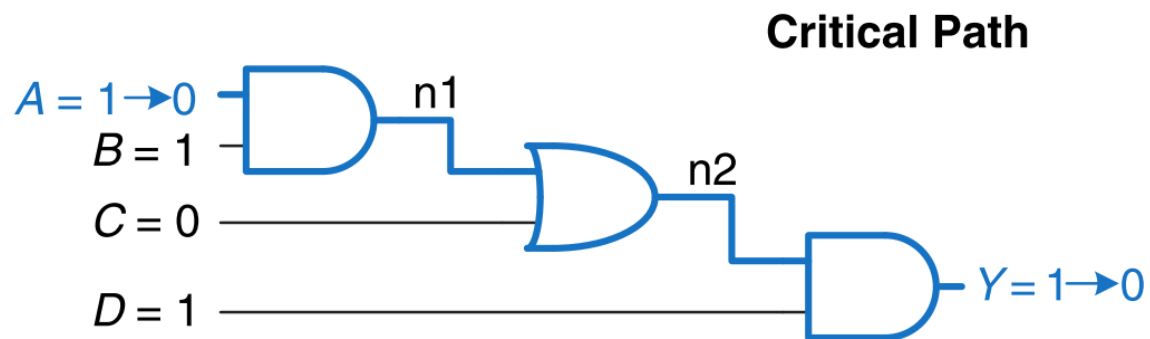


注意：

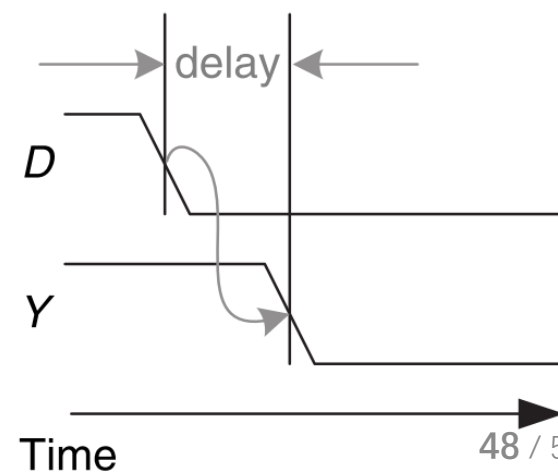
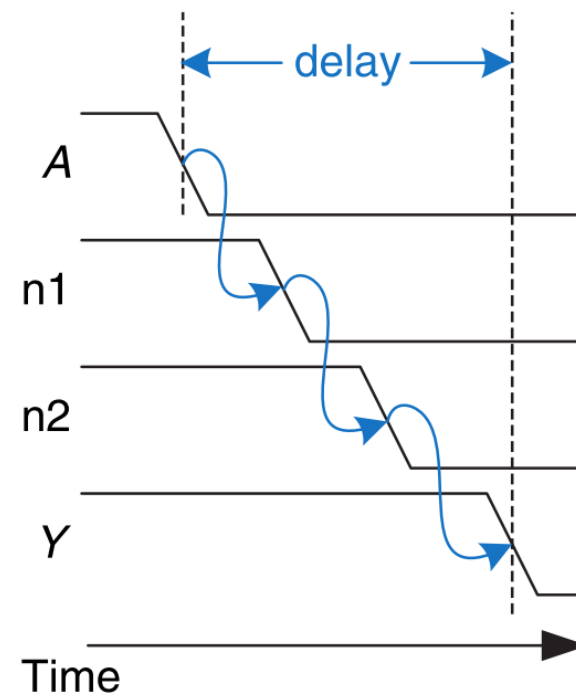
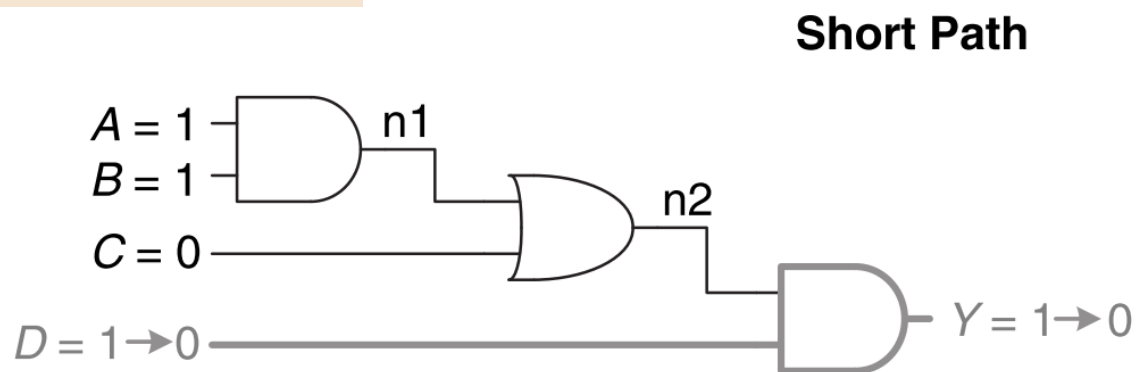
$t_{pd}$  和  $t_{cd}$  可能是不同的

电路中最长的一条路径

$$t_{pd} = 2t_{pd\_AND} + t_{pd\_OR}$$



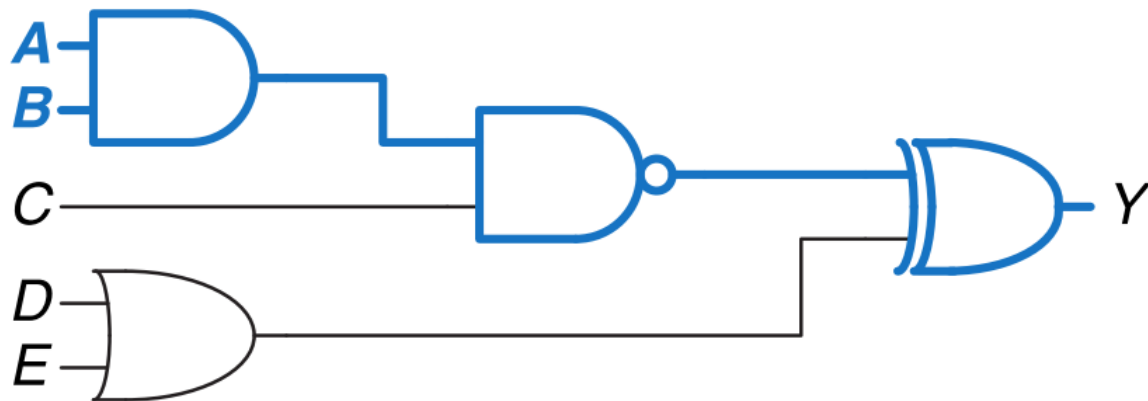
$$t_{cd} = t_{cd\_AND}$$





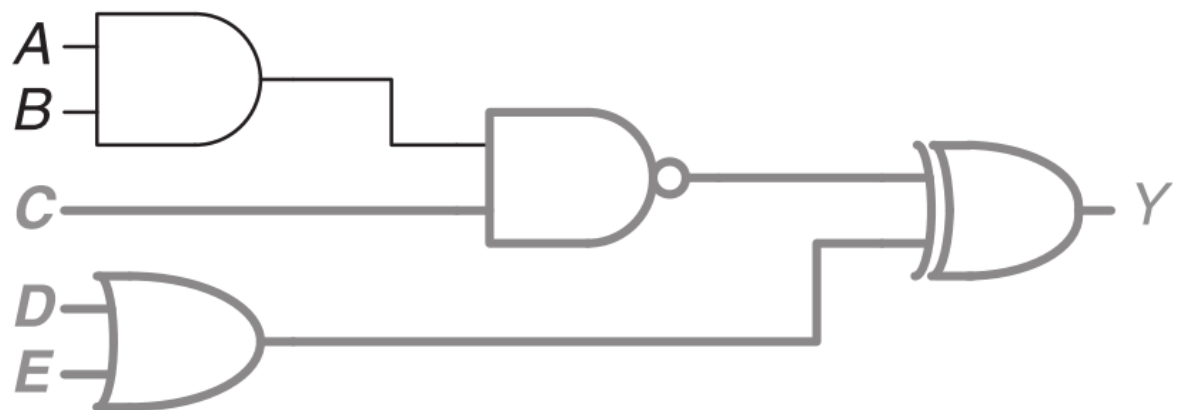
## 【例2.15】延迟计算

假设：每个门的传播延迟为100ps，最小延迟为60ps



传播延迟

$$t_{pd} = 300 \text{ ps}$$



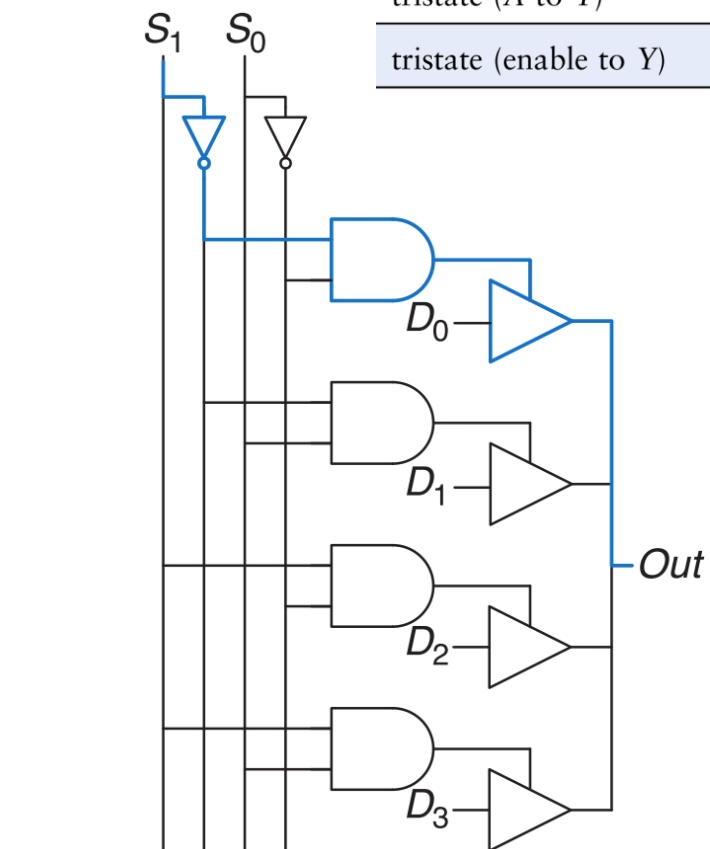
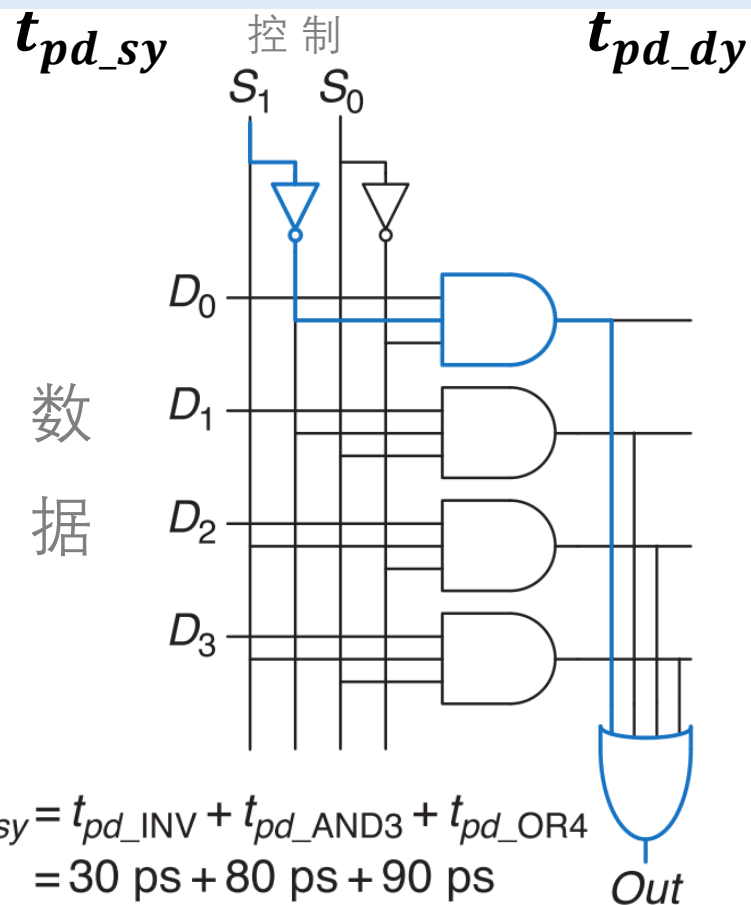
最小延迟

$$t_{cd} = 120 \text{ ps}$$

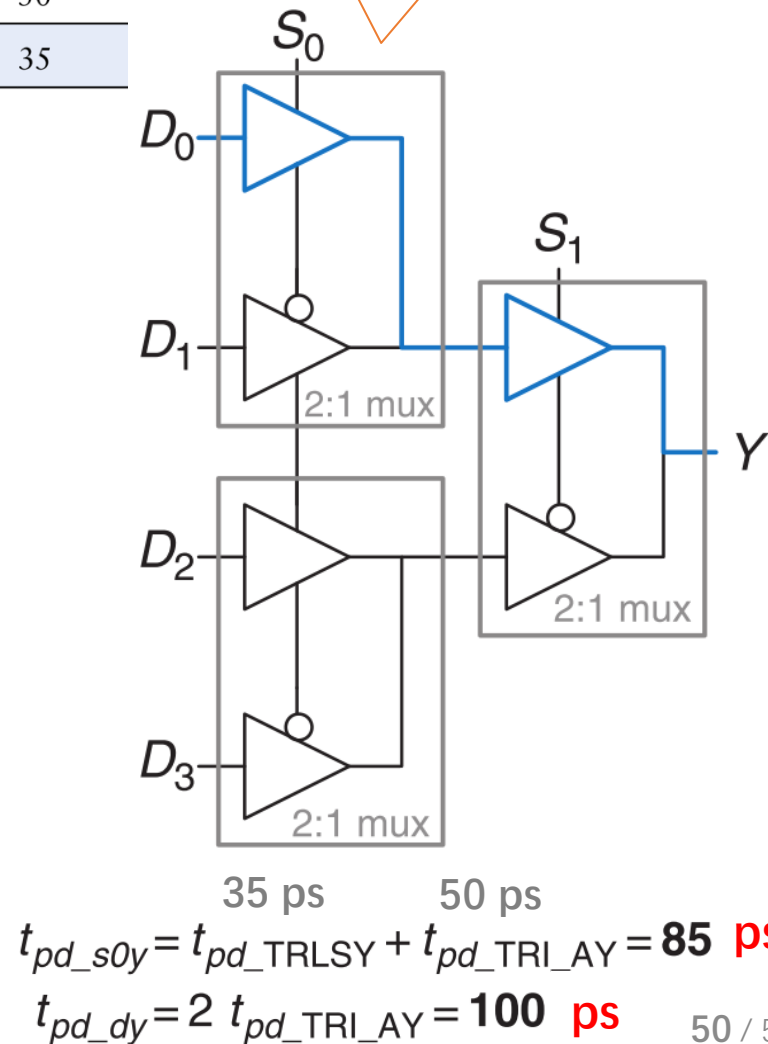
# 【例2.16】三种复用器的时序

## 控制关键路径、数据关键路径

Gate	$t_{pd}$ (ps)
NOT	30
2-input AND	60
3-input AND	80
4-input OR	90
tristate (A to Y)	50
tristate (enable to Y)	35



假设D先于S<sub>0</sub>准备好



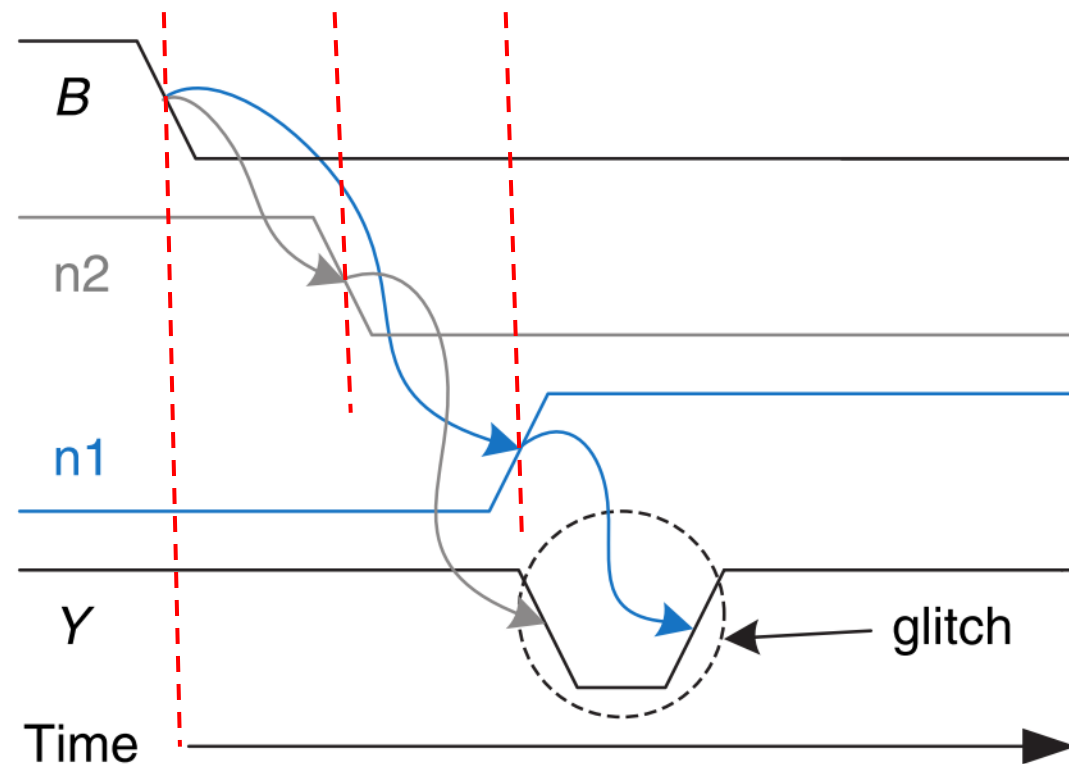
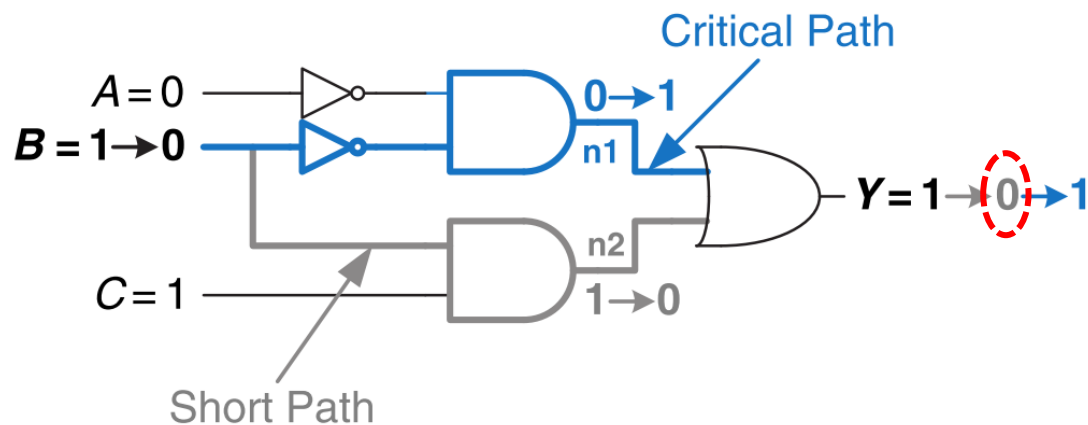
# 毛刺 (glitch)、冒险 (hazard)

**毛刺、冒险：** 输入信号的改变导致输出信号的异常改变。

毛刺通常不会导致什么问题， 因为输出最终将稳定在正确的值上。

因此大多数电路中都存在毛刺， 关键是意识到它的存在， 而不是去除它。

$$Y = \bar{A} \cdot \bar{B} + BC$$



# 冒险的判断：代数法、卡诺图法

## 代数法

- ① 检查表达式中是否存在具备竞争条件的变量：某变量 $X$ 同时有原变量和反变量。
- ② 若有变量 $X$ ，消去函数中其他变量，表达式是否会变为： $X + \bar{X}$  或  $X \cdot \bar{X}$
- ③ 若有，说明可能有冒险！

$$F = \bar{A}\bar{C} + \bar{A}B + AC$$

变量  $A$

$BC = 00$

$F = \bar{A}$

$BC = 01$

$F = A$

$BC = 10$

$F = \bar{A}$

$BC = 11$

$F = \bar{A} + A$

变量 $A$ 发生变化时，有冒险

变量  $C$

$AB = 00$

$F = \bar{C}$

$AB = 01$

$F = 1$

$AB = 10$

$F = C$

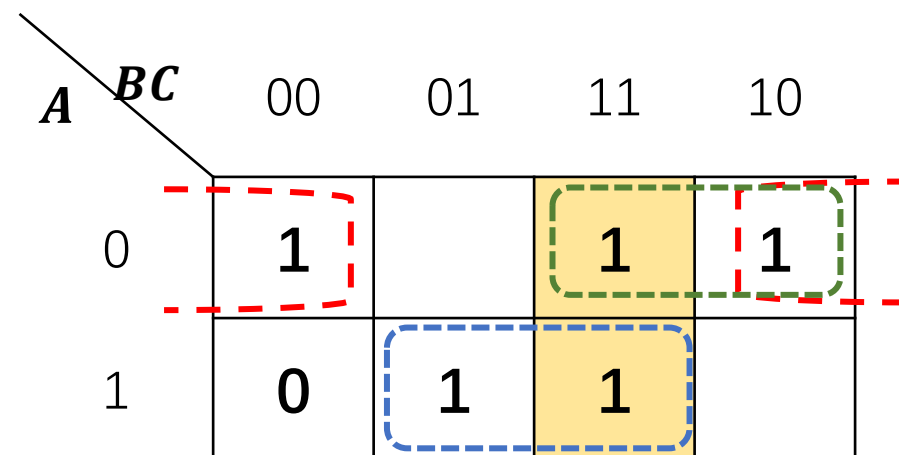
$AB = 11$

$F = C$

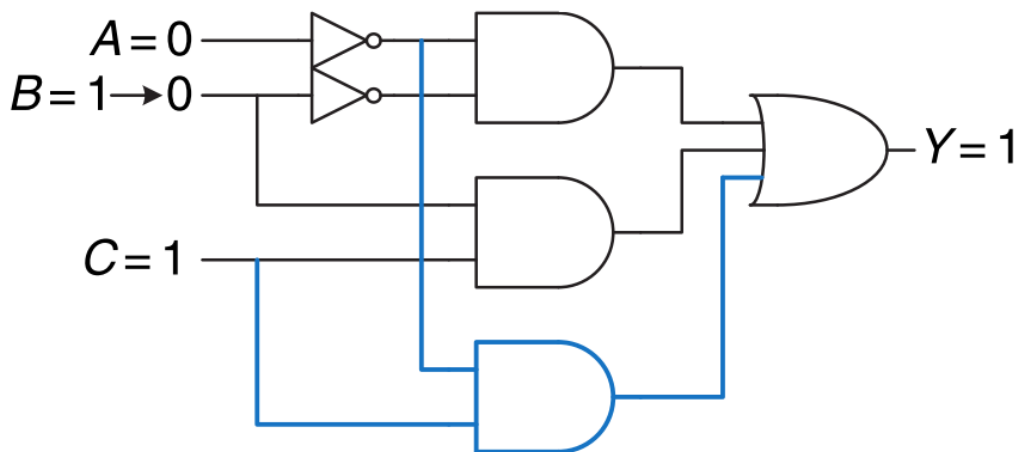
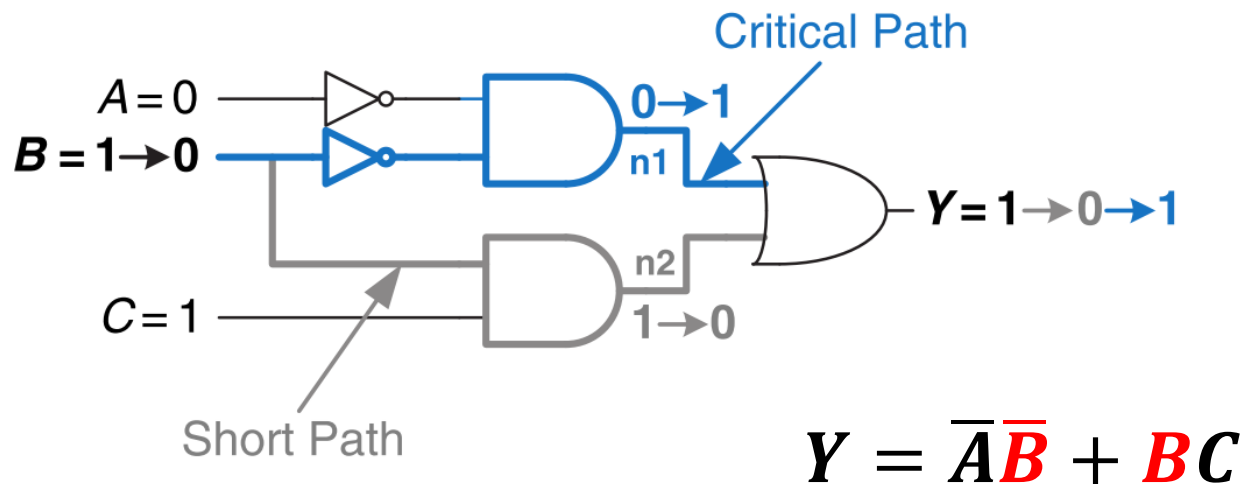
变量 $C$ 发生变化时，无冒险

## 卡诺图法

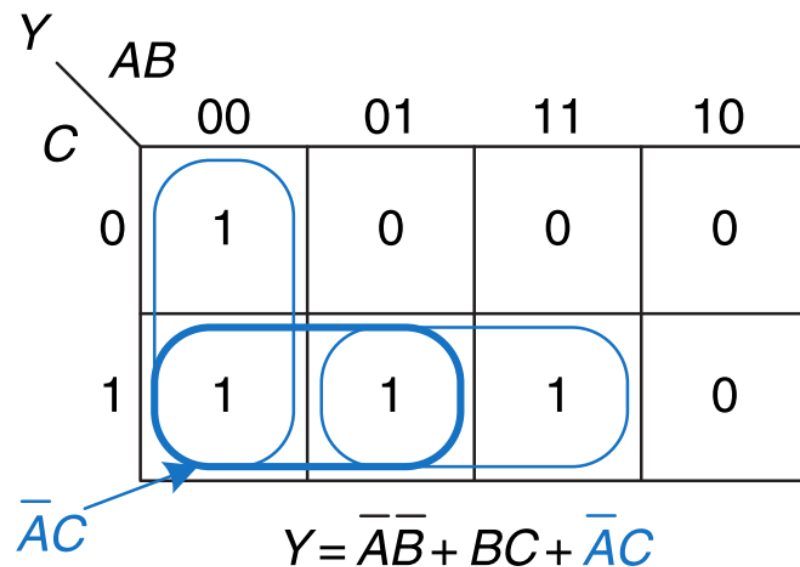
若卡诺圈之间存在“相切”关系，  
则可能有冒险。



# 消除竞争冒险方法1：增加冗余项



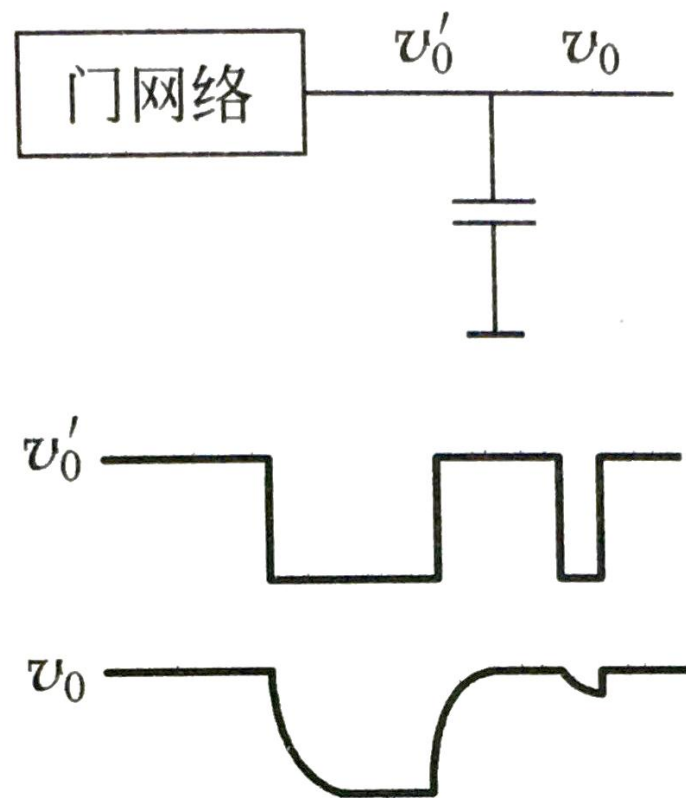
去除毛刺的电路



## 消除竞争冒险方法2：在输出端并联电容

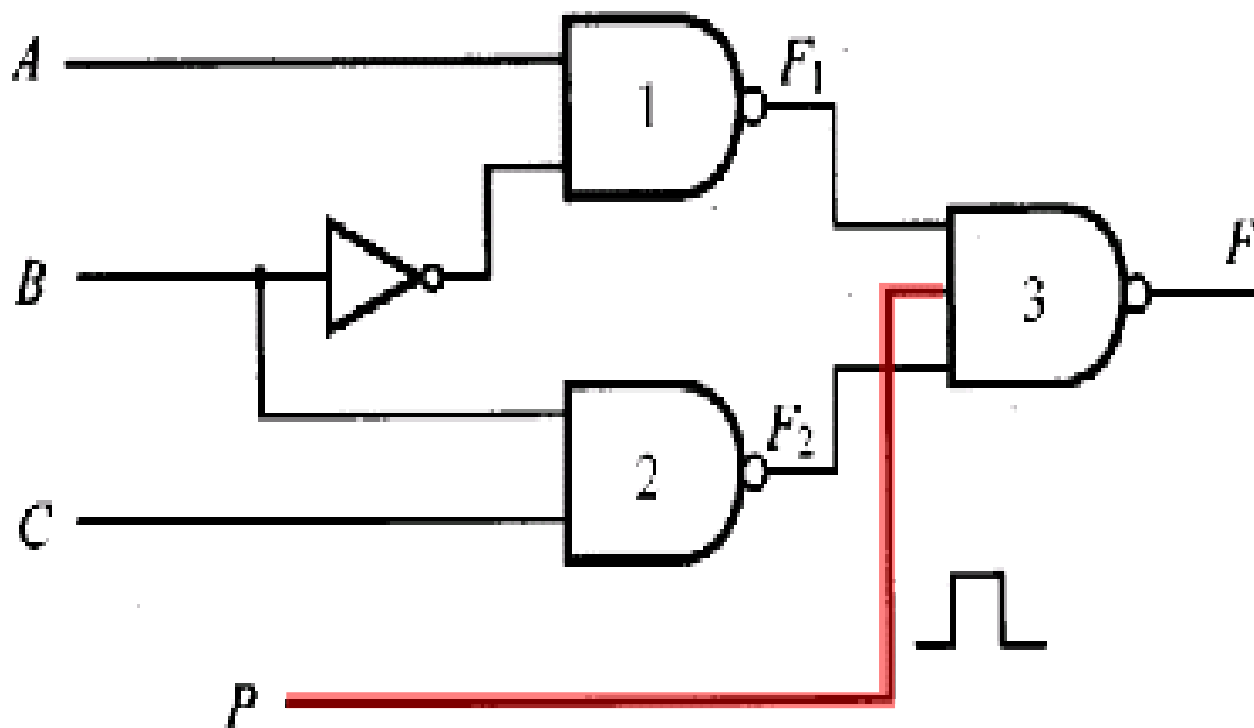
利用电容对电压变化的延迟特性，来滤掉宽度极窄的毛刺信号。

但，将使得输出波形的边沿加宽，降低了电路的速度。

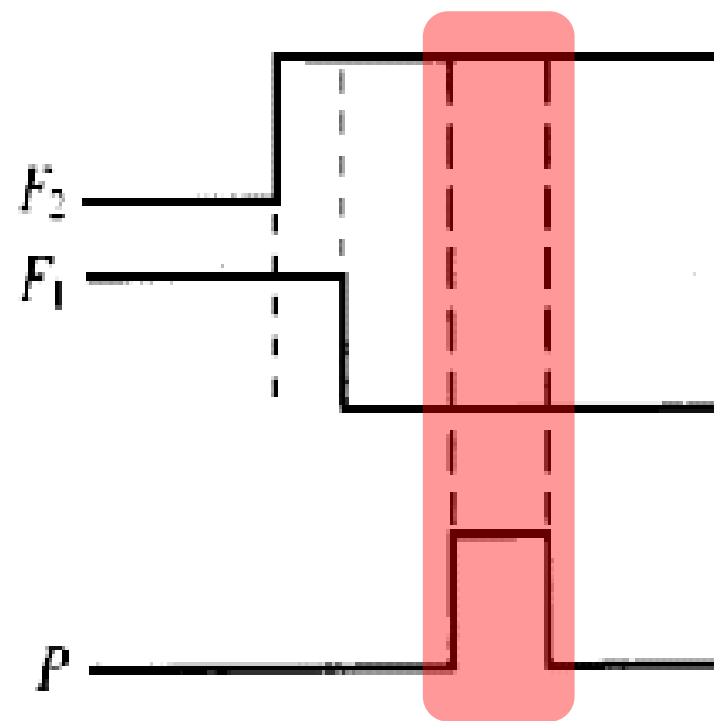


# 消除竞争冒险方法3：选通脉冲法

不增加任何器件，利用选通脉冲，从时间上加以控制，使输出避开险象。



(a) 组合逻辑电路



(b) 波形

# 小 结

- **组合逻辑电路**是由各种门电路组合而成的逻辑电路。

组合电路的输出只与当时的输入状态有关，而与电路过去的输入状态无关。

- **组合逻辑分析**：根据给定的逻辑电路图找出输出函数与输入变量之间的逻辑关系。
  - 写出整个电路的输出函数逻辑表达式；
  - 或进一步列出真值表。
- **组合逻辑设计**：根据逻辑功能的要求，得到实现该功能的最优逻辑电路。

工程上最优的逻辑设计，往往不能用一个或几个简单指标来描述，而要考虑应用的特殊要求。随着大规模集成电路的出现和成本的降低，追求最少门数将不再成为最优设计指标，而转为追求集成块数的减少。