



DISPOSITIVOS ELECTRÓNICOS

TRABAJO PRÁCTICO N°4

TRANSISTORES EFECTO DE CAMPO (JFET)

Objetivos: *El transistor de efecto de campo de juntura (JFET) es un dispositivo semiconductor de tres terminales: drenador (D), compuerta (G) y surtidor (S). Su estructura se compone de un canal semiconductor tipo N o P entre el drenador y el surtidor, junto con una juntura PN conectada a la compuerta. En este trabajo práctico se llevarán a cabo actividades diseñadas para demostrar el comportamiento del JFET en sus distintos modos de operación. Se propondrá una configuración específica del transistor mediante la cual se analizarán sus zonas de trabajo: corte, activa (o lineal) y saturación. La metodología contempla inicialmente el análisis teórico del comportamiento del JFET en función de su polarización, seguido por simulaciones que permitirán anticipar los resultados experimentales a medir durante la implementación en laboratorio. De manera simultánea, se analizarán y compararán datos técnicos (parámetros eléctricos) del JFET provistos en los datasheets de distintos fabricantes.*

Funciones: *Se debe asignar roles dentro del grupo y estos deben ir rotando entre los diferentes miembros del equipo en forma consecutiva en los diferentes Trabajos Prácticos de la Cátedra.*

Coordinador/a: *Será el encargado de organizar las tareas requeridas por cada TP. Además, debe ser quién lleve adelante la exposición y defensa del trabajo realizado en el coloquio oral frente al docente.*

Operadores/as: *Son las personas que llevarán adelante las actividades dirigidas por el coordinador. Además, estas personas son quienes proporcionarán información a quién esté asignado como responsable del registro de la actividad en el laboratorio.*

Documentación: *Esta función estará compuesta por uno o más estudiantes. Son los responsables de realizar la documentación final y formalizar las notas en laboratorio. Es recomendable que implemente una bitácora de las diferentes actividades/mediciones que se realizan en el laboratorio, principalmente es recomendable que se tome registro fotográfico de cada paso para su posterior presentación en el informe del TP.*

Rúbricas: La calificación será grupal y se aplicarán los criterios planteados en la siguiente tabla. Se especifica el porcentaje que comprende cada uno de los criterios de evaluación.

<i>Tarea</i>	<i>Puntuación</i>	<i>Máximo</i>
<i>Presentación del informe</i>		10 %
<i>Reconoce la física del JFET</i>		10 %
<i>Montaje de circuitos propuestos en laboratorio e interpretación de las curvas características del JFET</i>		20 %
<i>Simulación de circuitos propuestos e interpretación de las curvas características del JFET</i>		20 %
<i>Entiende los límites de operación del JFET e interpreta los parámetros de la hoja de datos</i>		10 %
<i>Defensa de las conclusiones</i>		30 %
Total		100 %

Introducción	3
Operación básica del JFET	3
Símbolos de los transistores JFET	5
Corriente de Saturación IDSS	6
Actividad de Simulación	6
Actividad de Laboratorio	6
Estrangulamiento del Canal VGS(off)	8
Actividad de Simulación	8
Actividad de Laboratorio	8
Característica de transferencia universal	10
Actividad de Simulación	10
Actividad de Laboratorio	10
Característica de salida del JFET	11
Actividad de Simulación	11
Actividad de Laboratorio	12
Conclusiones	13
Interpretación de las especificaciones del fabricante	14
Actividad	14
Bibliografía	14

Introducción

El JFET (transistor de efecto de campo de unión) es un tipo de FET que opera con una unión polarizada en inversa para controlar corriente en un canal. Según su estructura, los JFET caen dentro de cualquiera de dos categorías, de canal n o de canal p. **(Floyd 369)**.

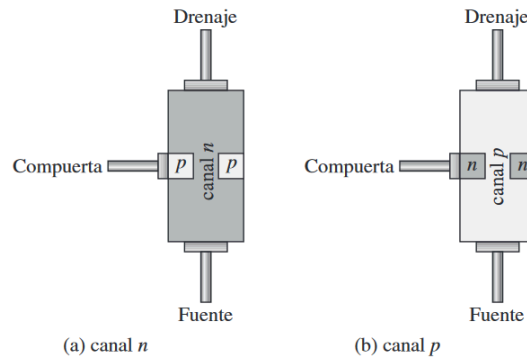
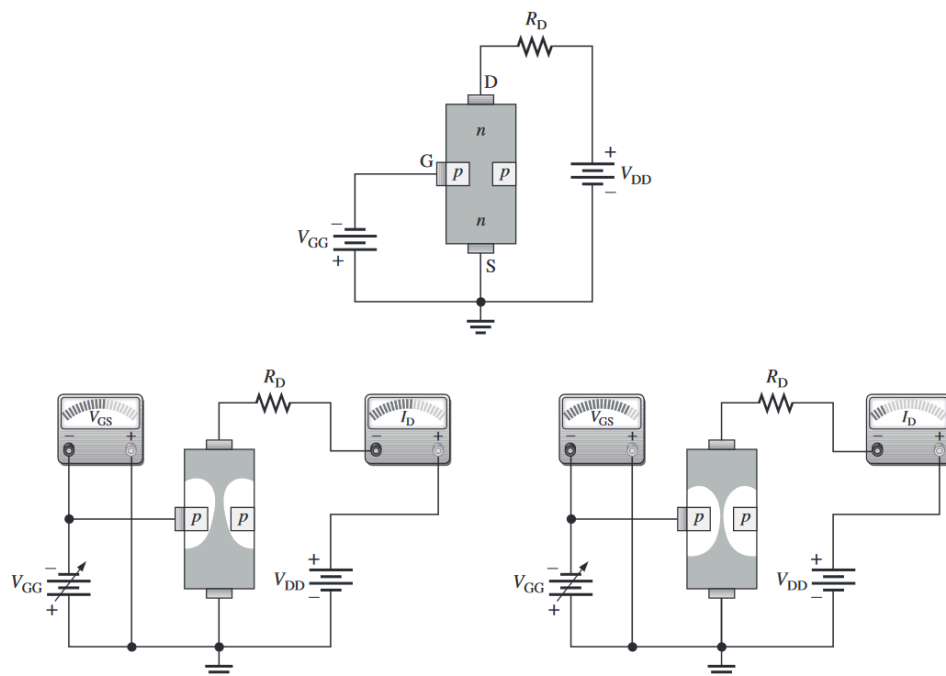


Figura 1: Representación de la estructura básica de los dos tipos de JFET.

Operación básica del JFET

Para ilustrar la operación de un JFET, la figura 2 muestra los voltajes de polarización de cd aplicados a un dispositivo de canal n. V_{DD} genera un voltaje entre el drenaje y la fuente y suministra corriente del drenaje a la fuente. V_{GG} establece el voltaje de polarización en inversa entre la compuerta y la fuente, como se muestra.



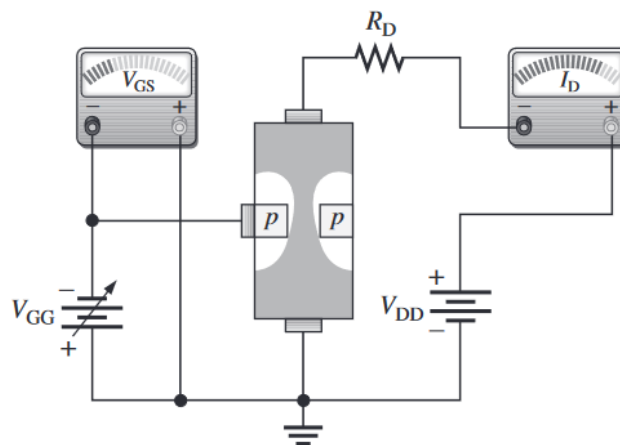
JFET polarizado para conducción

Con V_{GG} grande el canal se estrecha (entre las áreas blancas) lo cual incrementa la resistencia del canal y reduce la I_D .

Figura 2: JFET de canal n polarizado.

El JFET siempre opera con la unión de compuerta-fuente polarizada en inversa. La polarización en inversa de la unión de compuerta-fuente con voltaje negativo en la compuerta produce una región de empobrecimiento a lo largo de la unión pn, la cual se extiende hacia el canal n, y por lo tanto, incrementa su resistencia al restringir el ancho del canal.

El ancho del canal y, consecuentemente, su resistencia puede controlarse variando el voltaje en la compuerta, controlando de esa manera la cantidad de corriente en el drenaje, I_D . La Figura 3 ilustra este concepto. Las áreas blancas representan la región de empobrecimiento creada por la polarización en inversa, más ancha hacia el drenaje del canal porque el voltaje de polarización inversa entre la compuerta y el drenaje es más grande que la que hay entre la compuerta y la fuente. En la sección 2 se analizarán las curvas características y algunos parámetros importantes del JFET.



Con V_{GG} pequeño el canal se ensancha (entre las áreas blancas) lo cual reduce la resistencia del canal e incrementa la I_D .

Figura 3: Efectos de V_{GS} en el ancho del canal, la resistencia y la corriente en el drenaje ($V_G = V_{GS}$).

Símbolos de los transistores JFET

Los símbolos esquemáticos tanto para los JFET canal n como canal p se muestran en la Figura 4

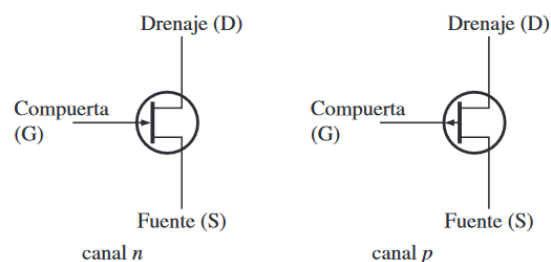


Figura 4: Esquemáticos de JFET

Corriente de Saturación I_{DSS}

Actividad de Simulación

Implemente el circuito de la *figura 5* en una plataforma de simulación (ejemplo LTSpice).

Para consultar el modelo spice del transistor usado puede buscarlo en el siguiente link

<https://ltwiki.org/index.php?title=Standard.jft>

Variar la fuente V1 de 0[V] a 15[V] en pasos de a 0,1[V], realizando en el software un barrido DC sweep **.dc V1 0 15 0.1**. Presente el esquema y el valor de corriente de saturación (I_{DSS})

en una gráfica $I_{DS} = f(V_{DS})$. Además, comparar dicho valor con el especificado en la hoja de datos proporcionada por el fabricante del transistor. Justifique si existe diferencia entre lo especificado y lo simulado.

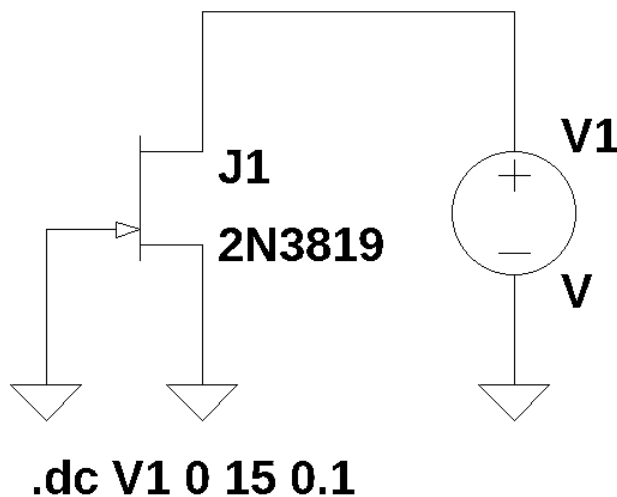


Figura 5: Circuito para simulación de la I_{DSS}

Actividad de Laboratorio

Instrumental y Materiales

- 1 voltímetro.
- 1 Amperímetro.
- 1 transistor JFET. (MPF 102, BF245, 2N3819)
- Resistencias varias.
- Fuente de alimentación.

$$a = 1 \quad b = 2$$

$$2,7658 \times 2 = 5.532$$

Procedimiento

Implemente el circuito de la *figura 6* en una protoboard. Luego variar la tensión V_{DS} de 0[V] hasta un valor tal que permita alcanzar el valor de la corriente de saturación (chequear en la hoja de datos del dispositivo para saber cuales son los valores máximos permitidos para

no exceder potencia máxima de disipación) y completar la tabla siguiente teniendo en cuenta que los valores de V_{DS} van a variar dependiendo del dispositivo usado para la experiencia. Con dichos valores realizar una gráfica de $I_{DS} = f(V_{DS})$, comparar con lo simulado anteriormente y además contrastar con valor con el especificado en la hoja de datos proporcionada por el fabricante del transistor.

V_{DD}	V_{DS} [V]	I_{DS} [mA]
0	0	0
5,96	1	1
7,72	2	1,77
9,46	3	1,31
10,93	4	1,42
12,43	5	1,52
13,89	6	1,62
15,43	7	1,72
16,77	8	1,81
18,3	9	1,91
19,7	10	2,09
21,2	11	2,08
22,26	12	2,18
24,2	13	2,3
25,8	14	2,41
27,7	15	2,61

Tabla 1: Valores representativos de $I_{DS} = f(V_{DS})$

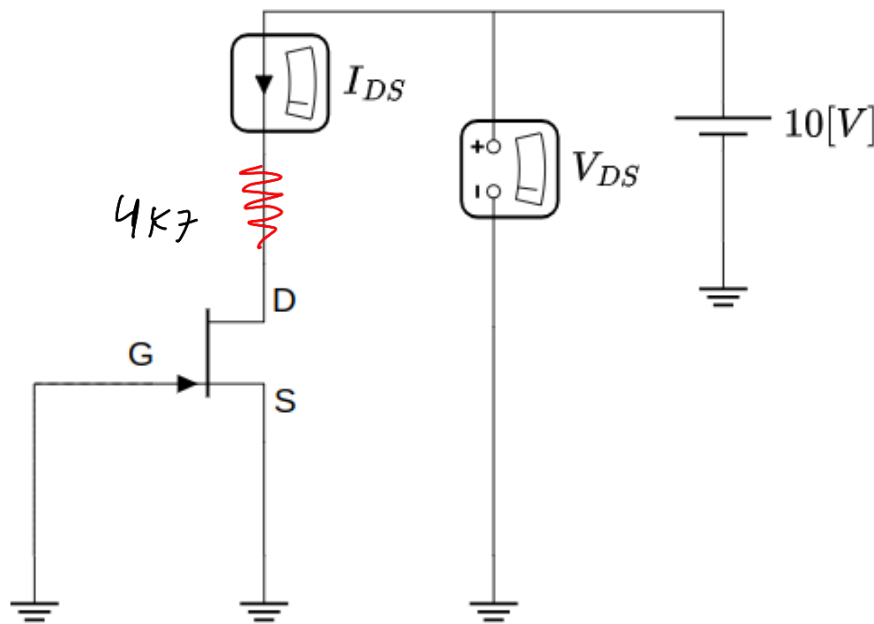


Figura 6: Circuito para implementar en laboratorio y medir la I_{DSS}

Estrangulamiento del Canal $V_{GS(off)}$

Actividad de Simulación

Implemente el circuito de la *figura 7* en una plataforma de simulación (ejemplo LTSpice). Para consultar el modelo spice del transistor usado puede buscarlo en el siguiente link <https://ltwiki.org/index.php?title=Standard.jft>

Variar la fuente V1 por ejemplo de 0[V] a 7[V] en pasos de a 0.1[V], realizando en el software un barrido DC sweep **.dc V1 0 7 0.1**. Tenga en cuenta que el valor de stop del barrido dependerá del transistor usado (chequear datasheet).

Presente el esquema y el valor de la tensión $V_{GS(off)}$ en una gráfica $I_{DS} = f(V_{DS})$. Además,

comparar dicho valor con el especificado en la hoja de datos proporcionada por el fabricante del transistor. Justifique si existe diferencia entre lo especificado y lo simulado.

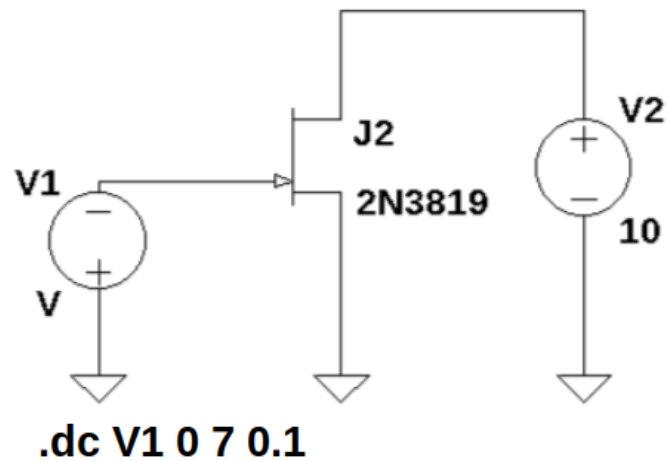


Figura 7: Circuito para simulación de la $V_{GS(off)}$

Actividad de Laboratorio

Instrumental y Materiales

- 1 voltímetro.
- 1 Amperímetro.
- 1 transistor JFET. (MPF102, BF245, 2N3819)
- Resistencias varias.
- Fuentes de alimentación.

Procedimiento

Implemente el circuito de la *figura 8* en una protoboard. Luego variar la tensión V_{GS} de 0[V] hasta el valor máximo para la tensión $V_{GS(off)}$ (chequear en la hoja de datos del dispositivo para saber cuales son los valores máximos permitidos) y completar tabla siguiente. Con dichos valores realizar una gráfica de $I_{DS} = f(V_{DS})$, comparar con lo simulado anteriormente y también con valor con el especificado en la hoja de datos proporcionada por el fabricante del transistor.

V_{DS}
10V

V_{GS}

 [V]	I_{DS} [mA]
- 0	1,54
- 0,1	0,98
- 0,2	0,32
- 0,3	0,03
- 0,4	0,003
- 0,5	
- 0,6	
- 0,7	
- 0,8	
- 0,9	
- 1	

Tabla 1: Valores de $I_{DS} = f(V_{DS})$

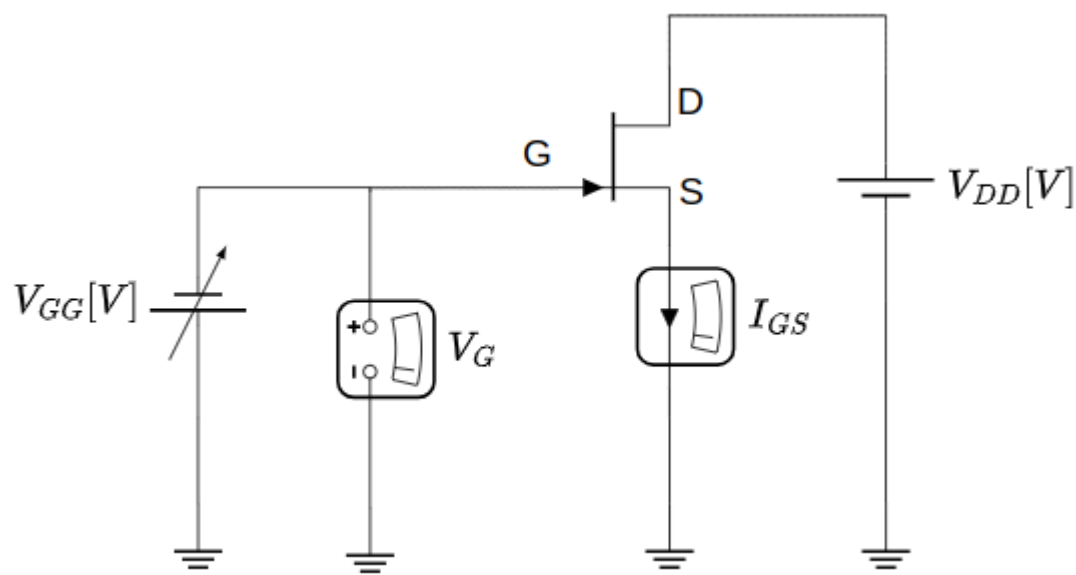


Figura 8: Circuito para medición de la $V_{GS(off)}$ en laboratorio.

Característica de transferencia universal

Actividad de Simulación

Implemente el circuito de la *figura 7* en una plataforma de simulación (ejemplo LTSpice).

Para consultar el modelo spice del transistor usado puede buscarlo en el siguiente link

<https://ltwiki.org/index.php?title=Standard.jft>

Variar la fuente V1 por ejemplo de 0[V] a 7[V] en pasos de a 1[V], realizando en el software un barrido DC sweep **.dc V1 0 7 1**. Tenga en cuenta que el valor de stop del barrido dependerá del transistor usado (chequear datasheet).

Presente el esquema y el valor de la tensión en una gráfica $I_{DS} = f(V_{GS})$ y chequear el valor antes calculado de $V_{GS(off)}$. Justifique si existe diferencia entre lo especificado en el datasheet y lo simulado.

Actividad de Laboratorio

Instrumental y Materiales

- 1 voltímetro.
- 1 Amperímetro.
- 1 transistor JFET. (MPF 102, BF245, 2N3819)
- Resistencias varias.
- Fuentes de alimentación.

Procedimiento

Implemente el circuito de la *figura 8* en una protoboard. Luego variar la tensión V_{GS} de 0[V] hasta 7[V], según tabla siguiente y completar la misma. Con dichos valores realizar una gráfica de $I_{DS} = f(V_{GS})$ y comparar con lo simulado anteriormente y también con lo especificado en la hoja de datos proporcionada por el fabricante del transistor.

Característica de salida del JFET

Actividad de Simulación

Implemente el circuito de la *figura 9* en una plataforma de simulación (ejemplo LTSpice).

Para consultar el modelo spice del transistor usado puede buscarlo en el siguiente link

<https://ltwiki.org/index.php?title=Standard.jft>

Varier la fuente V1 realizando en el software un barrido DC sweep **.dc V1 0 7 0.1**. También deberá variar la fuente V2 **.dc V2 0 7 0.1** (tenga que cuenta que los valores de stop del barrido van a variar acorde al los valores del datasheet del transistor usado). Presente el esquema en una gráfica donde se aprecien la familia de curvas $I_{DS} = f(V_{DS})$ para los distintos V_{GS} .

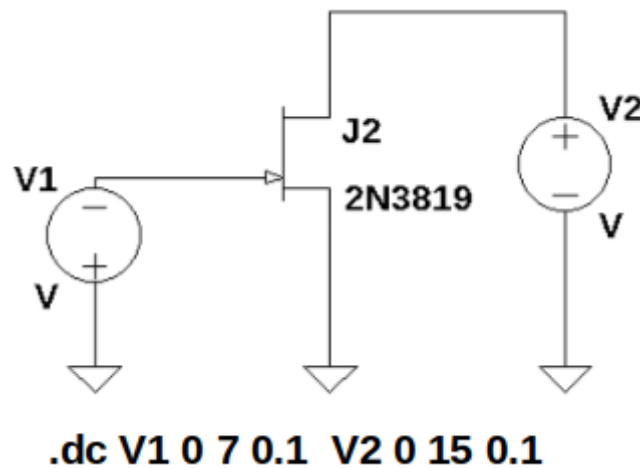


Figura 9: Circuito para simulación de la $I_{DS} = f(V_{DS})$ para distintos V_{GS}

Actividad de Laboratorio

Instrumental y Materiales

- 1 voltímetro.
- 1 Amperímetro.
- 1 transistor JFET. (MPF 102, BF245, 2N3819)
- Resistencias varias.
- Fuente de alimentación.

Procedimiento

Implemente el circuito de la *figura 10* en una protoboard. Dejando fijo un valor de V_{GS} , variar la tensión V_{DS} y medir los valores de I_{DS} . A continuación fijar otro valor de V_{GS} y medir nuevamente los valores de I_{DS} para diferentes valores de V_{DS} . Repetir este procedimiento para algunos valores de V_{GS} (para ello puede usar los valores propuestos en la tabla 2). Con dichos valores realizar una gráfica de $I_{DS} = f(V_{DS})$ para los distintos valores de V_{GS} y compare con lo simulado anteriormente.

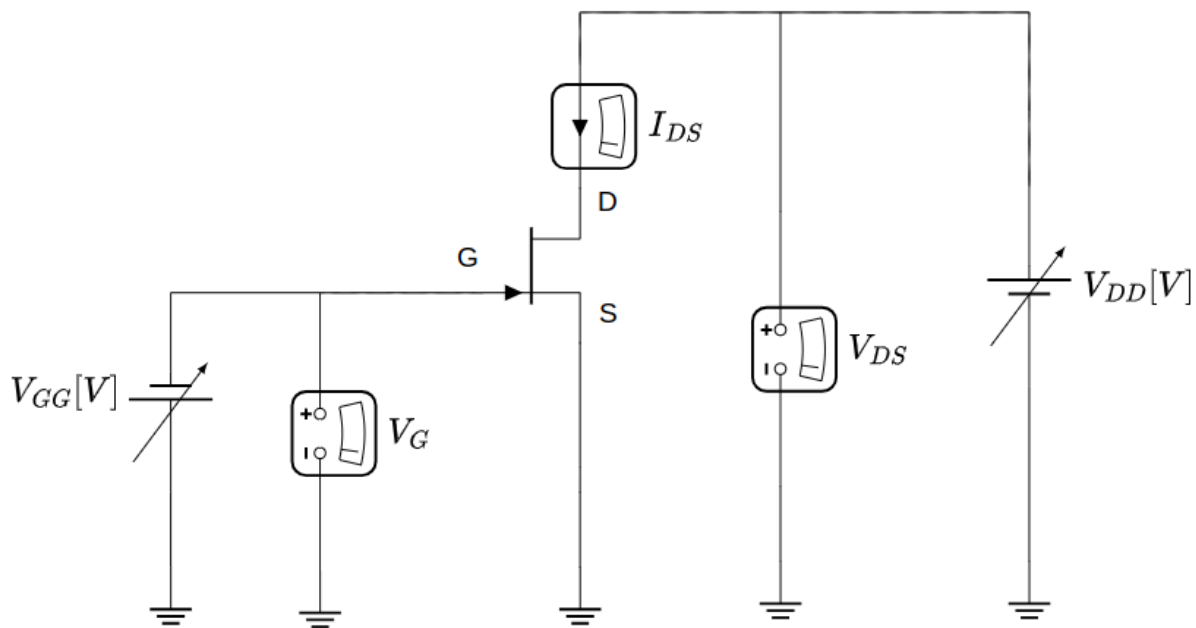


Figura 10: Circuito para medición de la $I_{DS} = f(V_{DS})$ para distintos V_{GS}

		- 0,1	- 0,2	- 0,3	
V_{GS} [V]	0	0	0	0	
V_{DS} [V]	I_{DS} [mA]	I_{DS} [mA]	I_{DS} [mA]	I_{DS} [mA]	μA
0	0	0	0	0	
1	0,84	0,32	0,05	2,6	
2	0,98	0,39	0,07	4,3	
3	1,10	0,46	0,09	6,1	
4	1,24	0,52	0,12	8,5	

5	1,31	0,57	0,137	10,1
6	1,39	0,62	0,155	12,3
7	1,47	0,67	0,172	15,5
8	1,59	0,73	0,196	18,3
9	1,64	0,77	0,211	21,5
10	1,72	0,83	0,212	25,5

Tabla 2: Valores para Graficar la $I_{DS} = f(V_{DS})$ para distintos V_{GS}

Conclusiones

Las conclusiones deben hacer referencia a los inconvenientes que se presentaron para la realización del trabajo práctico, los desafíos, los cálculos que se debieron realizar, criterios de medición que uso para cada caso.

En caso de tener gráficos o tablas analizar los resultados obtenidos, señalando los valores más notorios según lo aprendido en clases justificando dichos datos con la teoría que se aplica en cada caso.

Se recomienda tomar fotografías de todo lo que mejor crea usted ilustre lo realizado.

Interpretación de las especificaciones del fabricante

Objetivo: Interpretar y familiarizarse con los parámetros del transistor expresados en una datasheet.

Actividad

Los pasos a seguir para la realización de esta actividad son:

- Descargar en internet el datasheet del transistor usado

Definir el valor de:

Características eléctricas a 25°C (cápsula)

I_{DS}

V_{DS}

V_{GS}

P_t

V_{br}

$V_{GS(off)}$

Bibliografía

- Floyd, Thomas L. *Principles of Electric Circuits: Conventional Current Version*. Pearson Prentice Hall, 2007. Accessed 7 March 2024.
- Boylestad, R. L., & Nashelsky, L. (2003). *Electrónica: teoría de circuitos y dispositivos electrónicos*. PEARSON educación.