

Universidad Tecnológica Nacional
Facultad Regional Córdoba

Trabajo Practico N°4: JFET

Dispositivos Electronicos I
3R2

Documentador y operador: Angelo Prieto 401012
Coordinador: Gaston Grasso 401892

Última actualización: 16-09-2025

Índice

1	Introduccion	5
2	Corriente de saturación	7
2.1	Actividad de simulación	7
2.2	Actividad de laboratorio	8
3	Estrangulamiento del canal	9
3.1	Actividad de simulación	9
3.2	Actividad de laboratorio	10
4	Característica de transferencia universal	11
4.1	Actividad de simulación	11
4.2	Actividad de laboratorio	12
5	Característica de salida	13
5.1	Actividad de simulación	13
5.2	Actividad de laboratorio	14
6	Interpretación de hoja de datos	17
7	Conclusión	19

1 Introduccion

En este trabajo práctico se estudia el comportamiento de un transistor JFET de canal N. El objetivo principal es analizar sus características fundamentales tanto de manera teórica y mediante simulación, como a través de mediciones experimentales en el laboratorio.

A lo largo del desarrollo, se estudian parámetros esenciales como la corriente de saturación I_{DSS} , las características de salida y de transferencia, así como el fenómeno de estrangulamiento del canal. Para ello, primero se realizan simulaciones que permiten predecir el funcionamiento del dispositivo bajo diferentes condiciones de polarización. Posteriormente, se llevan a cabo mediciones experimentales con el fin de contrastar los resultados obtenidos.

En todo momento se tiene en cuenta la hoja de datos del dispositivo, a fin de permanecer dentro de los rangos de operación permisibles y evitar daños en el componente.

2 Corriente de saturación

2.1 Actividad de simulación

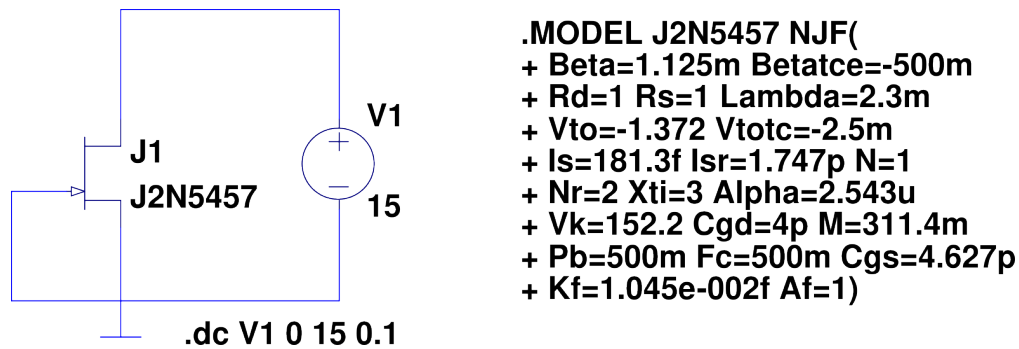


Figura 2.1: circuito simulado en LTSpice.

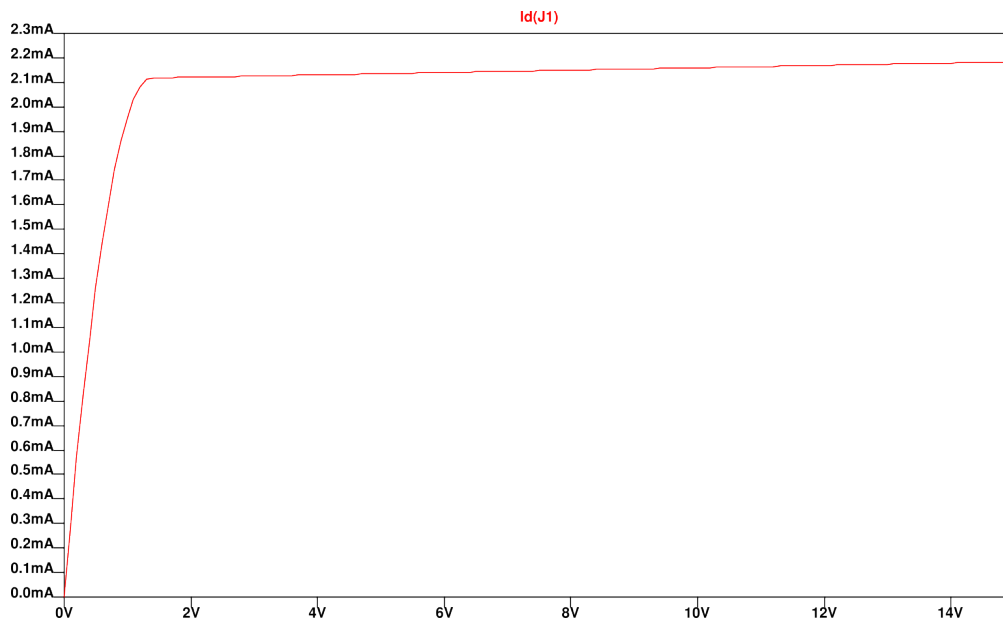


Figura 2.2: gráfica de simulación $I_D = f(V_{DS})$

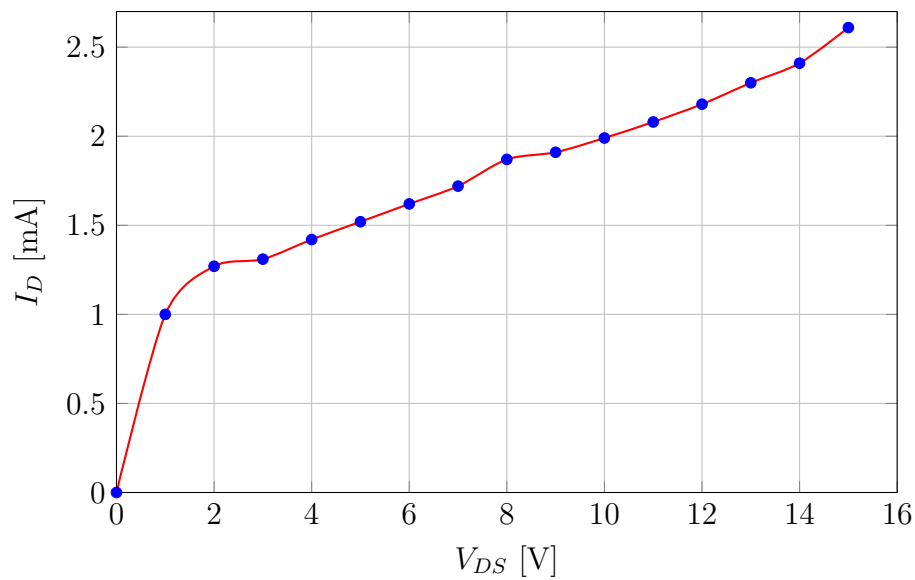
Se puede observar en la gráfica obtenida de la simulación que la corriente de saturación $I_{DSS} \approx 2.2\text{mA}$, para un valor de $V_{DS} \geq 1.4\text{V}$. Esto se corresponde con la hoja de datos del dispositivo, en la cual se tiene la siguiente información:

Symbol	Min	Typ	Max	Unit
I_{DSS}	1.0	3.0	5.0	mAdc

Cuadro 2.1: magnitud de I_{DSS} sacado del datasheet.

2.2 Actividad de laboratorio

V_{DD} [V]	V_{DS} [V]	I_{DS} [mA]	V_{DD} [V]	V_{DS} [V]	I_{DS} [mA]
0	0	0	16.97	8	1.87
5.96	1	1	18.3	9	1.91
7.72	2	1.27	19.7	10	1.99
9.46	3	1.31	21.2	11	2.08
10.93	4	1.42	22.6	12	2.18
12.43	5	1.52	24.2	13	2.30
13.89	6	1.62	25.8	14	2.41
15.43	7	1.72	27.3	15	2.61

Cuadro 2.2: Valores medidos de $I_{DS} = f(V_{DS})$.Figura 2.3: Curva $I_D = f(V_{DS})$ obtenida experimentalmente.

3 Estrangulamiento del canal

3.1 Actividad de simulación

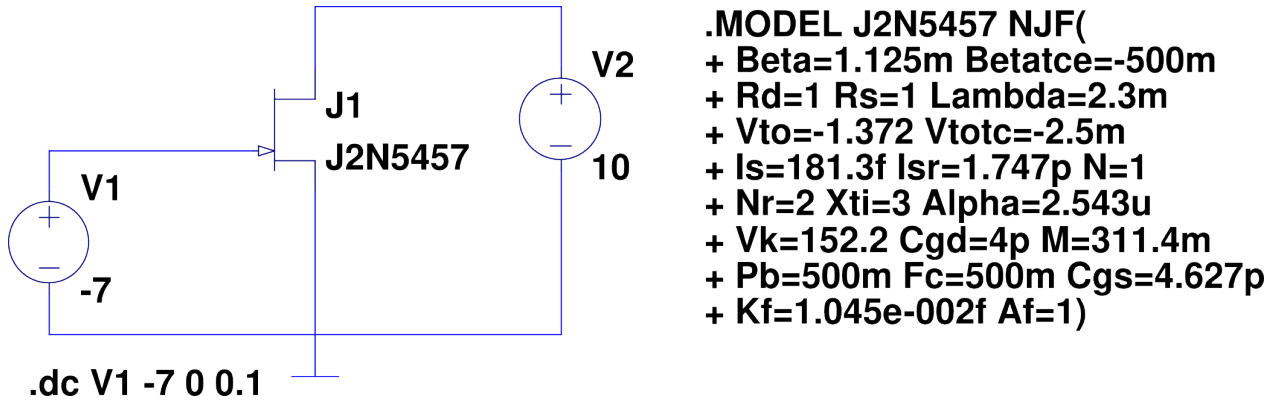


Figura 3.1: circuito simulado en LTSpice.

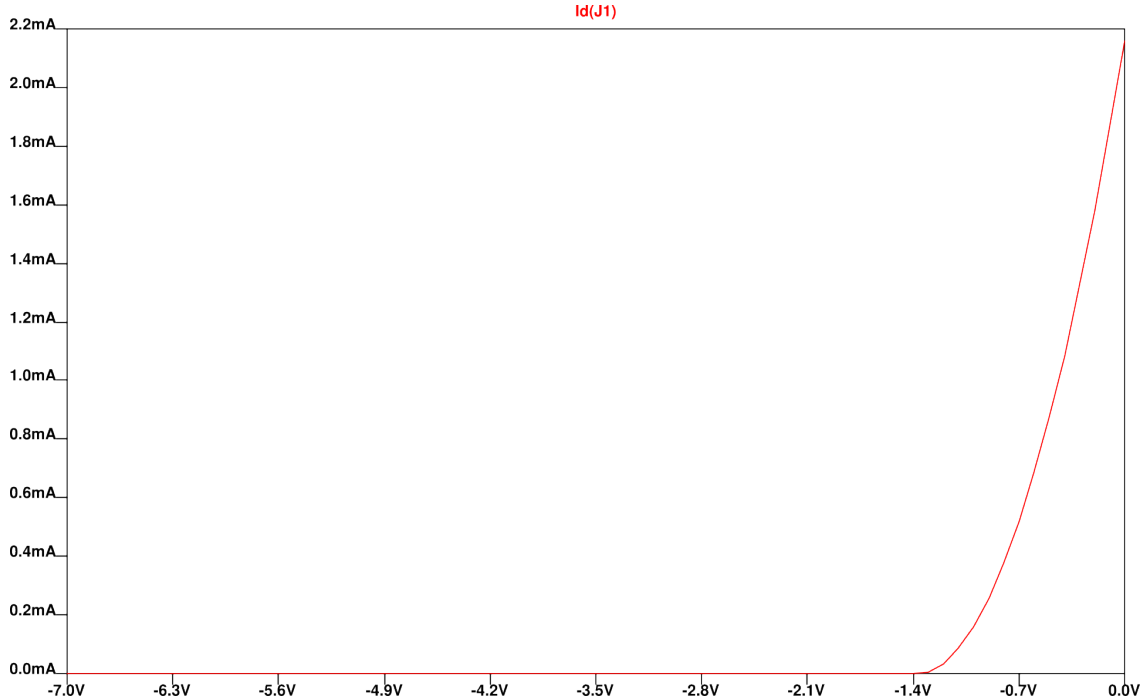


Figura 3.2: gráfica de simulación $I_D = f(V_{GS})$

Se puede observar en la gráfica obtenida de la simulación que $V_{GS(off)} = -1.4V$ e $I_{DSS} \approx 2.1mA$, lo que se corresponde con la gráfica de la figura 2.2 y la hoja de datos, en la cual se tiene la siguiente información:

Symbol	Min	Typ	Max	Unit
$V_{GS(off)}$	-0.5	-	-7	Vdc

Cuadro 3.1: magnitud de $V_{GS(off)}$ sacado del datasheet.

3.2 Actividad de laboratorio

V_{GS} [V]	I_{DS} [mA]	V_{GS} [V]	I_{DS} [mA]
0	1.54	-0.5	0
-0.1	0.98	-0.6	0
-0.2	0.32	-0.7	0
-0.3	0.03	-0.8	0
-0.4	0.003	-0.9	0
		-1.0	0

Cuadro 3.2: Valores de I_{DS} en función de V_{GS} para $V_{DS} = 10$ V.

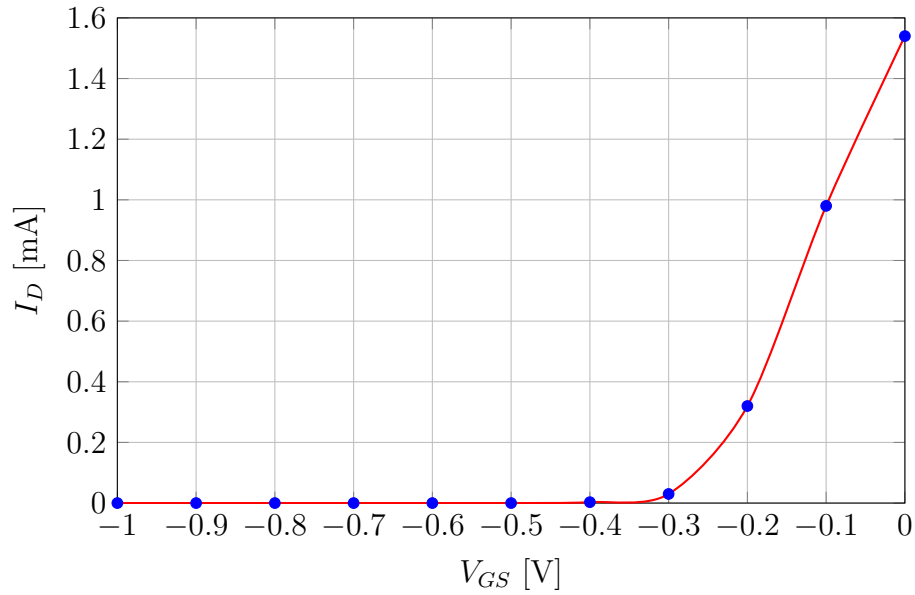


Figura 3.3: Curva $I_D = f(V_{GS})$ obtenida de datos experimentales

4 Característica de transferencia universal

4.1 Actividad de simulación

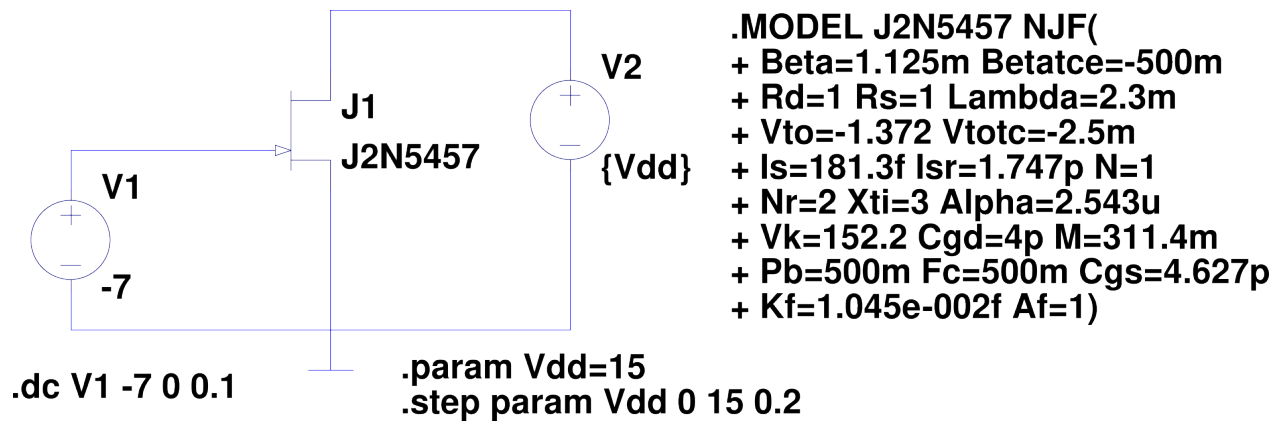


Figura 4.1: circuito simulado en LTSpice.

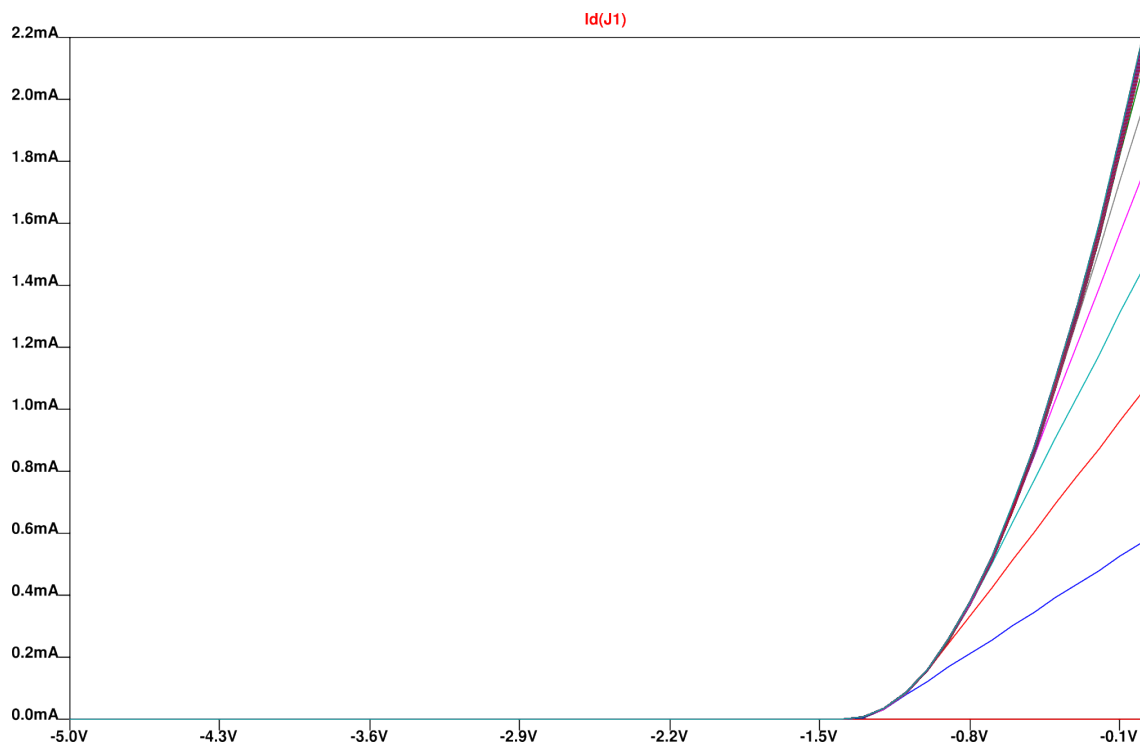


Figura 4.2: gráfica $I_D = f(V_{GS})$.

4.2 Actividad de laboratorio

V_{GS} [V]	I_{DS} [mA]								
	$V_{DS} = 0$	0.05	0.10	0.20	0.50	1.00	2.00	5.00	10.00
0	0.000	0.238	0.476	0.952	2.001	2.006	2.016	2.046	2.096
-0.1	0.000	0.181	0.362	0.725	1.161	1.164	1.170	1.187	1.217
-0.2	0.000	0.125	0.249	0.499	0.550	0.551	0.554	0.562	0.576
-0.3	0.000	0.068	0.136	0.163	0.1633	0.1637	0.1645	0.1670	0.1710
-0.35	0.000	0.040	0.0556	0.0556	0.0557	0.0559	0.0562	0.0570	0.0583
-0.4	0.000	0.0045	0.0045	0.0045	0.00455	0.00456	0.00458	0.00465	0.00476

Cuadro 4.1: Tabla de $I_{DS} = f(V_{GS})$ para distintos valores de V_{DS} .

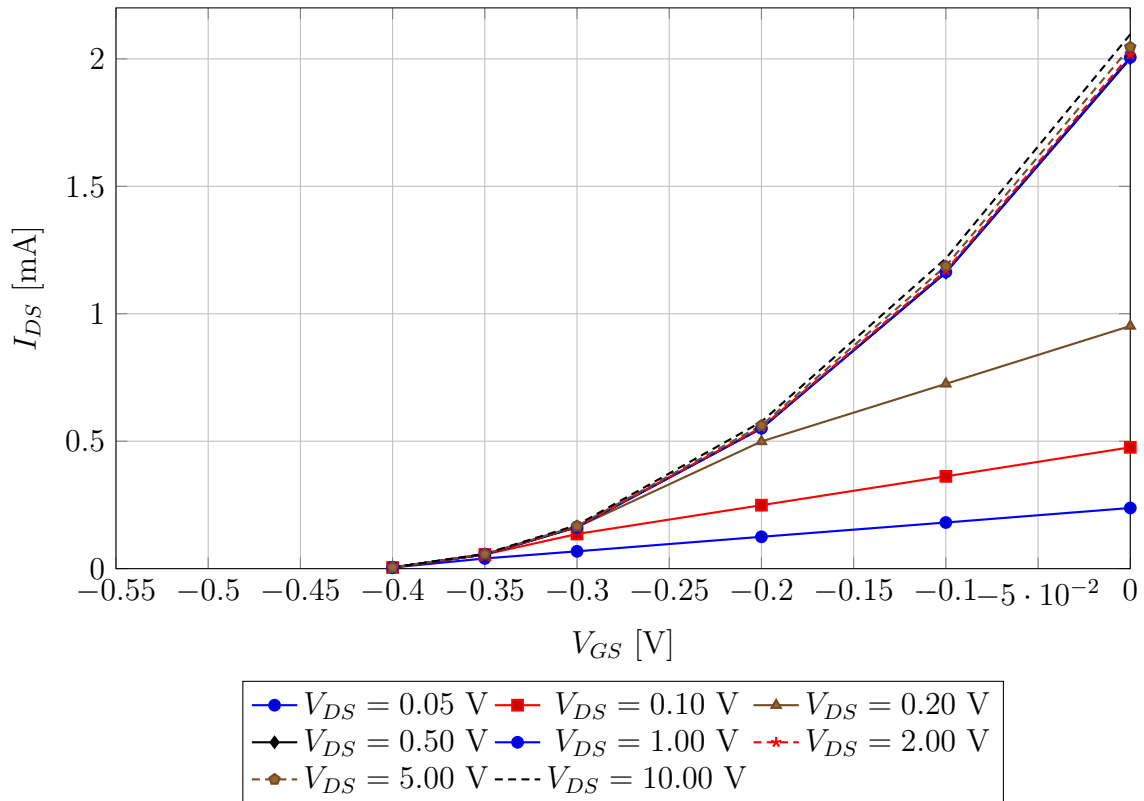


Figura 4.3: Curvas I_{DS} vs V_{GS} para distintos valores de V_{DS} (JFET 2N5457, datos aproximados).

5 Característica de salida

5.1 Actividad de simulación

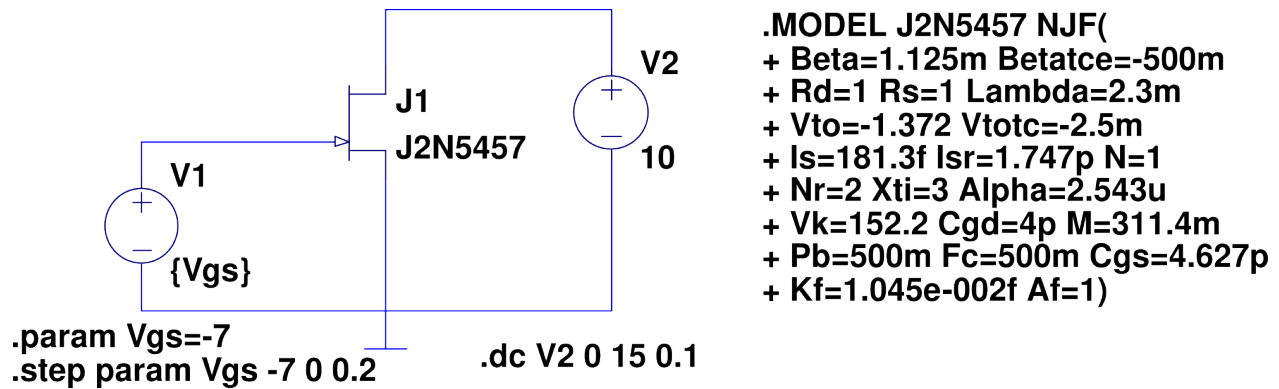


Figura 5.1: circuito simulado en LTSpice.

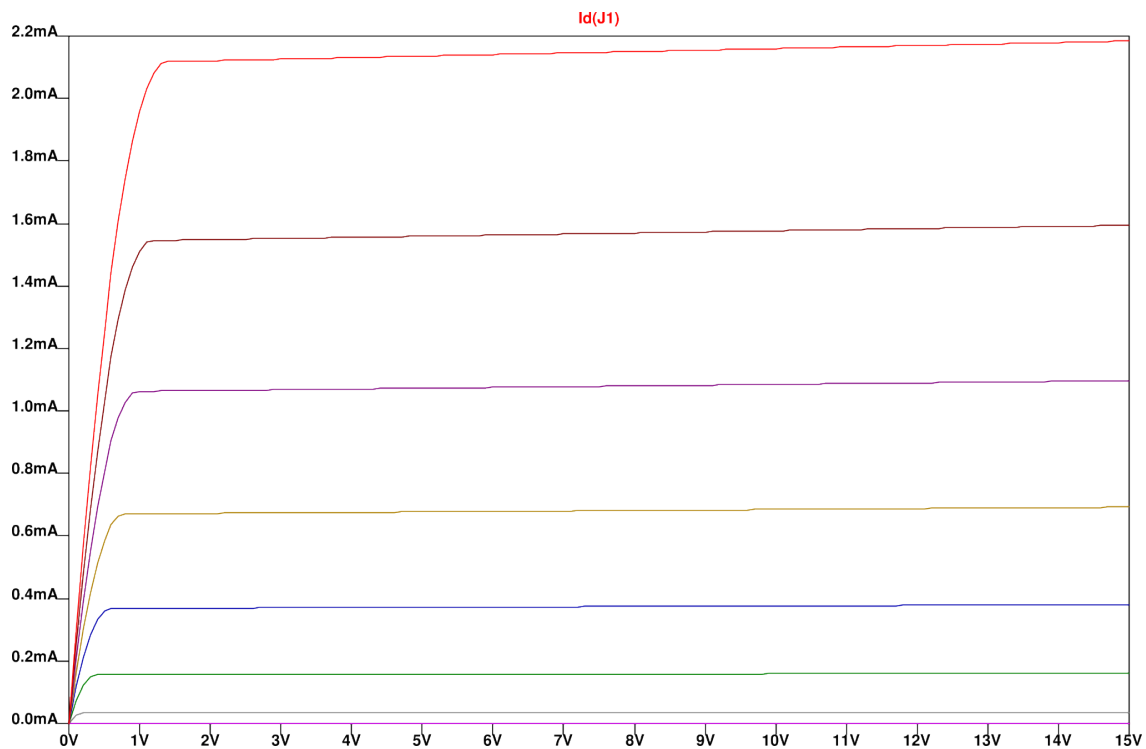


Figura 5.2: curvas de salida obtenidas de simulación. Gráfica $I_D = f(V_{DS})$

5.2 Actividad de laboratorio

	I_{DS} [mA]			
V_{DS} [V]	$V_{GS} = 0V$	$V_{GS} = -0.1V$	$V_{GS} = -0.2V$	$V_{GS} = -0.3V$
0	0	0	0	0
1	0.84	0.32	0.05	0.0026
2	0.98	0.39	0.07	0.0043
3	1.10	0.46	0.09	0.0061
4	1.24	0.52	0.12	0.0085
5	1.37	0.57	0.132	0.0107
6	1.29	0.62	0.155	0.0123
7	1.47	0.67	0.172	0.0155
8	1.54	0.73	0.196	0.0183
9	1.64	0.77	0.212	0.0215
10	1.72	0.83	0.212	0.0255

Cuadro 5.1: Valores de I_{DS} en función de V_{DS} para distintos V_{GS} .

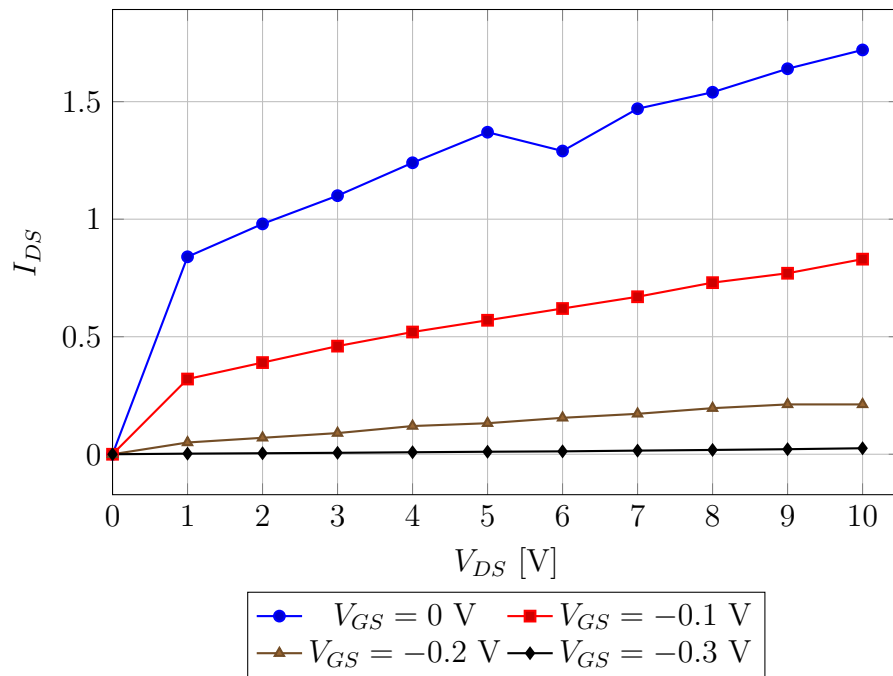


Figura 5.3: Curvas I_{DS} vs V_{DS} para distintos valores de V_{GS} , según la tabla experimental.

6 Interpretación de hoja de datos

Parámetro	Símbolo	Condición	Mín	Típ	Máx
Corriente de saturación drenaje	I_{DSS}	$V_{DS} = 15 \text{ V}, V_{GS} = 0$	1.0	3.0	5.0 mA
Tensión drenaje-source máx	V_{DS}	rating absoluto		25 V	
Tensión gate-source máx (inversa)	V_{GS}	rating absoluto		-25 V	
Potencia disipada @25 °C	P_D	TO-92, $T_A = 25^\circ\text{C}$		310 mW	
Derating térmico				2.82 mW/°C	
Tensión ruptura G-S	$V_{(BR)GSS}$	$I_G = -10 \mu\text{A}, V_{DS} = 0$	-25	—	— V
Tensión de corte gate-source	$V_{GS(\text{off})}$	$V_{DS} = 15 \text{ V}, I_D = 10 \text{ nA}$	-0.5	—	-6.0 V
Tensión V_{GS} a $I_D = 100 \mu\text{A}$	V_{GS}	$V_{DS} = 15 \text{ V}$	—	-2.5	— V

Cuadro 6.1: Especificaciones eléctricas típicas del JFET 2N5457 a 25°C (según hoja de datos).

Explicación de los parámetros

- **Corriente de saturación drenaje (I_{DSS}):** es la corriente máxima de drenaje cuando la compuerta está a 0 V respecto a la fuente. Indica la capacidad de conducción del canal cuando está totalmente abierto.
- **Tensión drenaje-source máx (V_{DS}):** valor máximo de tensión permitido entre drenaje y fuente. Superarlo puede dañar permanentemente el dispositivo.
- **Tensión gate-source máx (V_{GS}):** tensión máxima en polarización inversa entre compuerta y fuente. Su función es proteger la juntura P-N de la compuerta.
- **Potencia disipada (P_D):** máxima potencia que el dispositivo puede disipar en forma de calor a temperatura ambiente de 25 °C.
- **Derating térmico:** factor que indica cuánto debe reducirse la potencia disipada máxima por cada grado que aumenta la temperatura ambiente por encima de 25 °C.
- **Tensión de ruptura G-S ($V_{(BR)GSS}$):** tensión de ruptura de la juntura gate-source. Marca el límite a partir del cual la compuerta comienza a conducir corriente de manera destructiva.

- **Tensión de corte gate–source ($V_{GS(\text{off})}$):** tensión de compuerta negativa en la que el canal se cierra y la corriente de drenaje se reduce prácticamente a cero. Este parámetro define el rango de control del JFET.
- **Tensión V_{GS} a $I_D = 100\mu\text{A}$:** valor típico de compuerta que establece una corriente de drenaje de referencia. Se utiliza para comparar dispositivos y verificar su rango de operación.

7 Conclusión

El presente trabajo práctico permitió comprender en detalle las capacidades y limitaciones de los transistores JFET, así como también obtener una visión más clara de las aplicaciones en las que este tipo de dispositivo puede ser utilizado. A partir de las mediciones realizadas y de la consulta de la hoja de datos, se logró contrastar la teoría con la práctica y afianzar conceptos fundamentales de la electrónica de dispositivos.

En cuanto a la medición de parámetros y a la interpretación de la hoja de datos, no se presentaron mayores dificultades. Sin embargo, el principal desafío encontrado fue la disponibilidad del componente: debido a la escasez y a la tendencia hacia la obsolescencia de los JFET, resultó complejo conseguir un ejemplar que funcionara adecuadamente. El mercado electrónico local presenta limitaciones en este aspecto, lo que obligó a probar diferentes modelos hasta dar con uno que cumpliera, al menos de manera aproximada, con las características especificadas en su hoja de datos.

En síntesis, la experiencia resultó enriquecedora no solo por el análisis técnico, sino también porque puso en evidencia las restricciones prácticas vinculadas a la disponibilidad de componentes en el entorno real.

Se adjunta el datasheet del dispositivo utilizado:

2N5457, 2N5458

Preferred Device

JFETs - General Purpose

N-Channel – Depletion

N-Channel Junction Field Effect Transistors, depletion mode (Type A) designed for audio and switching applications.

Features

- N-Channel for Higher Gain
- Drain and Source Interchangeable
- High AC Input Impedance
- High DC Input Resistance
- Low Transfer and Input Capacitance
- Low Cross-Modulation and Intermodulation Distortion
- Unibloc Plastic Encapsulated Package
- Pb-Free Packages are Available*

MAXIMUM RATINGS

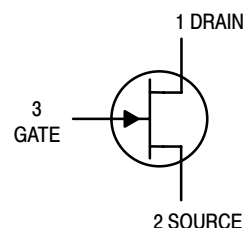
Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DS}	25	Vdc
Drain-Gate Voltage	V_{DG}	25	Vdc
Reverse Gate-Source Voltage	V_{GSR}	-25	Vdc
Gate Current	I_G	10	mAdc
Total Device Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	310 2.82	mW mW/ $^\circ\text{C}$
Operating Junction Temperature	T_J	135	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-65 to +150	$^\circ\text{C}$

Stresses exceeding Maximum Ratings may damage the device. Maximum Ratings are stress ratings only. Functional operation above the Recommended Operating Conditions is not implied. Extended exposure to stresses above the Recommended Operating Conditions may affect device reliability.

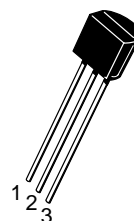


ON Semiconductor®

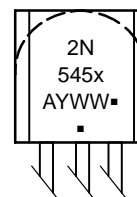
<http://onsemi.com>



MARKING DIAGRAM



TO-92
CASE 29
STYLE 5



2N545x = Device Code
x = 7 or 8

A = Assembly Location

Y = Year

WW = Work Week

▪ = Pb-Free Package

(Note: Microdot may be in either location)

ORDERING INFORMATION

Device	Package	Shipping
2N5457	TO-92	1000 Units/Box
2N5457G	TO-92 (Pb-Free)	1000 Units/Box
2N5458	TO-92	1000 Units/Box
2N5458G	TO-92 (Pb-Free)	1000 Units/Box

Preferred devices are recommended choices for future use and best overall value.

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

2N5457, 2N5458

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
----------------	--------	-----	-----	-----	------

OFF CHARACTERISTICS

Gate–Source Breakdown Voltage ($I_G = -10\ \mu\text{Adc}$, $V_{DS} = 0$)	$V_{(BR)GSS}$	-25	–	–	Vdc
Gate Reverse Current ($V_{GS} = -15\ \text{Vdc}$, $V_{DS} = 0$) ($V_{GS} = -15\ \text{Vdc}$, $V_{DS} = 0$, $T_A = 100^\circ\text{C}$)	I_{GSS}	– –	– –	-1.0 -200	nAdc
Gate–Source Cutoff Voltage ($V_{DS} = 15\ \text{Vdc}$, $i_D = 10\ \text{nAdc}$)	$V_{GS(off)}$	-0.5 -1.0	– –	-6.0 -7.0	Vdc
Gate–Source Voltage ($V_{DS} = 15\ \text{Vdc}$, $i_D = 100\ \mu\text{Adc}$) ($V_{DS} = 15\ \text{Vdc}$, $i_D = 200\ \mu\text{Adc}$)	V_{GS}	– –	-2.5 -3.5	– –	Vdc

ON CHARACTERISTICS

Zero–Gate–Voltage Drain Current (Note 1) ($V_{DS} = 15\ \text{Vdc}$, $V_{GS} = 0$)	I_{DSS}	1.0 2.0	3.0 6.0	5.0 9.0	mAdc
--	-----------	------------	------------	------------	------

DYNAMIC CHARACTERISTICS

Forward Transfer Admittance (Note 1) ($V_{DS} = 15\ \text{Vdc}$, $V_{GS} = 0$, $f = 1\ \text{kHz}$)	$ Y_{fs} $	1000 1500	3000 4000	5000 5500	μmhos
Output Admittance Common Source (Note 1) ($V_{DS} = 15\ \text{Vdc}$, $V_{GS} = 0$, $f = 1\ \text{kHz}$)	$ Y_{os} $	–	10	50	μmhos
Input Capacitance ($V_{DS} = 15\ \text{Vdc}$, $V_{GS} = 0$, $f = 1\ \text{kHz}$)	C_{iss}	–	4.5	7.0	pF
Reverse Transfer Capacitance ($V_{DS} = 15\ \text{Vdc}$, $V_{GS} = 0$, $f = 1\ \text{kHz}$)	C_{rss}	–	1.5	3.0	pF

1. Pulse Width $\leq 630\ \text{ms}$, Duty Cycle $\leq 10\%$.