
Arquitectura Zynq

Zynq
Vivado 2018.1

Objetivos

➤ **Al completar este módulo, el alumno será capaz de:**

- Identificar los bloques constitutivos básicos de la arquitectura del sistema de procesamiento *Zynq™*
- Describir el uso del espacio de memoria del procesador Cortex-A9
- Conectar el PS a la lógica programable (PL) a través de puertos AXI
- Generar fuentes de reloj para los periféricos de la PL
- Listar los modelos de arquitectura de sistemas basados en AXI
- Nombrar los cinco canales AXI
- Describir la operación del protocolo de transmisión AXI

Temario

- ***Zynq All Programmable SoC (AP SoC)***
- Zynq AP SoC Processing System (PS)
- Periféricos del Processor
- Clock, Reset, y funciones de depuración
- Interfaces AXI
- Resumen

El PS (Sist. de Procesamiento) y el PL (Lógica Programable)

➤ La arquitectura Zynq-7000 AP SoC consiste en dos secciones principales:

- PS: Sistema de Procesamiento
 - Basado en un procesador Doble ARM Cortex-A9
 - Múltiples periféricos
 - Núcleo de silicio (hard core)
- PL: Lógica Programable
 - Comparte la misma lógica programable de la serie 7:
 - Artix™-based devices: Z-7010, Z-7015, and Z-7020 (high-range I/O banks only)
 - Kintex™-based devices: Z-7030, Z-7035, Z-7045, and Z-7100 (mix of high-range and high-performance I/O banks)

➤ Esta sección se enfoca en el PS

Puntos destacables de la familia Zynq-7000

➤ Sistema de procesamiento basado en ARM®

- Application Processor Unit (APU)
 - Procesador doble ARM Cortex™-A9
 - Caches y bloques de soporte
- Controladores de memoria totalmente integrados
- Periféricos de Entrada/Salida

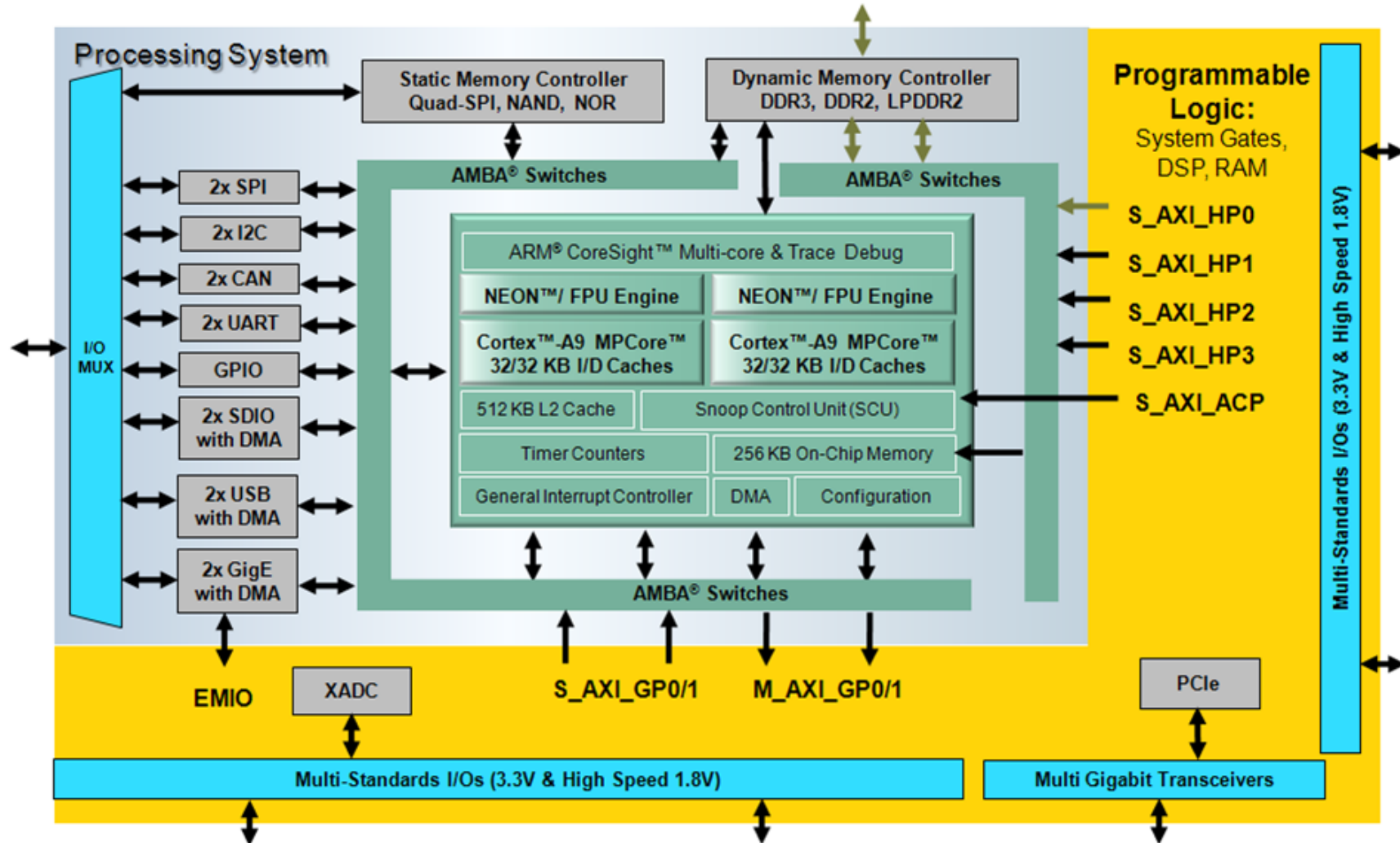
➤ Lógica programable fuertemente integrada

- Usada para extender el sistema de procesamiento
- Densidad y rendimiento escalables

➤ Arreglo flexible de Entrada/Salida

- Amplio rango de E/S multi-estándar externa
- Transceivers seriales integrados de alto rendimiento
- Entradas con conversión Analógico-digital

Diagrama en Bloques del Zynq-7000 AP SoC



Componentes del PS

- **Application processing unit (APU)**
- **Periféricos de E/S (IOP, I/O peripherals)**
 - E/S multiplexada (MIO, multiplexed IO), E/S multiplexada extendida (EMIO, Extended MIO)
- **Interfaces de Memoria**
- **PS interconnect**
- **DMA**
- **Timers**
 - Públicos y privados
- **General interrupt controller (GIC)**
- **Memoria On-chip (OCM): RAM**
- **Controlador de Depuración: CoreSight**

Temario

- Zynq All Programmable SoC (AP SoC)
- **Zynq AP SoC Processing System (PS)**
- Periféricos del Processor
- Clock, Reset, y funciones de depuración
- Interfaces AXI
- Resumen

Arquitectura del procesador ARM

➤ El procesador ARM Cortex-A9 implementa la arquitectura ARMv7-A

- ARMv7 es una arquitectura del conjunto de instrucciones de ARM (ISA)
- ARMv7-A: Perfil para aplicaciones que incluye soporte para Memory Management Unit (MMU)
- ARMv7-R: Perfil para real-time que incluye soporte para Memory Protection Unit (MPU)
- ARMv7-M: Perfil para microcontroladores, que constituye el conjunto más chico

➤ La ISA ARMv7 incluye los siguientes tipos de instrucciones (para retro-compatibilidad)

- Instrucciones Thumb: 16 bits; instrucciones Thumb-2: 32 bits
- NEON: Extensión de la arquitectura. Introduce *Single Instruction Multiple Data* (SIMD)

➤ Protocolo ARM Advanced Microcontroller Bus Architecture (AMBA®)

- AXI3: Interfaz de ARM de tercera generación
- AXI4: Interfaz de ARM de cuarta generación (extended bursts, subsets)

➤ Cortex es la nueva familia de procesadores

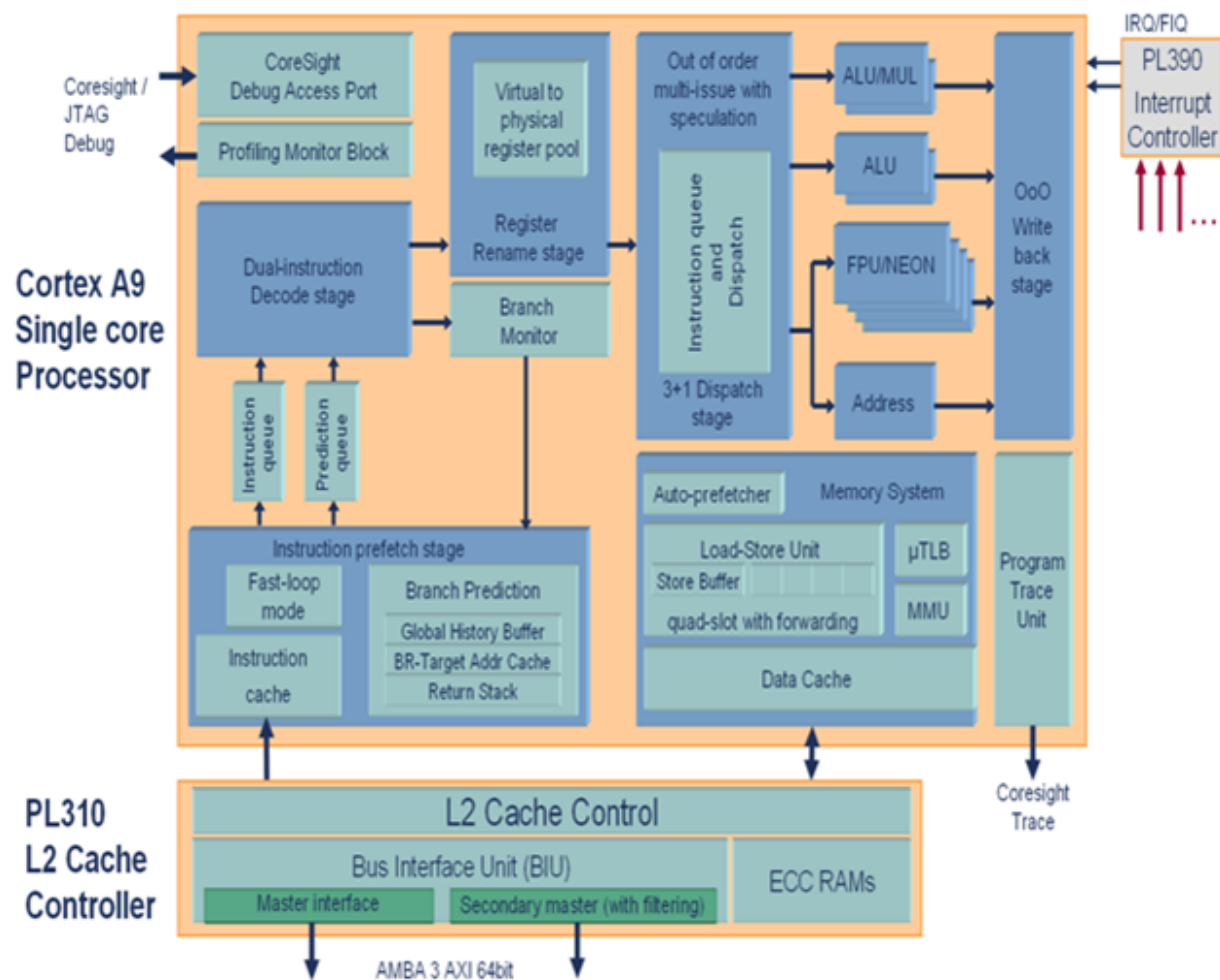
- La familia ARM es una generación vieja; Cortex es la actual; MMUs en procesadores Cortex y MPUs en ARM

El Poder del Procesador ARM Cortex-A9

- Cluster de procesador de doble núcleo
- 2.5 DMIPS/MHz por procesador
- Arquitectura Harvard
- Caches L1 de 32KB auto-contenidas para instrucciones y datos
- Memoria externa basada en cache L2 de 512KB
- Coherencia de cache automática entre los núcleos del procesador
- 1GHz operation (fastest speed grade)

Microarquitectura del Procesador ARM Cortex-A9

- El pipeline de instrucciones soporta asignación de instrucciones fuera de orden (out-of-order)
- Cuenta con renombrado de registro para ejecución especulativa
- Sistema de memoria Non-blocking con load-store forwarding
- Modo Fast loop en el pre-fetch de instrucciones para disminuir el consumo de potencia



Interconexiones del Sistema de Procesamiento (1)

➤ Lógica programable a memoria

- Dos puertos a DDR
- Un puerto a OCM SRAM

➤ Interconexión central

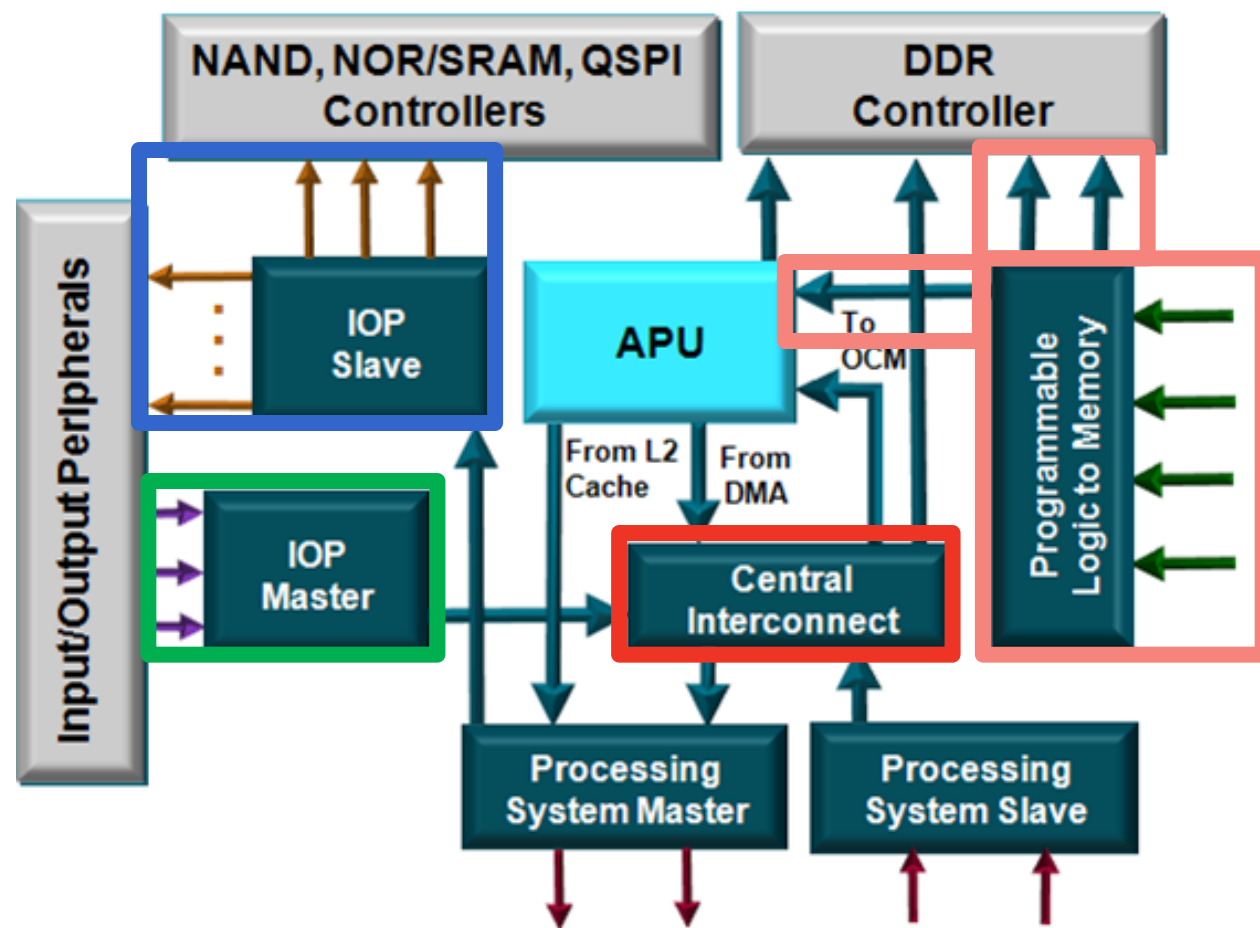
- Habilita otras interconexiones para comunicaciones

➤ Periférico maestro

- USB, GigE, SDIO conecta a DDR y PL via la interconexión central

➤ Periférico esclavo

- Acceso de CPU, DMA, y PL a los periféricos de E/S (IOP peripherals)



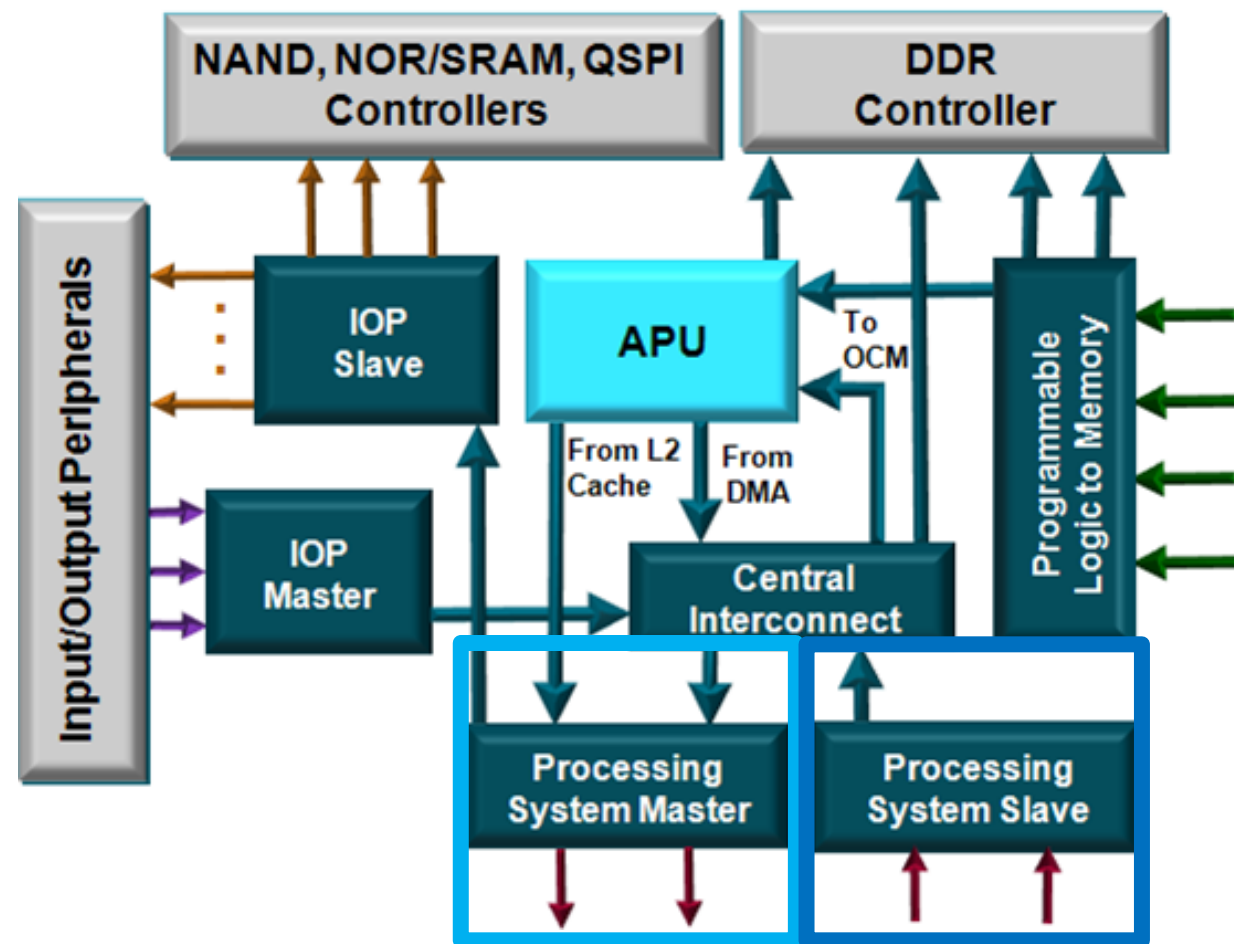
Interconexiones del Sistema de Procesamiento (2)

➤ Sistema de Procesamiento maestro

- Dos puertos desde el sistema de procesamiento a la lógica programable
- Conecta el bloque de CPU a los periféricos comunes a través de la interconexión central

➤ Sistema de Procesamiento esclavo

- Dos puertos desde la lógica programable al sistema de procesamiento



Mapa de Memoria

- El procesador Cortex-A9 usa direccionamiento de 32 bits
- Todos los periféricos del PS y del PL son mapeados a memoria hacia los cores del procesador Cortex-A9
- Todos los periféricos esclavos del PL serán ubicados entre
4000_0000 and 7FFF_FFFF (connected to GP0) y
8000_0000 and BFFF_FFFF (connected to GP1)

FFFC_0000 to FFFF_FFFF	OCM
FD00_0000 to FFFB_FFFF	Reserved
FC00_0000 to FCFF_FFFF	Quad SPI linear address
F8F0_3000 to FBFF_FFFF	Reserved
F890_0000 to F8F0_2FFF	CPU Private registers
F801_0000 to F88F_FFFF	Reserved
F800_1000 to F880_FFFF	PS System registers,
F800_0C00 to F800_0FFF	Reserved
F800_0000 to F800_0BFF	SLCR Registers
E600_0000 to F7FF_FFFF	Reserved
E100_0000 to E5FF_FFFF	SMC Memory
E030_0000 to E0FF_FFFF	Reserved
E000_0000 to E02F_FFFF	IO Peripherals
C000_0000 to DFFF_FFFF	Reserved
8000_0000 to BFFF_FFFF	PL (MAXI_GP1)
4000_0000 to 7FFF_FFFF	PL (MAXI_GP0)
0010_0000 to 3FFF_FFFF	DDR(address not filtered by SCU)
0004_0000 to 000F_FFFF	DDR(address filtered by SCU)
0000_0000 to 0003_FFFF	OCM

Recursos de Memoria del Zynq AP SoC

➤ Memoria On-chip (OCM)

- RAM
- Boot ROM

➤ Controlador de memoria dinámica DDRx

- Soporta LPDDR2, DDR2, DDR3

➤ Controlador de memoria Flash/static

- Soporta SRAM, QSPI, NAND/NOR FLASH

PS Boots First

- **CPU0 inicia desde OCM ROM; CPU1 pasa al estado sleep**
- **On-chip boot loader in OCM ROM (Stage 0 boot)**
- **El procesador carga First Stage Boot Loader (FSBL) desde la memoria flash externa**
 - NOR
 - NAND
 - Quad-SPI
 - Tarjeta SD
 - Carga desde JTAG; not a memory device—usado sólo para desarrollo/depuración
- **Selección de fuente de Booteo a través de los pines de package bootstrapping**
- **El modo de booteo seguro opcional permite la carga de software cifrado desde la memoria flash de booteo**

Configurando la PL

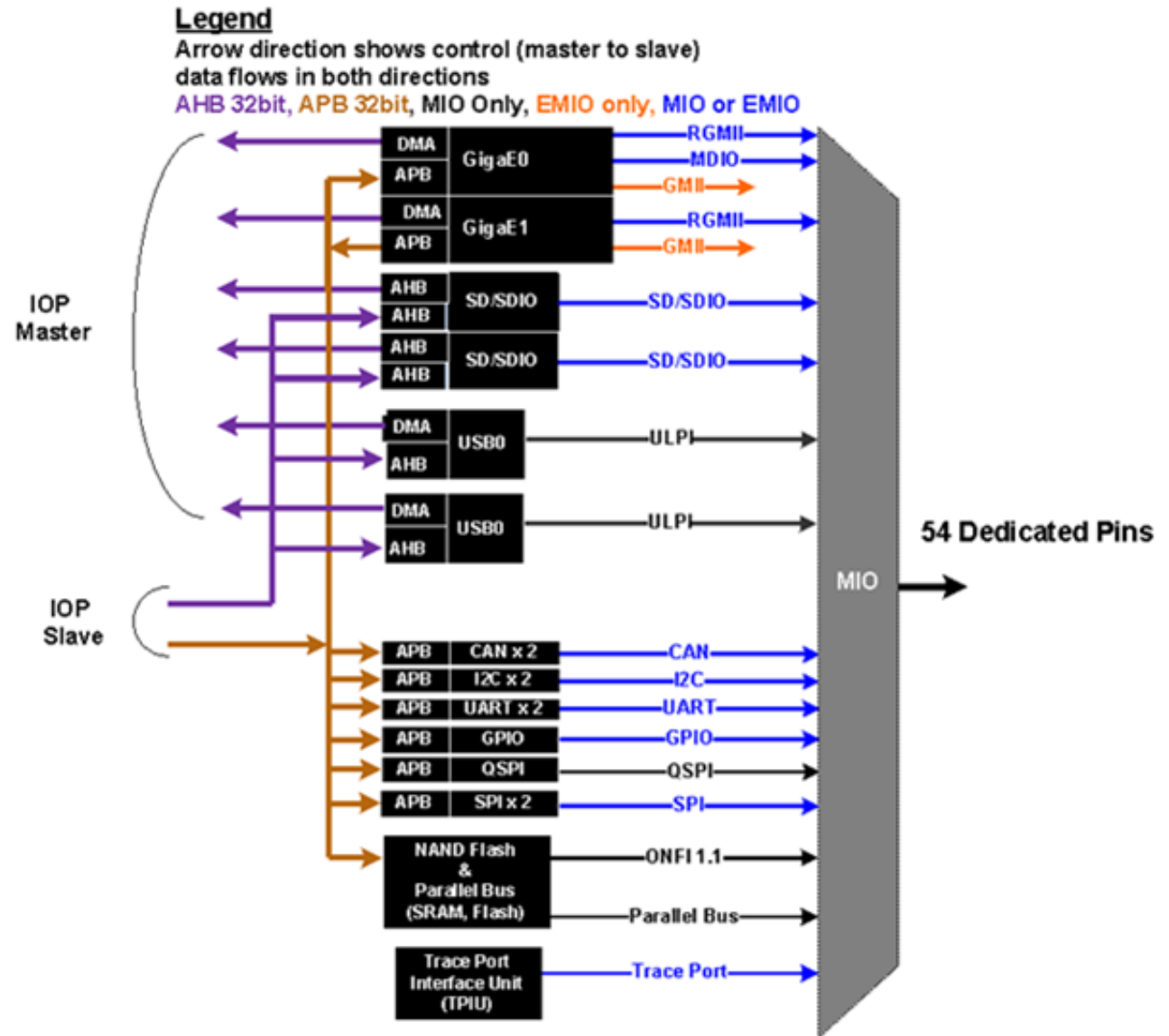
- **La lógica programable es configurada después de que el PS bootea**
- **Realizada por la aplicación de software accediendo a la unidad de configuración del dispositivo de hardware**
 - Bitstream image transferred
 - 100-MHz, 32-bit PCAP stream interface
 - Opción de hardware de descifrado/autenticación para bitstreams cifrados
 - En modo de arranque seguro, esta opción puede ser usada para la carga de memoria del software
 - El DMA permite la configuración de la PL y la carga de la memoria del OS de manera simultánea

Temario

- Zynq All Programmable SoC (AP SoC)
- Zynq AP SoC Processing System (PS)
- ***Periféricos del Processor***
- Clock, Reset, y funciones de depuración
- Interfaces AXI
- Resumen

Periféricos de Entrada/Salida

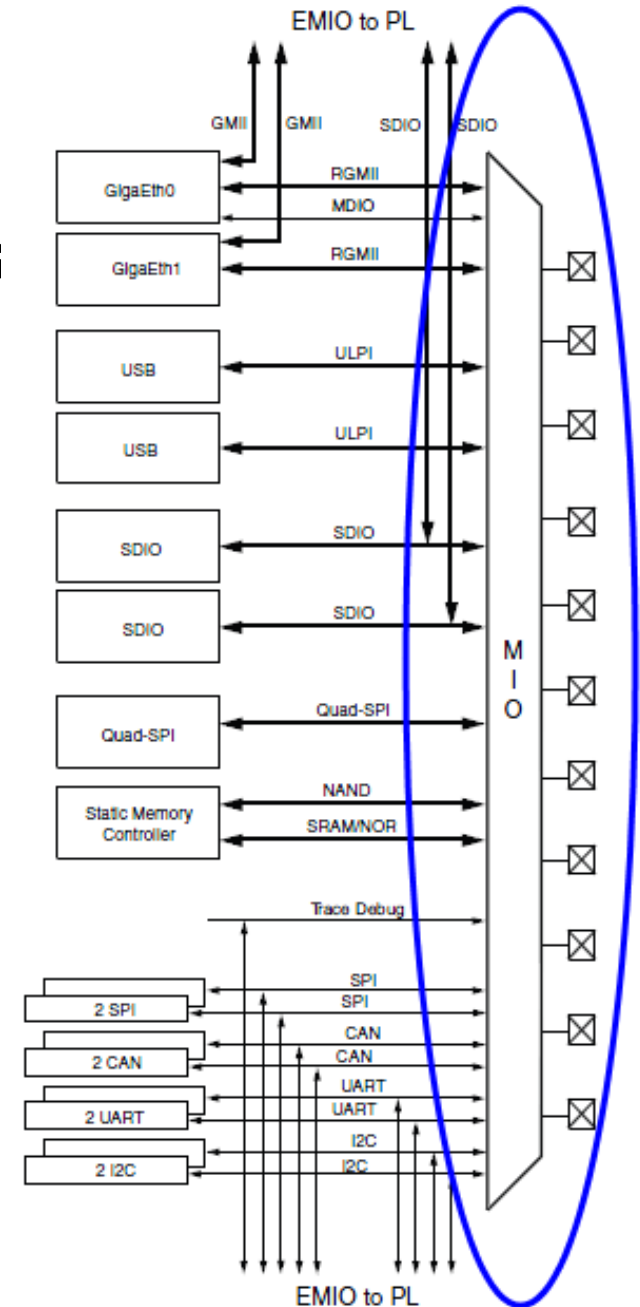
- Dos GigE
- Dos USB
- Dos SPI
- Dos SD/SDIO
- Dos CAN
- Dos I2C
- Dos UART
- Cuatro 32-bit GPIOs
- Memorias estáticas
 - NAND, NOR/SRAM, Quad SPI
- Trace ports



E/S Multiplexada (MIO, Multiplexed I/O)

➤ Interfaz externa hacia los puertos de los periféricos de E/S del PS

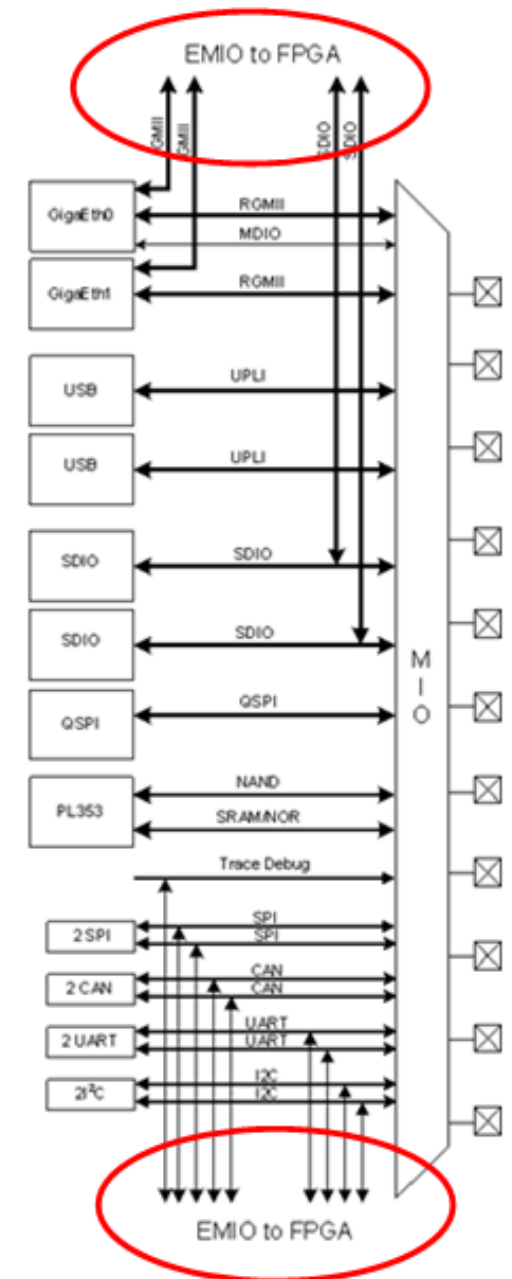
- 54 package pins dedicados disponibles
- Software configurable
 - Agregado automáticamente al bootloader por medio de herramientas
- No disponible para todos los puertos de periféricos
 - Algunos puertos sólo pueden usar EMIO



E/S Multiplexada Extendida (EMIO)

➤ Interfaz extendida hacia los puertos de los periféricos de E/S del PS

- EMIO: Peripheral port to programmable logic
- Alternativa al uso de MIO
- Mandatorio para algunos puertos de periféricos
- Facilita
 - Conexión a periféricos en la lógica programable
 - Uso de pines de E/S generales para suplementar el uso de pines MIO
 - Alivia la competición por el uso de pines MIO



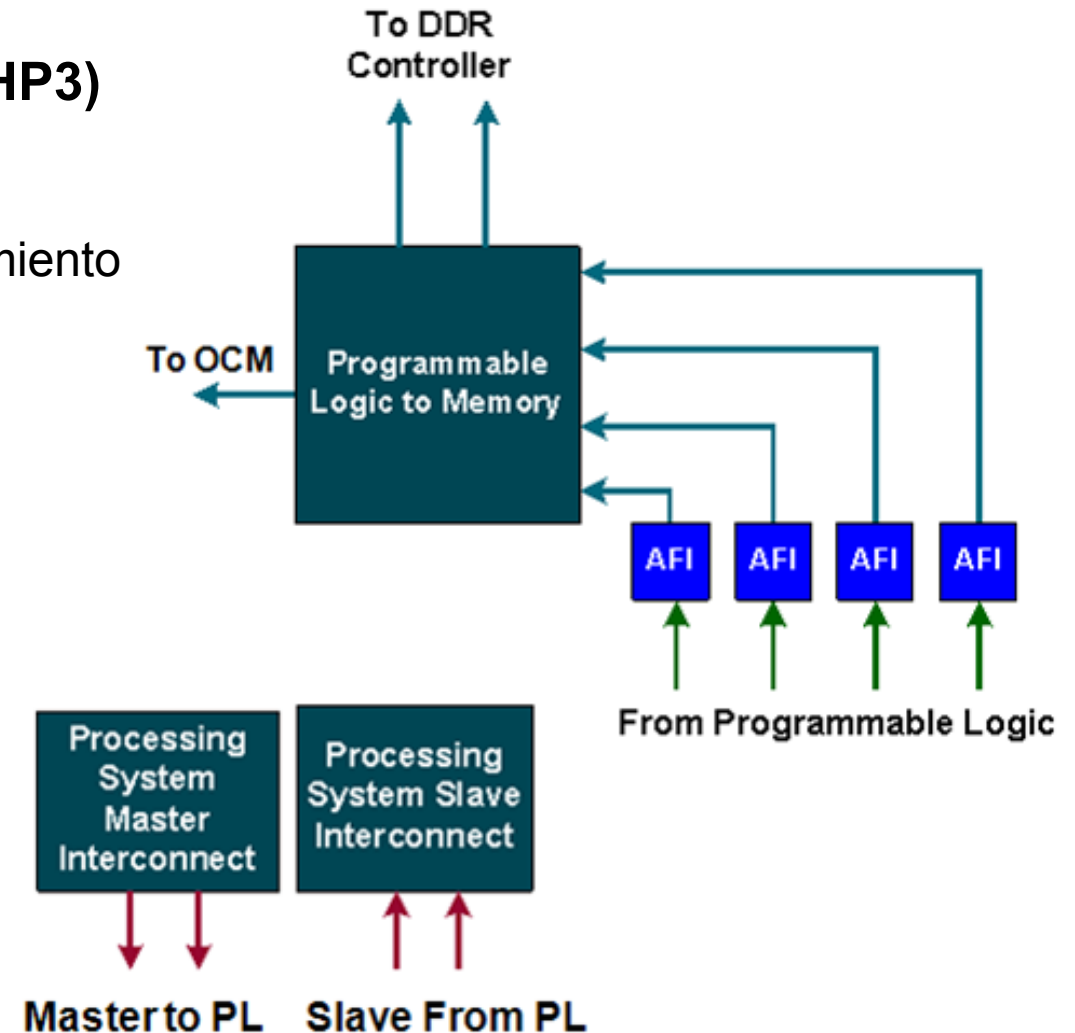
Interfaces PS-PL

➤ Puertos esclavos de alta-performance AXI (HP0-HP3)

- Ancho de datos configurable: 32-bit o 64-bit
- Acceso a la OCM y a la DDR, solamente
- Conversión al dominio de reloj del sistema de procesamiento
- Interfaz FIFO AXI (AFI). Son FIFOs (1KB) para facilitar la transferencia de datos grandes

➤ Puertos de propósito-general AXI (GP0-GP1)

- Dos maestros desde PS hacia PL
- Dos esclavos desde PL hacia PS
- Datos de 32-bit
- Conversión y sincronismo al dominio de reloj del sistema de procesamiento



Interfaces PS-PL

- **One 64-bit accelerator coherence port (ACP) AXI slave interface to CPU memory**
- **DMA, interrupciones, señales de eventos**
 - Bus de evento de procesador para información de señalización de eventos a la CPU
 - Interrupciones de periféricos IP de la PL al controlador de interrupciones general del PS (GIC)
 - Cuatro señales de canal de DMA RDY/ACK
- **La E/S multiplexada extendida (EMIO) permite a los puertos de los periféricos del PS acceder a la lógica de la PL y a los pines de E/S del dispositivo**
- **Clock and resets**
 - Cuatro salidas de reloj del PS hacia la PL con control de habilitación
 - Cuatro salidas de reset del PS hacia la PL
- **Configuración y varios**

Temario

- Zynq All Programmable SoC (AP SoC)
- Zynq AP SoC Processing System (PS)
- Periféricos del Processor
- ***Clock, Reset, y funciones de depuración***
- Interfaces AXI
- Resumen

Fuentes de reloj de la PL

➤ PS clocks

- PS clock source from external package pin
- PS tiene tres PLLs para la generación de reloj
- PS tiene cuatro puertos de reloj al PL

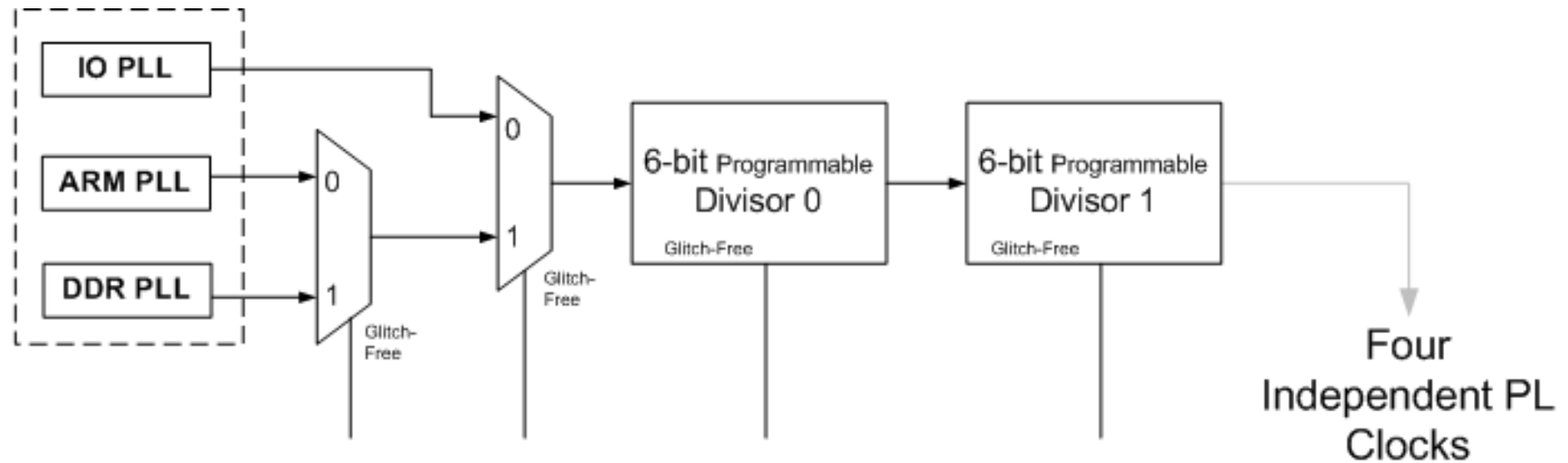
➤ La PL tiene recursos de reloj de la serie 7

- La PL tiene un dominio de fuente de reloj distinto comparado con el PS
- El reloj hacia la PL puede ser alimentado desde pines externos con capacidad de reloj
- Se puede usar uno de los cuatro relojes del PS como fuente

➤ La sincronización del reloj entre la PL y el PS está a cargo de la arquitectura del PS

➤ La PL no puede suministrar fuentes de reloj al PS

Clocking de la PL

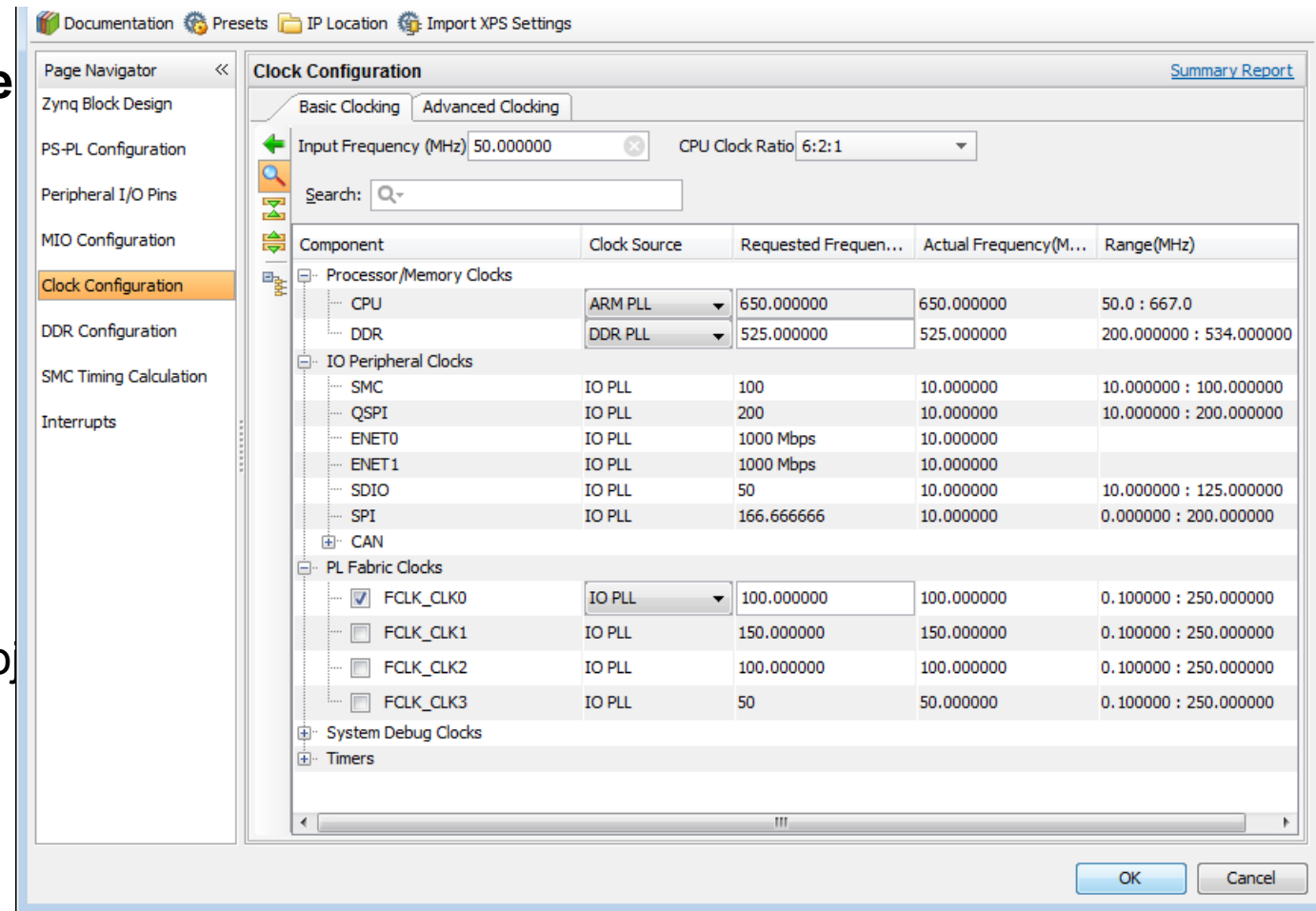


PL Fabric Clock	Control Register	Mux Ctrl Field	Mux Ctrl Field	Divider 0 Ctrl Field	Divider 1 Ctrl Field
PL Fabric 0	FPGA0_CLK_CTRL	SRCSEL, 4	SRCSEL, 5	DIVISOR 0, 13:8	DIVISOR 1, 25:20
PL Fabric 1	FPGA1_CLK_CTRL	SRCSEL, 4	SRCSEL, 5	DIVISOR 0, 13:8	DIVISOR 1, 25:20
PL Fabric 2	FPGA2_CLK_CTRL	SRCSEL, 4	SRCSEL, 5	DIVISOR 0, 13:8	DIVISOR 1, 25:20
PL Fabric 3	FPGA3_CLK_CTRL	SRCSEL, 4	SRCSEL, 5	DIVISOR 0, 13:8	DIVISOR 1, 25:20

→ FCLKCLK0
→ FCLKCLK1
→ FCLKCLK2
→ FCLKCLK3

Generación de reloj (Usando Zynq Tab)

- El Generador del reloj permite la configuración de los componentes de PLL para el PS y la PL
 - Un reloj de referencia de entrada
- Acceso a la GUI clickeando el Clock Generation Block, o realizando la selección desde el Navigator
- Configurar el reloj de periféricos del PS en la pestaña Zynq
 - El PS usa un clock PLL dedicado
 - Los periféricos de E/S del PS usan el reloj PLL y el ARM PLL
- El reloj hacia la PL es deshabilitado si está presente el PS clocking



IP Integrator – Clocking Avanzado en Zynq

➤ El Clocking básico permite la selección de la frecuencia deseada

- Las herramientas calcularán automáticamente la frecuencia más próxima alcanzable

➤ El Clocking avanzado permite el acceso a valores de reloj multiplicados o divididos para varios PLLs en el Zynq PS

➤ Provee más control para usuario

Clock Configuration [Summary Report](#)

Basic Clocking Advance Clocking

Input Frequency (MHz) 33.333333 CPU Clock Ratio 6:2:1

☒ Override Clocks

PLL Divisors	ARMPLL	DDRPLL	IOPLL
Multiplier	60	32	60
PLL Freq(MHz)	2000.000	1066.667	2000.000

Search:

Component	Clock Source	First Divisor	Second Divisor	Actual Freq...	Range(MHz)
Processor/Memory Clocks					
CPU	ARM PLL	3	NA	666.666660	50.0 : 867.0
DDR	DDR PLL	2	NA	533.333328	200.000000 : 534.000000
IO Peripheral Clocks					
SMC	IO PLL	1	NA	10.000000	10.000000 : 100.000000
QSPI	IO PLL	10	NA	199.999998	10.000000 : 200.000000
ENET0	IO PLL	16	5	25.000000	0.1 : 125
ENET1	IO PLL	1	1	10.000000	0.1 : 125
SDIO	IO PLL	40	NA	50.000000	10.000000 : 125.000000
SPI	IO PLL	1	NA	10.000000	0.000000 : 200.000000
DCI	DDR PLL	35	3	10.158730	0.100000 : 177.000000
PCAP	IO PLL	10	NA	199.999998	10.000000 : 300.000000
CAN					
CAN	IO PLL	1	1	10.000000	0.100000 : 100.000000
PL Fabric Clocks					
FCLK_CLK0	IO PLL	40	1	50.000000	0.100000 : 250.000000
FCLK_CLK1	IO PLL	40	1	50.000000	0.100000 : 250.000000
FCLK_CLK2	IO PLL	40	1	50.000000	0.100000 : 250.000000
FCLK_CLK3	IO PLL	40	1	50.000000	0.100000 : 250.000000
System Debug Clocks					
TPIU	External	NA	NA	200.000000	10.000000 : 300.000000
Timers					
WDT	CPU_1X	NA	NA	111.111110	0.100000 : 200.000000
TTC0					
TTC1					

Resets de Zynq

➤ Resets internos

- Reset de encendido (Power-on reset, POR)
- Reset de Watchdog desde los tres timers de watchdog
- Secure violation reset

➤ Resets de PS

- Reset externo: PS_SRST_B
- Warm reset: SRSTB

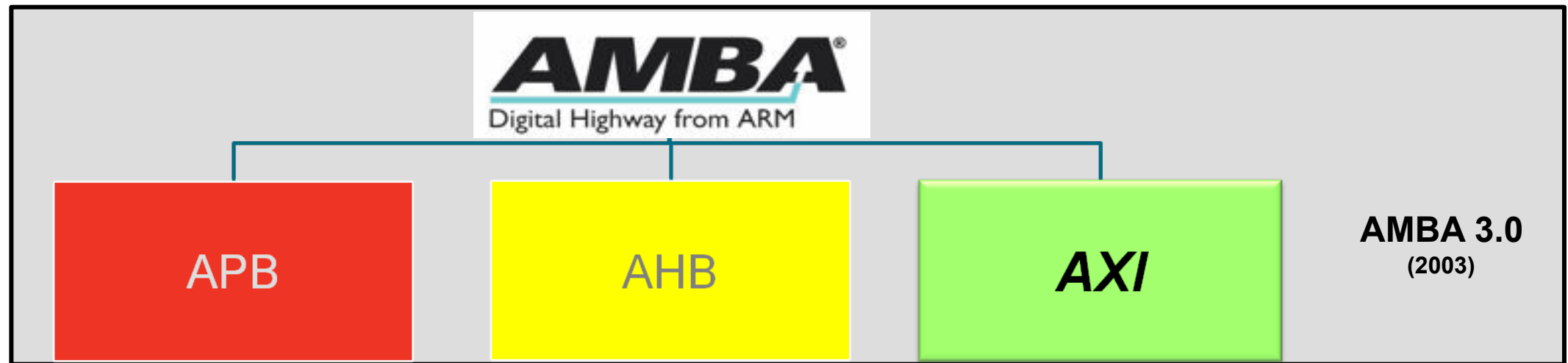
➤ Resets de PL

- Cuatro salidas de reset desde PS hacia PL
- FCLK_RESET[3:0]

Temario

- Zynq All Programmable SoC (AP SoC)
- Zynq AP SoC Processing System (PS)
- Periféricos del Processor
- Clock, Reset, y funciones de depuración
- ***Interfaces AXI***
- Resumen

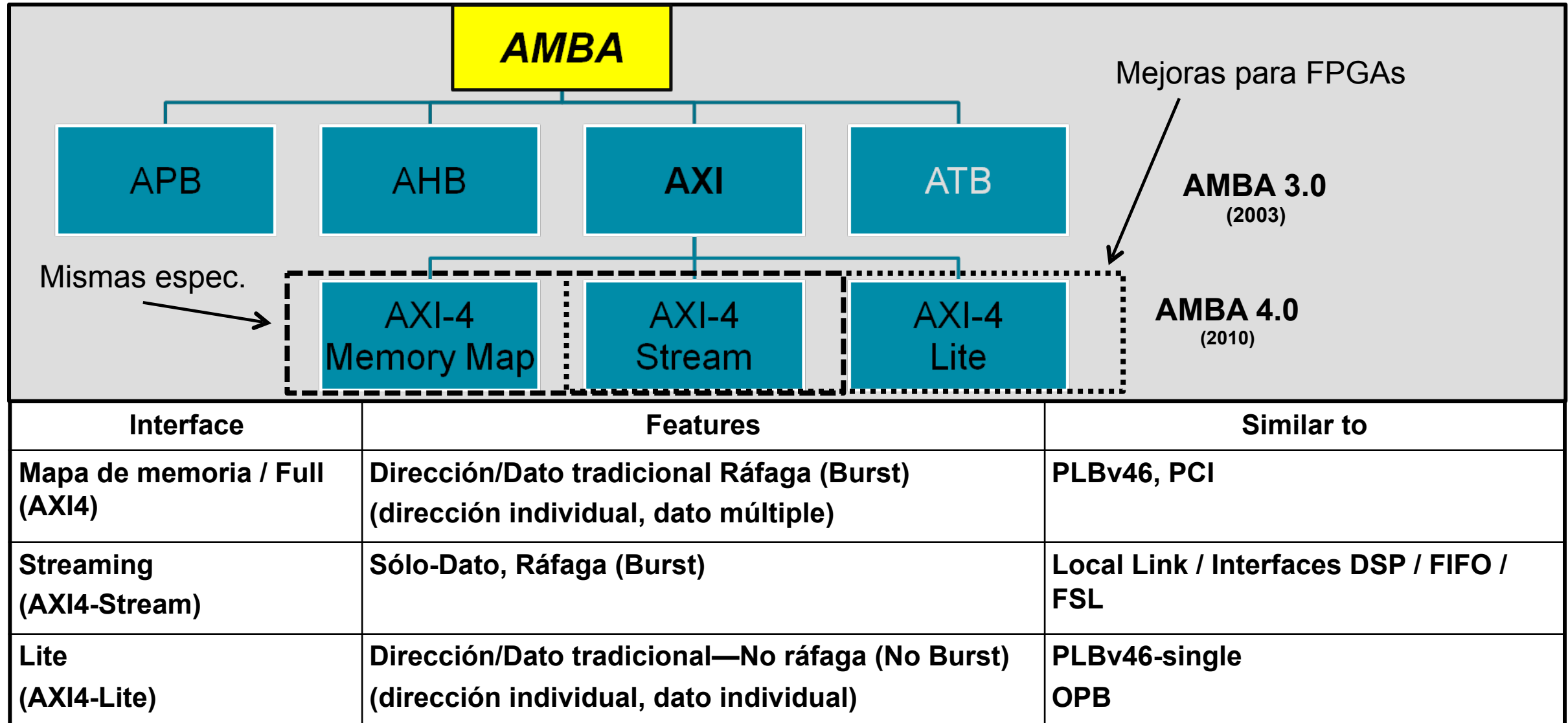
AXI es parte del AMBA de ARM



AMBA: Advanced Microcontroller Bus Architecture

AXI: Advanced Extensible Interface

AXI es parte del AMBA



Señalización básica del AXI – 5 Canales

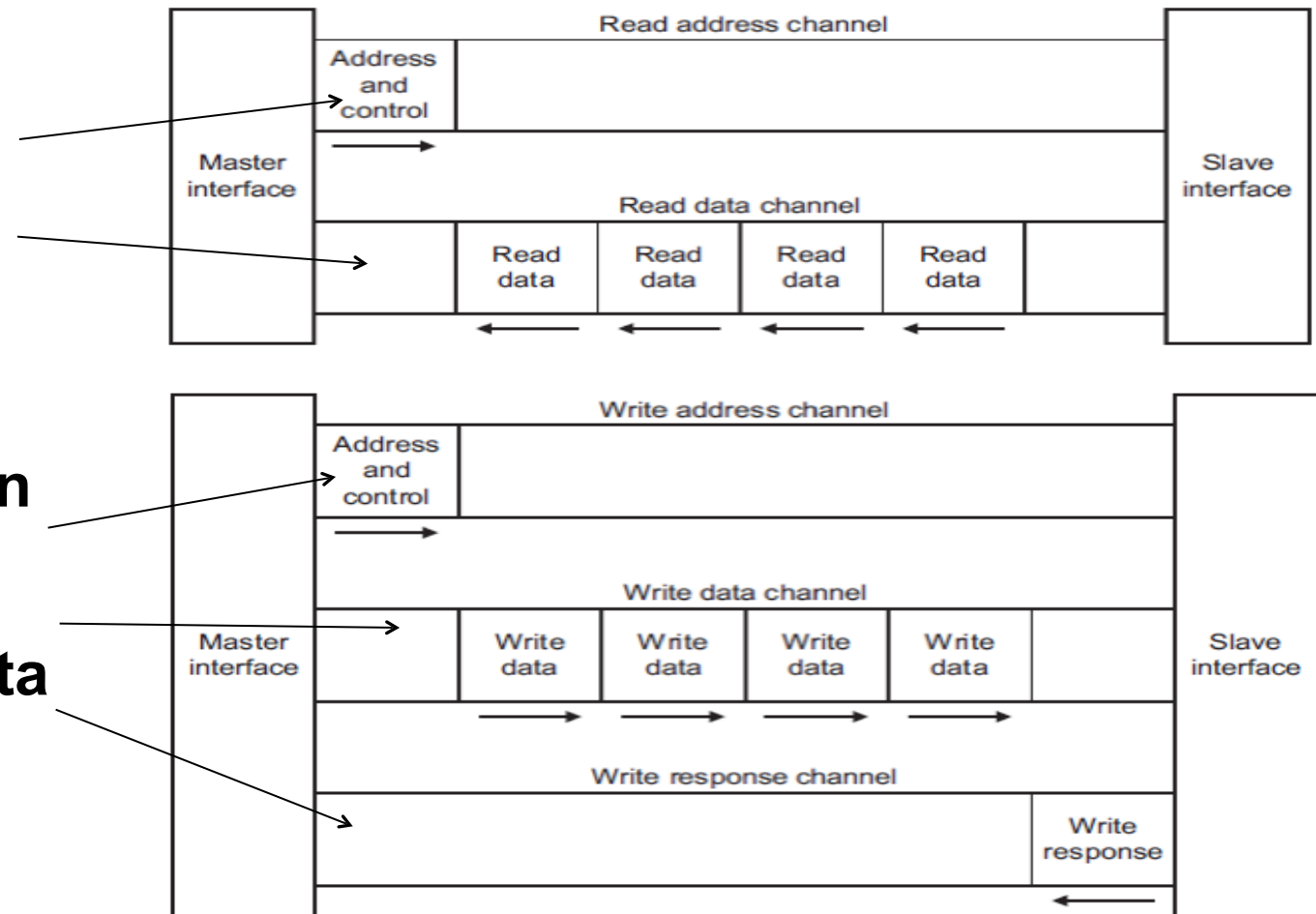
1. Leer canal de dirección

2. Leer canal de dato

3. Escribir canal de dirección

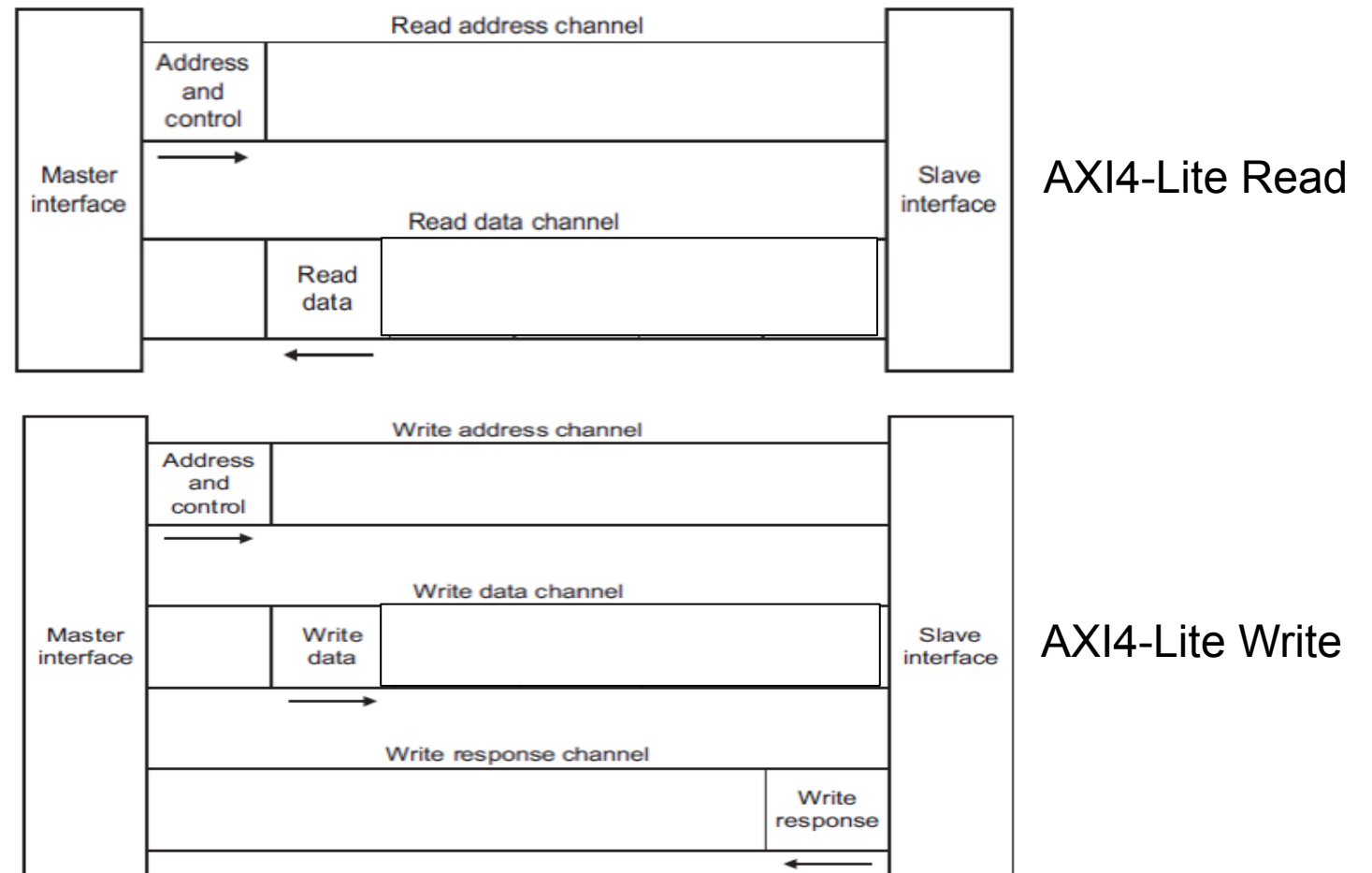
4. Escribir canal de dato

5. Escribir canal de respuesta



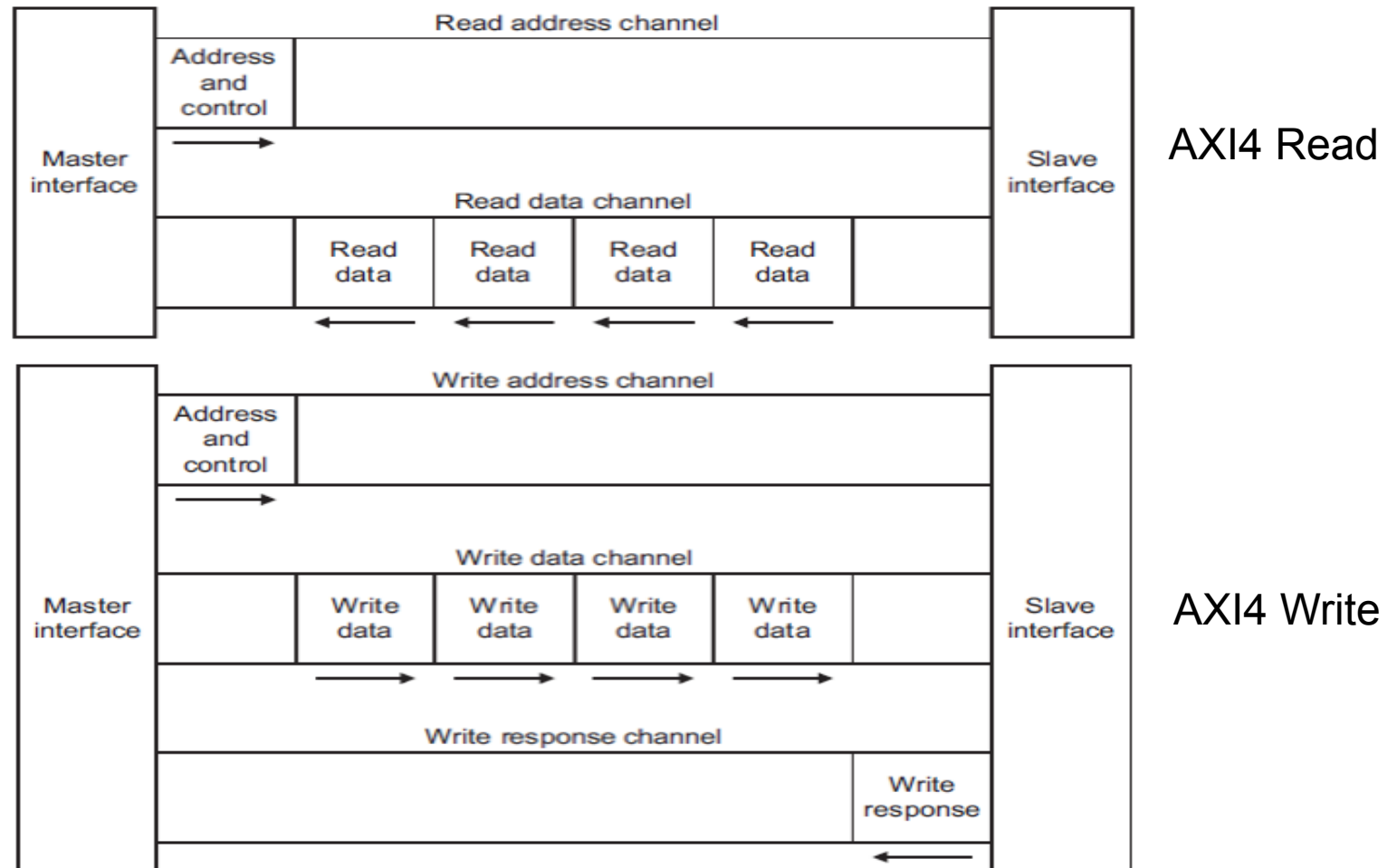
La Interfaz AXI —AXI4-Lite

- No ráfaga (No burst)
- Ancho de dato de 32 o 64, solamente
 - La IP de Xilinx sólo soporta 32-bits
- Footprint muy pequeño
- El bridging hacia el AXI4 es manejado automáticamente por AXI_Interconnect (si es necesario)



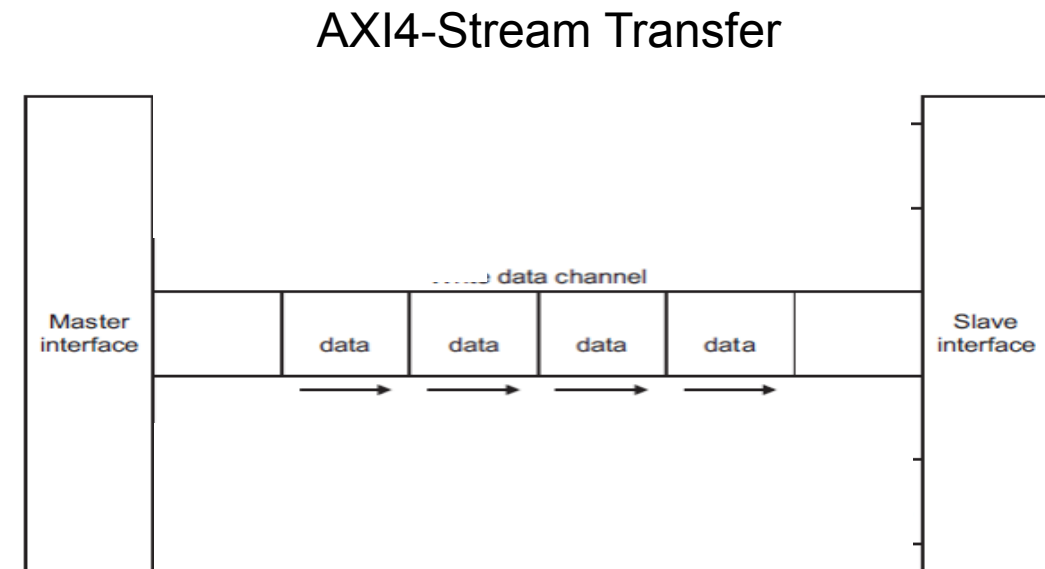
La Interfaz AXI —AXI4

- A veces llamado “Full AXI” o “AXI Memory Mapped”
 - Not **ARM-sanctioned** names
- Dirección simple dato múltiple
 - Ráfaga (Burst) hasta 256 data beats
- Ancho de dato parametrizable
 - 1024 bits



La Interfaz AXI —AXI4-Stream

- **Sin canal de dirección, sin lectura ni escritura, siempre sólo maestro hacia esclavo**
 - Effectively an AXI4 “write data” channel
- **Largo de la ráfaga ilimitado**
 - AXI4 max 256
 - AXI4-Lite no realiza ráfagas
- **Virtualmente la misma señalización que AXI Data Channels**
 - El protocolo permite merging, packing, conversión de ancho
 - Soporta streams dispersos (sparse), continuos, alineados, y desalineados



Aplicaciones de Streaming

➤ Puede no tener paquetes

- Ej: Up converter digital
 - No existe el concepto de dirección (address)
 - Free-running data (in this case)
 - En esta situación, AXI4-Stream se optimizaría a una interfaz muy simple

➤ Puede tener paquetes

- Ej: PCIe
 - Sus paquetes pueden contener información diferente
 - Típicamente se necesita alguna clase de lógica de bridge

Temario

- Zynq All Programmable SoC (AP SoC)
- Zynq AP SoC Processing System (PS)
- Periféricos del Processor
- Clock, Reset, y funciones de depuración
- Interfaces AXI
- ***Resumen***

- **La plataforma de procesamiento Zynq-7000 es un sistema sobre un procesador (SoC) con lógica programable embebida**
- **El sistema de procesamiento (PS) es el núcleo doble de silicio consistente de:**
 - APU y una lista de componentes
 - Dos procesadores Cortex-A9
 - Co-procesador NEON
 - Controlador de interrupciones general (GIC)
 - Timers generales y watchdogs
 - Periféricos de E/S
 - Interfaces de memoria externa

- La Lógica Programable (PL) consiste de dispositivos de la serie 7
- AXI es una interfaz que provee alto rendimiento a través de conexiones punto a punto
- AXI tiene interfaces separadas, independientes, implementadas con canales
- La interfaz AXI4 ofrece mejoras sobre AXI3 y define
 - Full AXI memory mapped
 - AXI Lite
 - AXI Stream
- Puertos AXI fuertemente asociados para interfacear la PL y el PS para una performance máxima
- El PS bootea desde una selección de memorias externas
- La PL es configurada por y después del booteo del PS
- El PS provee recursos de clocking a la PL
- La PL puede no proveer clocking al PS