

ForwardCom: открытый стандарт набора команд для высокопроизводительных микропроцессоров

Агнер Фог

27 июля 2016 г.

Оглавление

1	Введение	2
1.1	Основные моменты	2
1.2	Основы	3
1.3	Цели дизайна	3
1.4	Сравнение с другими открытыми наборами команд	4
1.5	Литература и ссылки	5
2	Основы архитектуры	6
2.1	Полностью ортогональный набор команд	6
2.2	Размер команды	6
2.3	Набор регистров	7
2.4	Поддержка векторов	7
2.5	Циклы по векторам	8
2.6	Максимальная длина вектора	9
2.7	Маски команд	10
2.8	Режимы адресации	10
3	Форматы команд	11
3.1	Форматы и шаблоны	11
3.2	Кодирование операндов	15
	Тип операнда	15
	Тип регистра	15
	Регистры–указатели	16
	Индексные регистры	16
	Смещения	16
	Лимит для индекса	16
	Длина вектора	16
	Комбинирование векторов с различными длинами	17
	Непосредственно заданные константы	17
	Регистры масок	17
3.3	Кодирование масок	17
3.4	Формат команд перехода, вызова, и ветвления	18
3.5	Назначение кодов операций	23
4	Списки команд	25
4.1	Список многоформатных команд	28
4.2	Список малых команд	29
4.3	Список одноформатных команд	30
4.4	Описание команд	37
	Многоформатные команды	37

Глава 1. Введение

ForwardCom означает Forward Compatible Computer system.

Данный документ предлагает новую открытую архитектуру набора команд, спроектированную для оптимальной производительности, гибкости и масштабируемости. Проект ForwardCom включает в себя как новую архитектуру набора команд, так и соответствующую экосистему программных стандартов — прикладной двоичный интерфейс (ABI), управление памятью, средства разработки, форматы библиотек и системные функции. Этот проект иллюстрирует улучшения, которых можно добиться посредством полного вертикального перепроектирования аппаратного и программного обеспечения, основываясь на открытом совместном процессе.

Настоящее руководство и весь связанный с ним код находятся по адресу <https://github.com/ForwardCom>.

1.1. Основные моменты

- Набор команд ForwardCom является компромиссом между принципами RISC и CISC, объединяя быстрый и оптимизированный дизайн декодирования и конвейера RISC-систем с компактностью и большим числом работы, в пересчёте на одну команду, CISC-систем.
- Дизайн ForwardCom — масштабируется, для поддержки как малых встроенных систем, так и огромных суперкомпьютеров и векторных процессоров, без потери двоичной совместимости.
- Для обработки больших наборов данных предоставляются векторные регистры переменной длины.
- Циклы по массивам реализованы новым гибким способом, автоматически использующим максимальную длину вектора, поддерживаемую микропроцессором, во всех итерациях цикла, кроме последней. Последняя итерация автоматически использует такую длину вектора, в которую целиком помещается оставшееся число элементов. Для обработки с оставшихся данных и специальных случаев не нужно никакого дополнительного кода. Нет нужды компилировать код отдельно для разных микропроцессоров с разными длинами векторов.
- Когда становится доступным новый микропроцессор, с большей длины векторными регистрами, не нужно перекомпиляции или обновления программного обеспечения. Программное обеспечение гарантированно будет совместимым снизу вверх, и получит преимущество от более длинных векторов новых моделей микропроцессора.
- Сильные функции безопасности — фундаментальная часть аппаратного и программного дизайна.
- Управление памятью проще и эффективнее, чем в традиционных системах. Используются различные приёмы для устранения фрагментации памяти. Нет разбиения памяти на страницы и буфера ассоциативной трансляции (translation lookaside buffer, TLB). Вместо этого есть отображение памяти, с ограниченным количеством секций переменного размера.
- Нет динамически компоуемых библиотек (dynamic link libraries, DLLs) или разделяемых объектов. Вместо этого есть лишь один тип библиотек функций, который может использоваться и для статической, и для динамической компоновки. Загружается и компоуется лишь та часть библиотеки, которая действительно используется. Библиотечный код почти во всех случаях хранится непрерывно с кодом основной программы. В момент загрузки на основании аппаратной конфигурации, операционной системы, или окружения пользовательского интерфейса, можно автоматически выбирать разные версии функции или библиотеки.
- Предоставляется механизм для вычисления требуемого размера стека, что может в большинстве случаев предотвратить переполнение стека, не создавая при этом стек большего размера, чем необходимо.
- Предоставляется механизм оптимального распределения регистров по программным модулям и библиотекам функций. Это делает возможным сохранение большинства переменных в регистрах без сброса этих переменных в память. Векторные регистры могут быть сохранены эффективным способом, сохраняющим только ту часть регистра, которая действительно используется.

1.2. Основы

Архитектура набора команд — это стандартизированный набор машинных команд, который может выполнять компьютер. Имеется много используемых архитектур наборов команд.

Некоторые широко используемые наборы команд плохо спроектированы с самого начала. Эти системы много раз дополнялись расширениями и заплатками. Один из наихудших случаев — широко используемый набор команд x86 и его многочисленные расширения. Набор команд x86 — результат длительной истории недальновидных расширений и заплаток. Результат этой разработки — очень сложная архитектура, с тысячами разных кодов команд, очень сложная и дорогая для декодирования микропроцессором. Мы должны извлечь уроки из прошлых ошибок, чтобы сделать более хороший выбор при проектировании новой архитектуры набора команд и поддерживающего её программного обеспечения.

Дизайн должен быть основан на открытом процессе. Кырсте Асанович (Krste Asanović) и Дэвид Паттерсон (David Patterson) представили убедительные аргументы в пользу того, что следует предпочесть открытый набор команд. Открытость может быть решающей для успеха технического дизайна. Например, первоначальный IBM PC в начале 1980-х имел преимущество по сравнению с конкурирующими компьютерами, ибо открытая архитектура позволяла другим производителям аппаратного и программного обеспечения выпускать совместимое оборудование. IBM утратила своё доминирующее положение на рынке, когда она в 1987г. перешла к проприетарной Micro Channel Architecture. Также хорошо известен и не нуждается в дальнейшем обсуждении успех программного обеспечения с открытым исходным кодом. Единственно, что отсутствует в полной компьютерной экосистеме, основанной на открытых стандартах — открытая микропроцессорная архитектура, открывающая рынок также для меньших производителей микропроцессоров и для нишевых продуктов.

Настоящее руководство основано на обсуждении на различных интернет-форумах. Спецификации являются предварительными. Разработка нового стандарта извлекла бы пользу из длинной экспериментальной фазы, и было бы неразумно зафиксировать стандарт на данной, начальной, стадии.

1.3. Цели дизайна

Ранее опубликованные открытые наборы команд подходят для малых, дешёвых микропроцессоров, предназначенных для встроенных систем, однокристалльных систем, реализаций на основе ПЛИС для научных экспериментов, и т.п. Предлагаемая архитектура ForwardCom развивает эту идею, и нацелена на дизайн, который может превзойти существующие высокопроизводительные процессоры.

Набор команд ForwardCom основан на следующих приоритетах:

- Набор команд должен обладать простым и последовательным модульным дизайном.
- Набор команд должен представлять подходящий компромисс между принципами RISC, позволяющими быстрое декодирование, и принципами CISC, делающими возможным выполнение большей работы в расчёте на одну команду и более эффективное использование кэша кода.
- Дизайн должен быть расширяемым, чтобы новые команды и расширения можно было добавлять последовательным и предсказуемым образом.
- Дизайн должен быть масштабируемым, чтобы он подходил и для малых компьютеров с памятью на кристалле, и для огромных суперкомпьютеров с очень большими векторами.
- Дизайн должен быть конкурентоспособен по сравнению с имеющимися коммерческими, и сосредоточен на высокопроизводительных приложениях завтрашнего дня, а не низкопроизводительных приложениях дня вчерашнего.
- Поддержка векторов и других черт, которые, как давно доказано, существенны для высокой производительности, должна быть фундаментальной частью дизайна, а не неуклюжим отроостком.
- Фундаментальной частью дизайна должна быть безопасность, а не специально добавляемые заплатки.
- Набор команд должен быть спроектирован в открытом процессе, с участием международного сообщества программистов и „железячников“, подобно работе по стандартизации в других технических областях.

- Весь вертикальный дизайн должен быть непроприетарным, и должен позволять всем создавать совместимое программное обеспечение, аппаратное обеспечение, и оборудование, для тестирования, отладки, и эмуляции.
- Решения о командах и расширениях должны определяться не краткосрочными маркетинговыми соображениями монополистической микропроцессорной промышленности, а долгосрочными нуждами всего сообщества программистов, „железячников“, и организаций.
- Дизайн должен позволять построение совместимого снизу вверх программного обеспечения, которое будет работать без перекомпиляции на будущих процессорах с большего размера векторными регистрами.
- Дизайн должен позволять специфичные для приложения расширения.
- Базовые аспекты экосистемы — стандарт для ABI, ассемблер, компиляторы, библиотеки функций, системные функции, каркас пользовательского интерфейса, и т.п. — также, ради максимальной совместимости, должны быть стандартизированы.

Новому набору команд нелегко будет добиться успеха на коммерческом рынке, даже если этот набор лучше, нежели устаревшие системы, поскольку рынок предпочитает обратную совместимость с существующим программным и аппаратным обеспечением. Вряд ли набор команд ForwardCom станет успешным коммерческим продуктом, но обсуждение идеального набора команд и программной экосистемы всё же могло бы быть полезным. Проект ForwardCom уже породил много важных идей, так что его стоит разрабатывать дальше, даже если мы не узнаем, когда он закончится. Настоящая работа может быть полезной, если по другим причинам должна возникнуть необходимость во введении нового набора команд. Работа будет особенно полезной для больших векторных процессоров; для приложений, в которых важна безопасность; для операционных систем реального времени; а равно и для проектов, в которых были бы препятствием патентные и лицензионные ограничения иных архитектур.

Предложения данного документа могут также быть полезны как источник вдохновения и для научных экспериментов. Многие идеи не зависят от деталей дизайна, и могут быть реализованы в существующих системах.

1.4. Сравнение с другими открытыми наборами команд

Было предложено несколько других открытых наборов команд, наиболее заметные — RISC-V и OpenRISC. Оба имеют чистый RISC-дизайн, с, преимущественно, фиксированным 32-разрядными командными словами. Эти наборы команд подходят для малых систем, где экономится место на кремнии, но они не спроектированы для высокопроизводительных суперскалярных процессоров, и не сосредоточены на деталях, критичных для достижения максимальной производительности в больших системах. Настоящее предложение рассматривается как следующий шаг к созданию открытого набора команд, который действительно эффективнее наилучших сегодняшних коммерческих наборов команд.

Типичный RISC-дизайн с размером команды, ограниченным 32 разрядами, оставляет ограниченное пространство для непосредственно заданных констант и адресов находящихся в памяти операндов. Программе среднего размера потребуются 32-разрядные относительные адреса находящихся в статической памяти операндов, во избежание переполнения во время процесса перерасмещения адресов компоновщиком. Тридцатидвухразрядный относительный адрес требует нескольких команд в чистых RISC-дизайнах. Например, для прибавления находящегося в памяти операнда к регистру в чистом RISC-дизайне с только 32-разрядными командными словами вам потребуется пять команд: (1) загрузить младшую часть 32-разрядного адресного смещения; (2) прибавить старшую часть 32-разрядного адресного смещения; (3) прибавить точку отсчёта или указатель команд к этому значению; (4) прочесть операнд, находящийся по вычисленному адресу памяти; (5) выполнить желаемое сложение. Дизайн ForwardCom выполняет все указанные действия одной командой с удвоенным размером слова. Преимущество в скорости очевидно. Вычисление адреса, загрузка, и выполнение, чтобы достичь плавного прохода одной команды за такт в каждой ветви конвейера, осуществляются на своих стадиях конвейера,

Другое важное отличие состоит в том, что предыдущие RISC-дизайны имели ограниченную поддержку векторных операций. Дизайн ForwardCom вводит новую систему векторных регистров переменной длины, более эффективную и гибкую, чем наилучшие имеющиеся коммерческие дизайны. Эффективные векторные операции существенны для получения максимальной производительности, и были важным приоритетом в предлагаемом здесь дизайне ForwardCom.

1.5. Литература и ссылки

- Krste Asanović and David Patterson: "The Case for Open Instruction Sets. Open ISA Would Enable Free Competition in Processor Design". Microprocessor Report, August 18, 2014.
www.linleygroup.com/mpr/article.php?id=11267
- RISC-V: The Free and Open RISC Instruction Set Architecture riscv.org
- OpenRISC: openrisc.io
- Open Cores: opencores.org
- Agner Fog: Proposal for an ideal extensible instruction set, 2015. A blog discussion thread that initiated the ForwardCom project.
www.agner.org/optimize/blog/read.php?i=421
- Agner Fog: Stop the instruction set war, 2009. Blog post about the problems with the x86 instruction set.
www.agner.org/optimize/blog/read.php?i=25
- Darek Mihocka: Standard Need To Be Forward Looking, 2007. Blog post criticizing the x86 instruction set standard.
www.emulators.com/docs/nx02_standards.htm. See also the following pages.

Глава 2. Основы архитектуры

В данной главе приводится обзор наиболее важных черт архитектуры набора команд ForwardCom. Детали приводятся в последующих главах.

2.1. Полностью ортогональный набор команд

Набор команд ForwardCom — полностью ортогонален во всех отношениях. Одна и та же команда может использовать целочисленные операнды всех размеров и вещественные операнды всех точностей. Она может использовать регистровые операнды, операнды из памяти, или непосредственно заданные операнды. Она может также использовать много разных режимов адресации. Команды могут кодироваться в коротких формах с двумя операндами, в которых один и тот же регистр и как операнд–приёмник, и как операнд источник; или в более длинных формах с тремя операндами. Команда может работать со скалярами и векторами любого размера. Она может иметь предикаты или маски для условного выполнения для векторов на уровне элементов, и может иметь в качестве входных аргументов флаги — для определения режима округления, управления исключениями, и других деталей, там, где это нужно. Константные данные всех типов могут включаться в команды, и, для уменьшения размера команды, сжиматься различными способами.

Обоснование

Ортогональность реализуется посредством стандартизированного модульного дизайна, что упрощает реализацию аппаратуры, а также делает компиляцию более простой и гибкой, и облегчает компилятору преобразование линейного кода в векторный.

Поддержка непосредственно заданных констант всех типов является улучшением, по сравнению с имеющимися системами. Большинство имеющихся систем хранят вещественные константы в сегменте данных, и обращаются к ним через 32–разрядные адреса в коде команды. Это является пустой тратой места в кэше данных и вызывает много промахов кэша, так как данные разбросаны по разным секциям. Замена 32–разрядного адреса 32–разрядной непосредственно заданной константой делает код более эффективным и не увеличивает размер кода. Расширения, позволяющие 64–разрядные непосредственно заданные константы, возможны ценой наличия команд тройной длины. Однако эта возможность в базовом дизайне ForwardCom не требуется, поскольку, по объяснённым ниже причинам, приоритет состоял в минимизации количества разных размеров команд.

2.2. Размер команды

Набор команд ForwardCom для кода использует 32–разрядное слово. Команда может состоять из одного или двух 32–разрядных слов, с возможным расширением на три или более слова. Плотность кода можно увеличить, используя малые команды половинного размера, а равная 32 разрядам единица размера сохраняется соединением малых команд по две. Невозможно перейти во вторую малую команду из такой пары малых команд. В будущем можно добавить расширения с командами размером в три или более слова.

Обоснование

Архитектура CISC с многими разными размерами команд — неэффективна для суперскалярных процессоров, на которых мы хотим выполнять несколько команд за такт. Декодирующий препроцессор — часто узкое место. Вы должны определить длину первой команды, прежде чем узнаете начало новой команды. „Декодирование длин команд“ по своей сути — последовательный процесс, что делает сложным декодирование нескольких команд за такт. У некоторых микропроцессоров, чтобы обойти это узкое место, есть дополнительный „кэш микроопераций“, находящийся после декодера.

Желательно иметь как можно меньше разных длин команд, и чтобы облегчить определение длины каждой команды. Мы хотим малый размер команды для наиболее употребляемых простых команд, но нам также

нужен большой размер команд, чтобы вместить вещи вроде большого набора регистров, команд с многими операндами, векторных операций с продвинутыми возможностями, 32-разрядных адресных смещений, и больших непосредственно заданных констант. Данное предложение — компромисс между компактностью кода, лёгким декодированием, и пространством для продвинутых возможностей.

2.3. Набор регистров

Имеется 32 регистра общего назначения (r0–r31) по 64 разряда в каждом, и 32 векторных регистра (v0–v31) переменной длины. Максимальная длина вектора — разная для разных реализаций аппаратуры. Регистры общего назначения можно использовать для целых чисел разрядности до 64 включительно и для указателей. Векторные регистры можно использовать для скаляров, либо для векторов, состоящих из целых и вещественных чисел.

Определяются следующие специальные регистры, видимые на уровне прикладной программы (все — 64-разрядные):

- указатель команд (Instruction pointer, IP);
- указатель секции данных (Data section pointer, DATAP);
- указатель блока окружения потока (Thread environment block pointer THREADP);
- указатель стека (Stack pointer, SP);
- численный управляющий регистр (Numeric control register, NUMCONTR).

Указатель стека идентичен r31. К другим специальным регистрам как к обычным регистрам обращаться нельзя.

Специального регистра флагов нет. Регистры r1–r7 и v1–v7 могут использоваться для масок, предикатов, и флагов для вещественных чисел, для управления такими атрибутами, как режим округления и управление исключениями.

Неиспользуемая часть регистра всегда устанавливается равной нулю. Это означает, что целочисленные операции с размером операнда, меньшим 64 разрядов, и векторные операции с размером вектора, меньшим максимального, всегда обнуляют неиспользуемые разряды регистра-приёмника.

Обоснование

Количество регистров — компромисс между плотностью кода и гибкостью. Цена сброса регистров в память обычно важна лишь в критичном наиболее глубоко вложенном цикле, которому вряд ли нужно более 32 регистров.

Мы можем избежать ложных зависимостей от предыдущего содержимого регистра, обнулив все неиспользуемые разряды регистра, вместо того, чтобы оставлять их неизменными. Аппаратура может сэкономить энергию, отключив неиспользуемые части исполнительных модулей и шин данных.

Специальный регистр флагов нежелателен для кода, планирующего вычисления как посредник между последними, и для векторного кода.

Причина обработки вещественных скаляров в векторных регистрах, а не в отдельных регистрах, заключается в облегчении для компилятора преобразования скалярного кода, включающего вызовы функций, в векторный код. Вещественный код часто содержит вызовы функций из математической библиотеки. Если библиотечная функция имеет векторы переменной длины и на входе, и на выходе, то та же функция может использоваться и для скаляров, и для векторов, а компилятор может легко векторизовать код, содержащий такие вызовы библиотечных функций.

2.4. Поддержка векторов

Векторные регистры могут содержать целые числа размером в 8, 16, 32, 64, и, возможно, 128 разрядов, или вещественные числа одинарной, двойной, и, возможно, четырёхкратной точности. Все элементы вектора обязаны иметь один и тот же тип. Элементы вектора обрабатываются параллельно. Например, векторное сложение даёт сумму двух векторов за одну операцию.

Векторные регистры имеют переменную длину. Каждый векторный регистр имеет дополнительные разряды для хранения длины вектора. Максимальная длина вектора зависит от аппаратуры. Например, если аппаратура поддерживает максимальную длину вектора, равную 64 байтам, а конкретному приложению нужно лишь 16 байт, то длина вектора устанавливается равной 16.

Некоторым командам необходимо явно указывать длину вектора, например, для чтения вектора из памяти. Эти команды используют регистр общего назначения для указания длины вектора. Длина обычно указывается как количество байтов, а не количество элементов вектора.

Сведения о максимальной длине вектора предоставляет специальный регистр. Максимальная длина, поддерживаемая процессором, должна быть степенью двойки. Используемая длина не обязана быть степенью двойки. Если используемая длина больше максимальной, то используется максимальная длина.

Содержимое векторного регистра может произвольно интерпретироваться как имеющее любые поддерживаемые типы и размеры. Например, аппаратура не предотвращает применение целочисленных команд к векторам, содержащим вещественные данные. То, что код имеет смысл — на совести программиста.

2.5. Циклы по векторам

Чтобы сделать циклы по векторам более компактными, предоставляется специальный режим адресации. Он использует базовый указатель P и отрицательный индекс J , и вычисляет адрес находящегося в памяти операнда как $P - J$, где P и J — регистры общего назначения. Это делает возможным выполнение цикла по массиву так, как это показано следующим псевдокодом:

```
P = адрес массива
J = размер массива (в байтах)
L = максимальная длина вектора (зависит от процессора)
X = векторный регистр
P += J; // указывает на конец массива
while (J > 0) {
    X = некая_операция(X), [P-J], (длина вектора, J)
    J -= L;
}
```

Данный цикл работает следующим образом: P указывает на конец массива, J представляет собой количество оставшихся элементов массива, уменьшающееся до тех пор, пока цикл не завершится. Цикл читает по одному вектору, находящемуся по адресу $[P - J]$, за раз. На всех итерациях цикла, кроме последней, J больше максимальной длины вектора, L , что заставляет процессор использовать максимальную длину вектора. Если размер массива не кратен максимальной длине вектора, то на последней итерации цикл будет использовать вектор меньшей длины, чтобы поместить оставшееся количество элементов. Очевидно, что цикл может содержать любое количество операций чтения векторов, записи векторов, и векторных арифметических команд, используя тот же принцип.

Данный цикл будет работать на разных процессорах, с разными максимальными длинами векторов, не зная в момент компиляции максимальную длину вектора. Таким образом, одна и та же часть программного обеспечения будет работать на разных микропроцессорах, с разными длинами векторов, без необходимости компилировать отдельно для каждого микропроцессора. Ещё одно преимущество состоит в том, что по завершении цикла не нужно никакого дополнительного кода для обработки оставшихся элементов, в случае, если размер массива не кратен длине вектора.

Обоснование

Большинство существующих систем имеют фиксированные длины векторов. Если разные процессоры имеют разные длины векторов, то вы должны компилировать код отдельно для каждой длины вектора. Каждый раз, когда на рынке появляется новый процессор с большей длиной векторов, вы должны откомпилировать новую версию кода, для новой длины вектора, используя вновь определённые расширения набора команд. Для нового программного обеспечения обычно требуется несколько лет для разработки и выхода на основной рынок. Для производителей программного обеспечения дорого разрабатывать и сопровождать разные версии их кода для каждой изредка появляющейся длины вектора.

Ещё одна проблема существующих систем заключается в том, что невозможно сохранить векторный регистр способом, который гарантированно совместим с последующими процессорами, имеющими более длинные вектора. Этой проблемы в дизайне ForwardCom нет, ибо длина вектора сохраняется в векторном регистре. Предоставляются команды для сохранения и восстановления векторов переменной длины и для сохранения лишь той части векторного регистра, которая действительно используется.

Дизайн ForwardCom делает возможным получение преимуществ нового процессора с более длинными векторными регистрами сразу же, без перекомпиляции кода. Метод выполнения цикла, описанный выше, делает это легко и очень эффективно. Вам не нужны разные версии кода для разных процессоров.

Можно получить тот же самый эффект и без специального режима отрицательной адресации, если обратить знак J и разрешить отрицательное значение в регистре, указывающем длину вектора, в то же время используя абсолютную величину в качестве длины вектора. Это решение менее элегантно и более запутанно, но его можно включить в дизайн ForwardCom, разрешив отрицательные значения при указании длины вектора.

Разворачивание цикла, как правило, не нужно: накладные расходы на цикл уже уменьшены до одной команды (вычитания и перехода, если положительно), и суперскалярный процессор выполнит много итераций параллельно, если цепочки зависимости не слишком длинны. Разворачивание цикла с многими аккумуляторами может быть полезно для сокращения проходящей через весь цикл зависимости. В этом случае вы либо вставляете в развёрнутом коде после каждой секции команды управления циклом, либо вычисляете количество итераций цикла перед его началом.

У дизайна ForwardCom нет практического ограничения на длину вектора, которую может поддерживать микропроцессор. Большой микропроцессор с очень длинными векторами может быть полезен для вычислений с высокой степенью параллелизма по данным. Обсуждались и другие способы достижения высокой производительности при параллельной обработке данных, такие, как вращающиеся стеки регистров и программная конвейеризация, но был сделан вывод, что длинные векторы — метод, который может быть реализован эффективнее всего и в микропроцессоре, и в компиляторе.

2.6. Максимальная длина вектора

Максимальная длина векторных регистров будет разной у разных процессоров. Максимальная длина должна быть степенью двойки, и может быть столь большой, насколько желаемо, и должна быть не меньше 16 байт. Каждая команда может использовать меньшую длину, которой не нужно быть степенью двойки.

Максимальная длина может быть разной для элементов разных размеров. Например, максимальная длина для 32-разрядных целых чисел может быть равна 32 байтам, чтобы содержать восемь целых чисел, тогда как максимальная длина для 8-разрядных целых чисел могла бы быть равной 16 байтам, чтобы содержать 16 меньших чисел. Однако для разных типов с одним и тем же размером элемента максимальная длина должна быть одной и той же. Например, максимальная длина для вещественных чисел двойной точности должна быть такой же, что и для 64-разрядных целых чисел, поскольку циклы наверняка содержат оба типа, когда целочисленные вектора используются как маски для вещественных векторов. Максимальная длина для 32-разрядных элементов не может быть меньше, чем для элементов другого размера или типа операнда. Данное правило гарантирует возможность сохранения полного вектора при использовании 32-разрядного типа операнда.

Максимальная длина вектора, как правило, должна быть одна и та же для всех команд с одним и тем же типом данных. Однако могут быть исключения для команд, которые особенно дорого реализовать.

Несколько специальных регистров дают сведения о максимальной длине вектора, поддерживаемой аппаратурой, для каждого размера элемента вектора. Прикладная программа или операционная система может уменьшить максимальный размер вектора, что может быть полезным, если меньший размер вектора более подходит для конкретной цели.

Также можно уменьшить размер вектора для целей эмуляции. Виртуальные векторные регистры, которые больше, нежели поддерживает аппаратура, могут эмулироваться с помощью ловушек (синхронных прерываний), чтобы проверить функциональность программы на процессорах с большей максимальной длиной вектора, чем доступно в настоящий момент.

Когда команда указывает более длинный вектор, чем максимально возможно, то, если не активирована эмуляция больших векторов, используется максимальная длина. Это необходимо для эффективной реализации циклов по векторам, как описано выше, на с. 8.

2.7. Маски команд

Большинство команд может иметь регистр маски, который может использоваться для условного выполнения и для указания различных опций. Команды, работающие с регистрами общего назначения, в качестве регистра маски или предиката используют один из регистров $r1-r7$. Бит 0 регистра маски указывает, выполняется ли команда, или нет; бит 1 — должен ли результат быть нулём или остаться неизменным, в случае, когда операция не выполняется.

Данный механизм может быть векторизован. Команды, работающие с векторными регистрами, в качестве регистров маски используют векторные регистры $v1-v7$. Вычисление над каждым элементом вектора обусловлено соответствующим элементом регистра маски.

Дополнительные разряды регистра маски используются для различных опций, перекрывая значения в численном управляющем регистре.

2.8. Режимы адресации

Вся адресация памяти — относительно некоторого базового указателя. Находящийся в памяти операнд может адресоваться с помощью одной из двух общих форм:

$$\text{Address} = \text{BP} + \text{IX} * \text{SF}$$
$$\text{Address} = \text{BP} + \text{OS}$$

Здесь BP — 64-разрядный базовый указатель, IX — 64-разрядный индексный регистр, SF — масштабирующий множитель, а OS — непосредственно заданное смещение. Базовый указатель присутствует всегда, остальные элементы — необязательны.

Базовый указатель, BP, может быть регистром общего назначения, указателем секции данных (DATAP), указателем команд (IP), или указателем стека (SP).

Индексный регистр, IX, может быть одним из регистров $r0-r30$. Значение, равное 31, означает отсутствие индексного регистра.

К индексному регистру можно применить лимит, в виде 16-разрядного беззнакового целого числа. Если индексный регистр больше (в смысле беззнакового сравнения), чем лимит, то возбуждается синхронное прерывание (trap).

Масштабирующий множитель, SF, равен размеру (в байтах) для скалярных операндов и для размножений значений. Для векторных операндов масштабирующий множитель равен 1. Как объяснено на с. 8, также доступен специальный режим адресации с $\text{SF} = -1$.

Смещение, OS, представляет собой расширенное знаком восьми-, шестнадцати-, или тридцатидвухразрядное число. Восьмиразрядные смещения умножаются на размер операнда. У шестнадцати- и тридцатидвухразрядных смещений множителя нет.

Поддержка режимов адресации и с индексом, и со смещением, — необязательна.

Переходы и вызовы указывают целевой адрес относительно указателя команд. Относительный адрес указывается со знаковым смещением размером в 8, 16, 24, или 32 разряда, умноженным на размер слова кода, равный 4 байтам. При 32-разрядном смещении охватывается адресный диапазон $\pm 8\text{ГБ}$.

Обоснование

Используется 64-разрядное адресное пространство. Относительная адресация используется для того, чтобы в коде команды избежать 64-разрядных адресов. В том редком случае, когда 64-разрядный абсолютный адрес необходим, он должен быть загружен в регистр, который затем используется как указатель.

Адресация с индексом, масштабируемым размером операнда, полезна для массивов. К индексу может быть применён лимит, так что границы массивов можно проверить без каких-либо дополнительных команд.

Адресация с отрицательным индексом полезна для эффективной реализации циклов по векторам, описанной на с. 8.

Указанные здесь режимы адресации охватят все распространённые применения, включая массивы, векторы, структуры, классы, и кадры стека.

Поддержка режима адресации с базовым указателем, индексом, и непосредственно заданным смещением, — необязательна, ибо это потребовало бы двух сумматоров на стадии конвейера, предназначенной для вычисления адреса, что могло бы ограничить максимальную тактовую частоту.

Глава 3. Форматы команд

3.1. Форматы и шаблоны

Все команды используют один из общих шаблонов форматов, показанных ниже (самые старшие разряды — слева). Базовая компоновка 32-разрядного слова кода показана в шаблоне А. Шаблоны В, С и D получаются из шаблона А заменой 8, 16, или 24 разрядов, соответственно, непосредственно заданными константами. Команды двойного и тройного размеров можно построить, добавив к одному из этих шаблонов одного или двух 32-разрядных слов. Например, шаблон А с дополнительным 32-разрядным словом, содержащим данные, называется А2. Шаблон Е2 представляет собой расширение шаблона А, в котором второе слово кода содержит дополнительное регистровое поле, дополнительные разряды кода операции, разряды опций, и данные.

Некоторые малые часто используемые команды можно закодировать в малом (tiny) формате, использующем половину слова кода. Две таких малых команды можно, используя шаблон Т, упаковать в одно слово кода. Неспаренная малая команда, чтобы заполнить полное слово кода, должна комбинироваться с малого размера командой NOP.

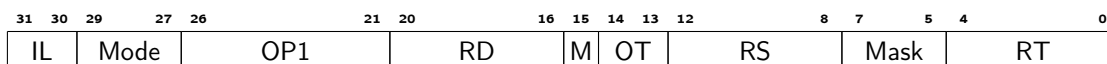


Рис. 3.1.1. Шаблон А. Имеется три регистровых операнда и регистр маски.

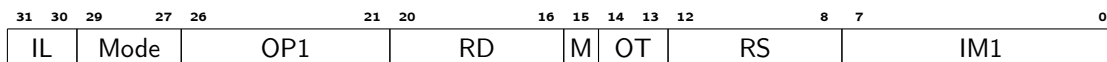


Рис. 3.1.2. Шаблон В. Имеется два регистровых операнда и 8-разрядная непосредственно заданная константа.

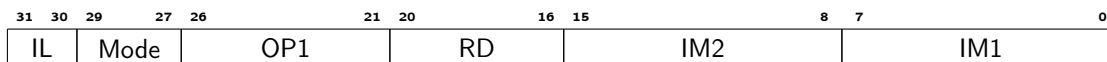


Рис. 3.1.3. Шаблон С. Имеется один регистровый операнд и две 8-разрядных непосредственно заданных константы.



Рис. 3.1.4. Шаблон D. Нет регистрового операнда, но есть непосредственно заданная 24-разрядная константа.

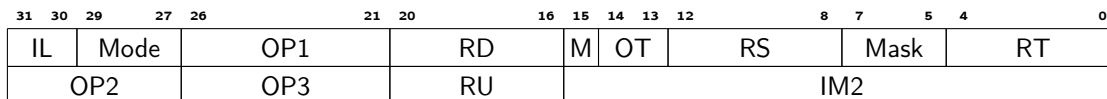


Рис. 3.1.5. Шаблон Е2. Имеется 4 регистровых операнда, маска, 16-разрядная непосредственно заданная константа, и дополнительные разряды для кода операции или опций.

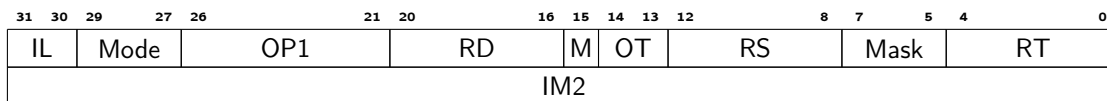


Рис. 3.1.6. Шаблон А2. Два слова. Как А, но с дополнительной 32-разрядной непосредственно заданной константой.

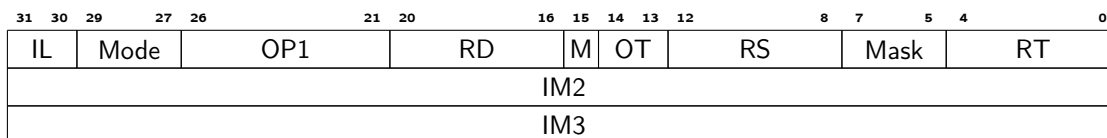


Рис. 3.1.7. Шаблон А3. Три слова. Как А, но с двумя дополнительными 32-разрядными непосредственно заданными константами.

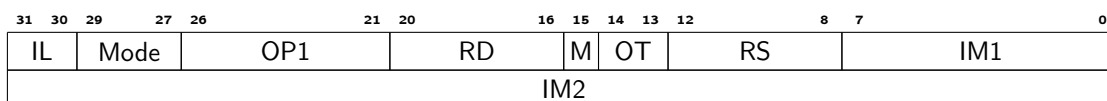


Рис. 3.1.8. Шаблон В2. Как В, но с дополнительной 32-разрядной непосредственно заданной константой.

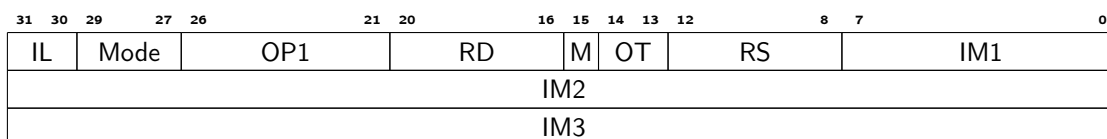


Рис. 3.1.9. Шаблон В3. Как В, но с двумя дополнительными 32-разрядными непосредственно заданными константами.

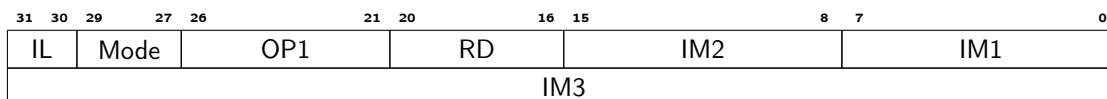


Рис. 3.1.10. Шаблон С2. Как С, но с дополнительной 32-разрядной непосредственно заданной константой.

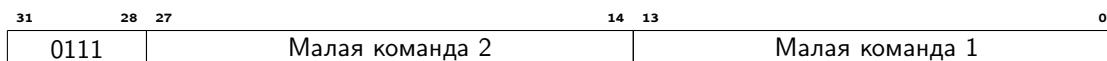


Рис. 3.1.11. Шаблон Т. Одно слово, содержащее две малых команды.

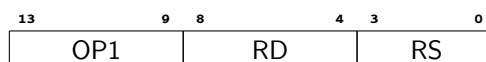


Рис. 3.1.12. Формат каждой малой команды.

Смысл каждого поля описан в следующей таблице.

Таблица 3.1.1. Поля в шаблоне команды

Имя поля	Смысл	Значения
IL	Длина команды	0 или 1: 1 слово = 32 разряда 2: 2 слова = 64 разряда 3: 3 или более слов
Mode	Формат	Определяет формат шаблона и использование каждого поля. Когда необходимо, расширяется разрядами М. Детали см. ниже.

OP1	Код операции	Определяет операцию, например, сложение или пересылку.
OT	Тип и размер (OS) операнда	0: 8-разрядное целое, OS = 1 байт 1: 16-разрядное целое, OS = 2 байта 2: 32-разрядное целое, OS = 4 байта 3: 64-разрядное целое, OS = 8 байт 4: 128-разрядное целое, OS = 16 байт (необязательно) 5: вещественное одинарной точности, OS = 4 байта 6: вещественное двойной точности, OS = 8 байт 7: вещественное четырёхкратной точности, OS = 16 байт (необязательно) Когда необходимо, поле OT расширяется разрядами M.
RD	Регистр-приёмник	r0–r31 или v0–v31. Также используется для первого операнда-источника, если формат команды не указывает достаточное количество операндов.
RS	Регистр-источник	r0–r31 или v0–v31. Регистр-источник, указатель, индекс, или регистр длины вектора.
RT	Регистр-источник	r0–r31 или v0–v31. Регистр-источник или указатель.
RU	Регистр-источник	r0–r31 или v0–v31. Регистр-источник.
Mask	Регистр маски	0 означает отсутствие маски. 1–7 означает, что для маски и битов опций используется регистр общего назначения или векторный регистр.
M	Тип операнда или режим.	Расширяет поле Mode, когда разряды 1 и 2 этого поля оба равны нулю (регистры общего назначения). В противном случае расширяет поле OT (векторные регистры).
OP2	Код операции	Расширение кода операции.
IM1, IM2, IM3	Непосредственно заданные константы	8-, 16-, 32-, или 64-разрядный непосредственно заданный операнд, или адресное смещение, или разряды опций. Соседние поля IM могут быть слиты вместе.
OP3	Опции	Разряды опций, разряды режима, или непосредственно заданные константы.

Согласно приводимой ниже таблице, у команд есть несколько различных форматов, определяемых полем IL и разрядами режима.

Таблица 3.1.2. Список форматов команд

Имя формата	IL	Mode	Шаблон	Использование
0.0	0	0	A	Три операнда (RD, RS, RT), являющихся регистрами общего назначения.
0.1	0	1	B	Два регистра общего назначения (RD, RS) и 8-разрядный непосредственный операнд (IM1).
0.2	0	2	A	Три операнда (RD, RS, RT), являющихся векторными регистрами.
0.3	0	3	B	Два векторных регистра (RD, RS) и размножаемый 8-разрядный непосредственный операнд (IM1).
0.4	0	4	A	Один векторный регистр (RD), находящийся в памяти операнд с указателем (RT) и длина вектора, указанная в регистре общего назначения (RS).
0.5	0	5	A	Один векторный регистр (RD) и находящийся в памяти операнд с базовым указателем (RT). Отрицательный индекс и длина вектора указаны в RS. Используется для циклов по векторам, как объяснено на с. 8.
0.6	0	6	A	Один векторный регистр (RD) и находящийся в памяти скалярный операнд, имеющий базовый указатель (RT) и индекс (RS), умножаемый на размер операнда.

0.7	0	7	B	Один векторный регистр (RD) и находящийся в памяти скалярный операнд, имеющий базовый указатель (RS) и 8-разрядное смещение.
0.8	0	0 M=1	A	Один регистр общего назначения (RD) и находящийся в памяти операнд, имеющий базовый указатель (RT) и индекс (RS), умножаемый на размер операнда.
0.9	0	1 M=1	B	Один регистр общего назначения (RD) и находящийся в памяти операнд, имеющий базовый указатель (RT) и 8-разрядное смещение.
1.0	1	0	A	Одноформатные команды. Три регистра общего назначения в качестве операндов.
1.1	1	1	C	Одноформатные команды. Один регистр общего назначения и 16-разрядный непосредственный операнд.
1.2	1	2	A	Одноформатные команды. Три векторных регистра в качестве операндов.
1.3	1	3	B, C	Одноформатные команды. Два векторных регистра и разнотипный 8-разрядный непосредственный операнд, либо один векторный регистр и разнотипный 16-разрядный операнд.
1.4	1	4	B	Команды перехода с двумя регистровыми операндами и 8-разрядным смещением.
1.5	1	5	C, D	Команды перехода с одним регистровым операндом, 8-разрядной константой (IM2), и 8-разрядным смещением (IM1); либо нет регистрового операнда, но есть 24-разрядное смещение.
1.8	1	0 M=1	B	Одноформатные команды. Два регистра общего назначения и 8-разрядный непосредственный операнд.
T	1	6-7	T	Две малых команды.
2.0	2	0	A2	Два регистра общего назначения (RD, RS) и находящийся в памяти операнд с базовым указателем (RT) и 32-разрядным смещением (IM2).
2.1	2	1	A2	Три регистра общего назначения и 32-разрядный непосредственный операнд IM2.
2.2	2	2	A2	Один векторный регистр (RD) и находящийся в памяти операнд с базовым указателем (RT) и 32-разрядным смещением (IM2). Длина вектора указывается регистром общего назначения RS.
2.3	2	3	A2	Три векторных регистра и разнотипный 32-разрядный непосредственный операнд IM2.
2.4.0	2	4	E2	OP3=00xxxx. Два векторных регистра (RD, RU) и находящийся в памяти скалярный операнд с базовым регистром (RT) и 16-разрядным смещением (IM2), расширяемым до длины (RS).
2.4.1	2	4	E2	OP3=01xxxx. Два векторных регистра (RD, RU) и находящийся в памяти скалярный операнд с базовым регистром (RT), 16-разрядным смещением (IM2), длиной (RS).
2.4.2	2	4	E2	OP3=10xxxx. Два векторных регистра (RD, RU) и находящийся в памяти операнд с базовым регистром (RT), отрицательным индексом (RS), and length (RS). Optional support for offset $IM2 \neq 0$, otherwise $IM2 = 0$.
2.4.3	2	4	E2	OP3=11xxxx. Два векторных регистра (RD, RU) и находящийся в памяти скалярный операнд с базовым регистром (RT), масштабируемым индексом (RS), и лимитом $RS \leq IM2$ (беззнаково).

2.5	2	5	E2	Три векторных регистра (RD, RS, RT) и разнорможаемое 16-разрядное непосредственно заданное целое число IM2. IM2 сдвигается влево на значение, указанное 6-разрядной беззнаковой величиной OP3, если OP3 не используется для других целей. RU обычно не используется.
2.6	2	6	A2	Одноформатные команды. Три регистра общего назначения и 32-разрядный непосредственный операнд.
2.7	2	7	A2, B2, C2	Команды перехода (OP1 < 16). Одноформатные команды. Три векторных регистра и 32-разрядный непосредственный операнд.
2.8.0	2	0 M=1	E2	OP3=00xxxx. Три регистра общего назначения (RD, RS, RU) и находящийся в памяти операнд с базовым регистром (RT) и 16-разрядным смещением (IM2).
2.8.1	2	0 M=1	E2	OP3=01xxxx. Два регистра общего назначения (RD, RU) и находящийся в памяти операнд с базовым регистром (RT), индексом (RS), и без масштабирования. Необязательная поддержка для смещения IM2 $\neq 0$, иначе IM2 = 0.
2.8.2	2	0 M=1	E2	OP3=10xxxx. Два регистра общего назначения (RD, RU) и находящийся в памяти операнд с базовым регистром (RT) и масштабируемым индексом (RS). Необязательная поддержка для смещения IM2 $\neq 0$, иначе IM2 = 0.
2.8.3	2	0 M=1	E2	OP3=11xxxx. Два регистра общего назначения (RD, RU) и находящийся в памяти операнд с базовым регистром (RT), масштабируемым индексом (RS), и лимит RS \leq IM2 (беззнаково).
2.9	2	1 M=1	E2	Три регистра общего назначения (RD, RS, RT) и 16-разрядное непосредственно заданное целое число IM2. IM2 сдвигается влево на значение, указанное 6-разрядной беззнаковой величиной OP3, если OP3 не используется для других целей. RU обычно не используется.
3.0	3	0	A3, B3	Команды перехода. Одноформатные команды с регистрами общего назначения в качестве операндов. Необязательно.
3.1	3	1	A3	Три регистра общего назначения и 64-разрядный непосредственно заданный операнд. Необязательно.
3.2	3	2	A3	Одноформатные векторные команды. Необязательно.
3.3	3	3	A3	Три векторных регистра и разнорможаемый 64-разрядный непосредственно заданный операнд. Необязательно.
3.8	3	0 M=1		В настоящее время не используется.
4.x	3	4-7		Зарезервировано для последующих команд, размером в 4 и более слова.

3.2. Кодирование операндов

Тип операнда

Тип и размер операндов определяется полем OT, как указано выше. Если поля OT нет, то, по умолчанию, тип операнда — 64-разрядное целое (OS = 8).

Тип регистра

Команды могут использовать либо регистры общего назначения, либо векторные регистры. Регистры общего назначения используются и для операндов-источников, и для операндов-приёмников, и для маск, если режим равен 0 или 1 (с M = 0 или 1). Векторные регистры используются и для операндов-источников,

и для операндов–приёмников, и для маск, если режим равен значению между 2 и 7. Равное нулю значение поля маски означает, что маски нет, и операция является безусловной.

Регистры–указатели

Команды с находящимся в памяти операндом всегда используют адреса относительно базового указателя. Базовый указатель может быть регистром общего назначения, указателем секции данных, или указателем команд. Базовый указатель определяется полем RS или RT. Это поле интерпретируется следующим образом.

Команды с форматами без смещения или с 8–разрядным смещением (0.4–0.9) могут использовать любой из регистров r0–r31 в качестве базового указателя. Регистр r31 является указателем стека.

Команды с форматами, имеющими 16–разрядное или 32–разрядное смещение (2.0, 2.2, 2.4, 2.8), могут использовать те же регистры, кроме r29, заменяемого указателем секции данных (DATAP), и r30, заменяемого указателем команд (IP). Это применимо также и к форматам с неиспользуемым 16–разрядным смещением (форматы 2.4.2 и 2.4.3).

Малые команды, имеющие находящийся в памяти операнд, в качестве указателя в 4–разрядном RS поле могут использовать r0–r14 или указатель стека (r31) — равное 15 значение поля RS обозначает указатель стека.

Индексные регистры

Команды с форматами, имеющим индекс, в качестве индекса могут использовать r0–r30. Значение в поле индекса (RS), равное 31, означает отсутствие индекса. Знаковый индекс умножается на размер операнда (OS) для форматов 0.6, 0.8, 2.4.3, 2.8.2, 2.8.3; на 1 для формата 2.8.1; или -1 для форматов 0.5 и 2.4.2. Результат складывается со значением базового указателя.

Смещения

Смещения могут быть восьми–, шестнадцати–, или тридцатидвухразрядными. Значение смещения расширяется знаком до 64 разрядов. Восьмиразрядное смещение умножается на размер операнда (OS), определяемый полем OT. Шестнадцатиразрядное или тридцатидвухразрядное смещение не масштабируется. Результат складывается со значением базового указателя.

Поддержка режимов адресации и с индексом, и со смещением (форматы 2.4.2, 2.8.1, 2.8.3) — необязательна. Если этот тип адресации, требующий двух сложений, не поддерживается, то смещение в IM2 должно быть нулём.

Лимит для индекса

В форматах 2.4.3 и 2.8.3 имеется 16–разрядный лимит для индексного регистра, что полезно для проверки границ массивов. Если значение индексного регистра, рассматриваемое как беззнаковое целое число, больше беззнакового лимита, то порождается ловушка (trap, синхронное прерывание).

Длина вектора

Длина находящегося в памяти вектора указывается (для форматов 0.4, 0.5, 2.2, 2.4) в поле RS, регистрами r0–r30. Значение поля RS, равное 31, используется для обозначения скаляра той же длины, что и размер операнда (OS).

Значение длины находящегося в регистре вектора задаёт длину векторного операнда, находящегося в памяти, в байтах, а не в количестве элементов. Если это значение больше максимально возможной длины вектора, то используется максимальная длина вектора. Длина вектора может быть равна нулю. Поведение для отрицательных значений длины зависит от реализации: либо данное значение рассматривается как беззнаковое, либо используется абсолютная величина.

Длина вектора должна быть кратна размеру операнда (OS), указываемому полем OT. Если длина вектора не кратна размеру операнда, то поведение для частично определённого элемента вектора зависит от реализации.

Длина вектора для находящихся в векторных регистрах операндов–источников сохраняется в регистре.

Комбинирование векторов с различными длинами

Длина вектора, находящегося в приёмнике, будет такой же, что длина вектора, находящегося в первом из операндов-источников, даже если первый операнд-источник использует поле RD.

Как следствие, при комбинировании векторов с разными длинами длина результата определяется порядком операндов.

Если операнды-источники имеют разные длины, то длины будут настроены так, как показано ниже. Если векторный операнд-источник слишком длинен, то лишние элементы игнорируются. Если векторный операнд-источник слишком короток, то отсутствующие элементы будут равны нулю.

Находящийся в памяти скалярный операнд (форматы 0.6 и 0.7) не размножается, а рассматривается как короткий вектор, и дополняется нулями до длины вектора-приёмника.

Размножаемый операнд, находящийся в памяти (формат 2.4.1) будет использовать длину вектора, заданную регистром, указанным в поле RS.

Размножаемый непосредственно заданный операнд будет использовать ту же длину вектора, что и операнд-приёмник.

Непосредственно заданные константы

Непосредственно заданные константы могут иметь разрядность, равную 4, 8, 16, 32, и, необязательно, 64. Непосредственно заданные поля, как правило, выровнены на естественные адреса, и интерпретируются следующим образом.

Если поле OT указывает целочисленный тип, то поле (непосредственно заданное) рассматривается как целое число. Если поле меньше размера операнда, то оно расширяется знаком до подходящего размера. Если поле больше размера операнда, то излишние разряды игнорируются. Усечение слишком большого непосредственно заданного операнда не взведёт никакого условия переполнения.

Если поле OT указывает вещественный тип, то поле рассматривается так. Непосредственно заданные поля разрядности, меньшей 32, интерпретируются как знаковые целые числа, и преобразуются в вещественные числа желаемой точности. Тридцатидвухразрядное поле рассматривается как вещественное число одинарной точности, и, если необходимо, преобразуется к желаемой точности. Шестидесятичетырёхразрядное поле (если таковое поддерживается) интерпретируется как вещественное число двойной точности. Шестидесятичетырёхразрядное поле для типа операнда, являющегося числом одинарной точности, не допускается. Несколько необязательных команд формата 1.3C имеют в качестве операндов вещественные непосредственно заданные константы половинной точности, которые преобразуются в скаляр одинарной или двойной точности.

Шестнадцатиразрядные константы в форматах 2.5 и 2.9 могут сдвигаться влево на значение, указанное 6-разрядной беззнаковой величиной OP3, чтобы получить 64-разрядное знаковое значение. Всё, что окажется за пределами 64 разрядов, игнорируется. Сдвиг выполняется до какого-либо преобразования в вещественные числа. Никакого сдвига не выполняется, если OP3 используется в других целях.

Команду можно сделать компактной, если использовать наименьший размер поля непосредственно заданного операнда, в который помещается действительное значение константы.

Регистры масок

Трёхразрядное поле маски указывает регистр маски. Если приёмником является регистр общего назначения, то используются регистры r1–r7; а если приёмник — векторный регистр, то используются регистры v1–v7. Значение поля маски, равное нулю, означает отсутствие маски и безусловное выполнение, с использованием опций, указанных в численном управляющем регистре.

Если маска является векторным регистром, то она рассматривается как вектор, имеющий тот же размер элемента, что и указанный полем OT. Каждый элемент регистра-маски применяется к соответствующим компонентам результата.

Смысл регистров флагов описан в следующем разделе.

3.3. Кодирование масок

Регистр маски может быть регистром общего назначения r1–r7 или векторным регистром v1–v7. Равное нулю значение поля маски означает отсутствие маски.

Разряды регистра маски кодируются так.

Таблица 3.3.1. Разряды регистра маски и численного управляющего регистра

Номер разряда	Смысл
0	Предикат или маска. Операция выполняется только в том случае, если этот разряд равен единице. Если этот разряд равен нулю, то операция не выполняется, и подавляются все условия проверки арифметических ошибок.
1	Зануление. Этот разряд определяет результат, когда разряд №0 равен 0. Равенство нулю этого разряда зануляет результат, а равенство единице оставляет значение без изменения, т.е. результат — такой же, как и значение в первом операнде-источнике на входе. Разряд №1 не оказывает влияния, когда разряд №0 равен единице.
2	Обнаруживать беззнаковое целочисленное переполнение.
3	Обнаруживать знаковое целочисленное переполнение.
6	Распространять ошибочные разряды, обнаруженные разрядами №№2 и 3. Это экспериментальная возможность, см. с. ??.
7	Возбудить прерывание, если обнаружено переполнение, указанное разрядами №2 или 3.
18-19	Режим округления для вещественных чисел: 00 = к ближайшему или чётному 01 = в меньшую сторону 10 = в большую сторону 11 = к нулю
20	Поддерживать денормализованные числа. Денормализованные вещественные числа рассматриваются как нуль (это, как правило, быстрее), когда данный разряд равен 0.
22	Более хорошее распространение нечисел (NaN). Если равен нулю этот разряд, то строго придерживаться стандарта IEEE 754-2008 (или более позднего) для значений NaN. Равное единице значение разряда №22 улучшает распространение NaN и использует значения NaN для отслеживания ошибок вычислений с плавающей запятой. Детали описаны на с. ??.
26	Разрешить возбуждение прерывания при вещественном переполнении и при делении на нуль.
27	Разрешить возбуждение прерывания при выполнении недопустимой операции с плавающей запятой.
28	Разрешить возбуждение прерывания при вещественном антипереполнении и потере точности.
29	Разрешить возбуждение прерывания при NaN в качестве входных аргументов команд сравнения и команд преобразования вещественных чисел в целые.

Разряды 8–9, 16–17, 24–25, и т.д. в векторном регистре маски могут использоваться подобно разрядам 0–1 для 8–разрядных и 16–разрядных операндов. Все прочие разряды зарезервированы для использования в будущем.

Векторные команды трактуют регистр маски как вектор с тем же размером элемента (OS), что и у операндов. У каждого элемента вектора-маски имеются битовые коды, перечисленные выше. У разных элементов вектора могут быть разные разряды маски.

Когда поле маски равно нулю или отсутствует, в качестве маски используется численный управляющий регистр (NUMCONTR). Когда у команды нет регистра маски, регистр NUMCONTR размножается для всех элементов вектора, используя столько разрядов регистра NUMCONTR, сколько указано размером операнда. В этом случае ко всем элементам вектора применяется одна и та же маска. Разряд №0 регистра NUMCONTR обязан быть равным 1.

3.4. Формат команд перехода, вызова, и ветвления

Большинство ветвлений в обычном коде основаны на результате арифметической или логической команды (АЛУ). Дизайн ForwardCom комбинирует команду АЛУ и условный переход в одну команду. Например, цикл можно реализовать одной командой, которая уменьшает счётчик и выполняет переход, если счётчик не

достиг нуля, либо увеличивает счётчик с отрицательного значения, и выполняет переход, если это значение не достигло нуля.

Переходы, вызовы, ветвления, и многопутёвые ветвления используют следующие форматы.

Таблица 3.4.1. Список форматов для команд передачи управления

Формат	IL	Mode	OP1	Шаблон	Описание
1.4	1	4	OPJ	B	Короткая версия, с двумя регистровыми операндами (RD, RS) и 8-разрядным смещением (IM1).
1.5 C	1	5	OPJ	C	Короткая версия, с одним регистровым операндом (RD), и либо с 8-разрядной непосредственно заданной константой (IM2) и 8-разрядным смещением (IM1), либо с 16-разрядным смещением (склеены IM2 и IM1).
1.5 D	1	5	0-7	D	Переход или вызов с 24-разрядным смещением.
2.7.0	2	7	0	B2	Версия двойного размера, с двумя регистровыми операндами и с 32-разрядным смещением (IM2). IM1 = OPJ.
2.7.1	2	7	1	B2	Версия двойного размера, с регистровым операндом-приёмником, регистровым операндом-источником, 16-разрядным смещением (младшая половина IM1) и 16-разрядным непосредственно заданным операндом (старшая половина IM2).
2.7.2	2	7	2	C2	Версия двойного размера, с одним регистровым операндом (RD), одной 8-разрядной непосредственно заданной константой (IM2) и 32-разрядным смещением (IM3).
2.7.3	2	7	3	C2	Версия двойного размера, с одним регистровым операндом (RD), 8-разрядным смещением (IM2) и 32-разрядной непосредственно заданной константой (IM3).
2.7.4	2	7	4	C2	Двойного размера системный вызов, без OPJ, с 16-разрядной константой (IM1,IM2), и с 32-разрядной константой (IM3).
3.0.0	3	0	0	C2	Нет операции (NOP).
3.0.1	3	0	1	B3	Версия тройного размера, с регистровым операндом-приёмником, регистровым операндом-источником, 32-разрядным непосредственно заданным операндом (IM2), и 32-разрядным смещением (IM3). Необязательно.

Команды перехода, вызова, и ветвления имеют знаковые смещения размером в 8, 16, 24, или 32 разряда, относительно указателя команд. Или, точнее, относительно конца команды. Данное смещение умножается на размер слова команды (равный 4 байтам), чтобы охватить диапазон в плюс-минус полкилобайта для коротких условных переходов с 8-разрядным смещением, в плюс-минус 32 мегабайта для 24-разрядных смещений, и плюс-минус 8 гигабайт для 32-разрядных смещений. Необязательный формат тройного размера включает безусловный переход и вызов с 64-разрядным абсолютным адресом.

Версия с шаблонами C и C2 не имеет поля OT. Когда поля OT нет, тип операнда — 64-разрядное целое. С вещественными типами использовать шаблоны C и C2 невозможно. Когда есть поле OT и M=1, команды будут использовать векторные регистры (только первый элемент). Иными словами, команды АЛУ-перехода будут использовать векторные регистры только когда указан вещественный тип (или, если таковой поддерживается, 128-разрядный целочисленный тип). Во всех иных случаях используются регистры общего назначения. Можно использовать поразрядные логические команды с векторными командами, указав вещественный тип.

Поле OPJ определяет операцию и условие перехода. Данное поле — 6-разрядное в версии одинарного размера, и 8-разрядное — в более длинных версиях. Два дополнительных разряда в более длинных версиях используются так: бит 6 зарезервирован для использования в будущем, и обязан быть равным нулю; а бит 7 может использоваться для указания поведения цикла, как подсказка для выбора оптимальной ветви

алгоритмом предсказания ветвлений.

Младшие 6 разрядов поля OPJ содержат следующие коды:

Таблица 3.4.2. Список команд передачи управления: переходы, вызовы, возвраты

OPJ	Бит 0 поля OPJ	Функция	Комментарий
0-7	часть смещения	Безусловный переход с 24-разрядным смещением.	Формат 1.5 D.
8-15	часть смещения	Безусловный вызов с 24-разрядным смещением.	Формат 1.5 D.
0-1	инвертирован	Знаково вычесть, и перейти, если отрицательно (sub_sign_jmpneg).	Форматы 1.4 и 2.7.0. Не для плавающей запятой.
2-3	инвертирован	Знаково вычесть, и перейти, если положительно (sub_sign_jmppos).	Форматы 1.4 и 2.7.0. Не для плавающей запятой.
4-5	инвертирован	Беззнаково вычесть, и перейти, если заём (sub_unsign_jmpborrow).	Форматы 1.4 и 2.7.0. Не для плавающей запятой.
6-7	инвертирован	Беззнаково вычесть, и перейти, если не ноль либо заём (sub_unsign_jmpnzc).	Форматы 1.4 и 2.7.0. Не для плавающей запятой.
8-9	инвертирован	Вычесть, и перейти, если не ноль (sub_jmpnzero).	Форматы 1.4 и 2.7.0. Не для плавающей запятой.
10-11	инвертирован	Знаково вычесть, и перейти, если переполнение (sub_sign_jmpovfl).	Форматы 1.4 и 2.7.0. Не для плавающей запятой.
12-15		Зарезервировано для последующего использования.	Форматы 1.4 и 2.7.0.
16-17	инвертирован	Знаково сложить, и перейти, если отрицательно (add_sign_jmpneg).	Не для плавающей запятой.
18-19	инвертирован	Знаково сложить, и перейти, если положительно (add_sign_jmppos).	Не для плавающей запятой.
20-21	инвертирован	Беззнаково сложить, и перейти, если перенос (add_unsign_jmpcarry).	Не для плавающей запятой.
20-21	инвертирован	Перейти, если один из операндов равен $\pm\infty$ или является NAN (cmp_float_jmpinfnan).	Для вещественных операндов.
22-23	инвертирован	Беззнаково сложить, и перейти, если не ноль, либо перенос (add_unsign_jmpnzc).	Не для плавающей запятой.
22-23	инвертирован	Перейти, если один из операндов — денормализован (cmp_float_jmpsubnorm).	Для вещественных операндов.
24-25	инвертирован	Сложить, и перейти, если не ноль (add_jmpnzero).	Не для плавающей запятой.
26-27	инвертирован	Знаково сложить, и перейти, если переполнение (add_sign_jmpovfl).	Не для плавающей запятой.
28-29	инвертирован	Сдвинуть влево на n разрядов, и перейти, если не ноль (shift_jmpnzero).	Беззнаково сдвинуть вправо, если n отрицательно.
30-31	инвертирован	Сдвинуть влево на n разрядов, и перейти, если перенос (shift_jmpcarry).	Беззнаково сдвинуть вправо, если n отрицательно.
32-33	инвертирован	Знаково сравнить, и перейти, если ниже (cmp_sign_jmpbelow).	

34-35	инвертирован	Знаково сравнить, и перейти, если выше (cmp_sign_jmpabove).	
36-37	инвертирован	Беззнаково сравнить, и перейти, если ниже (cmp_unsign_jmpbelow).	Целочисленные операнды.
36-37	инвертирован	Перейти, если один из операндов — NAN (cmp_float_jmpunordered).	Вещественные операнды.
38-39	инвертирован	Беззнаково сравнить, и перейти, если выше (cmp_unsign_jmpabove).	Целочисленные операнды.
38-39	инвертирован	Перейти, если один из операндов равен $\pm\infty$ (cmp_float_jmpinf).	Вещественные операнды.
40-41	инвертирован	Сравнить, и перейти, если не равно (cmp_jmpneq).	
42-43	инвертирован	Поразрядное И без записи результата, и перейти, если не ноль (test_jmpnzero).	
44-45	инвертирован	Поразрядное И, и перейти, если не ноль (and_jmpnzero).	
46-47	инвертирован	Поразрядное или, и перейти, если не ноль (or_jmpnzero).	
48-49	инвертирован	Поразрядное ИСКЛЮЧАЮЩЕЕ ИЛИ, и перейти, если не ноль (xor_jmpnzero).	
50-51	инвертирован	Проверить один разряд, и перейти, если не ноль (testbit_jmpnzero).	
52-53	инвертирован	Проверить один разряд векторного регистра, и перейти, если не ноль (testbit_jmpnzero).	
54-57		Зарезервировано для последующего использования.	
58-59	0 переход 1 вызов	Косвенно, с адресом указателя в регистре, указанном в RS, и смещением указателя в IM1 или IM2 (jump/call).	Форматы 1.4 и 2.7.0.
58-59	0 переход 1 вызов	Безусловный косвенный переход/вызов с 16-разрядным или 32-разрядным смещением, либо с 64-разрядным абсолютным адресом (jump/call).	Форматы 1.5 C, 2.7.2, и 3.0.1.
60-61	0 переход 1 вызов	Использовать таблицу адресов относительно регистра, указанного в RD. RT = базовый адрес таблицы, RS = индекс*OS (jump/call).	Формат 1.4, шаблон А.
60-61	0 переход 1 вызов	Безусловный переход или вызов по адресу в регистре, указанном в RS (jump/call).	Формат 1.5.
62	0	Возврат из функции (return).	Формат 1.4.
62	0	Возврат из системной функции (sys_return).	Формат 1.5.
63	1	Системный вызов. ID — в регистре, указанном в RT, блок разделяемой памяти — в RD, длина — в RS. Маски нет (sys_call).	Формат 1.4, шаблон А.
63	1	Системный вызов. ID — в константах, блок разделяемой памяти — в RD, длина — в RS. Маски нет (sys_call).	Форматы 2.7.1, 2.7.4 и 3.0.1.
63	1	Безусловное прерывание (trap). Номер прерывания — в IM1 (trap).	Формат 1.5.
63	1	Заполнитель для неиспользуемой памяти кода. Все поля равны 1 (filler).	Формат 1.5.
63	1	Прерывание, если (беззнаково) $RD > IM3$. $IM2 = 38$. Номер прерывания фиксирован (cmp_unsign_trapabove).	Формат 2.7.3.

Знаковые целочисленные сравнения корректируются при переполнении, а знаковые сложения и вычитания — нет. Например, если А — большое положительное целое число, а В — большое отрицательное целое

число, то `sub_sign_jmpneg` выполнит переход, если вычисление A-B из-за переполнения даст отрицательный результат, а `cmp_sign_jmpbelow` не выполнит переход, ибо A — больше B.

Комбинирование команд АЛУ и команд условного перехода можно закодировать в форматах 1.4, 1.5 C, 2.7.0, 2.7.1, 2.7.2, 2.7.3, и 3.0.1, за исключением вычитания, которое не может быть закодировано в формате 1.5 C. Вычитание с непосредственно заданной константой в качестве операнда можно заменить сложением с отрицательной константой. Место в коде, которое в формате 1.5 C использовалось бы вычитанием, вместо этого используется для кодирования команды прямого перехода и вызова с 24-разрядным смещением, используя формат 1.5 D, в котором младшие три разряда поля OP1 используются как часть 24-разрядного смещения.

Операции сложения и вычитания для вещественных операндов обычно не поддерживаются, поскольку большие задержки этих вещественных операций усложняют дизайн конвейера. Вещественные сравнения поддерживаются, поскольку можно выполнить операцию вещественного сравнения за один такт, используя беззнаковое целочисленное сравнение совместно экспоненты и мантиссы, со специальной обработкой знакового разряда и значений NAN.

Команда проверки разряда (`testbit_jmpnzero`) проверяет в первом операнде разряд с номером n, где n — значение во втором операнде (RS или IM2). Она полезна для проверки битовых полей, знаковых разрядов, и результата команд сравнения. Независимо от типа операнда, второй операнд интерпретируется как беззнаковое целое число.

Команды сдвига влево сдвигают первый операнд на количество разрядов, указанное вторым операндом, влево, если тот положителен, и вправо, с расширением нулём, если второй операнд отрицателен. Переносом является последний выдвинутый разряд. Независимо от типа операнда, операнды трактуются как целые, но в случае, если указан вещественный тип операнда (M = 1), — используются векторные регистры.

Безусловные и косвенные переходы и вызовы используют указанные выше форматы, в которых неиспользуемые разряды должны быть нулями. Разряд №0 поля OPJ равен нулю для команд перехода, и единице для команд вызова.

Команды табличного косвенного перехода/вызова предназначены для облегчения реализации многопутевых ветвлений (операторы `switch/case`), таблиц функций в интерпретаторах кода, и таблиц виртуальных функций в объектно-ориентированных языках с полиморфизмом. Таблица адресов перехода или вызова хранится в виде знакового смещения относительно произвольной точки отсчёта, которая может быть адресом таблицы, базовым адресом кода, или любой другой точкой отсчёта. Тип операнда указывает размер элемента таблицы. Обязательно должны поддерживаться 16-разрядные и 32-разрядные смещения, прочие размеры — необязательно. Использование относительных адресов делает таблицу компактнее, нежели при использовании 64-разрядных абсолютных адресов. Команда работает следующим образом: вычисляется адрес элемента таблицы, как сумма базового указателя (RT) и индекса (RS), умноженного на размер операнда; по данному адресу читается знаковое значение, которое умножается на 4; то, что получилось, расширяется знаком до 64 разрядов и складывается с указанной точкой отсчёта (RD); по вычисленному адресу совершается переход или вызов. Индекс массива (RS) умножается на размер операнда, в то время как элементы таблицы умножаются на размер слова команды (4). Поддержка маски — необязательна.

Таблицу, используемую командами табличного перехода/вызова, можно разместить в секции константных данных (CONST), что делает возможным использование в качестве точки отсчёта базового адреса таблицы, и улучшает безопасность, давая доступ к таблице только для чтения.

Когда используются соглашения вызова, сформулированные на с. ??, командам возврата смещение в стеке не нужно.

Системные вызовы для идентификации системных функций используют числа, ID, а не адреса. Этот ID является комбинацией ID модуля, идентифицирующего конкретный модуль системы или драйвер устройства, и ID функции, идентифицирующей конкретную функцию в этом модуле. Как ID модуля, так и ID функции — либо оба — 16-разрядные, либо оба — 32-разрядные, так что суммарный размер ID системного вызова может достигать 64 разрядов. Команда `sys_call` имеет следующие варианты:

Таблица 3.4.3. Варианты команды системного вызова

Формат	Тип операнда	ID функции	ID модуля
1.4	32 разряда	разряды 0-15 регистра RT	разряды 16-31 регистра RT
1.4	64 разряда	разряды 0-31 регистра RT	разряды 32-63 регистра RT
2.7.1	32 разряда	разряды 0-15 поля IM2	разряды 16-31 поля IM2
2.7.4	64 разряда	разряды 0-15 поля IM21	разряды 0-31 поля IM3
3.0.1	64 разряда	разряды 0-31 поля IM2	разряды 0-31 поля IM3

Команде `sys_call` можно указать блок памяти, разделяемый с системной функцией. Адрес блока памяти задаётся в регистре, указываемом полем RD, а длина — в регистре, указываемом полем RS. Этот блок памяти, к которому у вызывающего должны быть права доступа, разделяется с системной функцией. Системные функции получают те же права на этот блок, что и вызывающий поток, т.е. те же права на чтение и/или запись. Это полезно для быстрой передачи данных между вызывающим и системной функцией. У вызывающей и вызываемой функций нет никакого совместного доступа ни к какой другой области памяти. Если и поле RD, и поле RS равны нулю (т.е. указан регистр r0), то никакой блок памяти не разделяется. Команда `sys_call` формата 2.7.4 не может иметь никакого блока разделяемой памяти.

Параметры системных функций передаются в регистрах, следуя тем же соглашениям вызова, что обычные функции. Регистры, используемые для передачи параметров, обычно отличаются от регистров, указанных в полях RD, RS и RT. Параметры функций, не помещающиеся в регистры, должны находиться в блоке разделяемой памяти.

Ловушки работают подобно прерываниям. Безусловные ловушки имеют 8-разрядный номер прерывания в IM1, являющийся индексом в таблице векторов прерываний, первоначально находящейся по равному нулю абсолютному адресу. Команда безусловной ловушки для дополнительной информации может использовать IM2. Условная ловушка предназначена для проверки границ массивов. Номер прерывания фиксирован (решение о значении ещё не принято). Условная ловушка может (необязательно) поддерживать в IM2 иные коды условия, использующие те же самые коды, что и OPJ в табл. 3.4.2.

Команда ловушки с единицами во всех разрядах всех полей (код операции — 0x6FFFFFFF) может использоваться в качестве заполнителя неиспользуемых частей памяти кода.

3.5. Назначение кодов операций

Коды операций и форматы могут быть назначены новым командам в соответствии со следующими правилами.

- Многоформатные команды. Часто используемые команды, которым нужно поддерживать много различных типов операндов, режимов адресации, и форматов, используют большую часть (или все) из следующих форматов: 0.0-0.9, 2.0-2.5, 2.8-2.9, и (необязательно) 3.1 и 3.3 (если поддерживаются команды тройного размера). Во всех этих форматах используется одно и то же значение поля OP1. Поле OP2 обязано быть равно 0. Команды с немногими операндами-источниками идут первыми.
- Малые команды. В малой версии доступны лишь некоторые из наиболее употребимых команд, поскольку место есть только для 32 малых команд. Как показано в табл. 4.2.1 на с. 30, команды упорядочиваются по количеству и типам операндов.
- Команды передачи управления, т.е. переходы, ветвления, вызовы, и возвраты, могут быть закодированы как короткие команды с IL = 1, Mode = 4 или 5, и OP1 от 0 до 63, либо как команды двойного размера, с IL = 2, Mode = 7, OP1 от 0 до 15, и (необязательно) как команды тройного размера, с IL = 3, Mode = 0, OP1 от 0 до 15. См. с. 19.
- Короткие одноформатные команды с регистрами общего назначения. Используйте форматы 1.0, 1.1, и 1.8, с любым значением поля OP1.
- Короткие одноформатные команды с векторными регистрами. Используйте форматы 1.2 и 1.3, с любым значением поля OP1.
- Одноформатные команды двойного размера с регистрами общего назначения могут использовать форматы 2.8 и 2.9, с любым значением полей OP1 и $OP2 \geq 8$ (для одного и того же OP1 предоставляйте сходные команды), и формат 2.6 с любым значением поля OP1.
- Одноформатные команды двойного размера с векторными регистрами могут использовать форматы 2.4 и 2.5, с любым значением полей OP1 и $OP2 \geq 8$ (для одного и того же OP1 предоставляйте сходные команды), и формат 2.7 с OP1 в диапазоне от 16 до 63.
- Одноформатные команды тройного размера с регистрами общего назначения могут использовать формат 3.0 с OP1 в диапазоне от 16 до 63.
- Одноформатные команды тройного размера с векторными регистрами могут использовать формат 3.2 с любым значением поля OP1.

- Последующие команды, с длиной, большей трёх 32-разрядных слов, кодируются с $IL = 3$, $Mode =$ от 4 до 7.
- Новые опции или другие модификации существующих команд могут использовать разряды OP3 или разряды регистра маски.
- Новые режимы адресации могут быть реализованы как одноформатные команды чтения и записи. Новые режимы адресации или иные модификации, которые применимы ко всем мультиформатным командам, могут использовать для разрядов опций поле OP3. Если разрядов поля OP3 недостаточно, то возможно, в качестве последнего средства, использование значений поля OP2 из диапазона от 1 до 7.

Все неиспользуемые поля должны быть равны нулю. Для команд с наименьшим количеством входных операндов следует предпочесть наименьшие значения кодов в OP1.

Операнды назначаются следующим образом. Операнд–приёмник представляет собой регистр, указанный в поле RD. Операнды–источники используют регистровые поля RS, RT и RU, если только эти поля не задействованы для других целей (например, базового указателя, индекса, длины вектора). Если имеется находящийся в памяти операнд, либо непосредственно заданный операнд, то он должен быть последним из операндов–источников. Если выбранный формат имеет меньше операндов–источников, нежели необходимо для команды, то поле RD используется и как операнд–приёмник, и как первый из операндов–источников. Если всё ещё недостаточно операндов, то формат для конкретной команды использоваться не может. Если в формате имеется больше операндов, чем необходимо, то любой находящийся в памяти операнд или непосредственно заданный операнд будет последним операндом–источником, имея приоритет перед любым регистровым операндом. Неиспользуемые поля операндов должны быть равны нулю.

Глава 4. Списки команд

Команды ForwardCom перечислены в файле с разделителями в виде запятых, название которого — `instruction_list.csv`. Этот файл предназначен для использования ассемблерами, дизассемблерами, отладчиками, и эмуляторами. Данный список предварителен, и, возможно, изменится. Пожалуйста, помните, что списки в этом документе синхронизированы со списком в `instruction_list.csv`.

Этот список команд имеет следующие поля:

Таблица 4.0.1. Поля в файле со списком команд

Поле	Смысл
Name	Имя команды, используемое ассемблером.
Category	1: одноформатная команда, 2: малая команда, 3: многоформатная команда, 4: команда перехода.
Formats	См. приводимую ниже табл. 4.0.2.
Template	Шестнадцатиричное число: 0xA–0xE для шаблонов A–E, 0x1 для малого шаблона, 0x0 для множественных шаблонов.
Source operands	Количество операндов–источников, включая регистровые операнды, находящиеся в памяти операнды, и непосредственно заданные операнды, но не включая маску, разряды опций, длину вектора, и индекс.
OP1	Код операции, OP1.
OP2	Дополнительный код операции, OP2. Ноль, если нет.
OP3 bits used	Количество разрядов в поле OP3, используемых для опций. Поле OP3 для счётчика сдвига в форматах 2.5 и 2.9 только если указанное здесь значение равно нулю.
Operand types general purpose registers	Шестнадцатиричное число, указывающее требуемую и необязательную поддержку каждого из типов операндов для регистров общего назначения. По поводу смысла каждого разряда см. приводимую ниже табл. 4.0.3.
Operand types scalar	Шестнадцатиричное число, указывающее требуемую и необязательную поддержку каждого из типов операндов для скалярных операций в векторных регистрах. По поводу смысла каждого разряда см. приводимую ниже табл. 4.0.3.
Operand types vector	Шестнадцатиричное число, указывающее требуемую и необязательную поддержку каждого из типов операндов для векторных операций. По поводу смысла каждого разряда см. приводимую ниже табл. 4.0.3.
Immediate operand type	Тип непосредственно заданного операнда для одноформатных команд. См. приводимую ниже табл. 4.0.4.
Description	Описания команды и комментарии.

Таблица 4.0.2. Смысл полей формата в файле со списком команд

Категория	Интерпретация полей форматов
1. Одноформатная команда.	Число из трёх шестнадцатиричных цифр. Крайняя левая цифра — значение поля IL (0-3). Средняя цифра — значение поля Mode, или комбинированного поля M+Mode (0-9). Крайняя правая цифра — подрежим, определяемый полем OP3 в форматах 2.4.x и 2.8.x, или OP1 в формате 2.7.x. Иначе нуль. Например, 0x283 означает формат 2.8.3.
2. Малая команда	<p>0 Нет операндов.</p> <p>1 RD = операнд–приёмник, являющийся регистром общего назначения, RS = непосредственно заданный операнд.</p> <p>2 RD = операнд–приёмник, являющийся POH¹, RS = регистр источник, являющийся POH.</p> <p>4 RD = операнд–приёмник, являющийся POH, RS = указатель на находящийся в памяти операнд–источник.</p> <p>5 RD = операнд–источник, являющийся POH, RS = указатель на находящийся в памяти операнд–приёмник.</p> <p>8 RD = операнд–приёмник, являющийся векторным регистром, RS — не используется.</p> <p>9 RD = операнд–приёмник, являющийся векторным регистром, RS — непосредственно заданный операнд.</p> <p>10 RD = операнд–приёмник, являющийся векторным регистром, RS — являющийся векторным регистром источник.</p> <p>11 RD = операнд–источник, являющийся векторным регистром, RS — являющийся приёмником POH r0-r14,r31.</p> <p>12 RD = операнд–приёмник, являющийся векторным регистром, RS = указатель на находящийся в памяти операнд–источник.</p> <p>13 RD = операнд–источник, являющийся векторным регистром, RS = указатель на находящийся в памяти операнд–приёмник.</p>
3. Многоформатная команда	<p>Шестнадцатиричное число, составленное из разрядов, каждый из которых отвечает за поддержку своего формата:</p> <p>0x0000001 Формат 0.0: три регистра общего назначения.</p> <p>0x0000002 Формат 0.1: два регистра общего назначения и 8–разрядное непосредственно заданное значение.</p> <p>0x0000004 Формат 0.2: три векторных регистра.</p> <p>0x0000008 Формат 0.3: два векторных регистра и 8–разрядное непосредственно заданное значение.</p> <p>0x0000010 Формат 0.4: один вектор и находящийся в памяти операнд.</p> <p>0x0000020 Формат 0.5: один вектор и находящийся в памяти операнд с отрицательным индексом.</p> <p>0x0000040 Формат 0.6: один вектор и находящийся в памяти скалярный операнд с индексом.</p> <p>0x0000080 Формат 0.7: один вектор и находящийся в памяти скалярный операнд с 8–разрядным смещением.</p> <p>0x0000100 Формат 0.8: один POH и находящийся в памяти операнд с индексом.</p> <p>0x0000200 Формат 0.9: один POH и находящийся в памяти операнд с 8–разрядным смещением.</p> <p>0x0000400 Формат 2.0: два POH и находящийся в памяти операнд с 32–разрядным смещением.</p> <p>0x0000800 Формат 2.1: три POH и 32–разрядное непосредственно заданное значение.</p> <p>0x0001000 Формат 2.2: один векторный регистр и находящийся в памяти операнд с 32–разрядным смещением.</p> <p>0x0002000 Формат 2.3: три векторных регистра и 32–разрядное непосредственно заданное значение.</p>

¹Регистр общего назначения

	0x0004000	Формат 2.4.0: два векторных регистра и находящийся в памяти скалярный операнд с 16–разрядным смещением.
	0x0008000	Формат 2.4.1: два векторных регистра и находящийся в памяти операнд с 16–разрядным смещением.
	0x0010000	Формат 2.4.2: два векторных регистра и находящийся в памяти операнд с отрицательным индексом.
	0x0020000	Формат 2.4.3: два векторных регистра и находящийся в памяти скалярный операнд с индексом и лимитом.
	0x0040000	Формат 2.5: три векторных регистра и сдвинутое 16–разрядное непосредственно заданное значение.
	0x0080000	Формат 2.8.0: три РОН и находящийся в памяти операнд с 16–разрядным смещением.
	0x0100000	Формат 2.8.1: два РОН и находящийся в памяти операнд с немасштабируемым индексом.
	0x0200000	Формат 2.8.2: два РОН и находящийся в памяти операнд с масштабируемым индексом.
	0x0400000	Формат 2.8.3: два РОН и находящийся в памяти скалярный операнд с индексом и лимитом.
	0x0800000	Формат 2.9: три РОН и сдвинутое 16–разрядное непосредственно заданное значение.
	0x1000000	Формат 3.1: три РОН и 64–разрядное непосредственно заданное значение (необязательно).
	0x2000000	Формат 3.3: три векторных регистра и 64–разрядное непосредственно заданное значение (необязательно).
4. Команда пере- хода	Шестнадцатиричное число, составленное из разрядов, каждый из которых отвечает за поддержку своего формата:	
	0x001	Формат 1.4: два регистра и 8–разрядное смещение.
	0x002	Формат 1.5 C: один регистр, 8–разрядное непосредственно заданное значение, и 8–разрядное смещение.
	0x004	Формат 1.5 C: 16–разрядное смещение.
	0x008	Формат 1.5 D: нет регистра, но есть 24–разрядное смещение.
	0x010	Формат 2.7.0: два регистра и 32–разрядное смещение.
	0x020	Формат 2.7.1: два регистра, 16–разрядное непосредственно заданное значение, и 16–разрядное смещение.
	0x040	Формат 2.7.2: один регистр, 8–разрядное непосредственно заданное значение, и 32–разрядное смещение.
	0x080	Формат 2.7.3: один регистр, 32–разрядное непосредственно заданное значение, и 8–разрядное смещение.
	0x100	Формат 2.7.4: системный вызов, 16–разрядный ID функции и 32–разрядный ID модуля.
	0x200	Формат 3.0.1: два регистра, 32–разрядное непосредственно заданное значение, и 32–разрядное смещение.
	0x400	Формат 3.0.1: 64–разрядный абсолютный адрес.

Таблица 4.0.3. Указание типов операндов, поддерживаемых регистрами общего назначения, скалярами в векторных регистрах, или векторами. Данное значение представляет собой шестнадцатиричное число, составленное из разрядов, каждый из которых отвечает за поддержку своего формата

0x0001	поддержка 8–разрядных целых
0x0002	поддержка 16–разрядных целых
0x0004	поддержка 32–разрядных целых
0x0008	поддержка 64–разрядных целых
0x0010	поддержка 128–разрядных целых
0x0020	поддержка вещественных чисел одинарной точности

0x0040	поддержка вещественных чисел двойной точности
0x0080	поддержка вещественных чисел четырёхкратной точности
0x0100	необязательная поддержка 8-разрядных целых
0x0200	необязательная поддержка 16-разрядных целых
0x0400	необязательная поддержка 32-разрядных целых
0x0800	необязательная поддержка 64-разрядных целых
0x1000	необязательная поддержка 128-разрядных целых
0x2000	необязательная поддержка вещественных чисел одинарной точности
0x4000	необязательная поддержка вещественных чисел двойной точности
0x8000	необязательная поддержка вещественных чисел четырёхкратной точности

Таблица 4.0.4. Тип непосредственно заданного операнда для одноформатных команд

0	нет аргументов или многоформатная команда
1	4-разрядное знаковое целое число
2	8-разрядное знаковое целое число
3	16-разрядное знаковое целое число
4	32-разрядное знаковое целое число
5	64-разрядное знаковое целое число
6	8-разрядное знаковое целое число, сдвигаемое на указанное количество разрядов
7	16-разрядное знаковое целое число, сдвигаемое на указанное количество разрядов
8	16-разрядное знаковое целое число, сдвигаемое на 16 разрядов
9	32-разрядное знаковое целое число, сдвигаемое на 32 разрядов
17	4-разрядное беззнаковое целое число
18	8-разрядное беззнаковое целое число
19	16-разрядное беззнаковое целое число
20	32-разрядное беззнаковое целое число
21	64-разрядное беззнаковое целое число
33	4-разрядное знаковое целое число, преобразуемое в вещественное число
34	8-разрядное знаковое целое число, преобразуемое в вещественное число
35	16-разрядное знаковое целое число, преобразуемое в вещественное число
39	16-разрядное знаковое целое число, сдвигаемое на указанное количество разрядов, и преобразуемое затем в вещественное число
64	вещественное число половинной точности
65	вещественное число одинарной точности
66	вещественное число двойной точности

Команды перехода перечислены на с. 20. Все прочие категории команд перечислены в последующих таблицах.

4.1. Список многоформатных команд

Следующий список команд охватывает общепринятые команды, которые можно закодировать в большинстве форматов или во всех форматах, предназначенных для многоформатных команд.

Таблица 4.1.1. Список многоформатных команд

Команда	OP1	Операндов-источников	Описание
nop	0	0	Нет операции.
move	1	1	Копирование значения.
store	2	1	Сохранение значения в памяти.

prefetch	3	1	Предвыборка из памяти.
sign_extend	4	1	Расширить меньшее целое знаком до 64 разрядов.
add	8	2	$\text{src1} + \text{src2}$.
sub	9	2	$\text{src1} - \text{src2}$.
sub_r	10	2	$\text{src2} - \text{src1}$.
compare	11	2	Сравнение. Использует коды условий, см. с. ??.
mul	12	2	$\text{src1} \cdot \text{src2}$.
mul_hi_s	13	2	$(\text{src1} \cdot \text{src2}) \gg \text{OS}$, знаково (только для целых чисел).
mul_hi_u	14	2	$(\text{src1} \cdot \text{src2}) \gg \text{OS}$, беззнаково (только для целых чисел).
mul_ex_s	15	2	Перемножить элементы с чётными номерами векторов, состоящих из знаковых целых чисел, для получения результатов двойного размера.
mul_ex_u	16	2	Перемножить элементы с чётными номерами векторов, состоящих из беззнаковых целых чисел, для получения результатов двойного размера.
div	17	2	$\text{src1} / \text{src2}$ (необязательно для целочисленных векторов).
rem	18	2	Остаток от деления (необязательно для целочисленных векторов).
min	20	2	Знаковый минимум.
max	21	2	Знаковый максимум.
min_u	22	2	Беззнаковый минимум для целых чисел, минимум из абсолютных величин для вещественных.
max_u	23	2	Беззнаковый максимум для целых чисел, максимум из абсолютных величин для вещественных.
and	32	2	$\text{src1} \& \text{src2}$.
and_not	33	2	$\text{src1} \& (\sim \text{src2})$.
or	34	2	$\text{src1} \text{src2}$.
xor	35	2	$\text{src1} \wedge \text{src2}$.
shift_left	36	2	$\text{src1} \ll \text{src2}$.
shift_rightu	37	2	$\text{src1} \gg \text{src2}$, с расширением нулём.
shift_rights	38	2	$\text{src1} \gg \text{src2}$, с расширением знаком.
rotate	39	2	Вращать влево, если src2 положительно, и вправо — если отрицательно.
extract_bit	40	2	Выделить разряд. $(\text{src1} \gg \text{src2}) \& 1$.
set_bit	41	2	Установить разряд. $\text{src1} (1 \ll \text{src2})$.
clear_bit	42	2	Сбросить разряд. $\text{src1} \& \sim (1 \ll \text{src2})$.
toggle_bit	43	2	Инвертировать разряд. $\text{src1} \wedge (1 \ll \text{src2})$.
mul_add	46	3	$\pm \text{src1} \pm \text{src2} \cdot \text{src3}$ (необязательно).
add_add	47	3	$\pm \text{src1} \pm \text{src2} \pm \text{src3}$ (необязательно).
userdef55 – userdef62	55–62	2	Зарезервировано для определяемых пользователем команд.
undef	63	2	Неопределённый код. Гарантированно возбуждает прерывание (trap) во всех будущих реализациях.

4.2. Список малых команд

В одном 32-разрядном слове кода помещается две малых команды. Если малая команда не может спариваться ни с чем иным, то она спаривается с малой пор.

Если не оговорено иное, то операнды малых команд — 64-разрядные. RD — регистр-приёмник, и, в большинстве случаев, также и первый из регистров-источников. RS может быть одним из регистров r0-r15, v0-v15, либо непосредственно заданной расширенной знаком 4-разрядной константой. Команды с указателем в RS используют в качестве указателя r0-r14, когда RS — от 0 до 14, и указатель стека (r31), когда RS равно 15.

Поскольку адрес команды должен быть кратен четырём, то невозможно перейти на вторую команду из пары малых команд. Если прерывание или ловушка возникли при выполнении малой команды, то обработчик

прерывания должен запомнить, какая из двух малых команд была прервана.

Таблица 4.2.1. Список малых команд, работающих с регистрами общего назначения

Команда	OP1	Описание
nop	0	Нет операции.
move	1	RD = расширенная знаком константа из поля RS.
add	2	RD += расширенная знаком константа из поля RS.
sub	3	RD -= расширенная знаком константа из поля RS.
shift_left	4	RD <<= беззнаковая константа из поля RS.
shift_rightu	5	RD >>= беззнаковая константа из поля RS (расширение нулём).
move	8	RD = регистровый операнд RS.
add	9	RD += регистровый операнд RS.
sub	10	RD -= регистровый операнд RS.
and	11	RD &= регистровый операнд RS.
or	12	RD = регистровый операнд RS.
xor	13	RD ^= регистровый операнд RS.
move	14	Прочитать RD из находящегося в памяти операнда, имеющего заданный полем RS (RS = r0-r14, r31) указатель.
store	15	Записать RD в находящийся в памяти операнд, имеющий заданный полем RS (RS = r0-r14, r31) указатель.

Таблица 4.2.2. Список малых команд, работающих с векторными регистрами

Команда	OP1	Описание
clear	16	Очистить регистр RD, установив его длину равной нулю.
move	17	RD = знаковое 4-разрядное целое из RS, преобразованное в скаляр одинарной точности.
move	18	RD = знаковое 4-разрядное целое из RS, преобразованное в скаляр двойной точности.
move	19	RD = RS. Копировать вектор любого типа.
add	20	RD += RS, вектор из вещественных чисел одинарной точности.
add	21	RD += RS, вектор из вещественных чисел двойной точности.
sub	22	RD -= RS, вектор из вещественных чисел одинарной точности.
sub	23	RD -= RS, вектор из вещественных чисел двойной точности.
mul	24	RD *= RS, вектор из вещественных чисел одинарной точности.
mul	25	RD *= RS, вектор из вещественных чисел двойной точности.
add_cps	28	Получить размер сжатого образа для RD и прибавить его к регистру общего назначения RS.
sub_cps	29	Получить размер сжатого образа для RD и вычесть его из регистра общего назначения RS.
restore_cp	30	Восстановить векторный регистр RD из сжатого образа, на который указывает RS.
save_cp	31	Сохранить векторный регистр RD в сжатый образ, на который указывает RS.

4.3. Список одноформатных команд

Эти команды имеются преимущественно в одном или нескольких форматах.

Таблица 4.3.1. Список одноформатных команд, работающих с регистрами общего назначения

Команда	Формат	OP1	Описание
bitscan_f	1.0	1	Сканировать разряды вперёд. Найти номер самого младшего разряда RS, равного единице (необязательна).

bitscan_r	1.0	2	Сканировать разряды назад. Найти номер самого старшего разряда RS, равного единице (необязательна).
round_d2	1.0	3	Округлить RS к ближайшей меньшей степени числа 2.
round_u2	1.0	4	Округлить RS к ближайшей большей степени числа 2.
move	1.1	0	Переслать 16-разрядную расширенную знаком константу в регистр общего назначения RD.
move_u	1.1	1	Переслать 16-разрядную расширенную нулём константу в регистр общего назначения RD (может использоваться в качестве первого шага загрузки 32-разрядной константы, если не поддерживаются команды двойного размера).
add	1.1	2	Прибавить 16-разрядную расширенную знаком константу к RD.
sub	1.1	3	Вычесть 16-разрядную расширенную знаком константу из RD.
subr	1.1	4	Вычесть RD из 16-разрядной расширенной знаком константы.
mul	1.1	5	Умножить RD на 16-разрядную расширенную знаком константу.
div	1.1	6	Поделить RD на 16-разрядную расширенную знаком константу.
add	1.1	7	Сдвинуть 16-разрядную расширенную знаком константу влево на 16 разрядов и прибавить к RD.
move	1.1	16	$RD = IM2 \ll IM1$. Знаково расширить IM2 до 64 разрядов и сдвинуть результат влево, на количество разрядов, указанное беззнаковым значением в IM1.
add	1.1	17	$RD += IM2 \ll IM1$. Знаково расширить IM2 до 64 разрядов, сдвинуть результат влево, на количество разрядов, указанное беззнаковым значением в IM1, и прибавить то, что получилось, к RD.
and	1.1	18	$RD \&= IM2 \ll IM1$. Знаково расширить IM2 до 64 разрядов, сдвинуть результат влево, на количество разрядов, указанное беззнаковым значением в IM1, и выполнить поразрядное И с RD.
or	1.1	19	$RD = IM2 \ll IM1$. Знаково расширить IM2 до 64 разрядов, сдвинуть результат влево, на количество разрядов, указанное беззнаковым значением в IM1, и выполнить поразрядное ИЛИ с RD.
xor	1.1	20	$RD ^= IM2 \ll$. Знаково расширить IM2 до 64 разрядов, сдвинуть результат влево, на количество разрядов, указанное беззнаковым значением в IM1, и выполнить поразрядное ИСКЛЮЧАЮЩЕЕ ИЛИ с RD.
abs	1.8	0	Абсолютная величина целого числа. Использовать насыщение, если IM1 = 1.
shift_add	1.8	1	Сдвинуть и сложить. $RD += RS \ll IM1$ (сдвинуть вправо, расширив нулём, если IM1 отрицательно).
read_spe	1.8	32	Прочитать содержимое специального регистра RS в ПОН RD.
write_spe	1.8	33	Записать содержимое ПОН RS в специальный регистр RD.
read_cpb	1.8	34	Прочитать содержимое регистра возможностей RS в ПОН RD.
write_cpb	1.8	35	Записать содержимое ПОН RS в регистр возможностей RD.
read_perf	1.8	36	Прочитать счётчик производительности.
read_perfs	1.8	37	Прочитать счётчик производительности, используя сериализацию.
read_sys	1.8	38	Прочитать содержимое системного регистра RS в ПОН RD.
write_sys	1.8	39	Записать содержимое ПОН RS в системный регистр RD.
load_hi	2.6	0	Загрузить 32-разрядную константу в старшую часть регистра общего назначения. Младшая часть зануляется. $RD = IM2 \ll 32$.
insert_hi	2.6	1	Вставить 32-разрядную константу в старшую часть регистра общего назначения, оставляя младшую часть без изменения. $RD = (RS \& 0xFFFFFFFF) (IM2 \ll 32)$.

add_unsigned	2.6	2	Прибавить расширенную нулём 32-разрядную константу к регистру общего назначения.
sub_unsigned	2.6	3	Вычитать расширенную нулём 32-разрядную константу из регистра общего назначения.
add_hi	2.6	4	Прибавить 32-разрядную константу к старшей части регистра общего назначения. $RD = RS + (IM2 \ll 32)$.
and_hi	2.6	5	Поразрядное И старшей части регистра общего назначения с 32-разрядной константой. $RD = RS \& (IM2 \ll 32)$.
or_hi	2.6	6	Поразрядное ИЛИ старшей части регистра общего назначения с 32-разрядной константой. $RD = RS \mid (IM2 \ll 32)$.
xor_hi	2.6	7	Поразрядное ИСКЛЮЧАЮЩЕЕ ИЛИ старшей части регистра общего назначения с 32-разрядной константой. $RD = RS \wedge (IM2 \ll 32)$.
address	2.6	32	$RD = RS + IM2$, RS может быть THREADP (28), DATAP (29), или IP (30).

Таблица 4.3.2. Список одноформатных команд, работающих с векторными регистрами и регистрами разного типа

Команда	Формат	OP1, OP2	Описание
set_len	1.2	0	RD = векторный регистр RT со значением длины, указанным в RS.
get_len	1.2	1	Записать длину векторного регистра RS в регистр общего назначения RD.
set_num	1.2	2	Заменить длину векторного регистра на RS·OS.
get_num	1.2	3	Получить длину векторного регистра, делённую на размер операнда.
compress	1.2	4	Сжать вектор RT длины RS до вектора половинной длины и половинного размера элемента: двойная точность → одинарная точность, 64-разрядное целое → 32-разрядное целое, и т.п.
compress_ss	1.2	5	Сжать целочисленный вектор RT длины RS до вектора половинной длины и половинного размера элемента, знаково и с насыщением (необязательна).
compress_us	1.2	6	Сжать целочисленный вектор RT длины RS до вектора половинной длины и половинного размера элемента, беззнаково и с насыщением (необязательна).
expand	1.2	7	Расширить вектор RT длины RS/2 и половинного размера элемента до вектора длины RS с полного размера элемента: половинная точность → одинарная точность, 32-разрядное целое → 64-разрядное целое (с расширением знаком), и т.п.
expand_us	1.2	8	Расширить вектор RT длины RS/2 и половинного размера элемента до вектора длины RS с полного размера элемента: 32-разрядное целое → 64-разрядное целое (с расширением нулём), и т.п.
compress_sparse	1.2	9	Сжать разреженный вектор с элементами, указанными разрядами маски, в непрерывный вектор. RS = длина входного вектора (необязательна).
expand_sparse	1.2	10	Расширить непрерывный вектор до разреженного вектора, позиции в котором указаны разрядами маски. RS = длина результирующего вектора (необязательна).
extract	1.2	11	Выделить один элемент из вектора RT, начинающийся со смещения RS·OS и имеющий размер OS, в скаляр, находящийся в векторном регистре RD.
insert	1.2	12	Заменить один элемент вектора RD, начинающийся со смещения RS·OS, скаляром из RT.

broadcast	1.2	13	Разослать первый элемент вектора RT во все элементы вектора RD, имеющего длину, указанную в RS.
bits2bool	1.2	14	Младшие n разрядов из RT распаковываются в булев вектор RD длины RS, с одним разрядом в каждом элементе, где $n = RS / OS$.
bool2bits	1.2	15	Булев вектор RT длины RS упаковывается в младшие n разрядов RD, беря разряд с номером 0 в каждом элементе, $n = RS / OS$. Длина RD должна быть достаточна для хранения, по меньшей мере, n разрядов.
bool_reduce	1.2	16	Логический вектор RT длины RS сворачивается, посредством комбинирования разрядов номер 0 всех элементов. Результатом является скалярное целое, в котором разряд №0 является поразрядным И всех разрядов с номером 0, а разряд №1 — поразрядными ИЛИ. Остальные разряды зарезервированы для последующего использования.
shift_expand	1.2	18	Сдвинуть вектор RT влево на RS байтов и увеличить длину вектора на RS. Младшие RS байтов в RD будут нулями.
shift_reduce	1.2	19	Сдвинуть вектор RT вправо на RS байтов и уменьшить длину вектора на RS. Младшие RS байт вектора RT теряются.
shift_up	1.2	20	Сдвинуть вектор RT влево на RS элементов. Младшие RS элементов вектора RD будут нулями, а старшие RS элементов из RT — теряются.
shift_dn	1.2	21	Сдвинуть вектор RT вправо на RS элементов. Старшие RS элементов вектора RD будут нулями, а младшие RS элементов из RT — теряются.
div_ex_s	1.2	24	Разделить вектор RS, состоящий из целых чисел двойного размера, на знаковые целые числа из RT. Размер элемента RS равен $2 \cdot OS$. Деление выполняется на элементы вектора RT (размер элемента которого равен OS), имеющие чётные номера. Частные сохраняются в элементах вектора RD, имеющих чётные номера, а остатки — в элементах с нечётными номерами (для векторов — необязательно).
div_ex_u	1.2	25	То же, но для беззнаковых целых (для векторов — необязательно).
sqrt	1.2	26	Квадратный корень (для вещественных чисел, необязательно).
add_c	1.2	28	Сложить с переносом. Вектор имеет два элемента. Старший элемент используется как перенос и на входе, и на выходе (необязательно).
sub_b	1.2	29	Вычесть с заёмом. Вектор имеет два элемента. Старший элемент используется как заём и на входе, и на выходе (необязательно).
add_ss	1.2	30	Сложить целочисленные векторы, со знаковым насыщением (необязательно).
add_us	1.2	31	Сложить целочисленные векторы, с беззнаковым насыщением (необязательно).
sub_ss	1.2	32	Вычесть целочисленные векторы, со знаковым насыщением (необязательно).
sub_us	1.2	33	Вычесть целочисленные векторы, с беззнаковым насыщением (необязательно).
mul_ss	1.2	34	Умножить целочисленные векторы, со знаковым насыщением (необязательно).
mul_us	1.2	35	Умножить целочисленные векторы, с беззнаковым насыщением (необязательно).
shl_ss	1.2	36	Сдвинуть влево целочисленные векторы, со знаковым насыщением (необязательно).

shl_us	1.2	37	Сдвинуть влево целочисленные векторы, с беззнаковым насыщением (необязательна).
add_oc	1.2	38	Сложить с проверкой переполнения (необязательна).
sub_oc	1.2	39	Вычитать с проверкой переполнения (необязательна).
subr_oc	1.2	40	Обратное вычитание с проверкой переполнения (необязательна).
mul_oc	1.2	41	Умножить с проверкой переполнения (необязательна).
div_oc	1.2	42	Деление с проверкой переполнения (необязательна).
input	1.2	48	Прочитать из порта ввода. RD = векторный регистр, RT = адрес порта, RS = длина вектора (привилегированная команда).
output	1.2	49	Записать в порт вывода. RD = являющийся векторным регистром операнд-источник, RT = адрес порта, RS = длина вектора (привилегированная команда).
gp2vec	1.3 B	0	Переслать значение из регистра общего назначения RS в находящийся в векторном регистре RD скаляр.
set_bits_x	1.3 B	1	Установить все разряды, кроме одного. $RD = RS \sim (1 \ll IM1)$.
clear_bits_x	1.3 B	2	Сбросить все разряды, кроме одного. $RD = RS \& (1 \ll IM1)$.
make_sequence	1.3 B	3	Создать вектор, состоящий из RS последовательных чисел. Первое значение равно IM1.
mask_length	1.3 B	4	Создать маску с true в первых RS байтах. Разряды опций — в IM1.
vec2gp	1.3 B	8	Переслать значение первого элемента векторного регистра RS в регистр общего назначения RD.
bitscan_f	1.3 B	9	Сканировать разряды вперёд. Найти индекс самого младшего разряда регистра RS, равного единице (для векторов необязательна).
bitscan_r	1.3 B	10	Сканировать разряды назад. Найти индекс самого старшего разряда регистра RS, равного единице (для векторов необязательна).
float2int	1.3 B	12	Преобразование вещественного значения в целочисленное значение, имеющее тот же размер операнда. Режим округления указывается в IM1.
int2float	1.3 B	13	Преобразование целочисленного значения в вещественное значение, имеющее тот же размер операнда.
round	1.3 B	14	Округлить вещественное число к целочисленному значению в вещественном представлении. Режим округления указывается в IM1.
round2n	1.3 B	15	Округлить к ближайшему кратному числа 2^n . $RD = 2^n \cdot \text{round}(2^{-n} \cdot RS)$. n — знаковая целочисленная константа, находящаяся в IM1 (необязательна).
abs	1.3 B	16	Абсолютная величина целого числа. Если IM1 = 1, то используется насыщение.
popcount	1.3 B	17	Подсчитать количество разрядов регистра RS, равных 1.
broadcast	1.3 B	18	Разослать 8-разрядную константу во все элементы регистра RD, имеющего длину, указанную в регистре RS (31 в поле RS даёт скалярный результат).
fp_category	1.3 B	19	Проверить, принадлежат ли вещественные числа категориям, указанным константой.
byte_reverse	1.3 B	20	Обратить порядок байтов в каждом элементе вектора.
bit_reverse	1.3 B	21	Обратить порядок разрядов в каждом элементе вектора (необязательна).
truth_tab2	1.3 B	24	Булева функция от двух переменных, заданная таблицей истинности.
read_spev	1.3 B	30	Прочитать специальный регистр RT в векторный регистр RD, имеющий длину RS.

move	1.3 C	32	Переслать 16-разрядную константу в 16-разрядный скаляр (необязательна).
add	1.3 C	33	Сложить размноженную 16-разрядную константу с 16-разрядными элементами вектора (необязательна).
and	1.3 C	34	Выполнить поразрядное И размноженной 16-разрядной константы с 16-разрядными элементами вектора (необязательна).
or	1.3 C	35	Выполнить поразрядное ИЛИ размноженной 16-разрядной константы с 16-разрядными элементами вектора (необязательна).
xor	1.3 C	36	Выполнить поразрядное ИСКЛЮЧАЮЩЕЕ ИЛИ размноженной 16-разрядной константы с 16-разрядными элементами вектора (необязательна).
move	1.3 C	38	$RD = IM2 \ll IM1$. Расширить IM2 знаком до 32 разрядов и сдвинуть результат влево на беззнаковое значение IM1, чтобы получить 32-разрядный скаляр (необязательна).
move	1.3 C	39	$RD = IM2 \ll IM1$. Расширить IM2 знаком до 64 разрядов и сдвинуть результат влево на беззнаковое значение IM1, чтобы получить 64-разрядный скаляр (необязательна).
add	1.3 C	40	$RD += IM2 \ll IM1$. Сложить размноженную сдвинутую знаковую константу с 32-разрядными элементами вектора (необязательна).
add	1.3 C	41	$RD += IM2 \ll IM1$. Сложить размноженную сдвинутую знаковую константу с 64-разрядными элементами вектора (необязательна).
and	1.3 C	42	$RD \&= IM2 \ll IM1$. Выполнить поразрядное И размноженной сдвинутой знаковой константы с 32-разрядными элементами вектора (необязательна).
and	1.3 C	43	$RD \&= IM2 \ll IM1$. Выполнить поразрядное И размноженной сдвинутой знаковой константы с 64-разрядными элементами вектора (необязательна).
or	1.3 C	44	$RD = IM2 \ll IM1$. Выполнить поразрядное ИЛИ размноженной сдвинутой знаковой константы с 32-разрядными элементами вектора (необязательна).
or	1.3 C	45	$RD = IM2 \ll IM1$. Выполнить поразрядное ИЛИ размноженной сдвинутой знаковой константы с 64-разрядными элементами вектора (необязательна).
xor	1.3 C	46	$RD \hat{=} IM2 \ll IM1$. Выполнить поразрядное ИСКЛЮЧАЮЩЕЕ ИЛИ размноженной сдвинутой знаковой константы с 32-разрядными элементами вектора (необязательна).
xor	1.3 C	47	$RD \hat{=} IM2 \ll IM1$. Выполнить поразрядное ИСКЛЮЧАЮЩЕЕ ИЛИ размноженной сдвинутой знаковой константы с 64-разрядными элементами вектора (необязательна).
add	1.3 C	48	$RD += IM21 \ll 16$. Сложить размноженную знаковую сдвинутую влево на 16 разрядов 16-разрядную константу с 32-разрядными элементами вектора (необязательна).
add	1.3 C	49	$RD += IM21 \ll 16$. Сложить размноженную знаковую сдвинутую влево на 16 разрядов 16-разрядную константу с 64-разрядными элементами вектора (необязательна).
mov	1.3 C	56	Переслать преобразованную вещественную константу половинной точности в скаляр одинарной точности (необязательна).
mov	1.3 C	57	Переслать преобразованную вещественную константу половинной точности в скаляр двойной точности (необязательна).
add	1.3 C	58	Сложить размноженную вещественную константу половинной точности с каждым элементом вектора, состоящего из чисел одинарной точности (необязательна).

add	1.3 C	59	Сложить размноженную вещественную константу половинной точности с каждым элементом вектора, состоящего из чисел двойной точности (необязательна).
mul	1.3 C	60	Перемножить размноженную вещественную константу половинной точности с каждым элементом вектора, состоящего из чисел одинарной точности (необязательна).
mul	1.3 C	61	Перемножить размноженную вещественную константу половинной точности с каждым элементом вектора, состоящего из чисел двойной точности (необязательна).
permute	2.5	2, 8	Элементы вектора RT переставляются в пределах каждого блока размером RS байтов, индексы указаны в регистре RU. Каждый индекс отсчитывается относительно начала блока. Индекс вне диапазона порождают нули. Максимальный размер блока зависит от реализации.
concatenate	2.5	2, 9	Вектор RT длины RS и вектор RU длины RS склеиваются в вектор RD длины $2 \cdot RS$.
truth_tab3	2.5	3, 8	Булева функция от трёх переменных, заданная таблицей истинности (необязательна).
truth_tab4	2.5	4, 8	Булева функция от четырёх переменных, заданная таблицей истинности (необязательна).
mul_add	2.5	3, 9	$RD = \pm RS \pm RT \cdot RU$ (необязательна, но рекомендуется).
add_add	2.5	3, 10	$RD = \pm RS \pm RT \pm RU$ (необязательна).
add_add_add	2.5	3, 11	$RD = \pm RS \pm RT \pm RU \pm IM2$ Сложить три векторных регистровых операнда и 16-разрядную константу IM2 (необязательна).
add_add_add	2.5	4, 11	$RD = \pm RD \pm RS \pm RT \pm RU$ Сложить четыре векторных регистровых операнда (необязательна).
load_hi	2.7	16	Сделать вектор из двух элементов. $dest[0] = 0$, $dest[1] = IM2$.
insert_hi	2.7	17	Сделать вектор из двух элементов. $dest[0] = src1[0]$, $dest[1] = IM2$.
make_mask	2.7	18	Создать вектор, в котором разряд №0 каждого элемента идёт из разрядов поля IM2, а оставшиеся разряды — из RS.
replace	2.7	19	Заменить элементы в RS константой IM2.
replace_even	2.7	20	Заменить элементы в RS, имеющие чётные номера, константой IM2.
replace_odd	2.7	21	Заменить элементы в RS, имеющие нечётные номера, константой IM2.
broadcast	2.7	22	Разослать 32-разрядную константу во все элементы регистра RD, имеющего длину, указанную в регистре RS (31 в поле RS даёт скалярный результат).
permute	2.7	33	Элементы вектора RT переставляются в пределах каждого блока размером RS байтов. 4·n разрядов поля IM2 используется в качестве индекса, с 4 разрядами на каждый элемент в блоке размера n. Тот же шаблон используется в каждом блоке. Количество элементов в каждом блоке: $n = RS / OS \leq 8$.

Таблица 4.3.3. Список одноформатных команд с операндами, находящимися в памяти.

Команда	Формат	OP1, OP2	Описание
store	2.7 B	48	Сохранить 32-разрядную константу IM2 в находящемся в памяти операнде, имеющем базу RT и 8-разрядное смещение IM1 (необязательна).
fence	2.4.x	0, 8	Барьер в памяти, по чтению, по записи, или полный (указывается OP3).
cmp_swap	2.8.x	1, 8	Атомарное сравнение и обмен.

read_insert	2.4.0 2.4.3	2, 8	Заменить в векторе RD один элемент, начинающийся со смещения RS·OS, скалярным операндом, находящимся в памяти (необязательна).
move_store	2.4.x	3, 8	Условная пересылка и сохранение. Разряды маски = 01 или 11: сохранить RU. Разряды маски = 10: сохранить zero. Разряды маски = 11: сохранить RD. (необязательна).
extract_store	2.4.0	3, 9	Выделить один элемент из вектора RD, начинающийся со смещения RS·OS и имеющий размер OS, в находящийся в памяти операнд с базой RT и смещением IM2 (необязательна).
extract_store	2.4.3	3, 9	Выделить один элемент из вектора RD, начинающийся со смещения RS·OS и имеющий размер OS, в находящийся в памяти операнд с базой RT, масштабируемым индексом RU и беззнаковым лимитом $RU \leq IM2$ (необязательна).
compress_store	2.4.1	3, 10	Сжать вектор RD длины RS в вектор половинной длины и половинного размера элемента. Двойная точность → одинарная точность, 64-разрядное целое → 32-разрядное целое, и т.п. Сохранить в памяти с базой RT, смещением IM2, длиной RS/2 (необязательна).
add_store	2.4.x	4, 8	Сложить RD и RU, сохранить результат в находящемся в памяти операнде (необязательна).
sub_store	2.4.x	4, 9	Вычесть RU из RD, сохранить результат в находящемся в памяти операнде (необязательна).
mul_store	2.4.x	4, 10	Перемножить RD и RU, сохранить результат в находящемся в памяти операнде (необязательна).
read_memory_map	2.4.2	48, 8	Прочитать карту памяти. RD = элемент карты, RT = указатель памяти, RS = длина вектора и отрицательный индекс как для источника, так и для приёмника (привилегированная).
write_memory_map	2.4.2	48, 9	Записать карту памяти. RD = элемент карты, RT = указатель памяти, RS = длина вектора и отрицательный индекс как для источника, так и для приёмника (привилегированная).

4.4. Описание команд

В данном разделе описываются команды, для которых нужны специальные объяснения.

Многоформатные команды

nop

Рекомендуется кодировать команды NOP в виде 32-разрядного слова, все разряды которого равны нулю. Процессору разрешается пропускать такого рода команды NOP на ранней стадии конвейера, и настолько быстро, насколько он может. Пара малых команд, в которой вторая команд — NOP, может рассматриваться как одна команда.

Эти команды NOP могут использоваться только как заполнители, но не для задержек.

move