**Mode selection**

The interface can operate in one of the four following modes:

• Slave transmitter

• Slave receiver

• Master transmitter

• Master receiver

Mạc định là ở chế độ slave

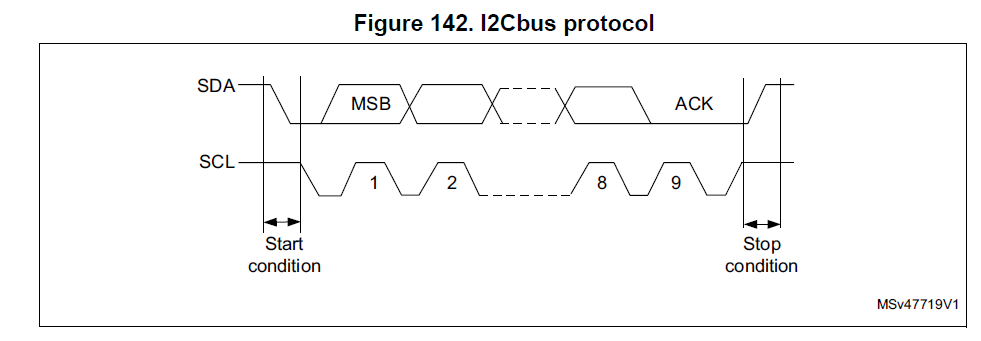
Dòng giao tiếp:

Master mode: Khi bắt đầu truyền tính hiệu và tạo clock. Truyền nối tiếp luôn bắt đầu ở start condition và kết thúc ở stop condition. Cả hai điều kiện này được tạo ra bằng phần mềm.

Slave mode: Có khả năng nhận địa chỉ của chính nó (7 or 10 bit) và địa chỉ chung. Bật tắt bằng phần mềm

Địa chỉ được truyền ở 7 bit hoặc 10 bit và luôn truyền từ master.

Đến xung thứ 9 thì slsve gửi bit ack đến master



**I2C slave mode**

I2C\_FREQR register

Tần số đầu vào cần ít nhất

-1 MHz in Standard mode

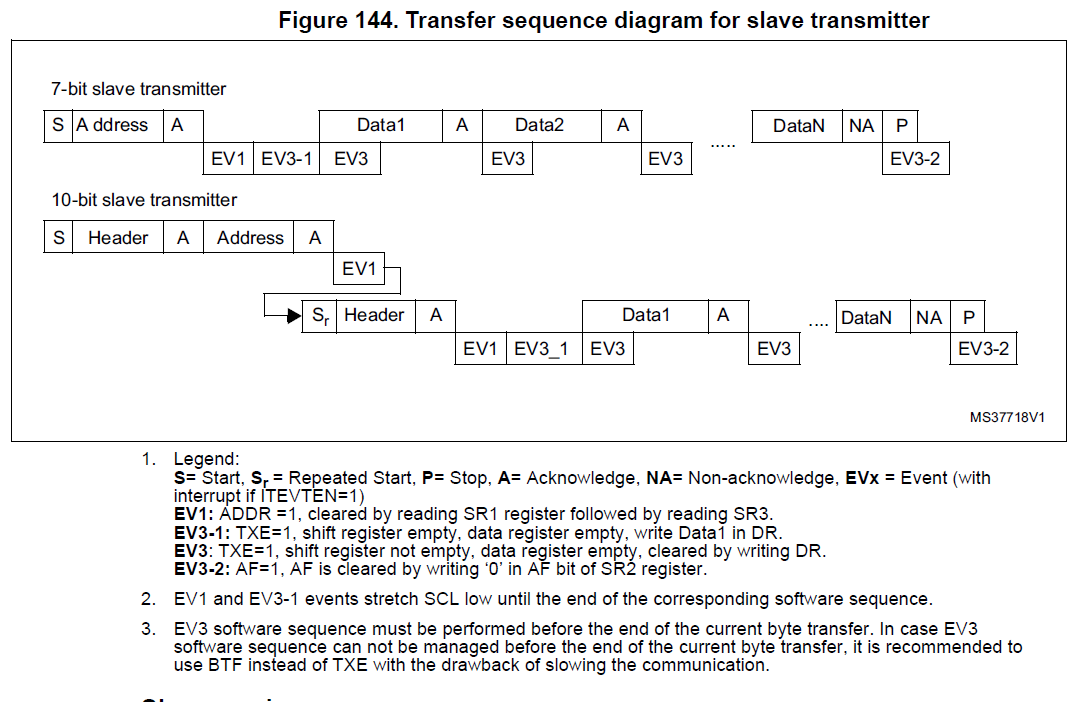
-4 MHz in Fast mode

The TRA cho biết slave is in Receiver or Transmitter mode.

**Slave transmitter**

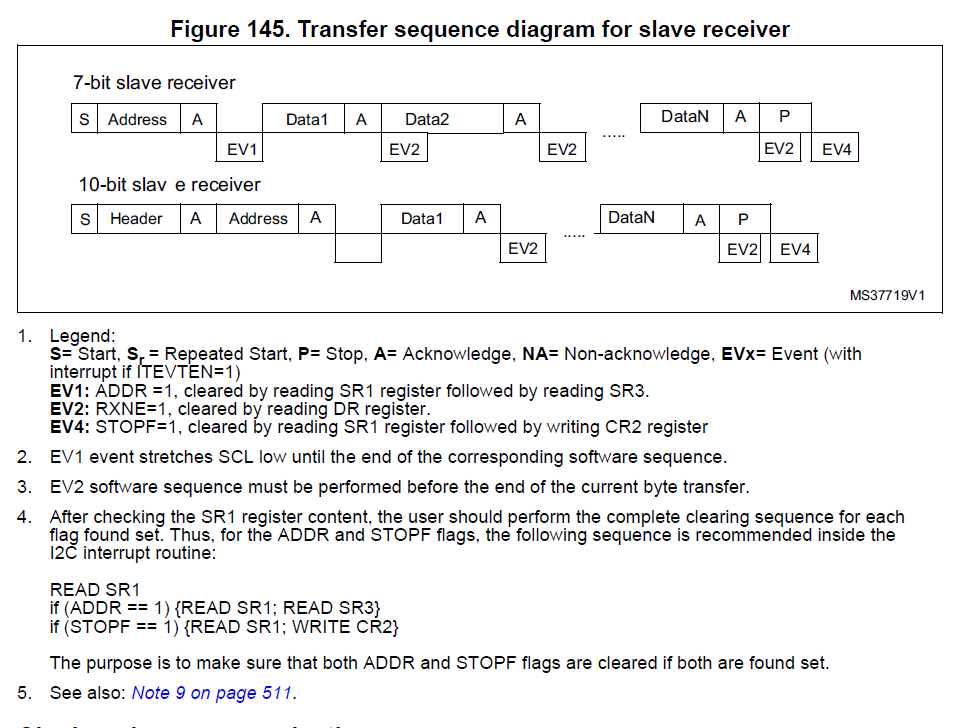
Sau khi nhận địa chỉ và sau khi xóa ADDR, slave sẽ gửi byte từ thanh ghi DR đến dòng SDA thông qua thanh ghi dịch.

Kéo SCL xuống thấp cho đến khi ADDR bị xóa và DR chứa đầy dữ liệu được gửi



**Slave receiver**

The RXNE bit is set by hardware and an interrupt is generated if the ITEVTEN and ITBUFEN bit is set.



**Closing slave communication**

After the last data byte is transferred, a Stop condition is generated by the master

Interface phát hiện điều kiện này sau đó set bit STOPF và tạo ra một ngắt nếu bit ITEVTEN được đặt.

STOPF bị xóa bằng cách đọc thanh ghi SR1 và ghi vào thanh ghi CR2

**I2C master mode**

Program the peripheral input clock in I2C\_FREQR Register in order to generate correct timings.

* Configure the clock control registers
* Configure the rise time register
* Program the I2C\_CR1 register to enable the peripheral
* Set the START bit in the I2C\_CR2 register to generate a Start condition

The peripheral input clock frequency must be at least:

1 MHz in Standard mode

4 MHz in Fast mode

**SCL master clock generation**

If the SCL line is high, the high level counter keeps on counting.

**Start condition**

Setting the START bit causes the interface to generate a Start condition and to switch to Master mode (MSL bit set) when the BUSY bit is cleared.

Once the Start condition is sent:

• The SB bit is set by hardware and an interrupt is generated if the ITEVTEN bit is set.

**Slave address transmission**