Corrigé de l'examen Architecture des Ordinateurs

Session Rattrapage

Exercice 1

1. Table de Vérité

b_0	a_0	C	D	S_0
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Table de Karnaugh

CD \ a_0b_0	00	01	11	10
00				
01			1	1
11	1	1	1	1
10		1	1	

$$S_0 = Cb_0 + Da_0 + CD$$

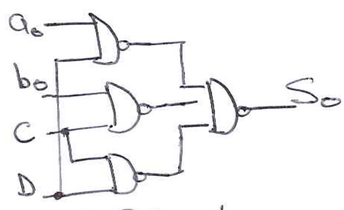


Schéma logique

Avec des portes NAND

$$\overline{\overline{S_0}} = S_0 = \overline{\overline{Cb_0 + Da_0 + CD}} = \overline{\overline{Cb_0} \cdot \overline{Da_0} \cdot \overline{CD}}$$

Exercice 2

Décim	Code de Gray Non pondéré				Code Aiken			
					2	4	2	1
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
6	0	1	0	1	1	1	0	0
7	0	1	0	0	1	1	0	1
8	1	1	0	0	1	1	1	0
9	1	1	0	1	1	1	1	1
	E_3	E_2	E_1	E_0	S_3	S_2	S_1	S_0

Equations booléennes des sorties

$$S_0 = \overline{E_3}E_2E_1E_0 + \overline{E_3}E_2\overline{E_1}\overline{E_0} + E_3E_2\overline{E_1}E_0$$

$$S_0 = \overline{E_3}E_2(\overline{E_1}\overline{E_0} + E_1E_0) + E_3E_2\overline{E_1}E_0$$

$$S_0 = \overline{E_3}E_2(\overline{E_1 \oplus E_0}) + E_3E_2\overline{E_1}E_0$$

ou

$$S_0 = E_2\overline{E_1}(\overline{E_3}\overline{E_0} + E_3E_0) + \overline{E_3}E_2E_1E_0$$

$$S_0 = E_2\overline{E_1}(\overline{E_0 \oplus E_3}) + \overline{E_3}E_2\overline{E_1}E_0$$

$$S_1 = E_3$$

$$S_2 = \overline{E_2}$$

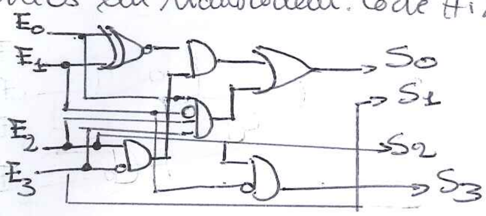
$$S_3 = \overline{E_3}E_2\overline{E_1}E_0 + \overline{E_3}E_2\overline{E_1}\overline{E_0} + E_3E_2\overline{E_1}\overline{E_0} + E_3E_2\overline{E_1}E_0$$

$$= \overline{E_3}E_2\overline{E_1} + E_3E_2\overline{E_1} = \overline{E_1}E_2$$

$$S_3 = \overline{E_1}E_2$$

Entrées du transcodeur : Code de Gray

Sorties du transcodeur : Code Aiken



Exercice 3:

Question de cours *(10points)*

1. Etablir la table de vérité et le(s) équation(s) booléenne(s) de sortie(s) d'un multiplexeur à 2 entrées d'adresses (A_0, A_1). *(2points)*

Table de vérité

A_1	A_0	S
0	0	E_0
0	1	E_1
1	0	E_2
1	1	E_3

Equations booléennes

$$S = \overline{A_1}.\overline{A_0}.E_0 + \overline{A_1}.A_0.E_1 + A_1.\overline{A_0}.E_2 + A_1.A_0.E_3$$

2.Etablir la table de vérité et le(s) équation(s) booléenne(s) de sortie(s) d'un démultiplexeur à 2 entrées d'adresses (A_0, A_1). *(2points)*

Tableau de vérité

A_1	A_0	S_0	S_1	S_2	S_3
0	0	E	0	0	0
0	1	0	E	0	0
1	0	0	0	E	0
1	1	0	0	0	E

Equations booléennes

$$S_0 = \overline{A_1}.\overline{A_0}.E,\ S_1 = \overline{A_1}.A_0.E,\ S_2 = A_1.\overline{A_0}.E,\ S_3 = A_1.A_0.E$$

3. Etablir la table de vérité et le(s) équation(s) booléenne(s) de sortie(s) d'un comparateur d'inégalité de 2 bits. *(2points)*

Table de vérité

B	A	S_0:A<B	S_1:A=B	S_2:A>B
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

Equations booléennes

$$S_0 = \overline{A}.B,\ S_1 = \overline{A}.\overline{B}+A.B=\overline{(A\oplus B)}\ ,\ S_2 = A.\overline{B}$$

4. Etablir la table de vérité et les équations booléennes de sorties (S_0, S_1, S_2, S_3) d’un décodeur à 4 sorties et n entrées ($E_0, ...E_n$). *(2points)*

Table de vérité

E_1	E_0	S_0	S_1	S_2	S_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Equations booléennes des sorties

$S_0=\bar{E}_0\bar{E}_1$

$S_1=E_0\bar{E}_1$

$S_2=\bar{E}_0E_1$

$S_3=E_0E_1$

5. Etablir la table de vérité et les équations booléennes des n sorties ($S_0,.....S_n$) d’un codeurà 4 entrées (E_0, E_1, E_2, E_3). *(2points)*

Table de vérité

E_0	E_1	E_2	E_3	S_1	S_0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

Equations Booléennes des sorties:

$S_0= \bar{E}_0E_1\bar{E}_2\bar{E}_3+ \bar{E}_0\bar{E}_1\bar{E}_2E_3$

$S_1= \bar{E}_0\bar{E}_1E_2\bar{E}_3+ \bar{E}_0\bar{E}_1\bar{E}_2E_3$