

Electronique numérique

Étude, adaptation et conception

De circuits de commande en technologie numérique câblée

Objectif

Réaliser un circuit de commande en technologie numérique à partir d'un cahier de charges

Pré-requis

– Bases d'automatisme du référentiel F3

Savoirs associés

- Bascules, compteurs, multiplexeurs, convertisseurs et mémoires
- Technologies TTL et C MOS

Sommaire

I. Introduction

- 1. Représentation analogique d'une grandeur**
- 2. Représentation numérique d'une grandeur**

II. Algèbre binaire (rappel)

- 1. Fonctions binaires de base**
- 2. Propriétés de l'algèbre binaire**
- 3. Fonctions binaires composées**
- 4. Symbolisation des fonctions logiques**
- 5. Mise en équation et réalisation des fonctions logiques**

III. Technologie des fonctions logiques

- 1. Paramètres technologiques**
- 2. Circuit TTL / CMOS rapide**

IV. Fonctions logiques séquentielles

- 1. Les bascules**
- 2. Multiplexeur / Démultiplexeur**
- 3. Les Compteurs**
- 4. Les Convertisseurs**
- 5. Les mémoires**

Travail personnel

Autocorrection

I. Introduction

Dans les sciences, dans les techniques, dans les affaires, et dans la plupart des domaines nous sommes amenés à utiliser des grandeurs. Ces grandeurs sont mesurées, surveillées, enregistrées, transformées mathématiquement, observées et exploitées de diverses façons dans des systèmes réels différents. Il est important lorsqu'on travaille avec diverses grandeurs d'être en mesure de représenter correctement et précisément leurs valeurs. Il y a fondamentalement deux manières de représenter la valeur d'une grandeur : la manière analogique et la manière numérique.

1. Représentation analogique d'une grandeur

Dans la représentation analogique, on fait correspondre à une grandeur physique (température, pression, vitesse...) une autre grandeur (souvent électrique) qui lui est directement proportionnelle. A titre d'illustration, considérons le tachymètre d'une automobile dans lequel la vitesse est figurée par la déviation d'une aiguille. La position angulaire de cette aiguille est proportionnelle à la vitesse de cette auto, et toute accélération ou tout ralentissement du véhicule se traduit par un déplacement correspondant de l'aiguille.

Les grandeurs analogiques varient continûment à l'intérieur d'une gamme de valeurs. La vitesse d'une automobile peut être comprise entre zéro et, mettons, 160 km/h et peut prendre toutes les valeurs comprises entre ces deux extrémités. De même, la sortie d'un microphone peut être n'importe quelle valeur entre zéro et 16 mV (par exemple, 1 mV, 2,3724 mV, 9,9999 mV).

2. Représentation numérique d'une grandeur

Une grandeur que l'on représente numériquement n'est pas strictement proportionnelle à une autre grandeur, mais est plutôt exprimée au moyen d'un nombre indiquant la valeur approximative de cette grandeur. Une horloge numérique qui donne l'heure du jour au moyen de chiffres représentant les heures, les minutes et les secondes ne peut pas distinguer 1h 30min 20s et 60centième de seconde de 1h 30min 21s et 30centième de seconde. La précision sur la valeur de la grandeur dépend donc du nombre de chiffres utilisés pour coder cette information (+ ou - 0,5s pour l'horloge). L'heure du jour est une variable continue, alors que les chiffres d'un affichage numérique (digital) la représentant, eux, ne le sont pas. L'heure qui est affichée progresse par pas d'une minute ou d'une seconde. En d'autres mots, la représentation numérique de l'heure du jour évolue de façon discontinue (par pas de 1s), contrairement à sa représentation analogique qui est continue.

Les grandeurs numériques varient par paliers d'autant plus petit que l'on souhaite une précision élevée (on parle de résolution) sur une étendue définie au préalable et fixée. L'affichage de l'heure sur 4 digits (heures + minutes) permet une précision de l'ordre de la minute sur une étendue de 24 heures.

La principale différence entre grandeur analogique et grandeur numérique, peut s'exprimer simplement comme suit :

analogique = continu
numérique = discret (discontinu)

Pour coder l'information on utilise un système de représentation ayant deux états (binaire) vrai ou faux (1 ou 0) ces informations élémentaires pouvant être associées pour former des mots binaires.

II. Algèbre binaire (rappel)

1. Fonctions binaires de base

Les fonctions logiques élémentaires peuvent être décrites par leur table de vérité ou leur équation :

La Somme logique				Le Produit logique				La complémentarité					
		a \ b	0	1			b \ a	0	1			a	\overline{a}
		0	0	1			0	0	0			1	0
		1	1	1			1	0	1			0	1
s=a+b : fonction OU (OR)				s=a.b : fonction ET (AND)				a = \overline{a} : fonction NON (NOT)					

2. Propriétés de l'algèbre binaire

Voici l'ensemble des propriétés relatives à l'algèbre binaire.


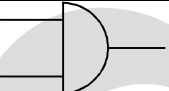
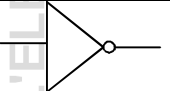
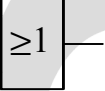
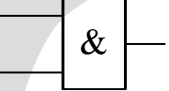
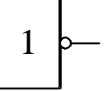
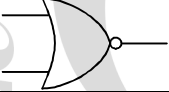
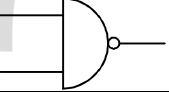

Commutativité $a+b=b+a$ $a.b=b.a$	Associativité $a.(b.c)=(a.b).c=a.b.c$ $a+(b+c)=(a+b)+c=a+b+c$	Distributivité $a+(b.c)=(a+b).(a+c)$ $a.(b+c)=(a.b)+(a.c)$
Absorption $a+(a.b)=a$ $a.(a+b)=a$ $a.0=0$ $a+1=1$	Elément neutre $a+0=a$ $a.1=a$ $a.a=a$ $a+a=a$	Théorème de DE MORGAN $a + b = \bar{a} . \bar{b}$ $\overline{a . b} = \bar{a} + \bar{b}$

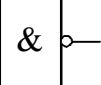
3. Fonctions binaires composées

Les fonctions de base peuvent se composer afin de créer des structures plus complexes :

NAND (ET NON)	NOR (OU NON)	XOR (OU EXCLUSIF)																											
<table> <tr> <td>a \ b</td><td>0</td><td>1</td></tr> <tr> <td>0</td><td>1</td><td>1</td></tr> <tr> <td>1</td><td>1</td><td>0</td></tr> </table>	a \ b	0	1	0	1	1	1	1	0	<table> <tr> <td>a \ b</td><td>0</td><td>1</td></tr> <tr> <td>0</td><td>1</td><td>0</td></tr> <tr> <td>1</td><td>0</td><td>0</td></tr> </table>	a \ b	0	1	0	1	0	1	0	0	<table> <tr> <td>a \ b</td><td>0</td><td>1</td></tr> <tr> <td>0</td><td>0</td><td>1</td></tr> <tr> <td>1</td><td>1</td><td>0</td></tr> </table>	a \ b	0	1	0	0	1	1	1	0
a \ b	0	1																											
0	1	1																											
1	1	0																											
a \ b	0	1																											
0	1	0																											
1	0	0																											
a \ b	0	1																											
0	0	1																											
1	1	0																											
$a.b$	$a + b$	$a \oplus b$																											

4. Symbolisation des fonctions logiques (indépendant de la technologie utilisée)

	OU	ET	NON
Norme US			
Norme CEE			
	NOR	NAND	XOR
Norme US			

Norme CEE			
-----------	--	---	--

5. Mise en équation et réalisation des fonctions logiques

A. Définition du cahier des charges

On nous demande de réaliser un petit automatisme combinatoire qui comporte trois entrées a b c et une sortie f. Le cahier des charges nous décrit le fonctionnement ci-après :

La sortie f doit être active lorsque :

- Les trois capteurs associés aux entrées a b c sont à l'état logique 0 simultanément
- Le capteur associé à l'entrée c est à l'état logique 1 et le capteur associé à l'entrée b est à 0
- Le capteur associé à l'entrée b est le seul à l'état logique 1

B. Représentation par table de vérité

La table de vérité d'un système combinatoire (combinatoire : la variable de sortie dépend exclusivement de l'état des variables d'entrées) est constituée d'un nombre de colonne égale au nombre de variables d'entrée, plus une correspondant à la variable de sortie. Le nombre de ligne est égal au nombre total de combinaison des variables d'entrées, à savoir : $2^{\text{nbr d'entrées}}$

Nombre de variables d'entrées	Nombre de lignes
1	2
2	4
3	8
4	16
5	32
6	64

Dans un tableau à trois entrées (a, b et c) et une sortie (f) on place les états dépendant du cahier des charges : la sortie f est à 1 si ... ce qui donne le tableau ci-dessous.

a	b	c	f
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Les entrées a b c sont à l'état logique 0 simultanément

L'entrée b est la seule à l'état logique 1

L'entrée c est à l'état logique 1 et l'entrée b est à l'état logique 0

De ce tableau on cherche à extraire l'équation afin de réaliser la synthèse de l'automatisme.

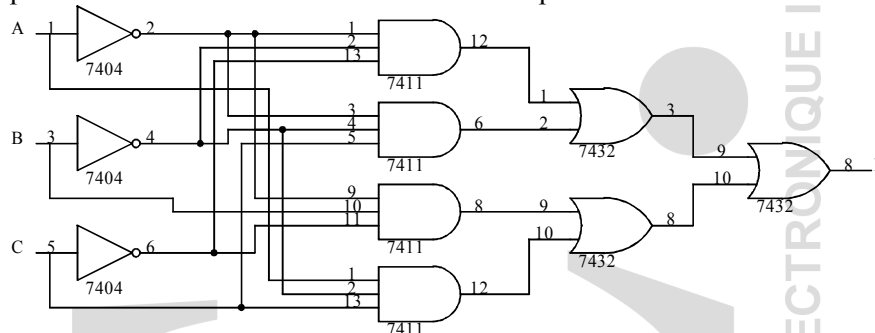
a	b	c	f	
0	0	0	1	$f = \bar{a}\bar{b}\bar{c}$
0	0	1	1	$f = \bar{a}\bar{b}.c$
0	1	0	1	$f = \bar{a}.b\bar{c}$
0	1	1	0	
1	0	0	0	
1	0	1	1	
1	1	0	0	
1	1	1	0	$f = a.b.c$

On cherche dans le tableau les états où f est à 1 puis on regarde la combinaison des entrées permettant cet état. S'il y a un 1 sous la variable on prend cette variable, par contre s'il y a un 0 on prend le complément de cette variable. Les différentes variables doivent être positionnées ensemble ce qui se traduit par un ET entre les différentes variables. Par contre la sortie f est à 1 pour quatre combinaisons des variables d'entrées. On reliera donc les quatre équations par un OU entre les différents groupements. Ceci donne l'équation suivante :

$$f = \bar{a}.\bar{b}.\bar{c} + \bar{a}.\bar{b}.c + \bar{a}.b.\bar{c} + a.b.c$$

C. Réalisation à l'aide de portes logiques :

Il est alors possible de réaliser cette fonction à l'aide de portes :



D. Simplification mathématique de l'équation

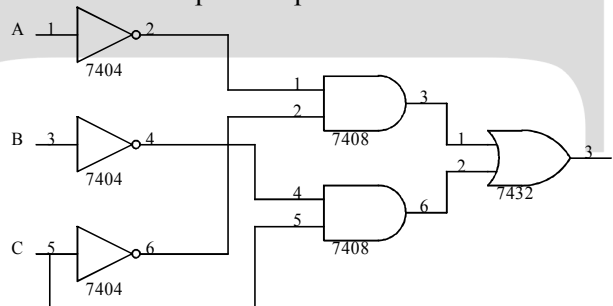
Le type de réalisation précédant nécessite un nombre important de portes logiques, alors que la fonction f peut être simplifiée mathématiquement en utilisant les propriétés de l'algèbre binaire :

$$f = \bar{a}.\bar{b}.\bar{c} + \bar{a}.\bar{b}.c + \bar{a}.b.\bar{c} + a.b.c$$

$$f = \bar{a}.\bar{c}.(b + \bar{b}) + \bar{b}.c.(a + \bar{a})$$

$$f = \bar{a}.\bar{c} + \bar{b}.c$$

Ce qui nous conduit à une réalisation plus simple :



E. Simplification de l'équation par tableau de KARNAUGH

bc \ a	00	01	11	10
0	0	1	0	1
1	0	1	0	0

$$f = \bar{a}.\bar{c} + \bar{b}.c$$

La méthode de KARNAUGH permet la simplification des équations logiques pour des systèmes comportant jusqu'à 5 entrées. On trace un tableau où chaque case correspond à une combinaison logique des entrées, et où l'on passe d'une colonne ou d'une ligne à l'autre en ne modifiant qu'une variable d'entrée. On remplit alors le tableau à l'aide de la table de vérité, puis on regroupe les cases contiguës par multiple de 2^n (1, 2, 4, 8...) contenant la valeur de sortie "1". On ne retient alors que la somme des produits de variables correspondant aux variables

Philippe LE BRUN
Lycée Louis ARMAND
173 Bd de Strasbourg
94736 NOGENT sur Marne

Florence.vadee@wanadoo.fr

☎ : 01 45 14 28 28

📠 : 01 48 73 63 15

d'entrés ne changeant pas d'état. L'équation obtenue est la même que celle déjà obtenue au-dessus.



Autres exemples :

cd \ ab	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	1	1	0
10	1	0	0	0

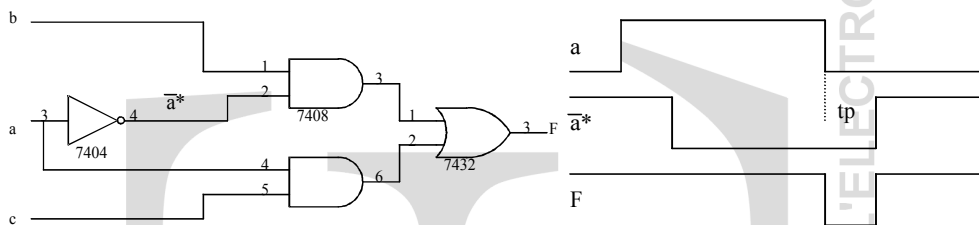
$$f = a \cdot \bar{b} \cdot \bar{c} \cdot \bar{d} + a \cdot b \cdot d + \bar{a} \cdot c$$

cd \ ab	00	01	11	10
00	1	0	0	1
01	0	0	0	0
11	1	1	1	1
10	1	1	1	1

$$f = a + \bar{b} \cdot \bar{d}$$

F. Aléas de propagation

Il arrive malheureusement qu'une simplification trop poussée entraîne des erreurs de fonctionnement nommées ALEA DE PROPAGATION.



Un tel ALEA se produit lorsque, dans un tableau de KARNAUGH, deux regroupements ont des cases adjacentes. Il peut alors être nécessaire de réaliser des regroupements redondants.

bc \ a	00	01	11	10
0	0	0	1	1
1	0	1	1	0

G. Ecriture d'une équation en vue de sa réalisation avec un seul type de fonction logique

Pratiquement on cherche souvent à réaliser la synthèse d'un système logique avec un seul type de fonction logique (dans l'exemple qui suit des portes NAND à 2 entrées). Il faut donc faire apparaître l'équation sous une forme directement transposable en schéma.

$$f = \bar{a} \cdot \bar{c} + \bar{b} \cdot c \quad \text{C'est l'équation de départ.}$$

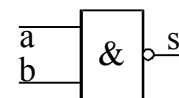
$$f = \overline{\overline{\bar{a} \cdot \bar{c}} + \overline{\bar{b} \cdot c}}$$

Deux complémentations ne changent pas l'équation mais font apparaître une forme directement exploitable.

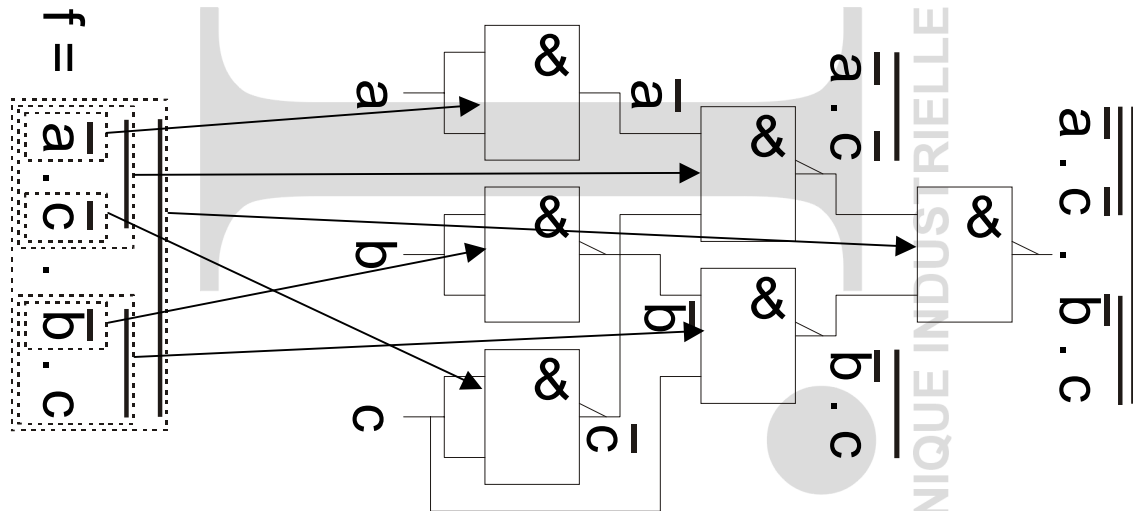
$$f = \overline{\bar{a} \cdot \bar{c}} \cdot \overline{\bar{b} \cdot c} \quad \text{Une modification d'écriture en utilisant le théorème de De Morgan.}$$

Cette nouvelle forme équivalente à l'équation de départ (deux complémentations s'annulant) fait clairement apparaître le schéma de réalisation.

NAND (ET NON)



$$s = \overline{a \cdot b} = \bar{a} + \bar{b}$$



La même équation avec des portes NOR à 2 entrées.

$$f = \overline{a.c} + \overline{b.c}$$

C'est l'équation de départ.

$$f = \overline{a + c} + \overline{b + c}$$

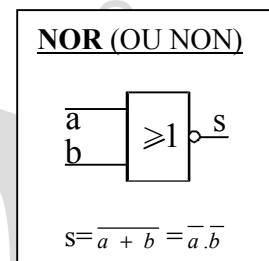
Une modification d'écriture en utilisant le théorème de De Morgan.

$$f = \overline{a + c} + \overline{b + c}$$

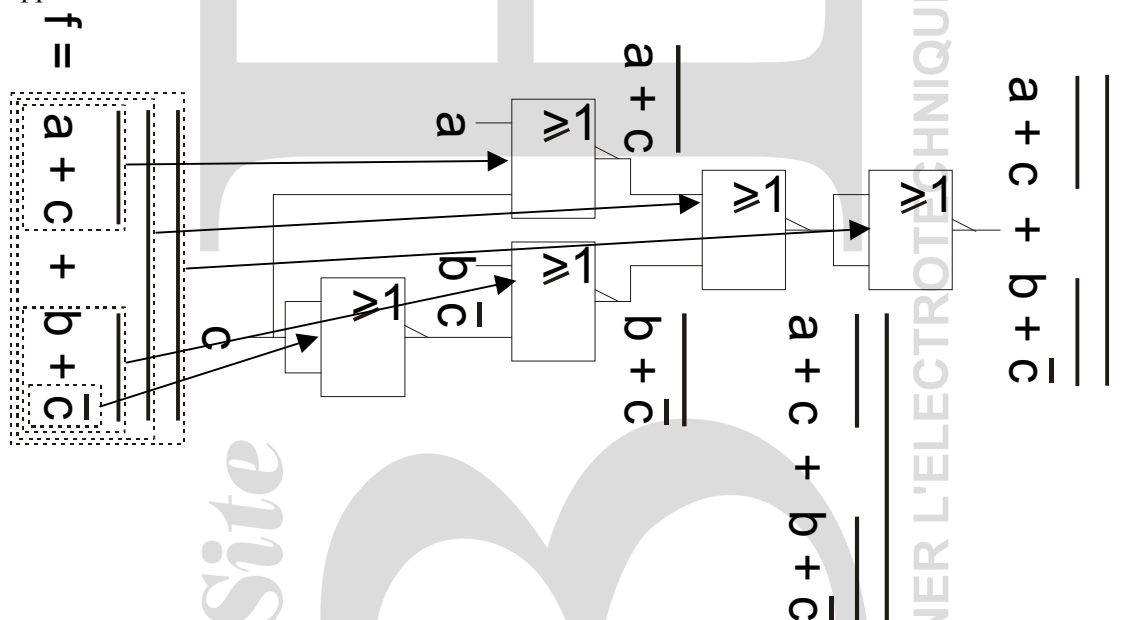
La même chose en ayant pris soin de complémentar c deux fois auparavant.

$$f = \overline{a + c} + \overline{b + c}$$

Pour terminer une double complémentar de l'ensemble pour faire apparaître la forme standard.



Cette forme équivalente à l'équation de départ (deux complémentations s'annulant) fait apparaître le schéma de réalisation ci-dessous.

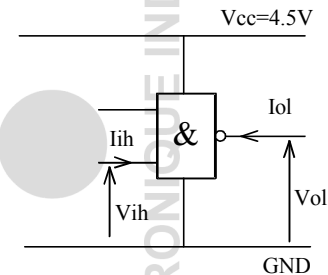


III. Technologie des fonctions logiques

1. Paramètres technologiques

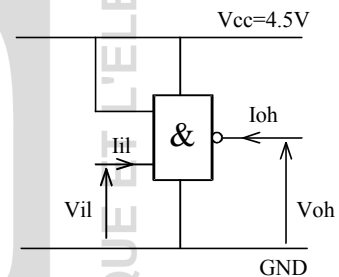
Tension

Vcc	Tension d'alimentation positive (5V TTL)
GND	Masse
Vdd	Tension d'alimentation positive (C MOS)
Vss	Masse (C MOS)
Vi	Tension d'entrée
Vil	Tension d'entrée à l'état bas
Vih	Tension d'entrée à l'état haut
Vo	Tension de sortie
Vol	Tension de sortie état bas
Voh	Tension de sortie état haut
Vth	Tension de seuil
Vth+	Tension de seuil sur front positif
Vth-	Tension de seuil sur front négatif
Vh	Tension d'hystérésis



Courant

Icc	Courant d'alimentation positive
Ii	Courant d'entrée
Iil	Courant d'entrée à l'état bas
Iih	Courant d'entrée à l'état haut
Io	Courant de sortie
Iol	Courant de sortie état bas
Ioh	Courant de sortie état haut
Ios	Courant de sortie en court circuit
Iozl	Courant de sortie résiduel état bas en haute impédance
Iozh	Courant de sortie résiduel état haut en haute impédance



Divers

Ta	Température ambiante
Ron	Résistance d'une porte analogique
Cx	Capacité extérieure
Rx	Résistance extérieure
Z	Etat haute impédance
Ptot	Puissance dissipée

Abréviations

C.O.	Collecteur ouvert
NC	Non Connecté

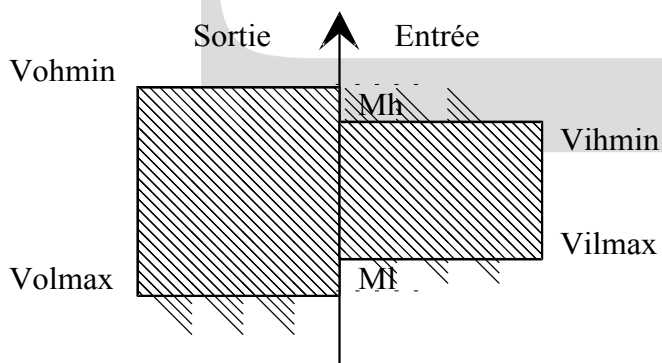
Sortance

Lors des associations de circuits, la somme des courants d'entrées ne doit pas être supérieure au courant de sortie qui les commandes. La sortance est le nombre maximal d'entrées que l'on peut connecter à une sortie. Elle s'exprime en unité de charge (U.L.).

$$\text{A l'état bas } S_L = \frac{I_{OL \min}}{I_{IL \max}} \text{ et à l'état haut } S_H = \frac{I_{OH \min}}{I_{IH \max}}$$

La sortance globale est la valeur la moins élevée entre S_L et S_H .

Marge de bruit



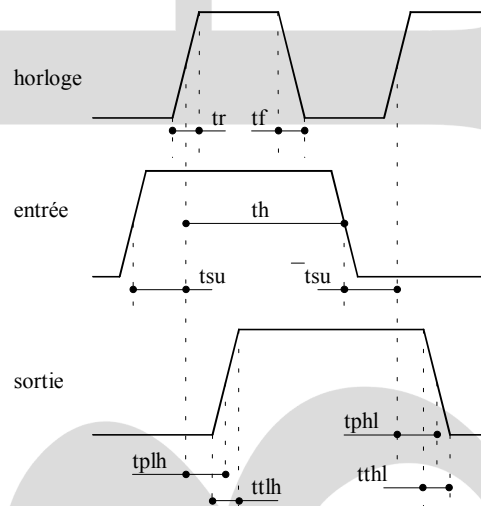
Les marges de protection contre les perturbations, ou marge de bruit Ml et Mh sont définies par les écarts entre les frontières des plages de tensions garanties coté sortie et les frontières des plages de tension permises coté entrée. Ou en clair... voir ci-contre!!!

$$Mh = Vohmin - Vihmin$$

$$Ml = Volmax - Vilmax$$

Paramètres dynamiques

f_{max}	Fréquence horloge max.
t_r, t_f	temps de montée et temps de descente de l'horloge
t_{tlh}	temps de transition entre le niveau haut et le niveau bas
t_{thl}	temps de transition entre le niveau bas et le niveau haut
t_{plh}	temps de validation entre le niveau haut et le niveau bas après coup d'horloge
t_{phl}	temps de validation entre le niveau bas et le niveau haut après coup d'horloge
t_h	temps de maintien d'une entrée après un coup d'horloge pour être validé
t_{su}	temps de prépositionnement $\triangleleft t_h$
t_{phz}	temps d'invalidation état haut / haute impédance
t_{plz}	temps d'invalidation état bas / haute impédance
t_{pzh}	temps de validation haute impédance / état haut
t_{pzl}	temps de validation haute impédance / état bas
t_r	Temps de recouvrement



2. Circuit TTL / CMOS rapide

Il existe dix grandes familles de circuits logiques :

7 à base de transistors bipolaire :

- TTL standard 74 **
- TTL Low-power 74 L **
- TTL Schottky 74 S **
- TTL Fast 74 F **
- TTL Low-power Schottky 74 LS **
- TTL Advanced Schottky 74 AS **
- TTL Advanced Low-power Schottky 74 ALS **

3 à base de transistors bipolaire et CMOS :

- CMOS Rapide 74 HC ** et 74 HCT **
- CMOS Classique 74 C **

En général, c'est la vitesse et la puissance dissipée qui détermine le choix d'une technologie. Les circuits HC et HCT combinent la faible consommation, la grande immunité au bruit et la large gamme de température de fonctionnement des circuits MOS. La consommation statique des circuits CMOS est 100000 fois inférieure à celle d'un circuit LS. L'immunité au bruit des circuits HCT à l'état haut est de 18% et à l'état bas de 28% de V_{cc} alors qu'elle n'est que de 8 et 14% pour des circuits LS.

Caractéristiques d'entrées sorties comparées

74	00	L00	S00	LS00	AS00	ALS00	F00	HC00	HCT00	
I_{olmin}	16	3.6	20	8	20	8	20	4	4	mA
I_{ohmax}	-400	-200	-1000	-400	-2000	-400	-1000			μA
I_{ilmax}	-1.6	-0.18	-2	-0.36	-0.5	-0.2	-0.6	± 0.001	± 0.001	mA
I_{ihmax}	40	10	50	20	20	20	20			μA
V_{olmax}	0.4	0.4	0.5	0.5	0.5	0.5	0.5	0.1	0.1	V
V_{ohmax}	2.4	2.4	2.7	2.7	$V_{cc}-2$	$V_{cc}-2$	2.5	4.9	4.9	V
V_{ilmax}	0.8	0.7	0.8	0.7	0.8	0.8	0.8	1	0.8	V
V_{ihmax}	2	2	2	2	2	2	2	3.5	2	V

Il existe des séries de porte dite à collecteur ouvert pour lesquelles la sortie est constituée par un transistor dont le collecteur est relié à la broche de sortie.

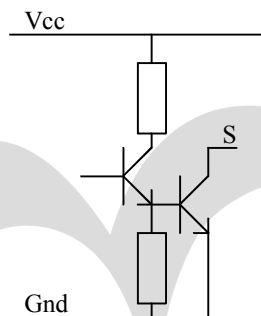


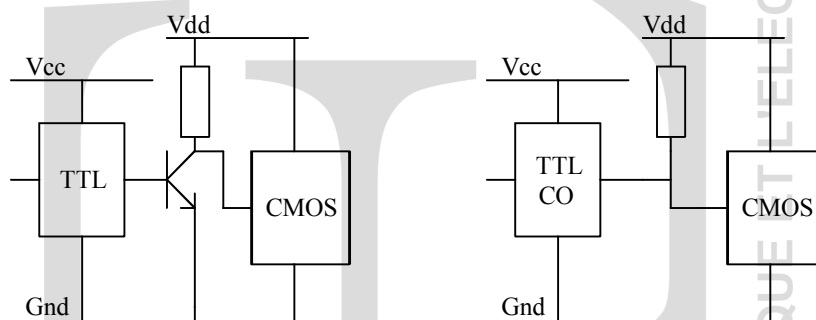
Tableau comparatif Circuit TTL Circuit CMOS 4000

	TTL	TTL LS	CMOS 5V	CMOS 10V	CMOS 15V
Temps de propagation (ns, Cl=15Pif)	10	7	40	20	15
Fréquence d'horloge (Bascule)(Mhz)	35	45	8	16	20
Consommation au repos	10 mW	2mW	10nW	10nW	10nW
immunité au bruit	1V	0.8V	2.25V	4.5V	6.75V
sortance	10	10	50	50	50

On préférera une technologie TTL pour les applications à haute vitesse (informatique, calculateur embarqué...) et une technologie C MOS pour les applications à faible consommation (équipements électroniques à fonctionnement autonome sur batteries).

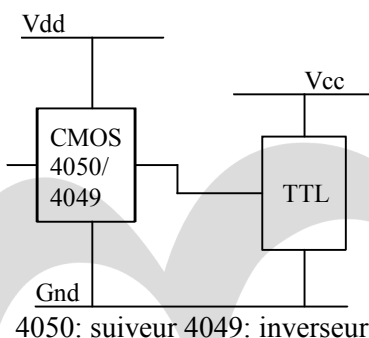
Association TTL vers CMOS

Dans le cas où les potentiels Vcc (5V) et Vdd (12V ou 15V) sont différents, il n'est pas possible de raccorder directement un circuit TTL à un circuit C MOS. Un circuit d'adaptation de niveau est alors nécessaire. Il peut être réalisé de manière externe (figure de gauche) ou de manière interne en utilisant un circuit avec étage de sortie à collecteur ouvert (figure de droite).



Association CMOS vers TTL

Les étages d'entrée des circuits TTL étant pourvus de circuit d'écrêtage de la tension, la connexion entre les deux technologies se fait directement. Il est possible pour des problèmes d'échauffement du circuit TTL, de placer un circuit d'écrêtage de la tension à l'extérieur du boîtier. Ce circuit est constitué d'une diode zener de 5,1 V et d'une résistance.



IV. Fonctions logiques séquentielles

Dans les automatismes séquentiels la variable de sortie dépend de l'état des variables d'entrées et de leur instant d'évolution.

1. Les bascules

Les bascules sont utilisées pour synthétiser les systèmes séquentiels plus ou moins complexe. Les méthodes de synthèse ne seront pas étudiées ici, nous allons néanmoins étudier les différents types de bascules couramment utilisées.

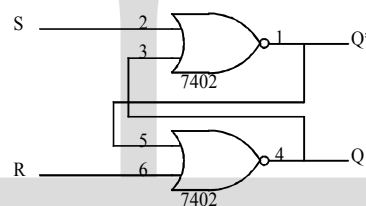
RS asynchrone

La bascule RS est la base de toutes les autres bascules. La sortie de la bascule est mise à 1 lorsque l'entrée SET est activée et est mise à 0 lorsque l'entrée RESET est activée.

La combinaison SET=1 et RESET=1 est a priori interdite, mais on a tout de même défini deux type de bascule :

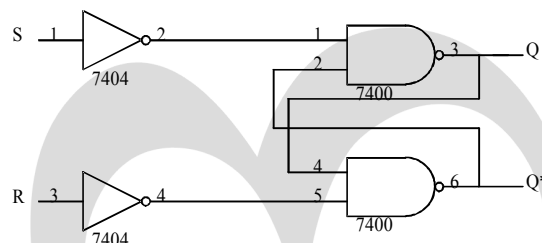
Priorité au 0

S	R	Q	Q^*
0	0	Q_p	Q_p^*
0	1	0	1
1	0	1	0
1	1	0	0



Priorité au 1

S	R	Q	Q^*
0	0	Q_p	Q_p^*
0	1	0	1
1	0	1	0
1	1	1	1

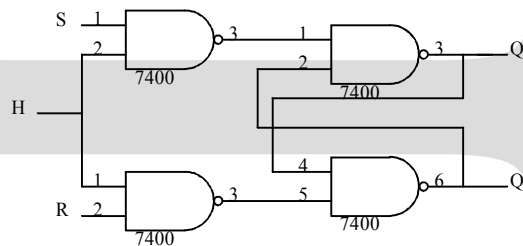


Basculer RS synchrones

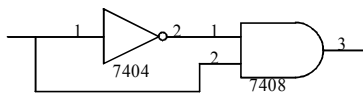
Nous utiliserons une entrée supplémentaire H autorisant les changements sur la sortie de la bascule. Deux modes de fonctionnement sont alors possibles :

- Sur niveau : Le changement d'état ne peut se faire que lorsque H est à un niveau validant.
- Sur front : Le changement d'état ne peut se faire que lorsque H voit un front validant.

Déclenchement sur niveau

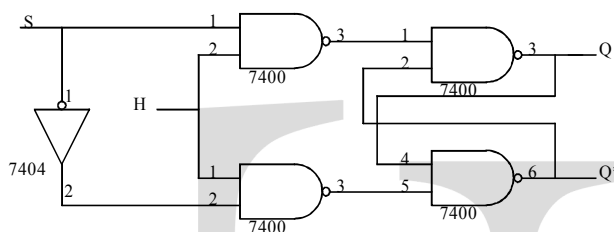


Déclenchement sur front



Le principe est identique à celui du déclenchement sur niveau, on transforme simplement le signal d'horloge en une impulsion sur le front montant (passage du 0 logique au 1 logique) de ce signal d'horloge en utilisant un temps de propagation de porte logique (voir schéma ci-contre).

Bascule D



La sortie Q est égale à S si l'horloge H=1, la sortie Q est mémorisée si H=0. Ce type de bascule existe en déclenchement sur front, elle sert alors à mémoriser l'état de l'entrée lors d'un front d'horloge.

Bascule JK

Il existe de nombreux type de bascule JK, bien que les plus couramment utilisées sont de type synchrone sur front. Leur fonctionnement est toujours décrit par la table de vérité suivante:

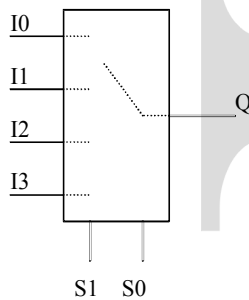
J	K	Q
0	0	Q_p
0	1	0
1	0	1
1	1	$\overline{Q_p}$

Bascule T

La bascule T est une bascule qui n'existe pas en tant que tel, mais qui est utilisé à l'intérieur de nombreux circuits intégrés. On la construit à partir d'une bascule JK ou J=K.

T	Q
0	Q_p
1	$\overline{Q_p}$

2. Multiplexeur / Démultiplexeur



Un multiplexeur est un commutateur électronique reliant sa sortie Q à une des 2^n entrées, n étant le nombre de bits de sélection. Sur notre exemple Q est reliée à I0 si $S1=0$ et $S0=0$, Q est reliée à I1 si $S1=0$ et $S0=1$, Q est reliée à I2 si $S1=1$ et $S0=0$ et Q est reliée à I3 si $S1=1$ et $S0=1$. Il existe des multiplexeurs logiques (le signal sur les entrées I0 à I3 doit être de nature logique) et des multiplexeurs analogiques (le signal sur les entrées I0 à I3 doit être de nature analogique).

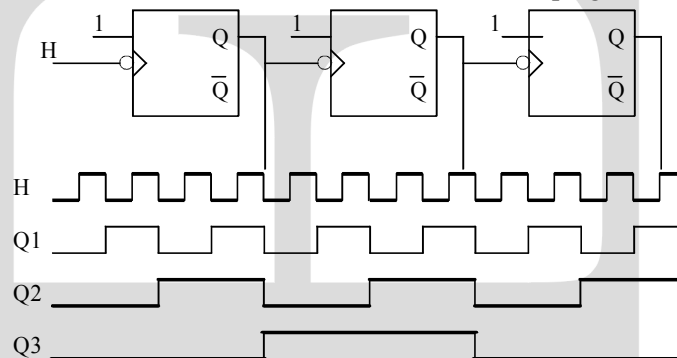
Un démultiplexeur est un commutateur réalisant la fonction inverse, à savoir relier une des 2^n sorties à son entrée.

3. Les Compteurs

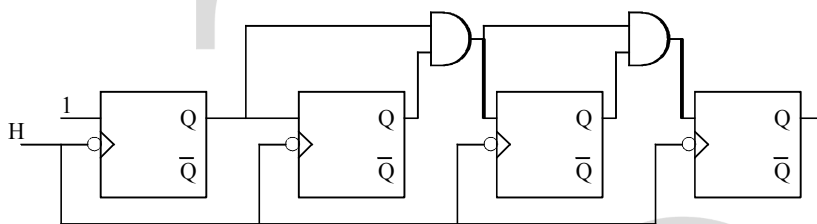
Les compteurs / décompteurs sont des systèmes séquentiels à n bascules. La dynamique (profondeur de comptage) de ces systèmes est fixée par le nombre de bascules.

Compteurs asynchrones

Un compteur asynchrone est un compteur où le basculement de la bascule numéro i est déclenché par la sortie de la bascule $i-1$. Il existe un temps de propagation entre le basculement de chacune des bascules constituant le compteur. Il peut donc apparaître des aléas de fonctionnement indésirables. Cette solution est réservée aux comptages lents.



Compteurs synchrones



Afin d'éliminer les aléas résultants des temps de propagation entre les bascules, il est possible de synchroniser le fonctionnement des bascules sur l'horloge:

Compteurs intégrés

Il existe en circuit intégré à peu près tous les types de compteurs que l'on peut imaginer :

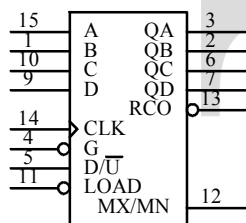
- Technologie TTL ou C MOS
- Synchrone ou asynchrone
- Compteur simple ou réversible (compteur/décompteur)
- Compteur prépositionnable (on peut choisir la valeur de départ)
- Diviseur de fréquence
- Binaire ou BCD (on peut choisir le type de codage)

Codage BCD (Binaire codé décimal) et Binaire pur

Hexa	Décimale	BCD					Binaire naturel				
		D0	U3	U2	U1	U0	B4	B3	B2	B1	B0
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	0	1
2	2	0	0	0	1	0	0	0	0	1	0
3	3	0	0	0	1	1	0	0	0	1	1
4	4	0	0	1	0	0	0	0	1	0	0
5	5	0	0	1	0	1	0	0	1	0	1
6	6	0	0	1	1	0	0	0	1	1	0
7	7	0	0	1	1	1	0	0	1	1	1
8	8	0	1	0	0	0	0	1	0	0	0
9	9	0	1	0	0	1	0	1	0	0	1
A	10	1	0	0	0	0	0	1	0	1	0
B	11	1	0	0	0	1	0	1	0	1	1
C	12	1	0	0	1	0	0	1	1	0	0
D	13	1	0	0	1	1	0	1	1	0	1
E	14	1	0	1	0	0	0	1	1	1	0
F	15	1	0	1	0	1	0	1	1	1	1
10	16	1	0	1	1	0	1	0	0	0	0
11	17	1	0	1	1	1	1	0	0	0	1
12	18	1	1	0	0	0	1	0	0	1	0

Présentation 74XX191

Le 74XX191 est un compteur/décompteur 4 bits binaire naturel, synchrone à prépositionnement parallèle asynchrone.



A, B, C et D : Pattes d'entrées pour prépositionnement parallèle.

QA, QB, QC et QD : Sortie du compteur.

RCO : Patte d'indication de débordement (Report Carry Out) Cette patte est mise à l'état bas si la valeur du compteur vaut 15 en mode comptage, 0 en mode décomptage. C'est la retenue !

CLK : Horloge active sur front montant.

G : (ou CTEN): Autorisation de comptage décomptage.

D / \bar{U} : décomptage (1), comptage (0).

LOAD : Patte de prépositionnement asynchrone, dès que cette patte passe à l'état bas, les sorties sont égales aux entrées, et cela jusqu'au passage à 1 de LOAD. Le cycle de comptage/décomptage ne commence que si LOAD = 1.

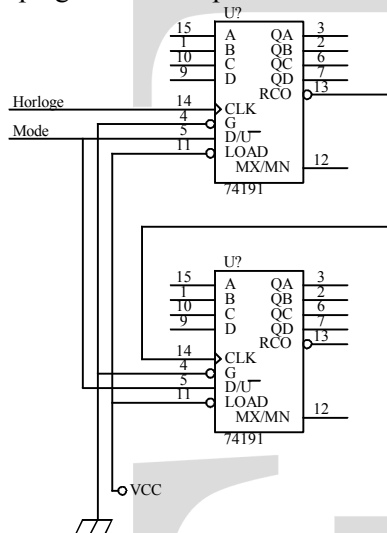
MX/MN : Identique à RCO mais utilisé pour les comptages à haute vitesse (durée plus importante).

Mise en cascade

Le compteur 74XX191 est capable de compter sur 4 bits soit de 0 à 15 cependant il peut être utile d'aller au-delà de cette capacité. Il sera donc nécessaire d'associer plusieurs compteurs 4 bits afin de réaliser un compteur 8 (0 à 255) 12 (0 à 4095) 16 bits (0 à 65535) ou plus.

Association asynchrone :

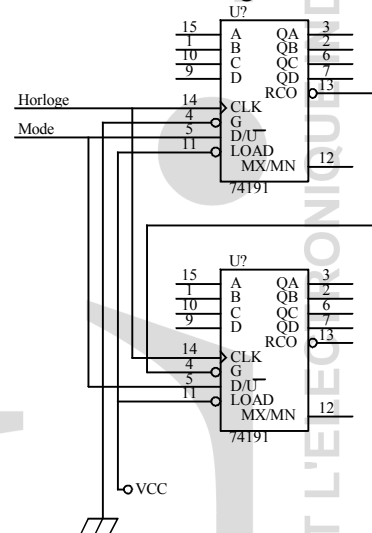
Lors d'une mise en cascade asynchrone, c'est le front montant de RCO qui déclenche un cycle de comptage décomptage sur le compteur suivant.



Il existe donc un décalage entre l'instant où commutent les sorties du premier compteur et l'instant où commutent les sorties du second compteur égale au temps de propagation du carry out.

Association synchrone :

Lors d'une mise en cascade synchrone, l'horloge est commune aux deux compteurs c'est le RCO du compteur de poids faible (unités) qui autorise le comptage de celui de poids fort (seizaine). Ceci permet un fonctionnement parfaitement synchrone des sorties avec l'horloge.



4. Les Convertisseurs

Convertisseurs Numérique Analogique

Ils convertissent un mot, formé de plusieurs bits, en une tension qui lui est proportionnelle. Cette tension U_s est comprise entre 0V et la tension de pleine échelle U_{pe} (tension de sortie

lorsque le mot prend la valeur la plus élevée).
$$U_s = \frac{Mot}{Mot_{pleine\acute{e}chelle}} U_{pe}$$

Le mot ne pouvant prendre que des valeurs entières la sortie évolue donc par paliers. Le pas entre deux mots consécutifs représente le poids du bit le moins significatif (LSB), l'équivalent

des unités en décimal, il vaut :
$$LSB = \frac{1}{2^n - 1} U_{pe}$$

Paramètres technologiques:

Résolution : elle caractérise la précision du convertisseur elle est exprimée en nombre de bits.

Précision : valeur relative maximale exprimée en % de l'erreur entre la valeur réelle et la valeur théorique du signal de sortie.

Temps d'établissement : c'est le temps nécessaire pour que le signal de sortie atteigne sa valeur finale lors du changement de la valeur (numérique) d'entrée.

Convertisseurs Analogique Numérique

Ils convertissent une tension U_e en un mot, formé de plusieurs bits, qui lui est proportionnelle. Cette tension U_e doit être comprise entre 0V et la tension de pleine échelle (tension maximum d'entrée : elle correspond au mot le plus grand en sortie) :

$$\text{Mot} = \text{Partie entière de} \left[\frac{U_e}{U_{e_{\text{pleine échelle}}}} (2^n - 1) \right]$$

n est le nombre de bit de résolution du convertisseur.

Paramètres technologiques:

Résolution : elle caractérise la précision du convertisseur elle est exprimée en nombre de bits.

Valeur du LSB : c'est le poids que représente le bit le moins significatif.

Précision : valeur relative maximale exprimée en % de l'erreur entre la valeur réelle et la valeur théorique du signal de sortie.

Temps de conversion : c'est le temps nécessaire pour que convertisseur donne la valeur (numérique) correspondant au signal d'entrée. Pendant la phase de conversion, la tension d'entrée U_e doit être maintenue constante.

La durée de conversion est liée à la technologie utilisée, le prix aussi.

Voici les technologies classées par ordre croissant de rapidité (et de prix) :

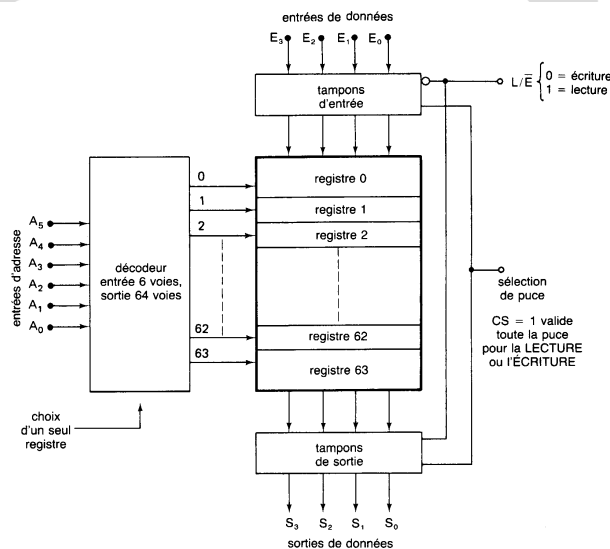
- Convertisseur à rampe (simple ou double) (produits de remplacement exclusivement)
- Approximation successive
- Semi-Flash
- Flash

5. Les mémoires

Les systèmes numériques se distinguent des systèmes analogiques par leur capacité à mémoriser des informations, à les traiter et à les restituer en temps utile. C'est donc tout naturellement que nous allons nous intéresser aux différents types de mémoire disponible sur le marché. Il en existe deux grandes familles ; les mémoires vives qui peuvent contenir des informations tant qu'elles sont alimentées et qui peuvent être lues ou écrites selon les besoins et les mémoires mortes dans lesquelles sont définitivement inscrites les informations utiles.

L'organisation d'une mémoire consiste en une association de plusieurs registres dont l'un d'entre eux peut être mis en relation avec l'extérieur, soit pour sa lecture (mémoire morte), soit pour sa lecture/écriture (mémoire vive). On ne peut donc accéder qu'à une case (registre) à la fois dont le format va de 1 bit à 64 bits et plus (sur l'exemple ci-dessous 4 bits sont accessibles simultanément dans chaque registre de données). La sélection d'un des registres se fait par n fils d'adresse parmi les 2^n registres disponibles dans la mémoire. On parle de mémoire à X registre par Y données dans chaque registre ce qui nous donne la capacité totale $X \times Y$ bits (la capacité peut aussi être exprimée en octet : un octet = 8 bits).

La lecture (ou l'écriture) dans un registre suppose que l'on sélectionne ce registre ($A_0, A_1, A_2, A_3, A_4, A_5$) et que l'on sélectionne le boîtier (CS) afin d'avoir accès aux données contenues dans le registre. Dans le cas de mémoire vive, on précisera aussi si l'on souhaite lire ou écrire dans ce registre (L/E).



Les mémoires mortes ne sont quant à elles accessibles qu'en lecture. On devra donc effectuer leur programmation hors du système d'exploitation. En usine (chez le fabricant de mémoire) pour des grandes séries : ce sont les ROM. Avec un programmeur et une fois pour toute : ce sont les PROM. Des composants mémoires mortes sont programmables et effaçables par UV, toujours en les sortant de leur emplacement d'utilisation : ce sont les EPROM. Enfin des composants mémoires mortes sont programmables et effaçables électriquement (la programmation et l'effacement sont assez long la lecture est quant à elle rapide) directement sur leur emplacement d'utilisation : Ce sont les EEPROM, très souvent utilisées dans les automates programmables industriels pour la sauvegarde des programmes même en cas de coupure d'alimentation électrique. Des structures programmables plus complexes sont également disponibles, elles permettent de mettre en relations, combinatoires et séquentielles, des entrées et des sorties : ce sont les FPGA, PLD etc...

Travail personnel

I. Réalisation d'une équation

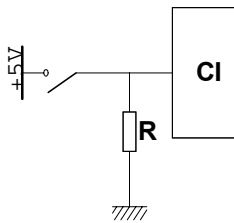
On se propose de réaliser la fonction suivante:

$$S = \bar{a}bc + a\bar{b}c + ab\bar{c}$$

1. Proposer un schéma à contact de cette équation
2. Donner une écriture de cette équation faisant apparaître des NAND à 3 entrées
3. Proposer un schéma logique de cette nouvelle écriture

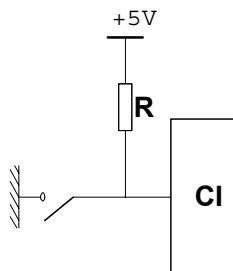
II. Calcul de résistances de tirage

La résistance de tirage au 0 volt (pull down) permet d'imposer un zéro logique sur l'entrée du circuit intégré logique de la famille TTL LS.



1. Quel est le niveau de tension maximal correspondant au 0 logique ?
2. Quel est le courant maximal correspondant au 0 logique ?
3. Indiquer le sens de circulation conventionnel de ce courant.
4. Dédire l'orientation de la tension aux bornes de R.
5. Calculer la valeur max. de cette résistance permettant d'assurer le 0 logique.
Quelle valeur pratique de résistance prendra-t-on ?

La résistance de tirage au 5 volt (pull up) permet d'imposer un 1 logique sur l'entrée du circuit intégré logique de la famille TTL LS.



1. Quel est le niveau de tension minimal correspondant au 1 logique ?
2. Tracer cette tension sur le schéma ci-contre.
3. Quel est le courant maximal correspondant au 1 logique ?
4. Indiquer le sens de circulation conventionnel de ce courant.
5. Dédire l'orientation de la tension aux bornes de R.
6. Quelle est la valeur maximale de la tension aux bornes de cette résistance R ?
7. Calculer la valeur max. de cette résistance permettant d'assurer le 1 logique.

LOGIC PRODUCTS

INVERTERS

54/7404, LS04, S04

Hex Inverter

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (Total)
7404	10ns	12mA
74LS04	9.5ns	2.4mA
74S04	3ns	22mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGES $V_{CC} = 5V \pm 5\%$; $T_A = 0^\circ C$ to $+70^\circ C$	MILITARY RANGES $V_{CC} = 5V \pm 10\%$; $T_A = -55^\circ C$ to $+125^\circ C$
Plastic DIP	N7404N • N74LS04N N74S04N	
Plastic SO	N74LS04D • N74S04D	
Ceramic DIP		S5404F • S54LS04F S54S04F
Flatpack		S5404W • S54LS04W S54S04W
LLCC		S54LS04G

FUNCTION TABLE

INPUT	OUTPUT
A	Y
L	H
H	L

H = HIGH voltage level
L = LOW voltage level

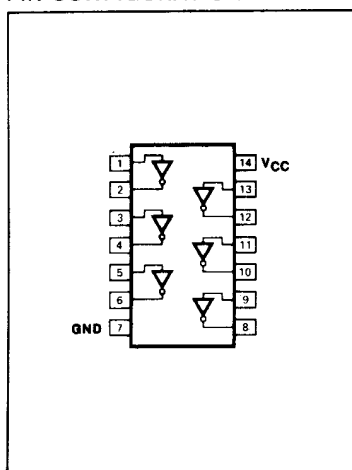
INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

PINS	DESCRIPTION	54/74	54/74S	54/74LS
A	Input	1uI	1SuI	1LSuI
Y	Output	10uI	10SuI	10LSuI

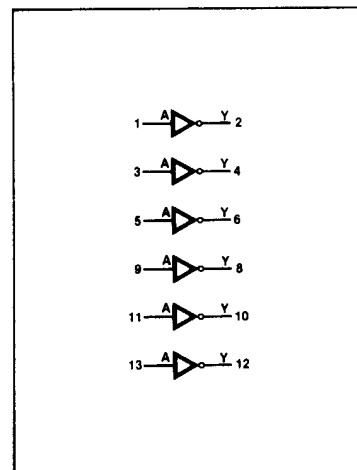
NOTE

Where a 54/74 unit load (uI) is understood to be $40\mu A$ I_{IH} and $-1.6mA$ I_{IL} , a 54/74S unit load (SuI) is $50\mu A$ I_{IH} and $-2.0mA$ I_{IL} , and 54/74LS unit load (LSuI) is $20\mu A$ I_{IH} and $-0.4mA$ I_{IL} .

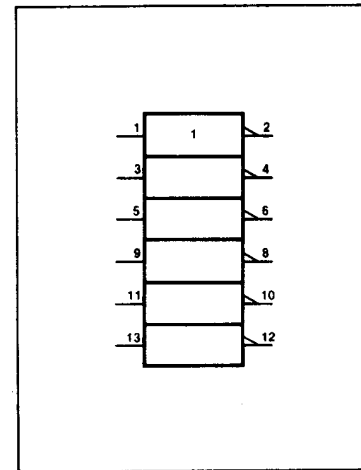
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



LOGIC PRODUCTS

INVERTERS

54/7404, LS04, S04

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

PARAMETER	54	54LS	54S	74	74LS	74S	UNIT
V_{CC} Supply voltage	7.0	7.0	7.0	7.0	7.0	7.0	V
V_{IN} Input voltage	-0.5 to +5.5	-0.5 to +7.0	-0.5 to +5.5	-0.5 to +5.5	-0.5 to +7.0	-0.5 to +5.5	V
I_{IN} Input current	-30 to +5	-30 to +1	-30 to +5	-30 to +5	-30 to +1	-30 to +5	mA
V_{OUT} Voltage applied to output in HIGH output state	-0.5 to + V_{CC}	-0.5 to + V_{CC}	-0.5 to + V_{CC}	-0.5 to + V_{CC}	-0.5 to + V_{CC}	-0.5 to + V_{CC}	V
T_A Operating free-air temperature range	-55 to +125			0 to 70			°C

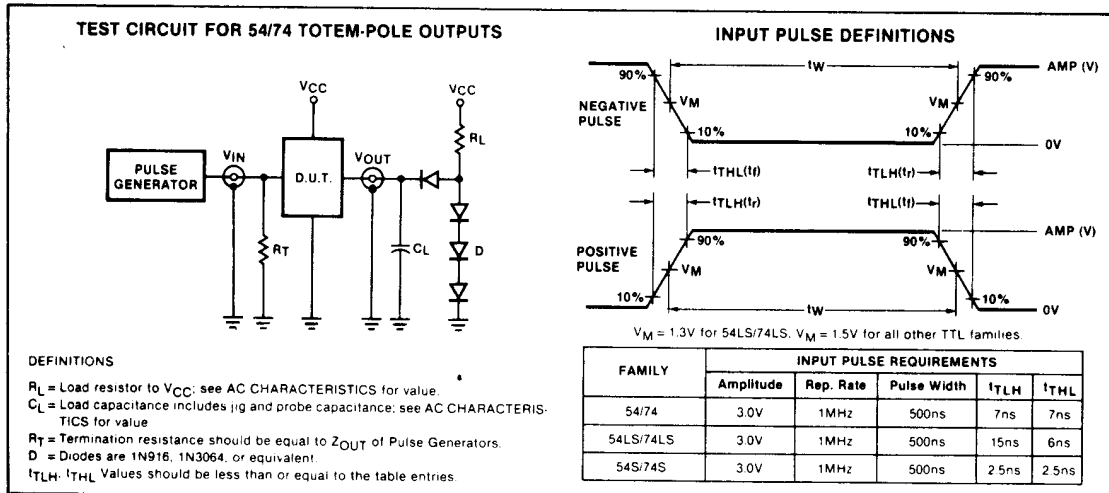
RECOMMENDED OPERATING CONDITIONS

PARAMETER		54/74			54/74LS			54/74S			UNIT
		Min	Nom	Max	Min	Nom	Max	Min	Nom	Max	
V_{CC} Supply voltage	Mil	4.5	5.0	5.5	4.5	5.0	5.5	4.5	5.0	5.5	V
	Com'l	4.75	5.0	5.25	4.75	5.0	5.25	4.75	5.0	5.25	V
V_{IH} HIGH-level input voltage		2.0			2.0			2.0			V
V_{IL} LOW-level input voltage	Mil			+0.8			+0.7			+0.8	V
	Com'l			+0.8			+0.8			+0.8	V
I_{IK} Input clamp current				-12			-18			-18	mA
I_{OH} HIGH-level output current				-400			-400			-1000	μA
I_{OL} LOW-level output current	Mil			16			4			20	mA
	Com'l			16			8			20	mA
T_A Operating free-air temperature	Mil	-55		+125	-55		+125	-55		+125	°C
	Com'l	0		70	0		70	0		70	°C

NOTE

$V_{IL} = +0.7V$ MAX for 54S at $T_A = +125^\circ C$ only.

TEST CIRCUITS AND WAVEFORMS



LOGIC PRODUCTS

INVERTERS

54/7404, LS04, S04

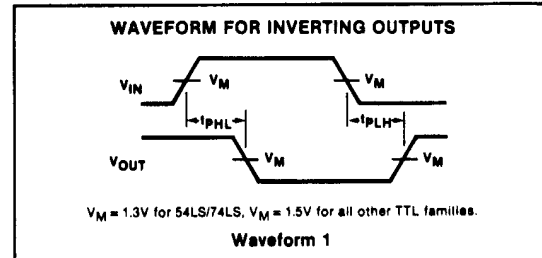
DC ELECTRICAL CHARACTERISTICS (Over recommended operating free-air temperature range unless otherwise noted.)

PARAMETER	TEST CONDITIONS ¹	54/7404			54/74LS04			54/74S04			UNIT
		Min	Typ ²	Max	Min	Typ ²	Max	Min	Typ ²	Max	
V_{OH} HIGH-level output voltage	$V_{CC} = \text{MIN}, V_{IL} = \text{MAX}, I_{OH} = \text{MAX}$	Mil 2.4	3.4		2.5	3.4		2.5	3.4		V
		Com'l 2.4	3.4		2.7	3.4		2.7	3.4		V
V_{OL} LOW-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = \text{MIN}$	Mil 0.2	0.4		0.25	0.4				0.5 ⁴	V
		Com'l 0.2	0.4		0.35	0.5				0.5	V
	$I_{OL} = 4\text{mA}$	74LS			0.25	0.4					V
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}, I_I = I_{IK}$			-1.5			-1.5			-1.2	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$			1.0			0.1			1.0	mA
	$V_I = 5.5\text{V}$										mA
	$V_I = 7.0\text{V}$										mA
I_{IH} HIGH-level input current	$V_{CC} = \text{MAX}$			40			20			50	μA
	$V_I = 2.4\text{V}$										μA
	$V_I = 2.7\text{V}$										μA
I_{IL} LOW-level input current	$V_{CC} = \text{MAX}$			-1.6			-0.4				mA
	$V_I = 0.4\text{V}$										mA
	$V_I = 0.5\text{V}$									-2.0	mA
I_{OS} Short-circuit output current ³	$V_{CC} = \text{MAX}$	Mil -20		-55	-20		-100	-40		-100	mA
		Com'l -18		-55	-20		-100	-40		-100	mA
I_{CC} Supply current (total)	$V_{CC} = \text{MAX}$										mA
	I_{CCH} Outputs HIGH		6	12		1.2	2.4		15	24	mA
	I_{CCL} Outputs LOW		18	33		3.6	6.6		30	54	mA

NOTES

- For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
- All typical values are at $V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$.
- I_{OS} is tested with $V_{OUT} = +0.5\text{V}$ and $V_{CC} = V_{CC} \text{ MAX} + 0.5\text{V}$. Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.
- $V_{OL} = +0.45\text{V}$ MAX for 54S at $T_A = +125^\circ\text{C}$ only.

AC WAVEFORM

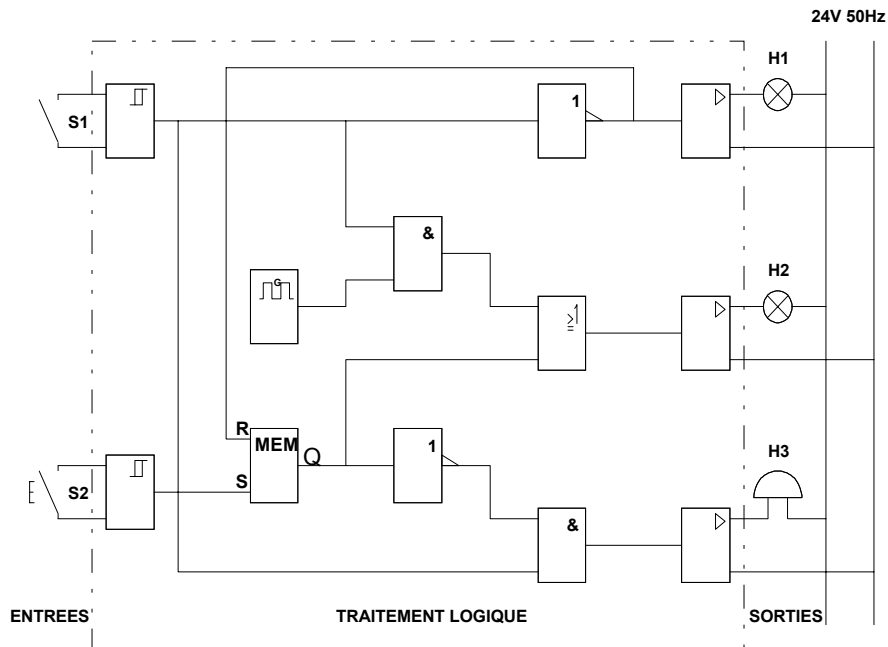


AC CHARACTERISTICS $T_A = 25^\circ\text{C}$, $V_{CC} = 5.0\text{V}$

PARAMETER	TEST CONDITIONS	54/74		54/74LS		54/74S		UNIT
		$C_L = 15\text{pF}, R_L = 400\Omega$		$C_L = 15\text{pF}, R_L = 2\text{k}\Omega$		$C_L = 15\text{pF}, R_L = 280\Omega$		
		Min	Max	Min	Max	Min	Max	
t_{PLH} t_{PHL} Propagation delay	Waveform 1		22 15		15 15		4.5 5.0	ns

III. Analyse d'un système logique

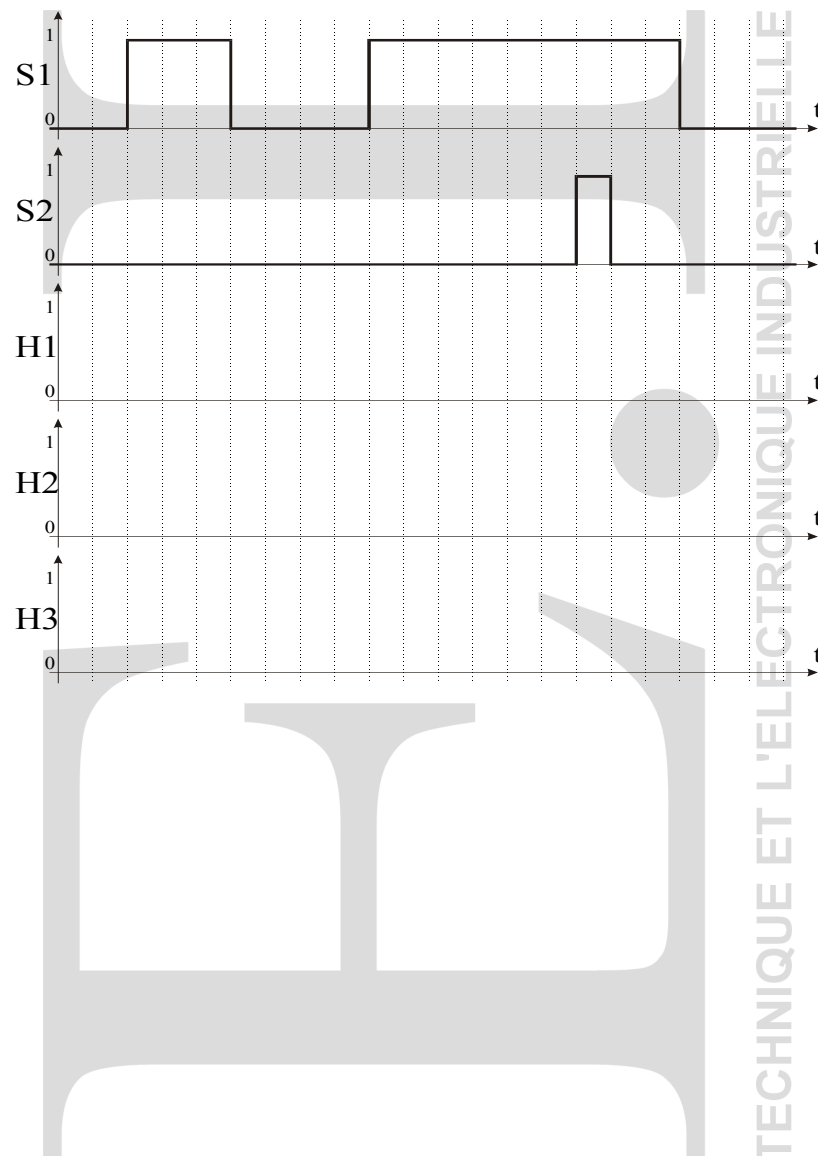
Un dispositif de signalisation de défaut est caractérisé par le schéma ci-dessous.



Description des capteurs et pré-actionneurs

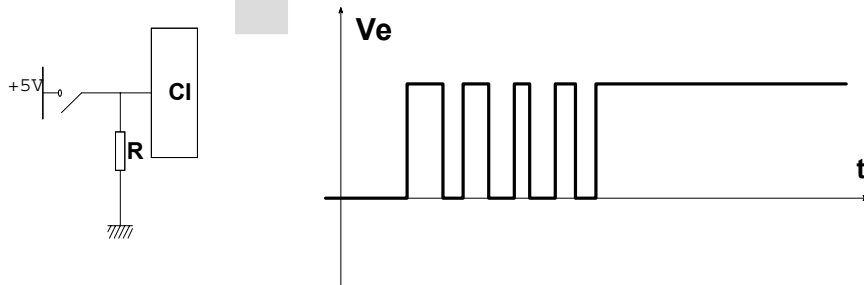
- S1: information de défaut
- S2: Bp acquittement de défaut (G : clignoteur 0,5 Hz)
- H1: voyant vert de fonctionnement normal
- H2: voyant rouge de signalisation de défaut
- H3: Alarme sonore de défaut

1. Faire l'analyse du fonctionnement de ce système
2. Donner un chronogramme représentatif du fonctionnement

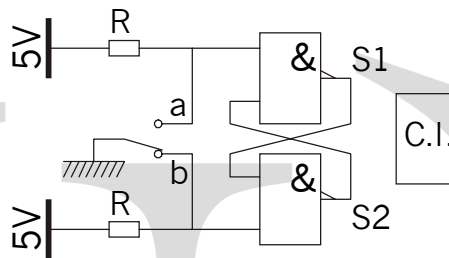


IV. Elimination des rebonds de contact sec

La fermeture d'un contact mécanique se fait avec un certain nombre de rebonds d'une durée totale de l'ordre de la milli-seconde, voir ci dessous.



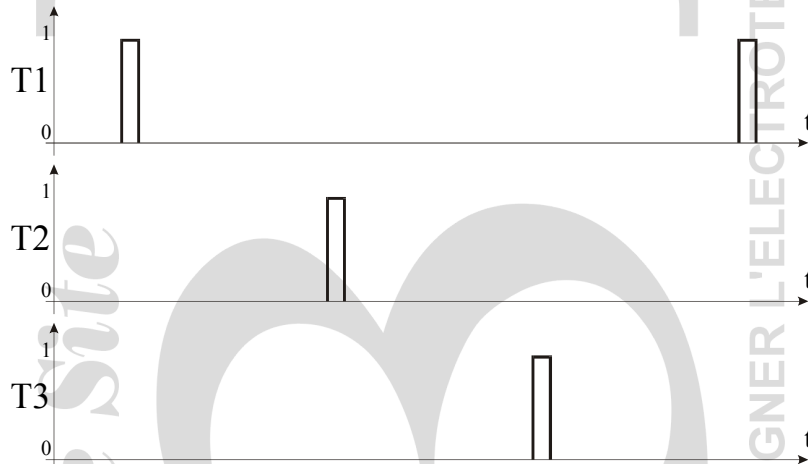
Un certain nombre de solutions est envisageable pour éliminer ces rebonds dont celle proposée ici.



1. Quels problèmes risque-t-on de rencontrer si l'on n'élimine pas les rebonds de contact?
2. Donner un chronogramme de fonctionnement sachant qu'un rebond dure environ 1ms.
3. Quelle sortie devra être raccordée sur l'entrée du CI pour obtenir le même fonctionnement que ci-dessus sans les rebonds (interrupteur représenté en position repos dans les deux cas).

V. Commande d'un pont redresseur à thyristors

Les ordres d'amorçages des thyristors T1, T2 et T3 proviennent d'un système logique que nous n'étudierons pas. Ils sont conformes au chronogramme ci-dessous.



Afin de garantir une bonne commutation du pont, nous souhaitons commander les gâchettes des thyristors par des trains d'impulsions d'une durée de 120° débutants sur l'ordre d'amorçage précédent.

1. Proposer un schéma permettant de réaliser cette fonction.

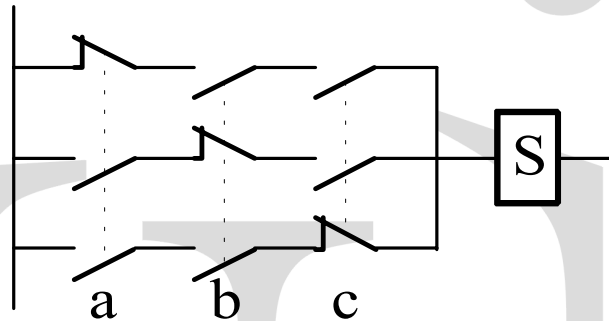
Autocorrection

I. Réalisation d'une équation

$$S = \bar{a}bc + a\bar{b}c + ab\bar{c}$$

1. Proposer un schéma à contact de cette équation

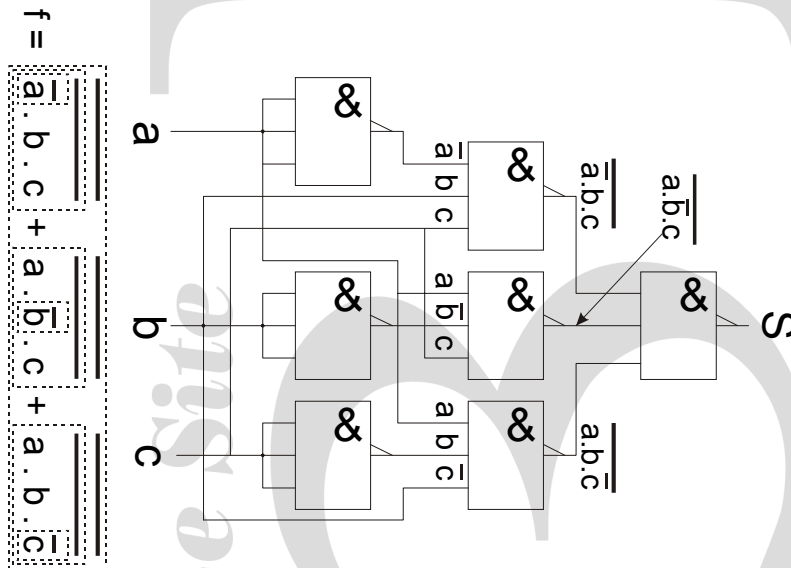
✂ La fonction logique ET se traduit par la mise en série des contacts ou des associations de contacts, la fonction logique OU se traduit par la mise en parallèle des contacts ou des associations de contacts. Les variables non complémentées sont matérialisées par un contact à fermeture (Normally Open : N O) et les variables complémentées par un contact à ouverture (Normally Closed : N C). La source d'alimentation n'est pas représentée sur ce schéma, elle serait bien entendu compatible avec la charge S.



2. Donner une écriture de cette équation faisant apparaître des NAND à 3 entrées

$$f = \overline{\bar{a} \cdot b \cdot c} + \overline{a \cdot \bar{b} \cdot c} + \overline{a \cdot b \cdot \bar{c}}$$

3. Proposer un schéma logique de cette nouvelle écriture



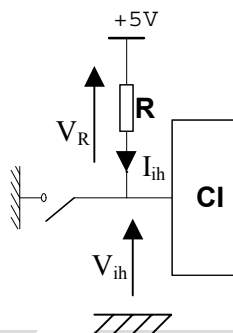
II. Calcul de résistances de tirage

La résistance de tirage au 0 volt (pull down)

1. Quel est le niveau de tension maximal correspondant au 0 logique ?
 ✎ *Le niveau de tension maximal correspondant au 0 logique coté entrée est donné dans la documentation constructeur par V_{ilmax} . Ici $V_{ilmax} = 0,8V$.*
2. Quel est le courant maximal correspondant au 0 logique ?
 ✎ *Le courant maximal correspondant au 0 logique coté entrée est donné dans la documentation constructeur par I_{ilmax} . Ici $I_{ilmax} = -400\mu A$*
3. Indiquer le sens de circulation conventionnel de ce courant.
 ✎ *Tous les courants sont comptés positifs lorsqu'ils entrent dans le circuit intégré logique. Le courant I_{ilmax} a une valeur négative cela signifie qu'il sort du circuit intégré.*
4. Déduire l'orientation de la tension aux bornes de R.
 ✎ *La tension aux bornes de la résistance (convention récepteur) est donc de même signe et égal à V_{ilmax} . On peut donc écrire la loi d'ohm $V_{ilmax} = R \times I_{ilmax}$.*
5. Calculer la valeur max. de cette résistance permettant d'assurer le 0 logique.
 ✎ *Plus la valeur de R est élevée plus le potentiel de l'entrée du circuit logique monte risquant ainsi de dépasser V_{ilmax} et par conséquent de ne pas fixer le 0 logique. La valeur maximum de la résistance est donc de : $R_{max} = \frac{V_{ilmax}}{I_{ilmax}} = 2000 \Omega$ Nous prendrons la valeur normalisée au-dessous de R_{max} soit $1,8k\Omega$.*

La résistance de tirage au 5 volt (pull up)

1. Quel est le niveau de tension minimal correspondant au 1 logique ?
 ✎ *Le niveau de tension minimal correspondant au 1 logique coté entrée est donné dans la documentation constructeur par V_{ihmin} . Ici $V_{ihmin} = 2V$.*
2. Tracer cette tension sur le schéma ci-contre.



3. Quel est le courant maximal correspondant au 1 logique ?
 ✎ *Le courant maximal correspondant au 1 logique coté entrée est donné dans la documentation constructeur par I_{ihmax} . Ici $I_{ihmax} = 20\mu A$*
4. Indiquer le sens de circulation conventionnel de ce courant.

✎ Tous les courants sont comptés positifs lorsqu'ils entrent dans le circuit intégré logique. Le courant I_{ihmax} a une valeur positive cela signifie qu'il entre dans le circuit intégré.

5. Dédurre l'orientation de la tension aux bornes de R.

✎ V_R doit donc être orienté comme sur le schéma.

6. Quelle est la valeur maximale de la tension aux bornes de cette résistance R ?

✎ Pour assurer V_{ihmin} , V_{Rmax} ne doit pas dépasser $5V - V_{ihmin} = 3V$

7. Calculer la valeur max. de cette résistance permettant d'assurer le 1 logique.

✎ Plus la valeur de R est élevée plus le potentiel de l'entrée du circuit logique descend risquant ainsi de passer sous V_{ihmin} et par conséquent de ne pas fixer le 1 logique. La valeur

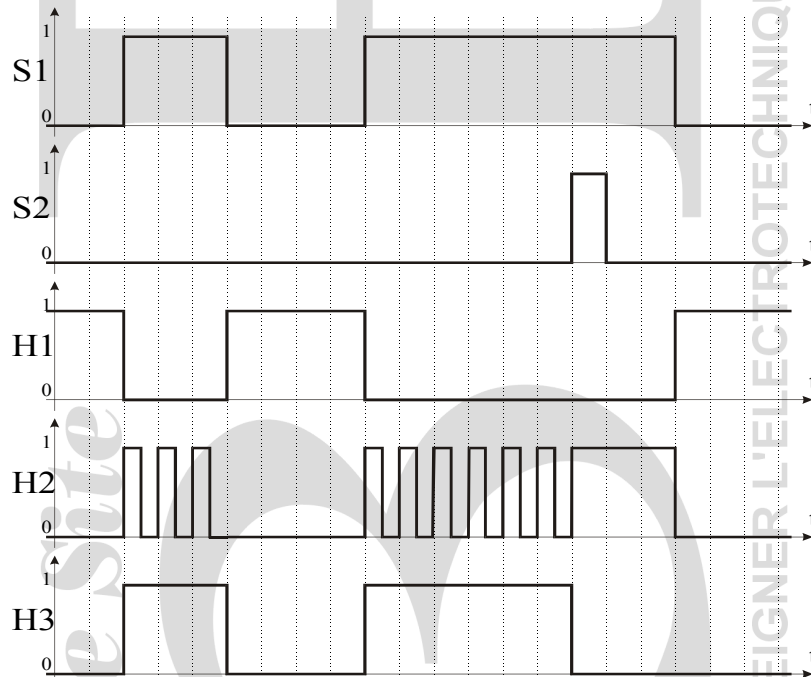
maximum de la résistance est donc de : $R_{max} = \frac{5 - V_{ihmin}}{I_{ihmax}} = 150 \text{ k}\Omega$.

III. Analyse d'un système logique

1. Faire l'analyse du fonctionnement de ce système

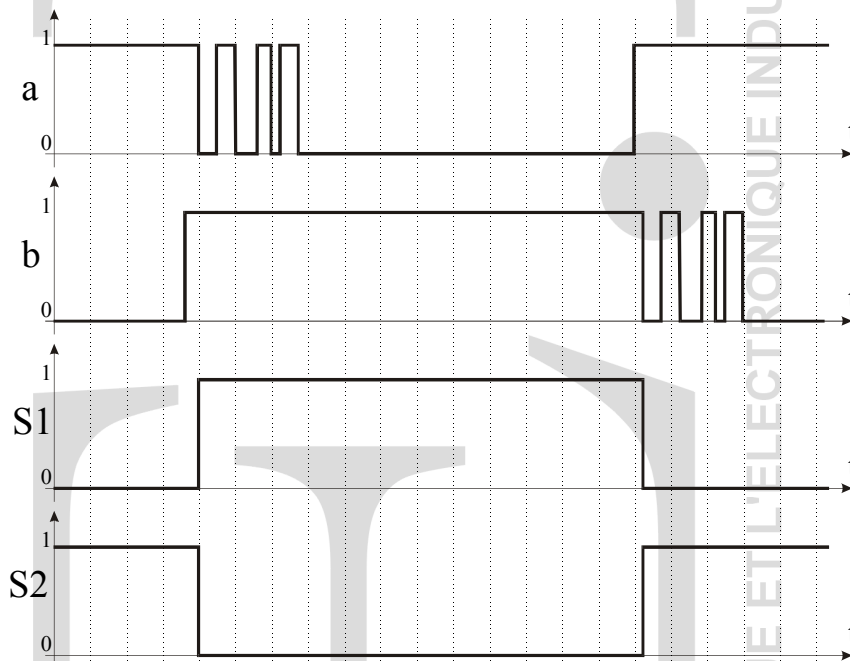
✎ Au départ S1 et S2 sont au repos (état 0 logique) ceci impose l'état de H1 (état 1 logique) qui est complémentaire à celui de S1. H3 est à l'état 0 compte tenu de la présence d'un état 0 imposé par S1 sur l'entrée de la fonction logique ET du bas. L'état de H2 dépend de la sortie logique de la fonction ET du haut OU de la sortie de la bascule RS. S1 impose un 0 sur une des deux entrées de la fonction logique ET du haut, la sortie de cette fonction logique ET est donc nécessairement à 0. La bascule RS a son entrée R active ce qui impose un 0 sur sa sortie Q. H2 est donc à l'état logique 0. Pour la suite du fonctionnement le chronogramme ci-après montre l'évolution des sorties H1, H2 et H3.

2. Donner un chronogramme représentatif du fonctionnement

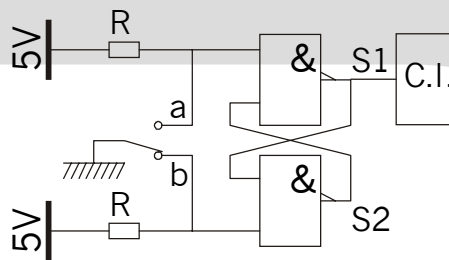


IV. Elimination des rebonds de contact sec

- Quels problèmes risque-t-on de rencontrer si l'on n'élimine pas les rebonds de contact?
- Pour une manœuvre de l'interrupteur plusieurs impulsions sont transmises. S'il y a un système de comptage celui-ci s'incrémentera du nombre d'impulsions transmises et non pas du nombre de manœuvres.*
- Donner un chronogramme de fonctionnement sachant qu'un rebond dure environ 1ms.

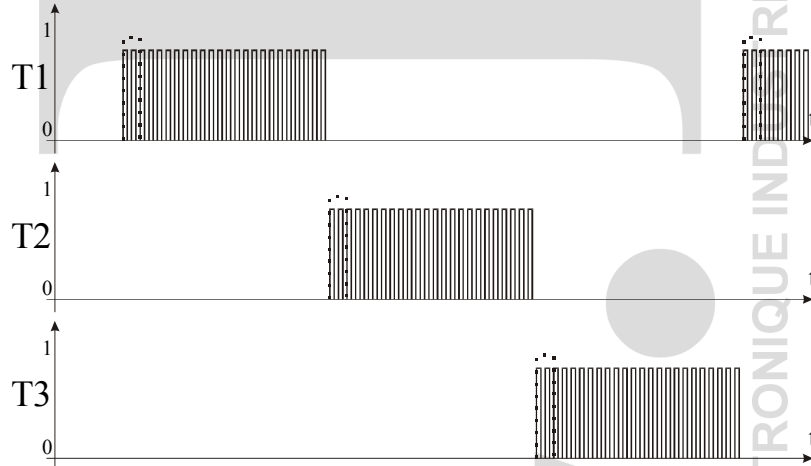


- Quelle sortie devra être raccordée sur l'entrée du CI pour obtenir le même fonctionnement que ci-dessus sans les rebonds (interrupteur représenté en position repos dans les deux cas).



V. Commande d'un pont redresseur à thyristors

- ✎ *Forme d'onde des trains d'impulsions d'une durée de 120° débutant sur l'ordre d'amorçage précédent.*



1. Proposer un schéma permettant de réaliser cette fonction.

- ✎ *On remarque que le début du train d'impulsions de commande du thyristor T1 se fait sur l'impulsion unique en pointillé de T1 et sa fin sur l'impulsion unique en pointillé de T2. Il est de même pour les trains d'impulsions de commande des thyristors T2 (début sur l'impulsion unique en pointillé de T2 et fin sur l'impulsion unique en pointillé de T3) et T3 (début sur l'impulsion unique en pointillé de T3 et fin sur l'impulsion unique en pointillé de T1). L'utilisation de bascules R S permet de définir les 120° que l'on viendra hacher à l'aide de portes logique ET. Le schéma suivant est une solution.*

