

FEUILLE D'EXERCICES : Logique séquentielle.

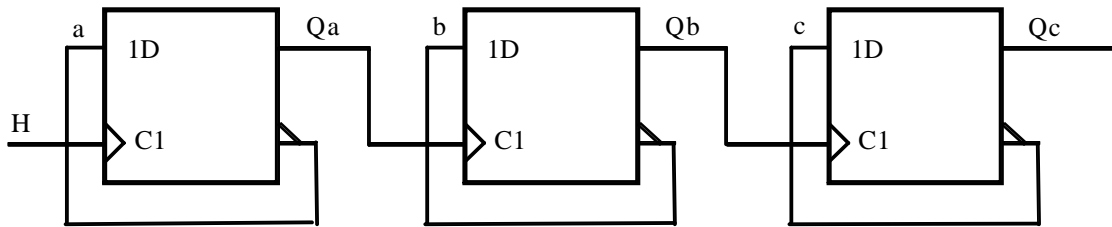
TABLE DES MATIERES :

1	FONCTION DECOMPTEUR ASYNCHRONE A BASCULE D	2
2	FONCTION COMPTEUR ASYNCHRONE A BASCULE D	3
3	FONCTION COMPTEUR ASYNCHRONE MODULO 5 A BASCULE D.....	4
4	FONCTION COMPTEUR ASYNCHRONE MODULO 10 A BASCULE D.....	5
5	FONCTION "REGISTRE A DECALAGE"	6
6	ETUDE DU "COMPTEUR A ANNEAU"	8
7	ETUDE DU "COMPTEUR DE JOHNSON"	9
8	FONCTION COMPTEUR ASYNCHRONE MODULO X A BASCULES JK".	10
9	FONCTION COMPTEUR ASYNCHRONE MODULO 10 A BASCULE JK.....	11
10	FONCTION "DIVISION DE FREQUENCE"	12
11	FONCTION ASYNCHRONE A BASCULE JK.	14
12	ETUDE D'UN COMPTEUR BINAIRE.	15
13	ETUDE DE COMPTEURS	17
14	ASSOCIATIONS DE COMPTEURS MODULO 10.....	19
15	FONCTION "COMPTEUR A MODULO DEFINI PAR CABLAGE".	20
16	ETUDE D'UN COMPTEUR-DECOMPTEUR A PRECHARGEMENT.	22
17	COMPARER DES CHRONOGRAMMES SYNCHRONES ET ASYNCHRONES.	25
18	ANNEXE	27
	HEF4518B DUAL BCD COUNTER	27
	74HC/HCT393 DUAL 4-BIT BINARY RIPPLE COUNTER.....	27
	74HC/HCT193 PRESETTABLE SYNCHRONOUS 4-BIT BINARY UP/DOWN COUNTER	28
	74HC/HCT4040 12-STAGE BINARY RIPPLE COUNTER	29
	74HC/HCT163 PRESETTABLE SYNCHRONOUS 4-BIT BINARY COUNTER	30

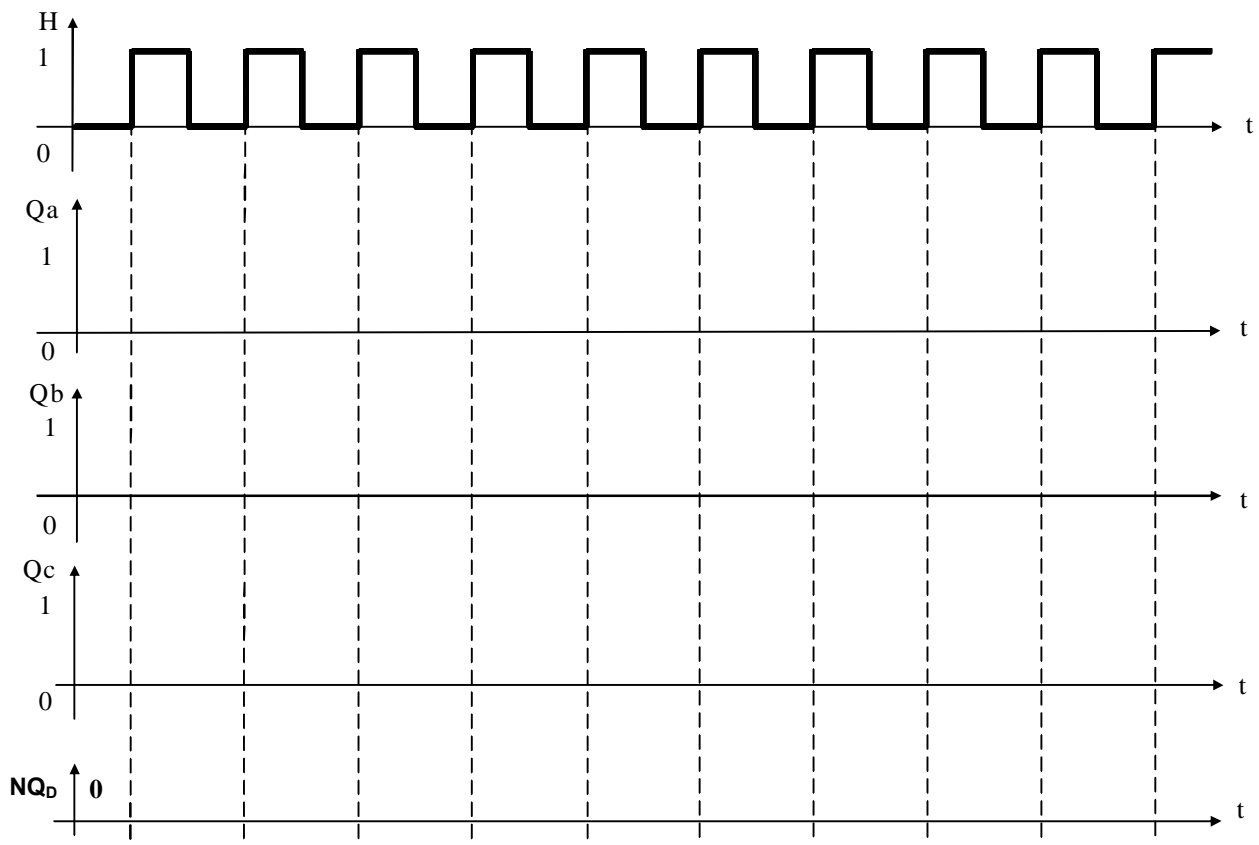
1 FONCTION DECOMPTEUR ASYNCHRON A BASCULE D

Schéma structurel :

1. Le fonctionnement de ces bascules est-il synchrone ou asynchrone ? Argumenter votre réponse.



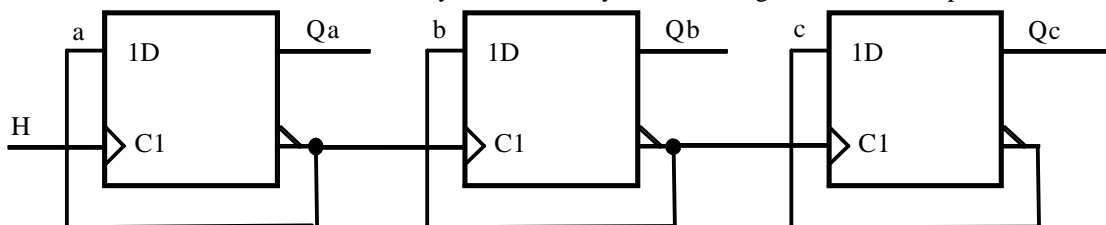
2. Tracer les chronogrammes des sorties Qa, Qb et Qc (à l'état initial, $Qa=Qb=Qc= "0"$).
3. Convertir en décimal les trois bits binaires Qc, Qb et Qa en prenant Qa pour bit de poids faible.
4. Quelle est la fonction réalisée ?
5. Donner le modulo du compteur



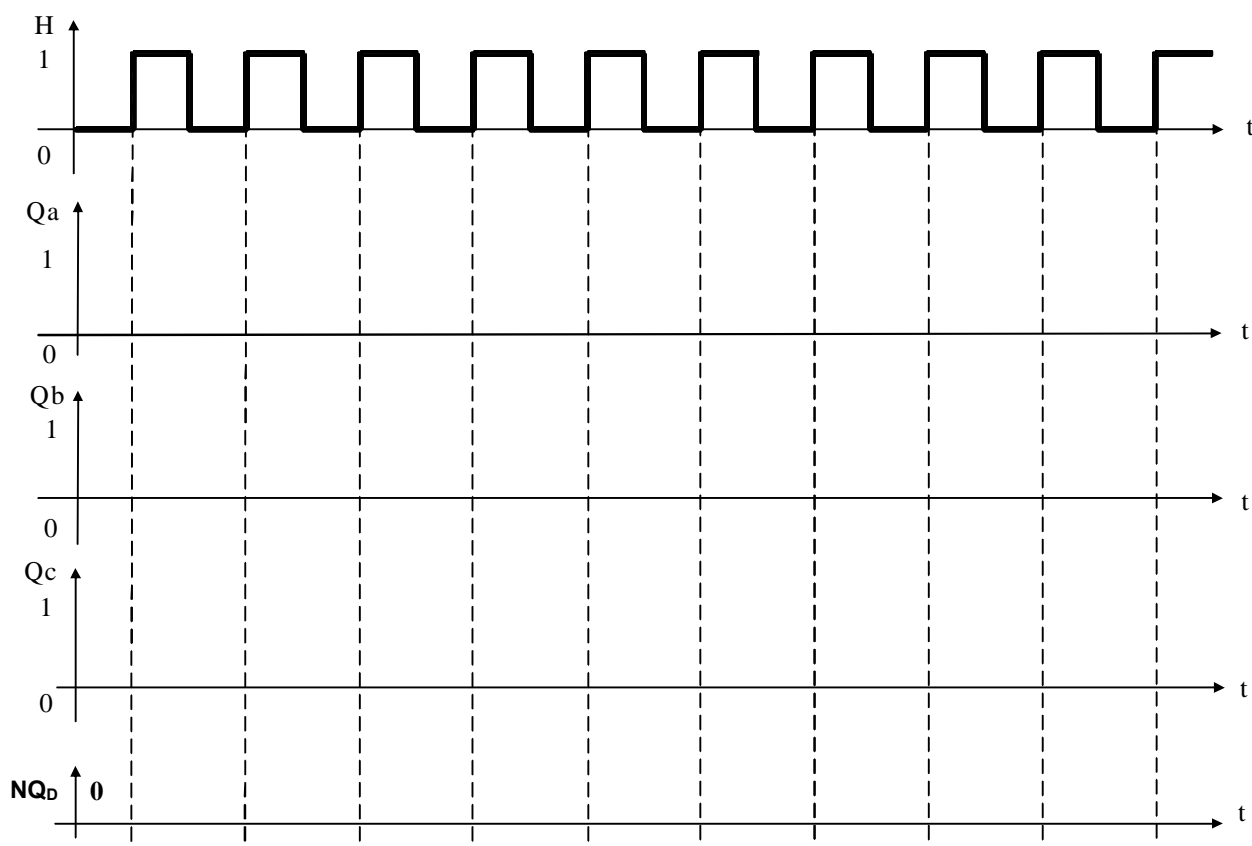
2 FONCTION COMPTEUR ASYNCHRONE A BASCULE D

Schéma structurel :

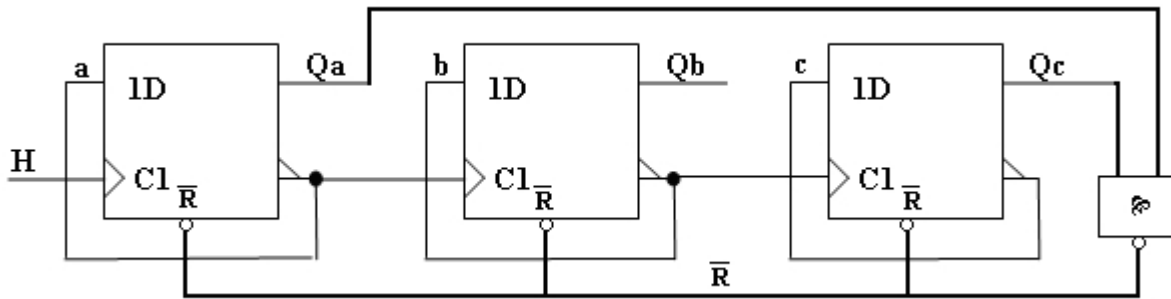
1. Le fonctionnement de ces bascules est-il synchrone ou asynchrone ? Argumenter votre réponse.



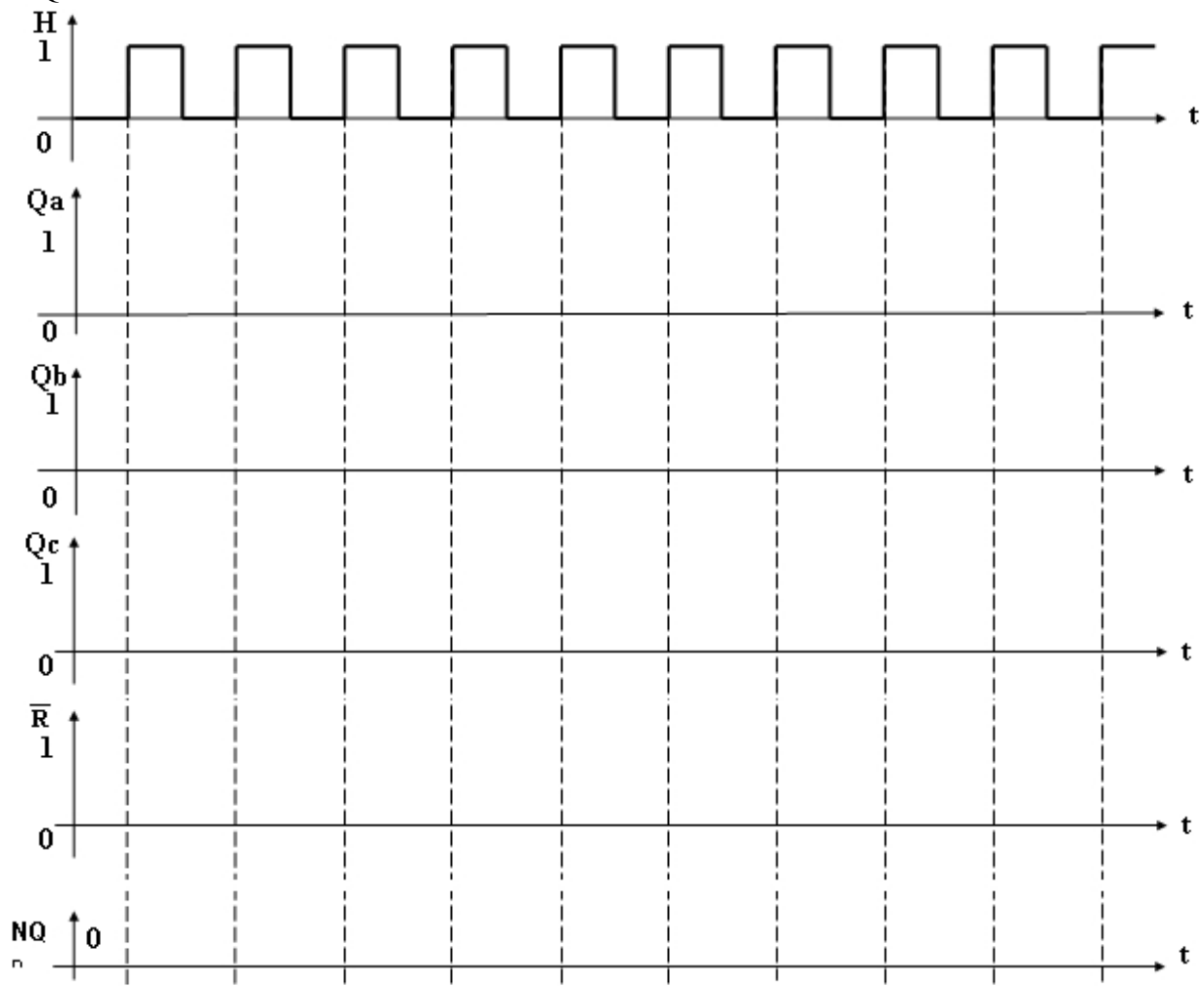
2. Tracer les chronogrammes des sorties Qa, Qb et Qc (à l'état initial, $Qa=Qb=Qc= "0"$).
3. Convertir en décimal les trois bits binaires Qc, Qb et Qa en prenant Qa pour bit de poids faible.
4. Quelle est la fonction réalisée ? Comparer ce schéma structurel avec celui de l'exercice précédent et conclure sur l'incidence de la fonction réalisée.
5. Donner le modulo du compteur



3 FONCTION COMPTEUR ASYNCHRONE MODULO 5 A BASCULE D

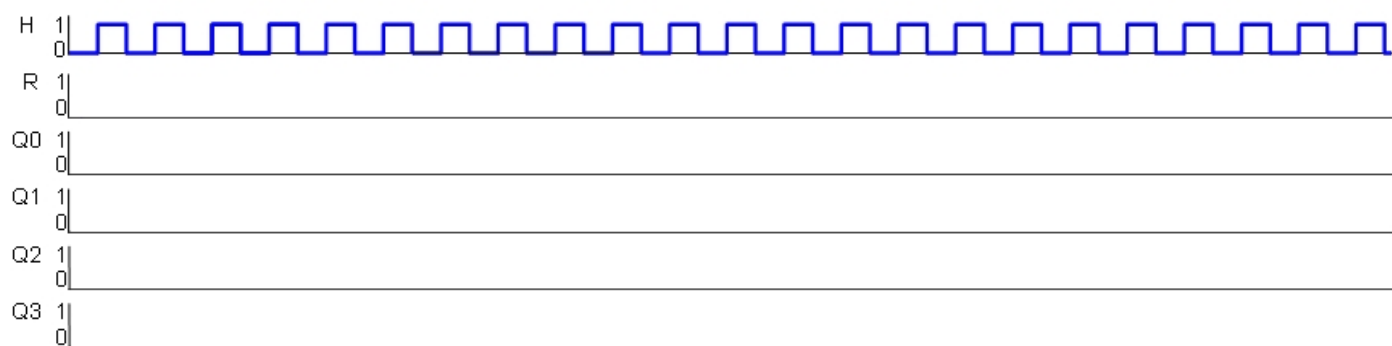
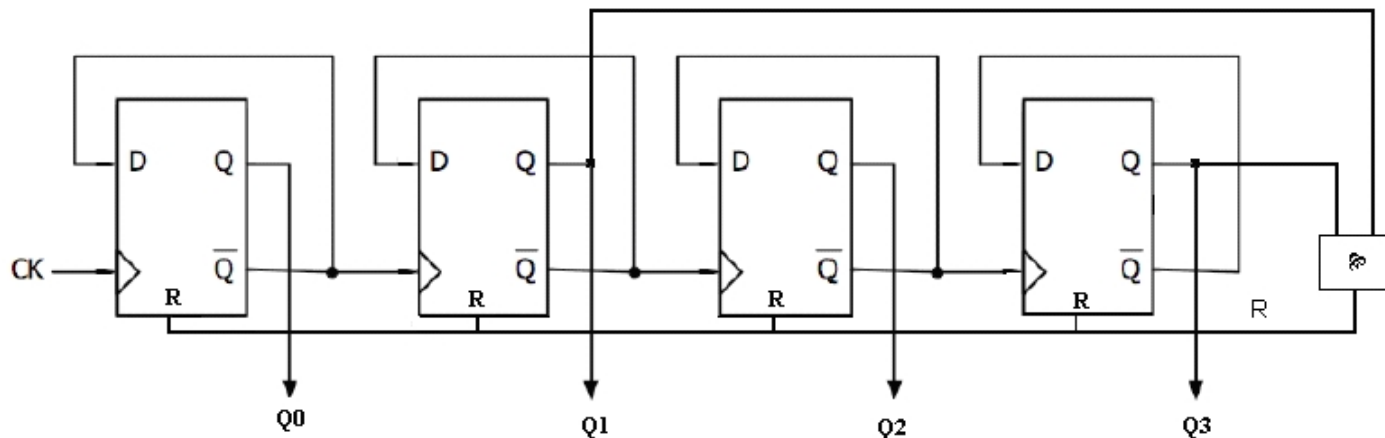


1. Donner la table de vérité de l'opérateur logique ($\bar{R} = f(Qa, Qc)$)
2. Quel est le rôle de l'entrée \bar{R} ? A quel niveau est elle active ? Cette entrée est dite prioritaire, qu'entendez vous par là ?
3. Tracer les chronogrammes des sorties Qa , Qb , Qc et \bar{R} (à l'état initial, $Qa=Qb=Qc= "0"$).
4. Convertir en décimal les trois bits binaires Qc , Qb et Qa en prenant Qa pour bit de poids faible.
5. Quelle est la fonction réalisée ?



4 FONCTION COMPTEUR ASYNCHRONE MODULO 10 A BASCULE D

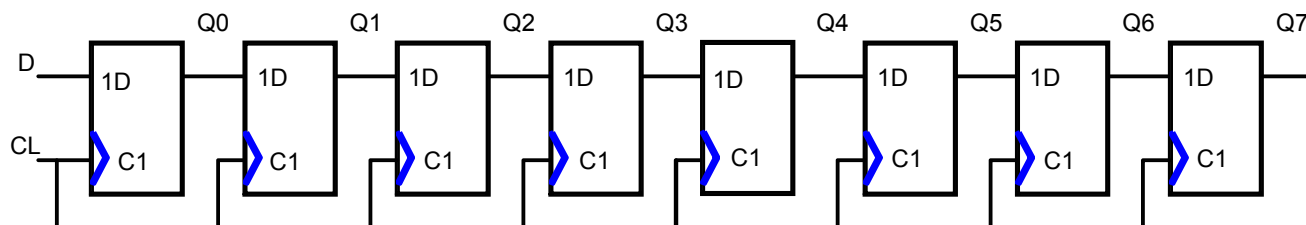
1. Donner la table de vérité de l'opérateur logique ($R = f(Q1, Q3)$)
2. Quel est le rôle de l'entrée R ? A quel niveau est elle active ?
3. Tracer les chronogrammes des sorties Q0, Q1, Q2, Q3 et R (à l'état initial, $Q0=Q1=Q2=Q3= "0"$).
4. Convertir en décimal les trois bits binaires Q0, Q1, Q2 et Q3 en prenant Q0 pour bit de poids faible.
5. Quelle est la fonction réalisée ?



5 FONCTION "REGISTRE A DECALAGE".

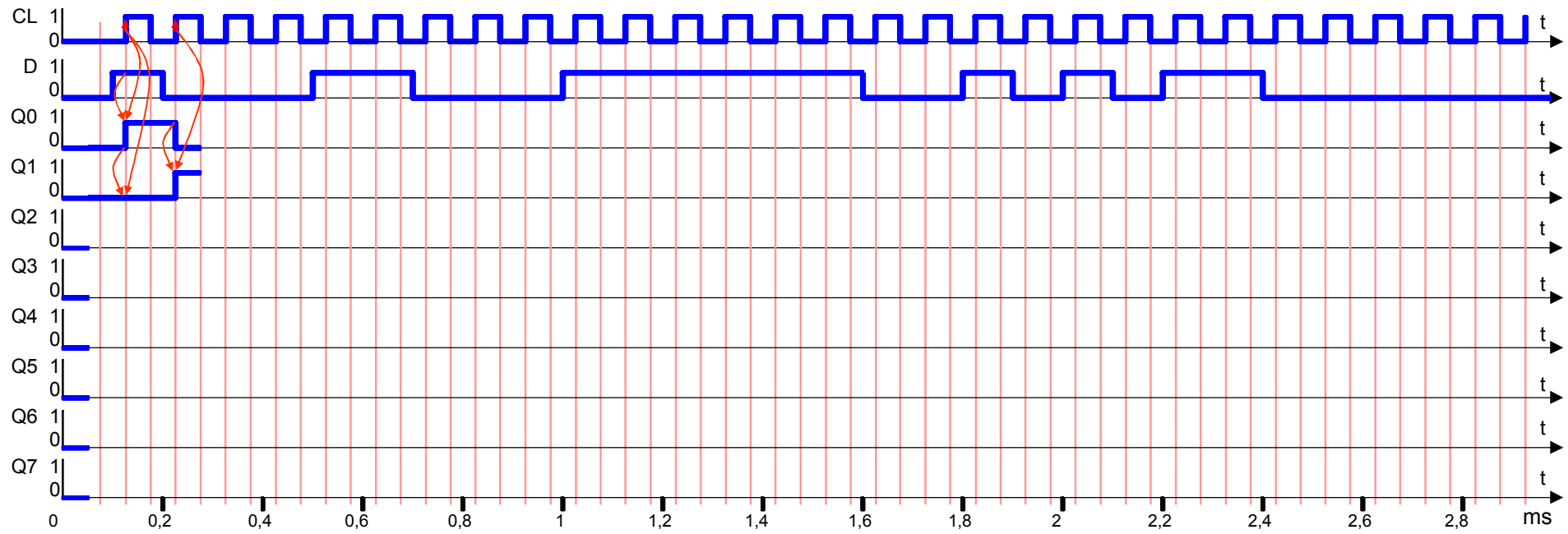
Le schéma structurel pourrait être réalisé à partir du circuit logique CD4013A ou d'un 74LS374

Schéma structurel :



Construire le chronogramme de cette structure demande d'avoir à l'esprit que tout opérateur introduit un temps de latence entre le moment de la commande et celui où le résultat aboutit en sortie. Ce temps est appelé temps de propagation. Or ici les entrées de commandes sont actionnées simultanément. Lors d'un front montant de CL un opérateur voit donc l'état de l'opérateur qui le précède avant que celui-ci n'ait eu le temps de changer d'état. Ce principe étant admis vous pouvez construire successivement les chronogrammes de Q0, Q1,..., Q6 et Q7.

Chronogrammes en page suivante



6 ETUDE DU "COMPTEUR A ANNEAU".

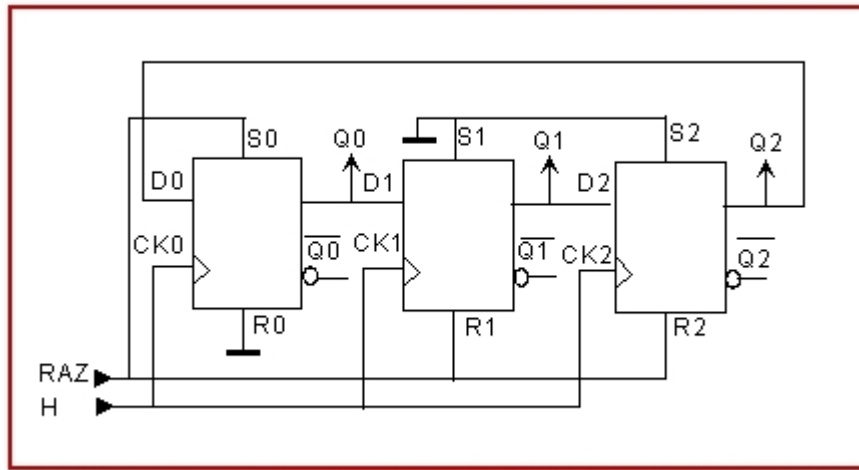
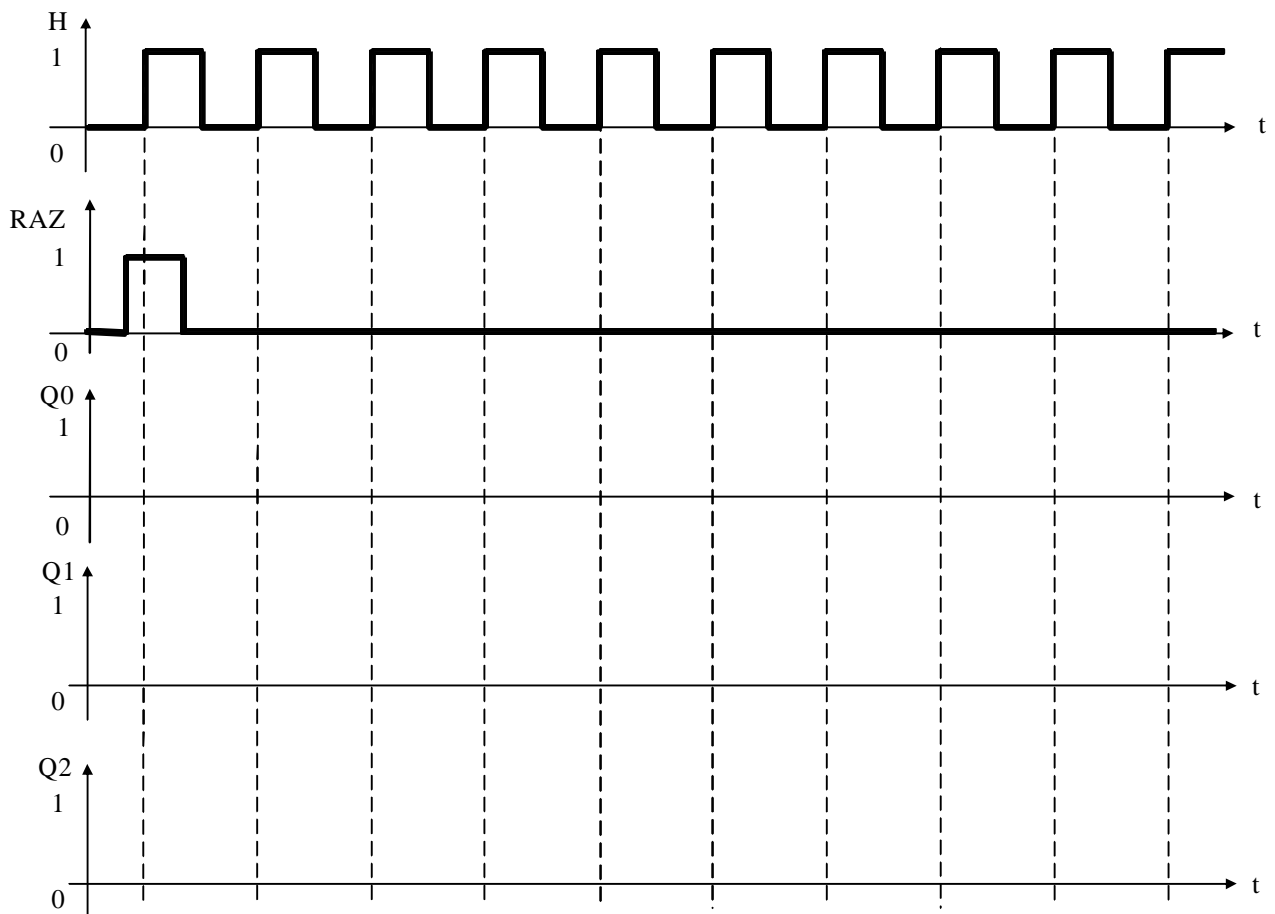


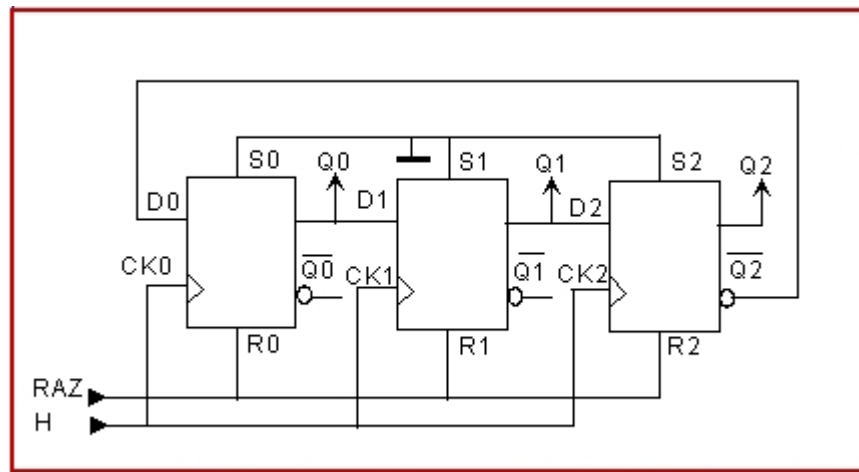
Schéma structurel.

1. Tracer les chronogrammes de Q0, Q1 et Q2 (s'aider du mémotech pour la documentation du CD4013).
2. Exprimer la fréquence F_{Q0} en fonction de F_H
3. Au vu des chronogrammes, indiquer le modulo de ce compteur.

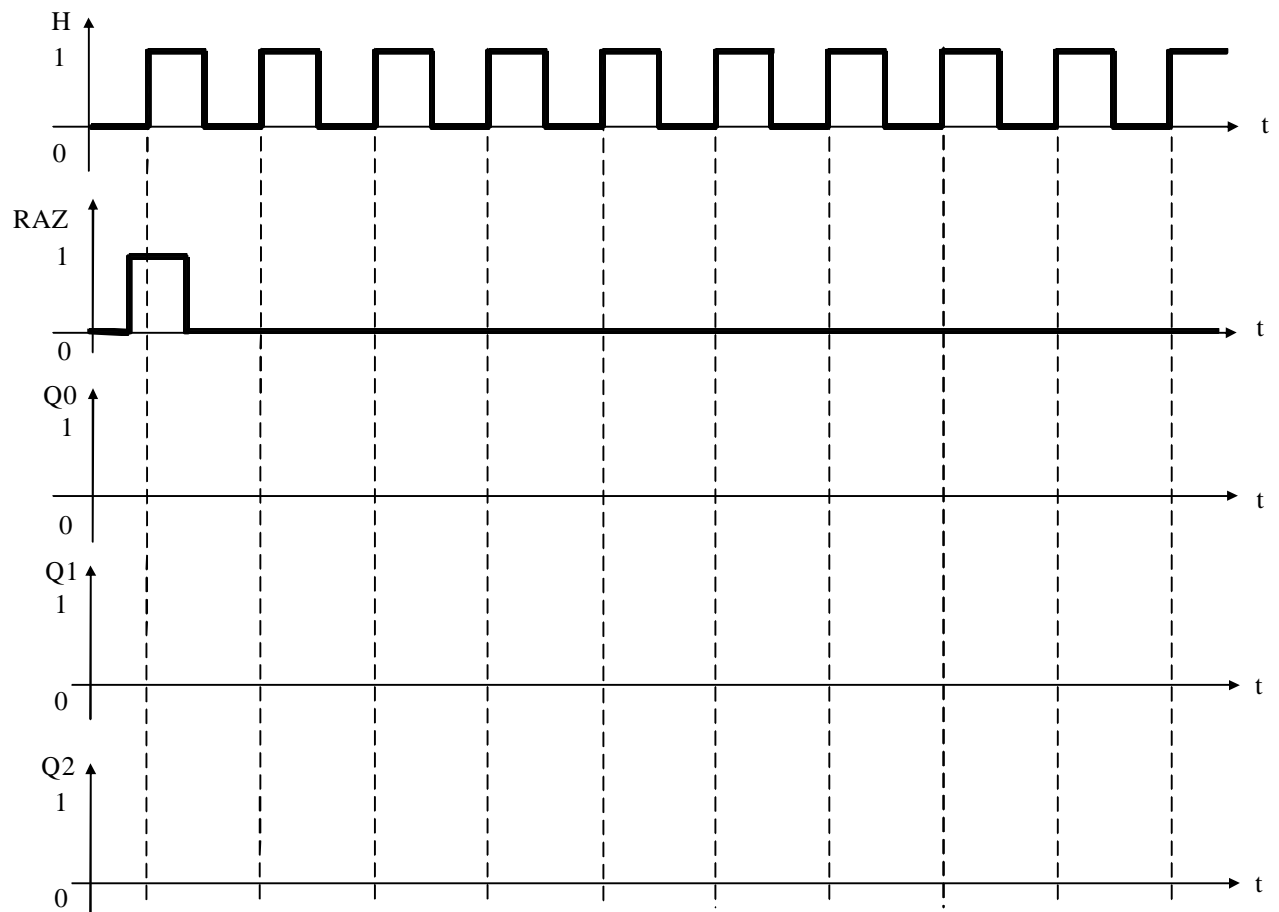


7 ETUDE DU "COMPTEUR DE JOHNSON".

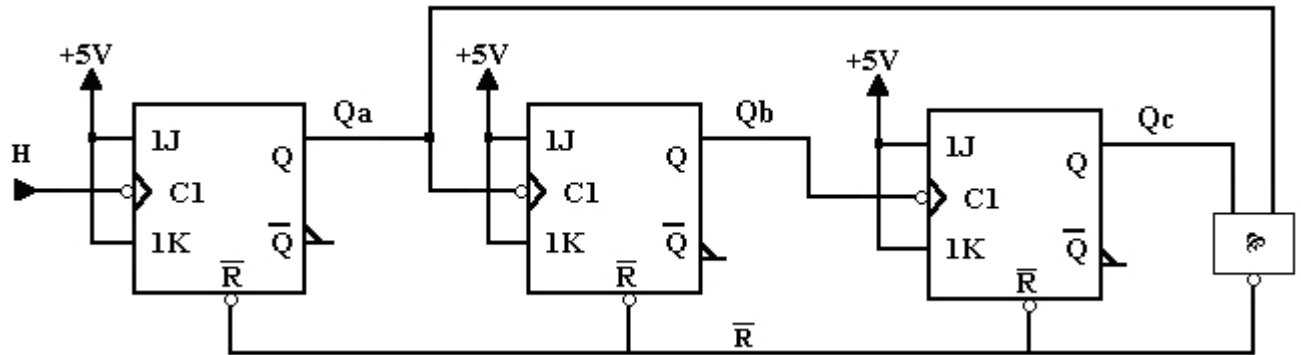
Schéma structurel.



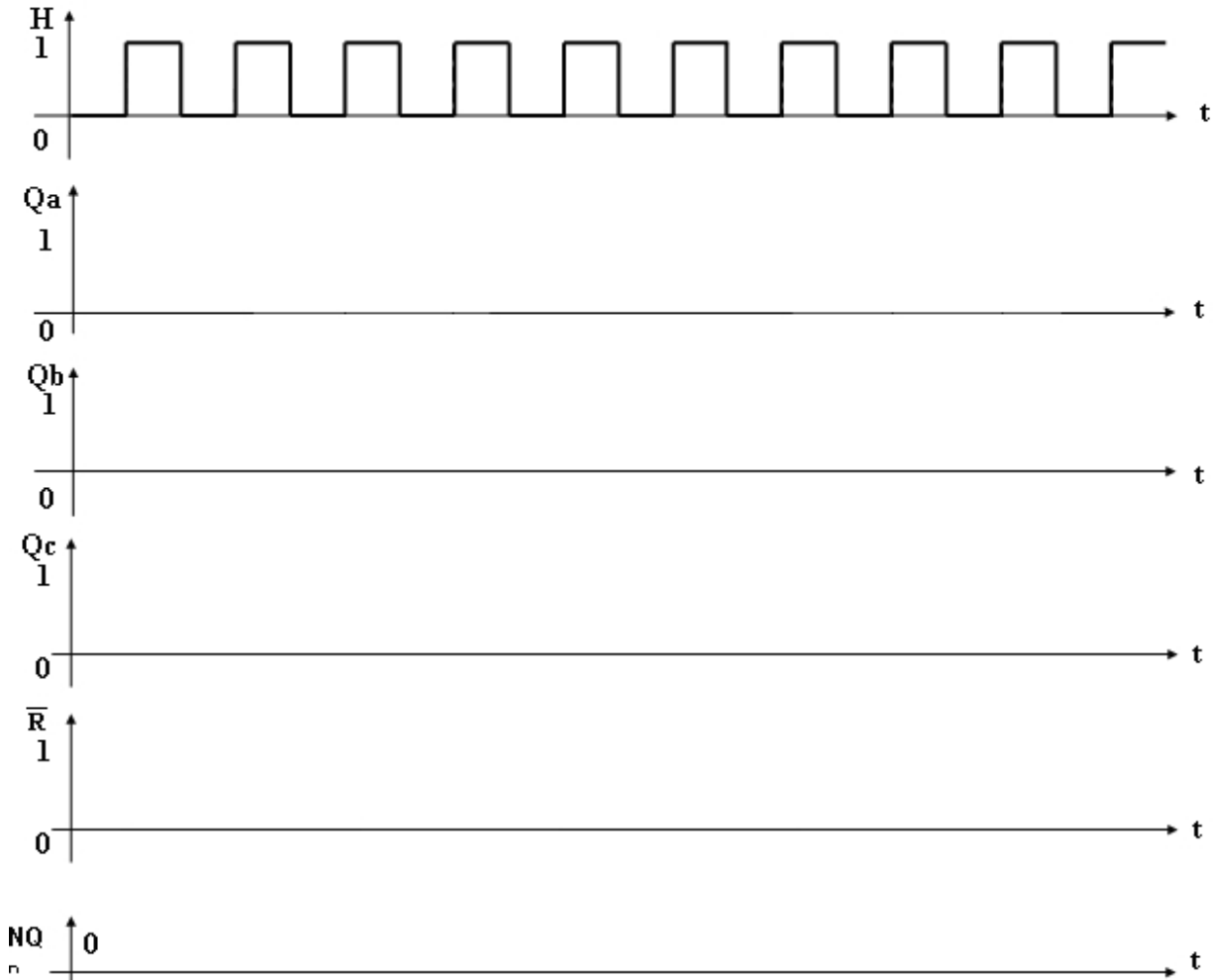
1. Faire le même travail que précédemment (compteur en anneau) sur ce nouveau schéma.
2. Quelle différence existe-t-il entre ce schéma et le précédent ? Quelle en est la conséquence sur le modulo et la fréquence des signaux de sortie ?



8 FONCTION COMPTEUR ASYNCHRONE MODULO X A BASCULES JK".



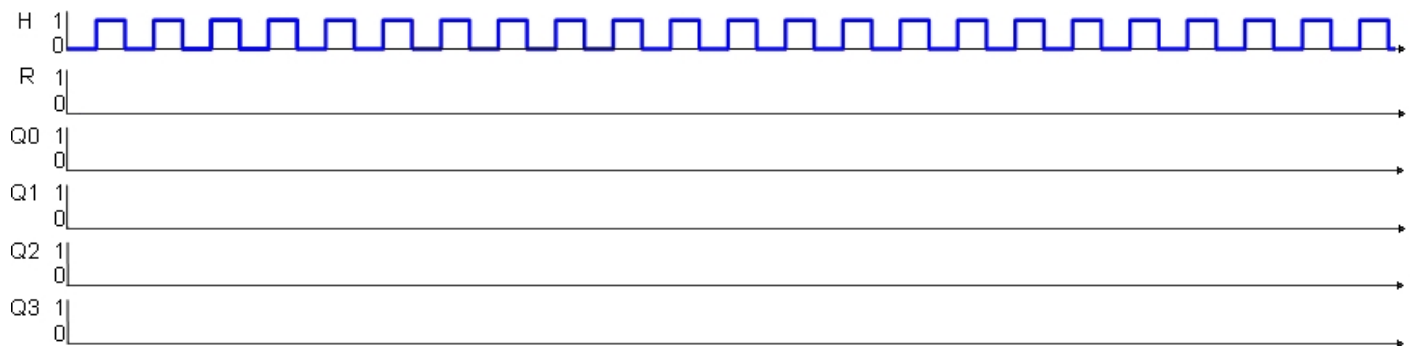
1. Sur quel front fonctionnent les bascules ?
2. A quel niveau logique les entrées $/R$ sont elles actives ?
3. Compléter les chronogrammes de Qa , Qb , Qc et de $/R$ (à l'état initial, $Qa=Qb=Qc= "0"$).
4. Donner un nom à cette structure (modulo) ?



9 FONCTION COMPTEUR ASYNCHRONE MODULO 10 A BASCULE JK

On désire réaliser un compteur asynchrone modulo 10 à l'aide de bascules JK actives sur front montant.

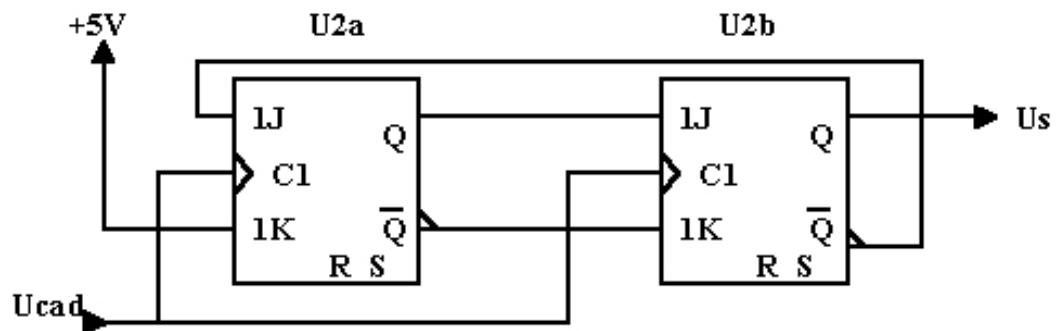
1. Réaliser le schéma permettant de réaliser ce compteur
2. Tracer les chronogrammes des sorties Q0, Q1, Q2, Q3 et Raz (à l'état initial, Q0=Q1=Q2=Q3= "0").
3. Convertir en décimal les quatre bits binaires Q3, Q2, Q1 et Q0 en prenant Q0 pour bit de poids faible.



10 FONCTION "DIVISION DE FREQUENCE".

Le schéma structurel est réalisé à partir du circuit logique HEF4027B

Schéma structurel.



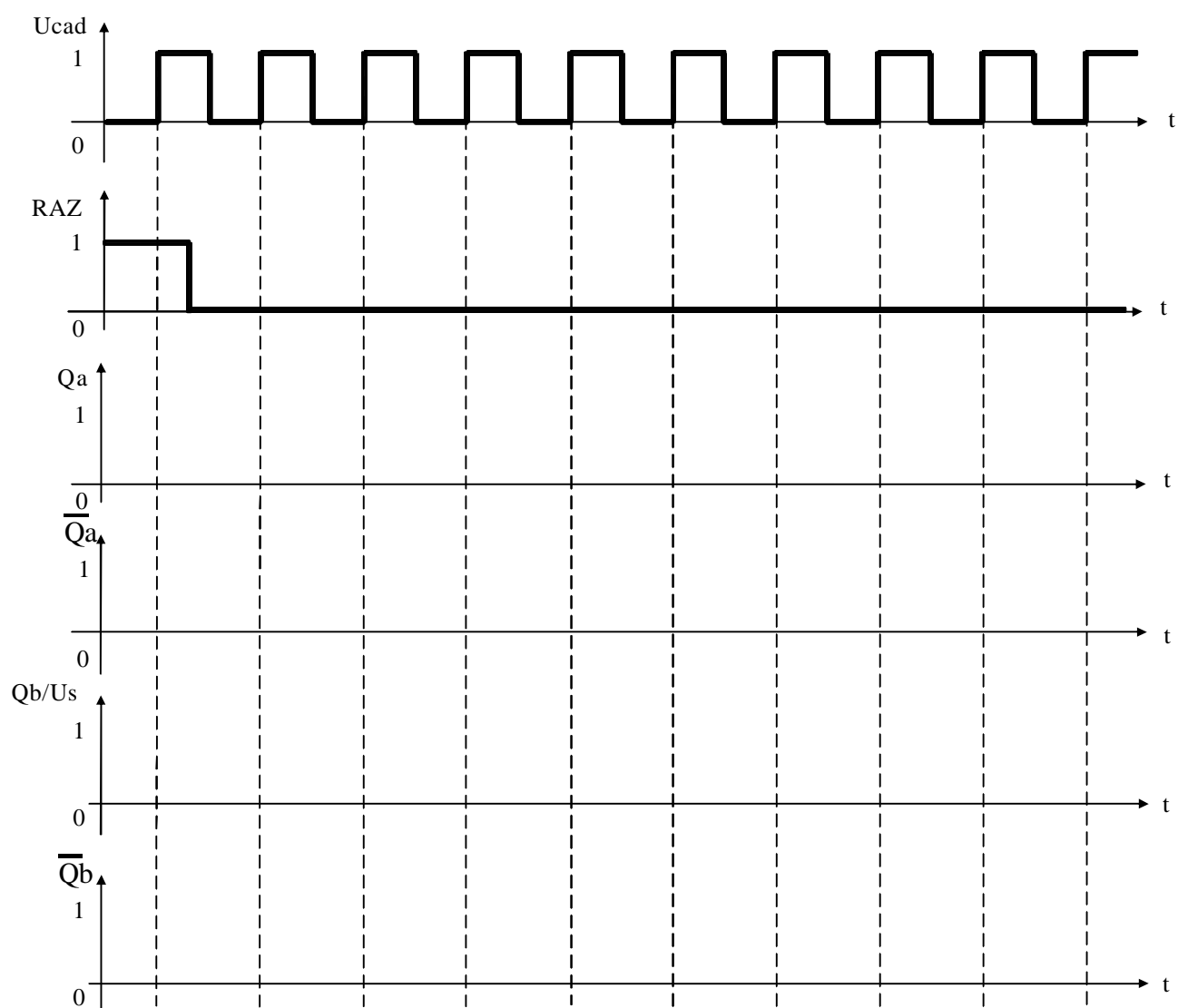
Le circuit U2 est alimenté sous 0/5V.

1. Il vous appartient de câbler les broches repérées S et R de façon à inhiber la "mise à un" et à effectuer une "remise à zéro" de la sortie U_s dès la mise sous tension du circuit. On utilisera le signal RAZ (cf chronogrammes).

Conditions initiales:

- la sortie Q de U2a est au niveau bas,
- la sortie Q de U2b est au niveau bas.

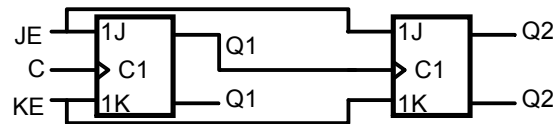
2. Sachant que U_{cad} est une ddp logique 0/5V de fréquence $F=10\text{KHz}$, représenter les chronogrammes des grandeurs J, K, Q et \bar{Q} (chronogrammes en page suivante) pour les deux bascules JK, mettant en évidence le fonctionnement de la structure. Et ceci pour 9 périodes de U_{cad} .
3. Déterminer la fréquence du signal de sortie, et préciser la division effectuée.



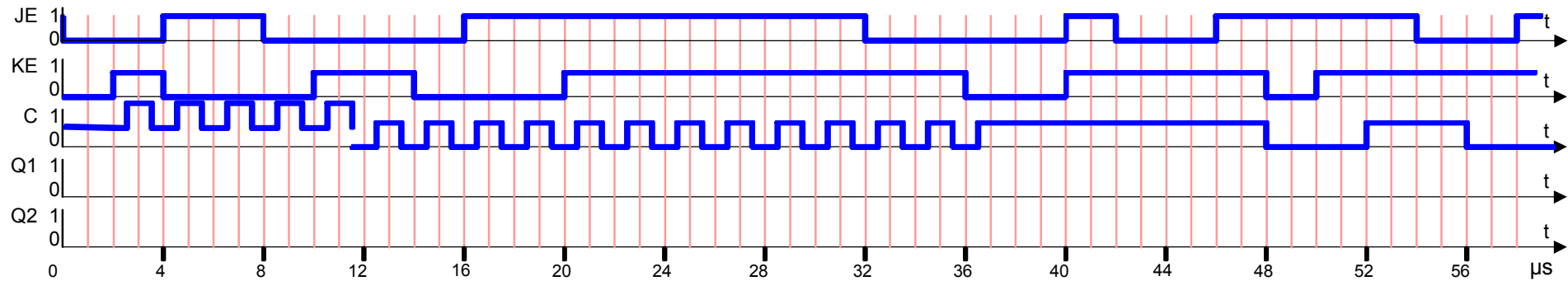
11 FONCTION ASYNCHRONE A BASCULE JK.

Le schéma structurel est réalisé à partir du circuit logique HEF4027B

Schéma structurel.

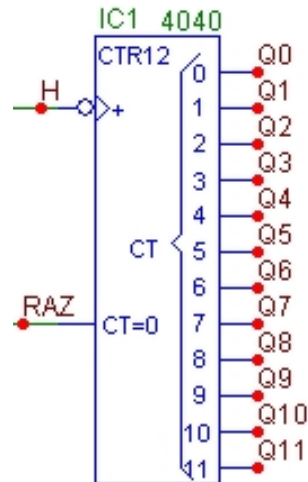


Tracer les chronogrammes des sorties Q1 et Q2.

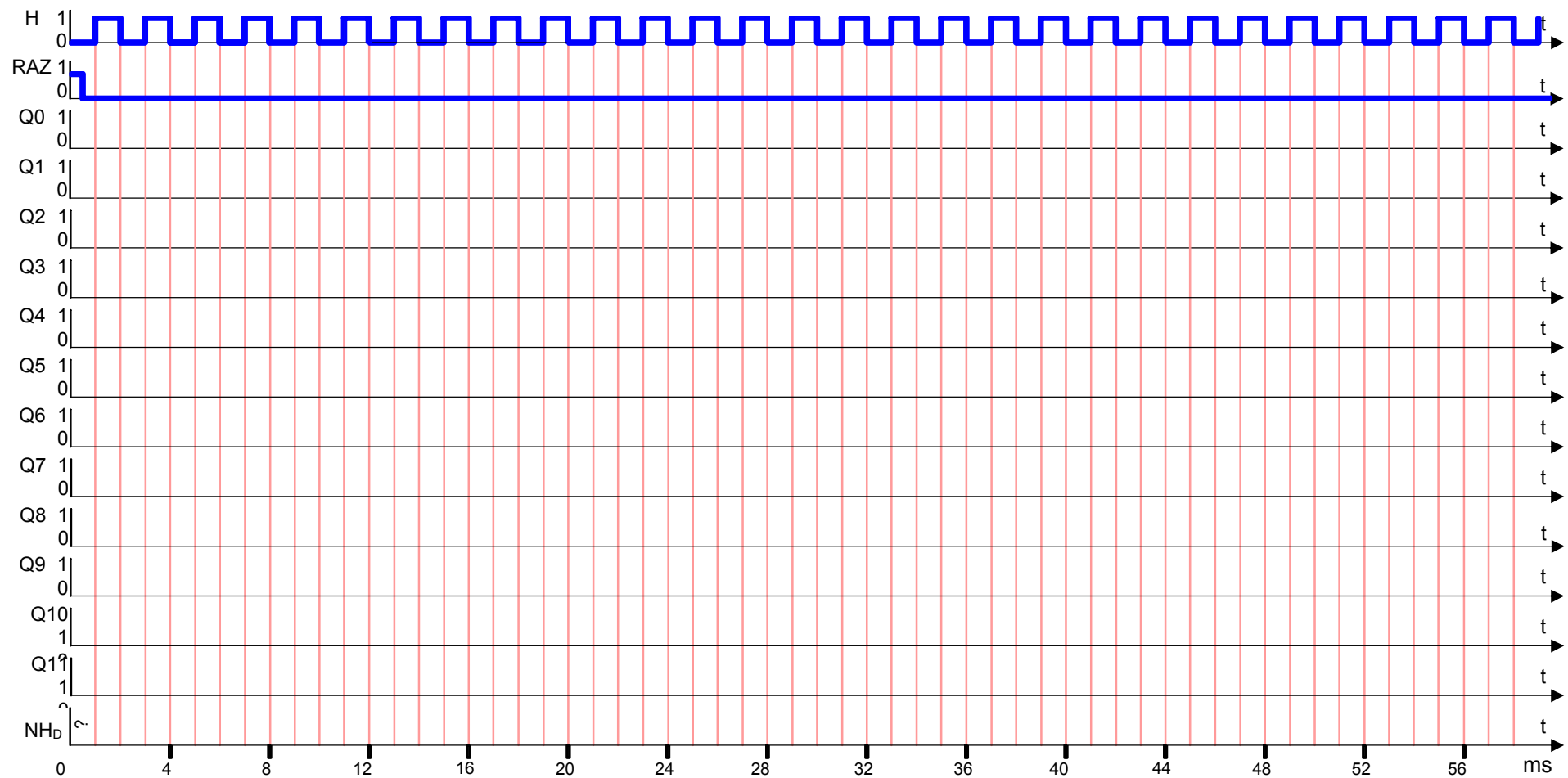


12 ETUDE D'UN COMPTEUR BINAIRE.

Symbole :

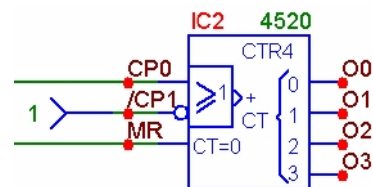
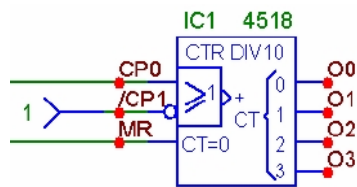


1. En exploitant sa table de vérité ou sa représentation déterminer :
 - l'entrée et l'événement provoquant sa mise à zéro ;
 - l'entrée et l'événement provoquant le comptage ;
 - le modulo du comptage ;
 - le nombre mini possible en sortie ;
 - le nombre maxi possible en sortie.
2. Compléter les chronogrammes suivants :



13 ETUDE DE COMPTEURS .

Symboles :

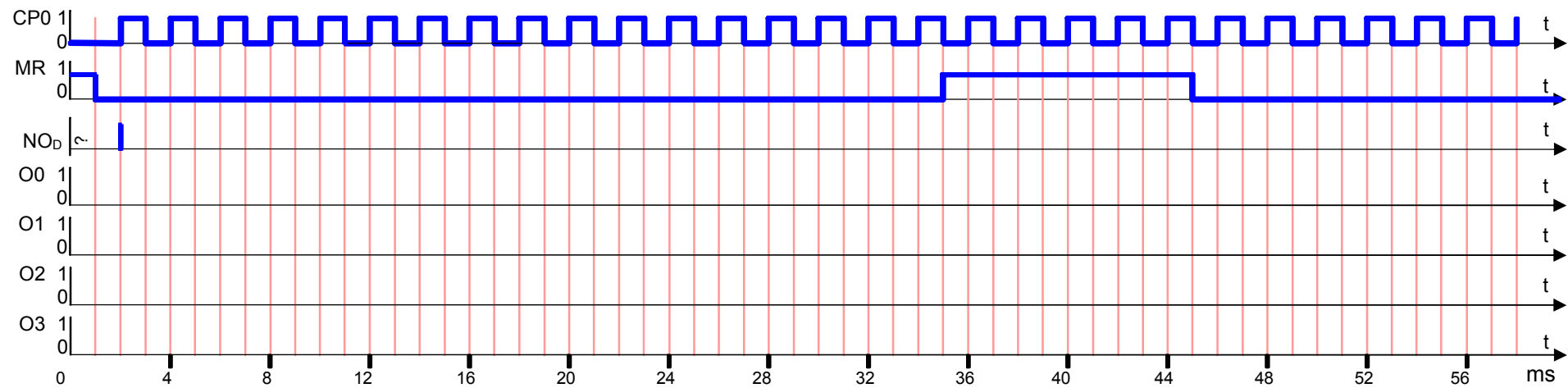


1. Pour chacun des composants représentés ci-dessous, déterminer :
 - l'entrée et l'événement (0, 1 \uparrow ou \downarrow) provoquant leur mise à zéro ;
 - l'entrée et l'événement provoquant le comptage ;
 - et le modulo de comptage.
2. Compléter les chronogrammes suivants.

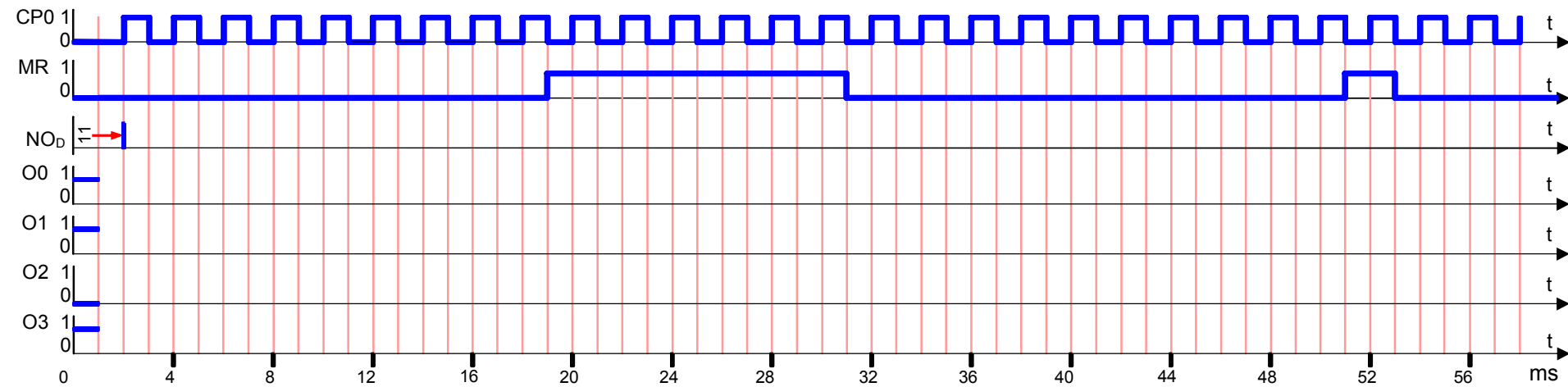
Procédure :

- En faisant attention aux événements de mise à zéro (RAZ) compléter le chronogramme du nombre de sortie NO.
- En déduire l'état de chaque ligne de sortie du compteur

4518

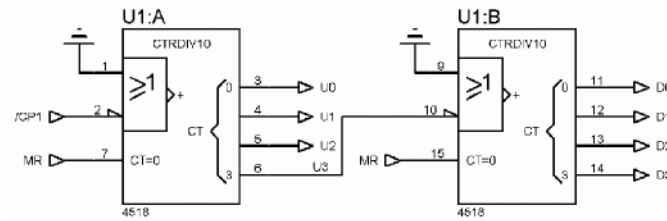


4520

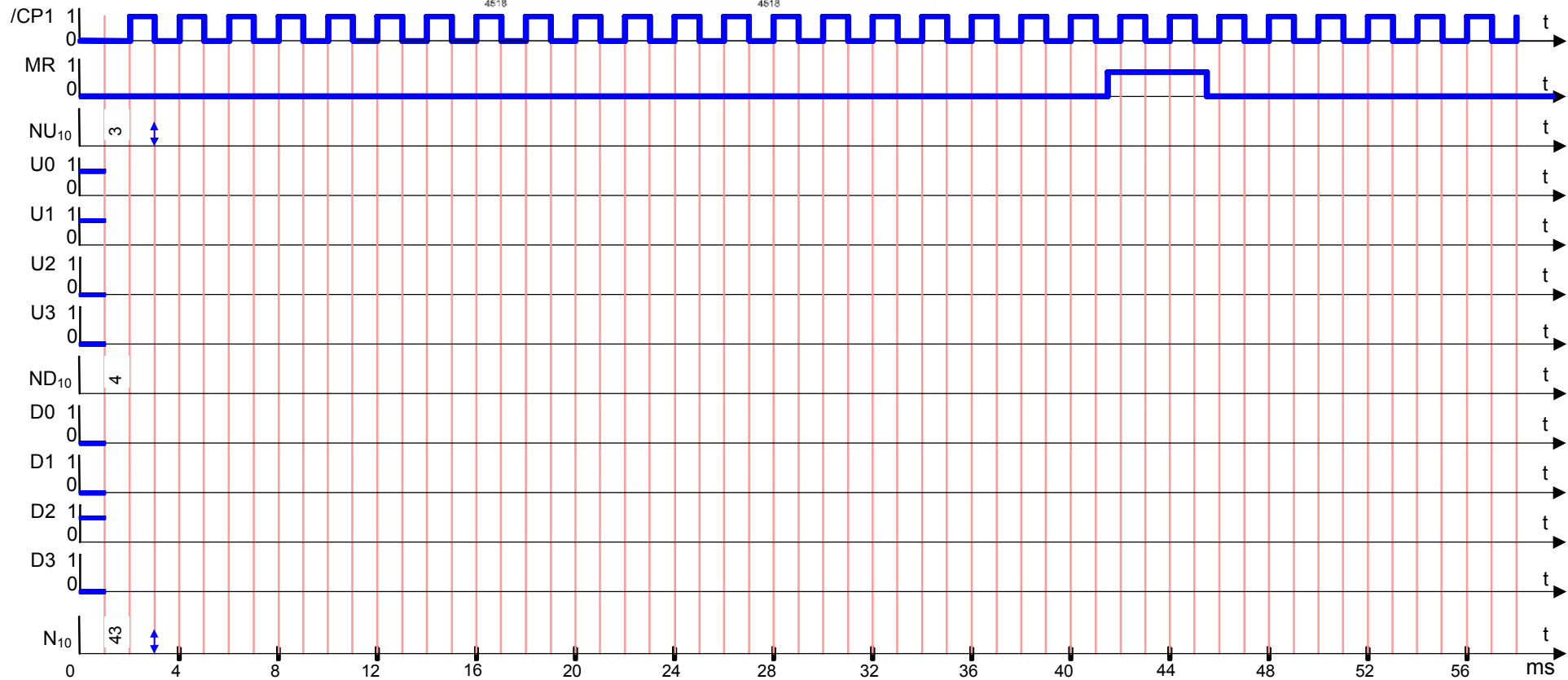


14 ASSOCIATIONS DE COMPTEURS MODULO 10.

Schéma structurel.

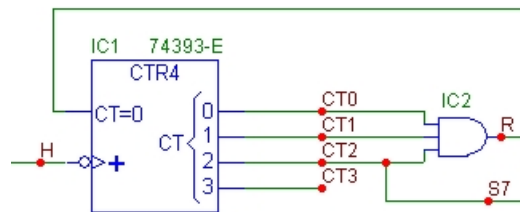


Travail demandé : tracer les chronogrammes ci-dessous



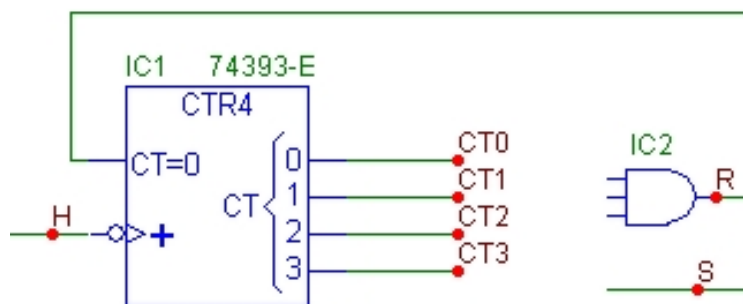
15 FONCTION "COMPTEUR A MODULO DEFINI PAR CABLAGE".

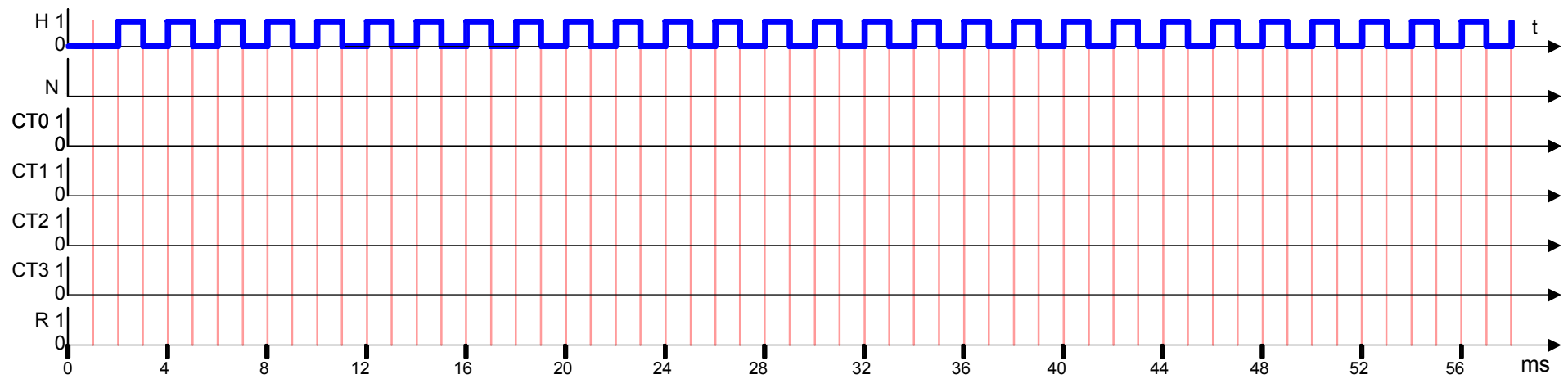
Schéma structurel.



Le schéma ci-dessus est celui d'un compteur dont le modulo est déterminé par câblage.

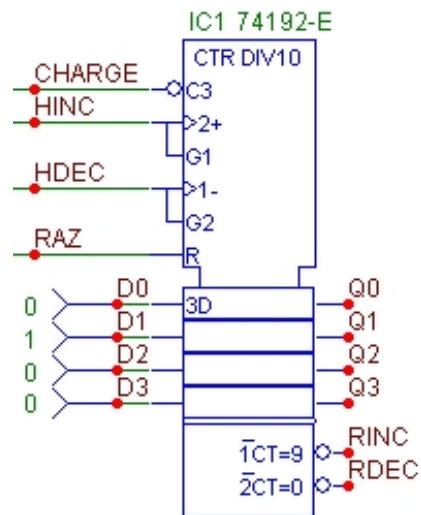
1. Pour IC1, déterminer :
 - l'entrée et l'événement provoquant le comptage ;
 - l'entrée et l'événement provoquant la mise à zéro de son contenu.
2. Déterminer la première valeur du contenu remettant à zéro le compteur.
3. Enoncer la succession de nombres stables produits par ce compteur.
4. Compléter les chronogrammes sur la page suivante.
5. Proposer un nouveau câblage afin d'obtenir une fonction comptage modulo 12. Enoncer la suite des nombres stables produits par cette structure.



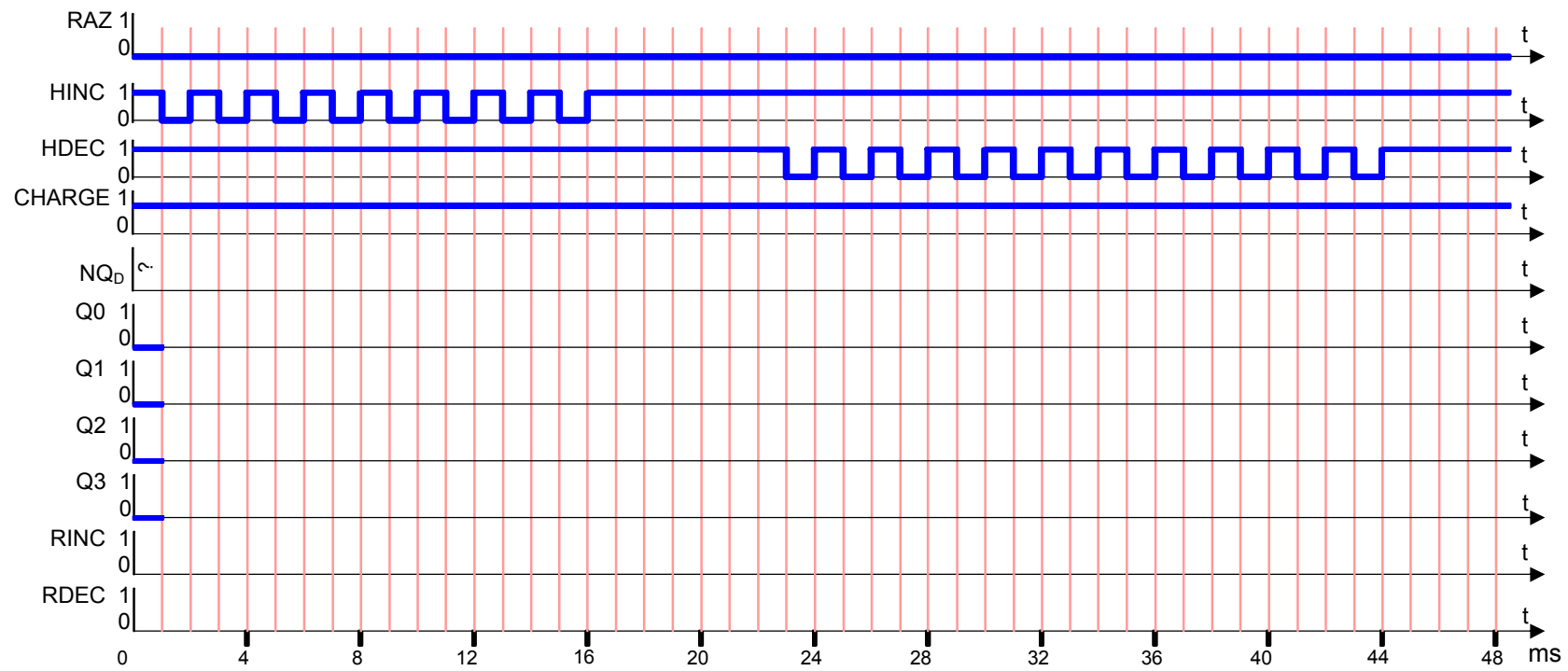


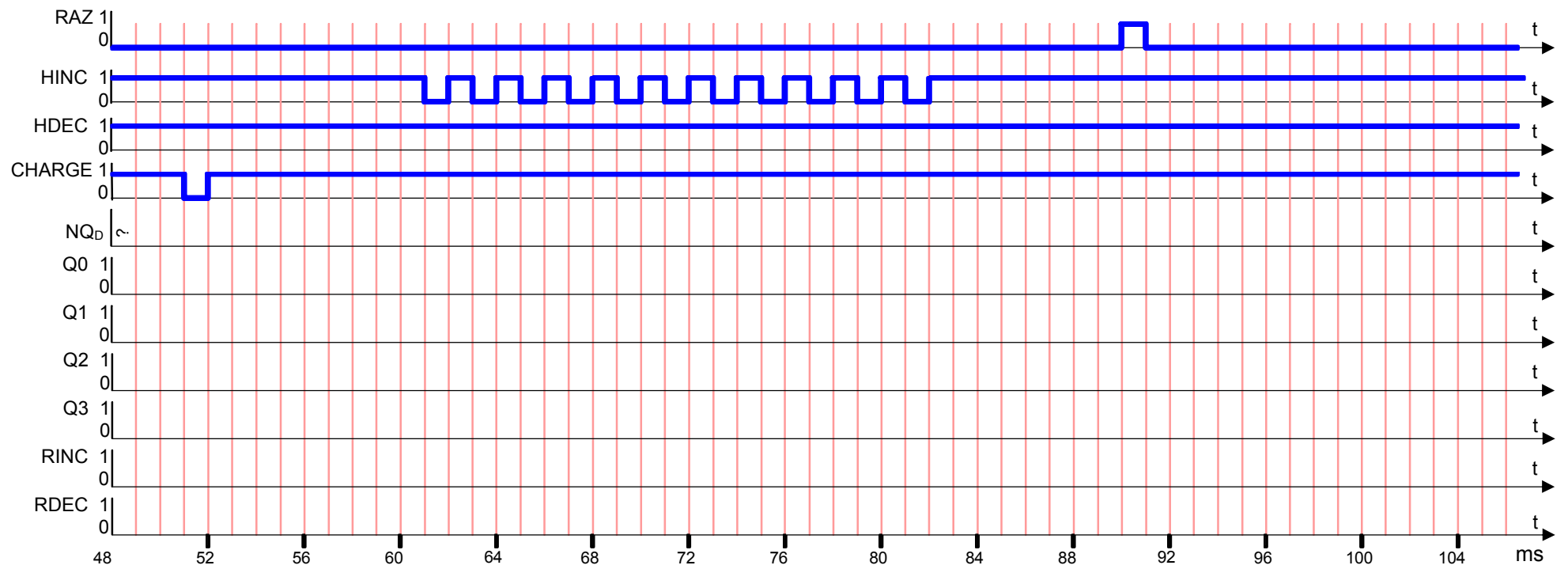
16 ETUDE D'UN COMPTEUR-DECOMPTEUR A PRECHARGEMENT.

Symbole :



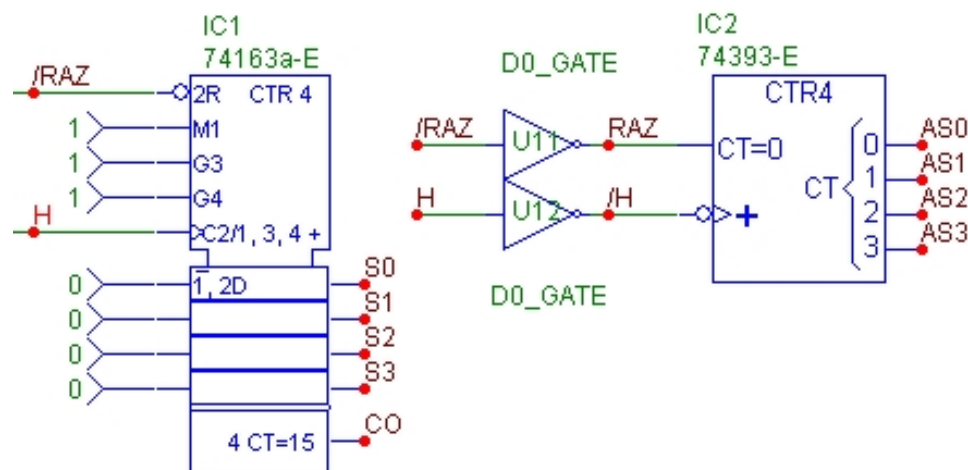
1. En exploitant sa table de vérité ou sa représentation déterminer :
 - l'entrée et l'événement provoquant sa mise à zéro ;
 - l'entrée et l'événement provoquant le comptage ;
 - l'entrée et l'événement provoquant le décomptage ;
 - le modulo du décomptage et du comptage ;
 - l'entrée et l'événement provoquant le préchargement ;
 - les entrées de données pour le préchargement ;
 - la condition pour que RINC soit actif et l'état associé ;
 - la condition pour que RDEC soit actif et l'état associé.
2. Compléter les chronogrammes des deux pages suivantes :





17 COMPARER DES CHRONOGRAMMES SYNCHRONES ET ASYNCHRONES.

Schéma structurel.



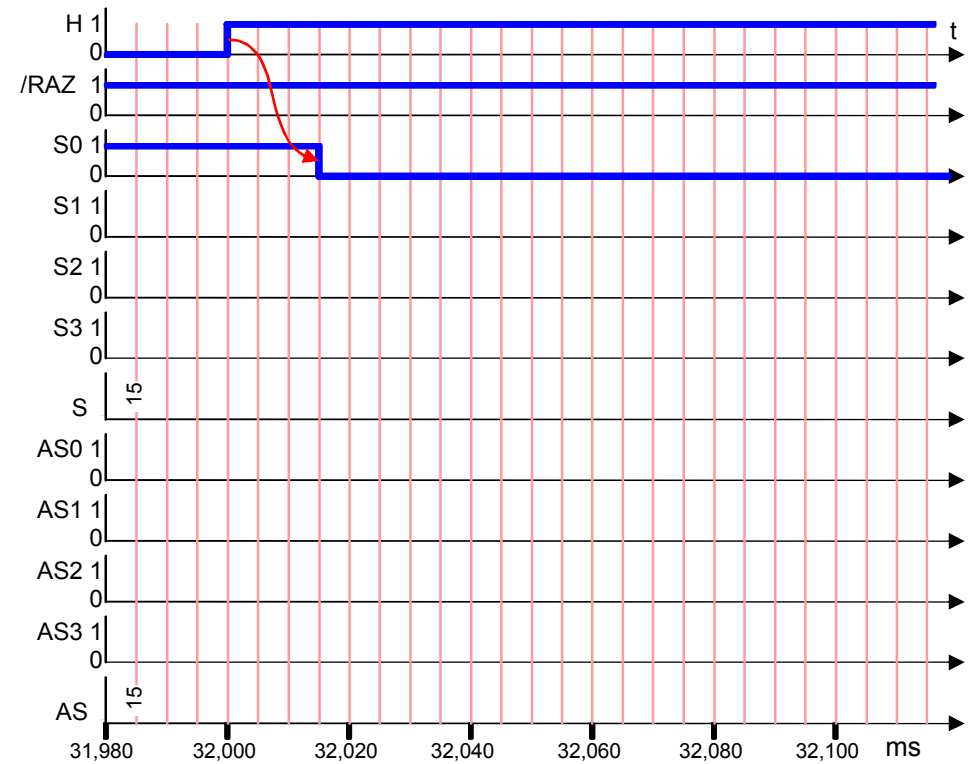
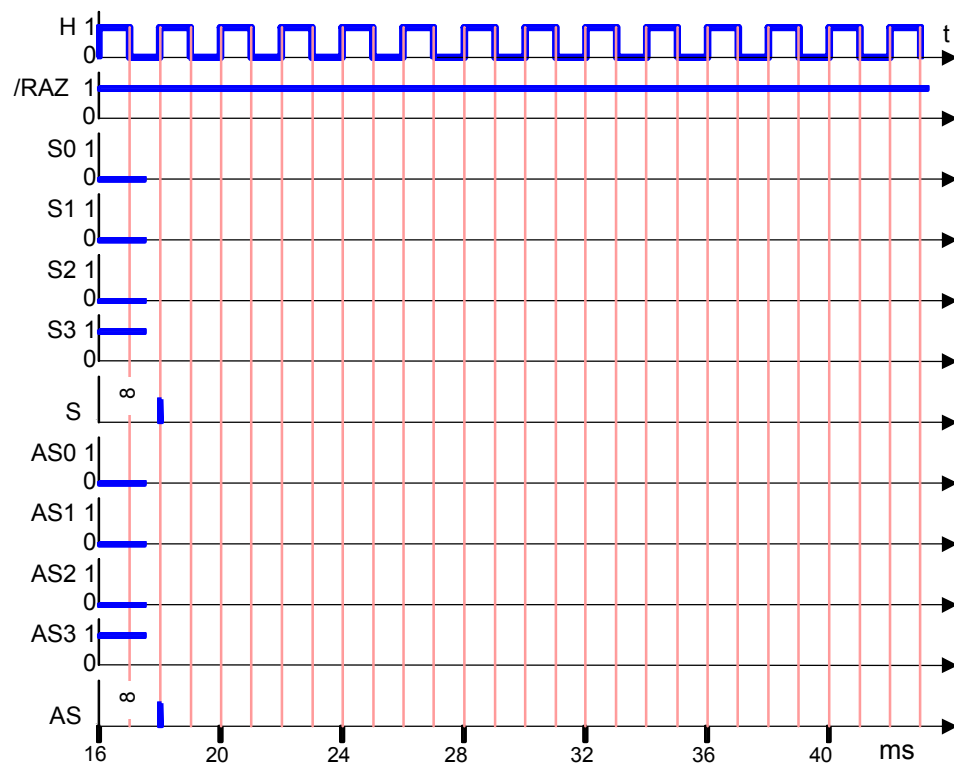
Voici une structure de comptage. Le compteur 74163a est un compteur synchrone, le 74393 est un compteur asynchrone. Vous allez construire les chronogrammes de l'un et de l'autre suivant les procédés respectifs de chacun de ces compteurs. Ils sont tous deux commandés par le même signal de commande H, le comptage est donc simultané. Ainsi vous pourrez vous rendre compte de la différence entre les deux modes de fonctionnement.

Procédure :

- Construire le premier chronogramme comme vous en avez l'habitude (H est commun)

Le deuxième chronogramme dilate l'échelle de temps au voisinage de $t=32\text{ms}$ du premier chronogramme. À cette échelle vous ne pourrez pas négliger les temps de propagation de l'information dans les opérateurs. Pour simplifier vous considérerez qu'un temps de propagation TP vaut 15ns.

- Les quatre sorties de l'opérateur synchrone sont toutes commandées par H. Construire le chronogramme de ces sorties en considérant un TP entre \uparrow de H et chaque transition de sortie.
- La sortie AS0 de l'opérateur asynchrone est commandée par \uparrow de H. Construire le chronogramme de AS0 en considérant un TP entre \uparrow de H et transition de AS0. La sortie AS1 est commandée par \uparrow de AS0, un TP doit donc s'écouler entre ces deux événements. Vous procéderez ainsi aussi pour les sorties AS2 et AS3.
- Représenter chaque TP par une flèche de couleur. (voir exemple)
- Déterminer pour chaque instant (même pendant les transitions) les valeurs de S et AS.



18 ANNEXE

HEF4518B Dual BCD counter

FUNCTION TABLE

CP ₀	CP ₁	MR	MODE
↑	H	L	counter advances
L	↓	L	counter advances
↓	X	L	no change
X	↑	L	no change
↑	L	L	no change
H	↓	L	no change
X	X	H	O ₀ to O ₃ = LOW

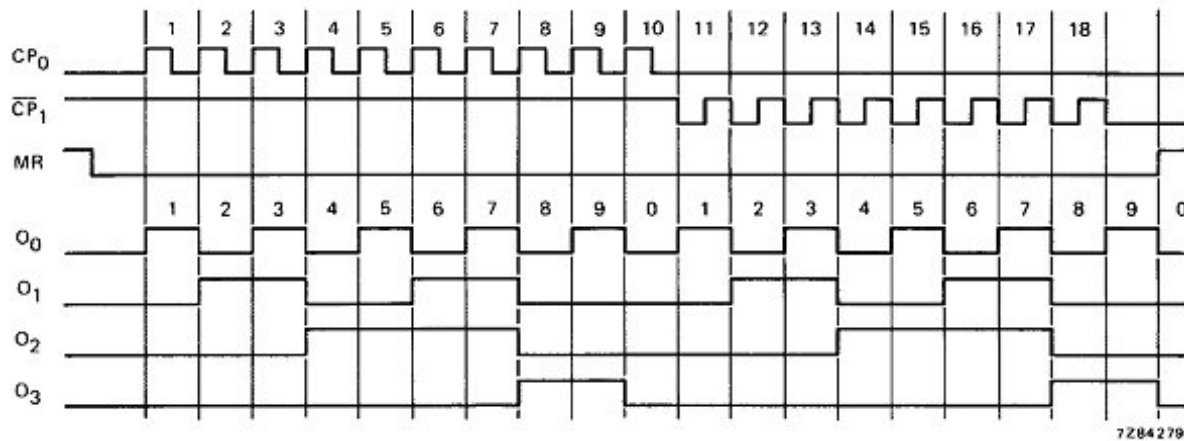
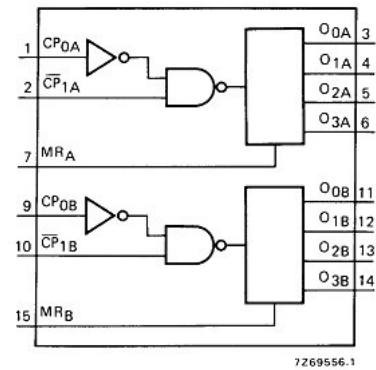


Fig.6 Timing diagram.

74HC/HCT393 Dual 4-bit binary ripple counter

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 13	1CP, 2CP	clock inputs (HIGH-to-LOW, edge-triggered)
2, 12	1MR, 2MR	asynchronous master reset inputs (active HIGH)
3, 4, 5, 6, 11, 10, 9, 8	1Q ₀ to 1Q ₃ , 2Q ₀ to 2Q ₃	flip-flop outputs
7	GND	ground (0 V)
14	V _{CC}	positive supply voltage

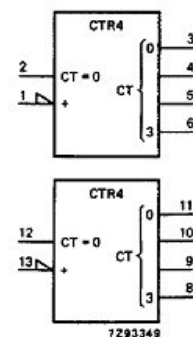
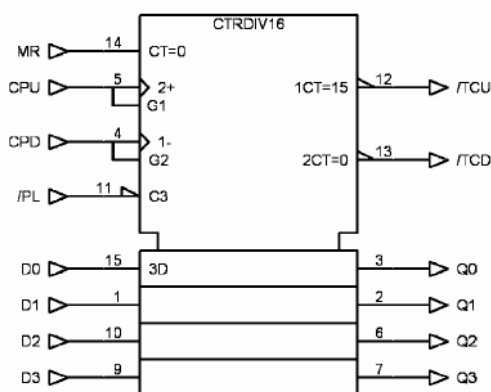


Fig.3 IEC logic symbol.

74HC/HCT193 Presettable synchronous 4-bit binary up/down counter

FUNCTION TABLE

OPERATING MODE	INPUTS								OUTPUTS					
	MR 14	/PL 11	CP _U 5	CP _D 4	D ₀ 15	D ₁ 1	D ₂ 10	D ₃ 9	Q ₀ 3	Q ₁ 2	Q ₂ 6	Q ₃ 7	/TC _U 12	/TC _D 13
reset (clear)	H H	X X	X X	L H	X X	X X	X X	X X	L L	L L	L L	L L	H H	L H
parallel load	L	L	X	L	L	L	L	L	L	L	L	L	H	L
	L	L	X	H	L	L	L	L	L	L	L	L	H	H
	L	L	L	X	H	H	H	H	H	H	H	H	L	H
	L	L	H	X	H	H	H	H	H	H	H	H	H	H
count up	L	H	↑	H	X	X	X	X	count up				H	H
count down	L	H	H	↑	X	X	X	X	count down				H	H



- (1) Clear overrides load, data and count inputs.
- (2) When counting up the count down clock input (CP_D) must be HIGH, when counting down the count up clock input (CP_U) must be HIGH.

Sequence

Clear (reset outputs to zero);
load (preset) to binary thirteen;
count up to fourteen, fifteen,
terminal count up, zero, one
and two;
count down to one, zero,
terminal count down, fifteen,

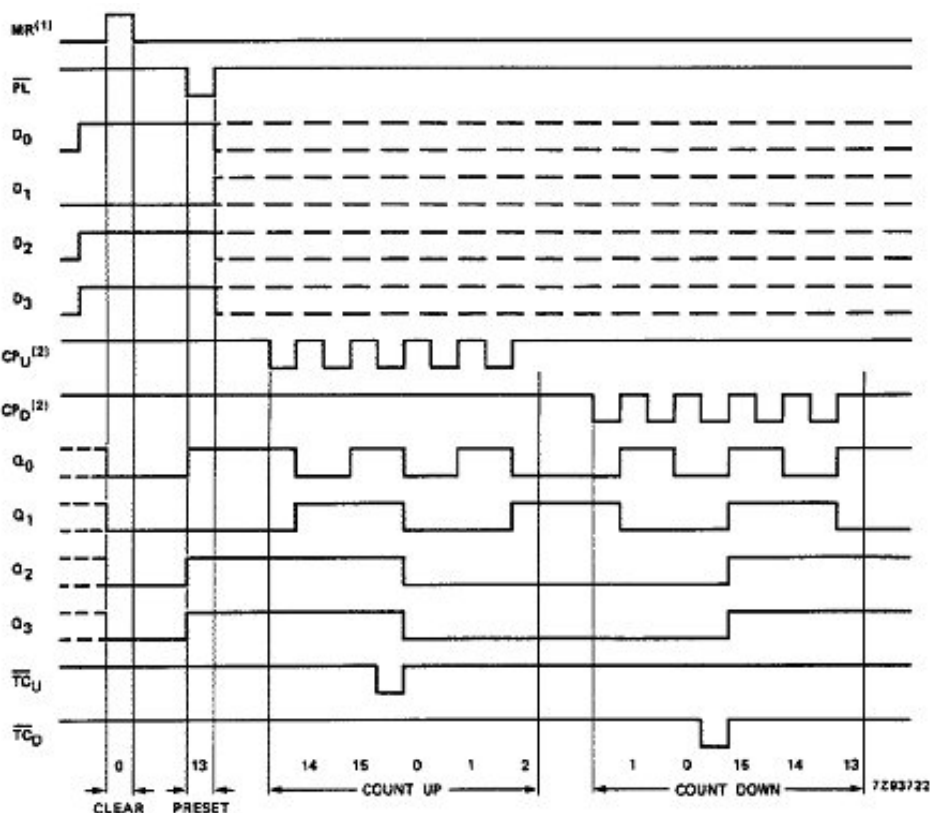


Fig.5 Typical clear, load and count sequence.

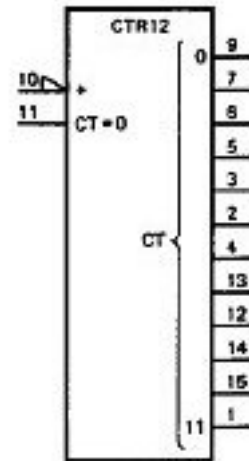
74HC/HCT4040 12-stage binary ripple counter

PIN DESCRIPTION

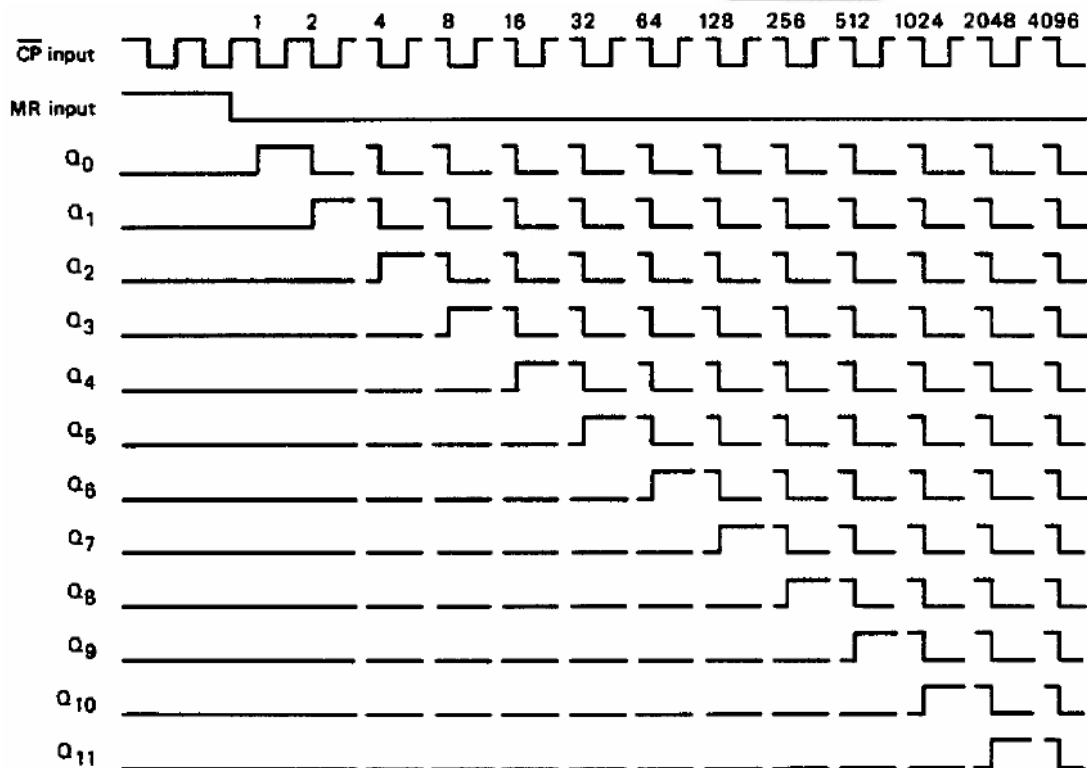
PIN NO.	SYMBOL	NAME AND FUNCTION
8	GND	ground (0 V)
9, 7, 6, 5, 3, 2, 4, 13, 12, 14, 15, 1	Q ₀ to Q ₁₁	parallel outputs
10	CP	clock input (HIGH-to-LOW, edge-triggered)
11	MR	master reset input (active HIGH)
16	V _{CC}	positive supply voltage

FUNCTION TABLE

INPUTS		OUTPUTS
CP	MR	Q _n
↑	L	no change
↓	L	count
X	H	L



Timing diagram:



7222243

74HC/HCT163 Presettable synchronous 4-bit binary counter

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	MR	synchronous master reset (active LOW)
2	CP	clock input (LOW-to-HIGH, edge-triggered)
3, 4, 5, 6	D ₀ to D ₃	data inputs
7	CEP	count enable input
8	GND	ground (0 V)
9	PE	parallel enable input (active LOW)
10	CET	count enable carry input
14, 13, 12, 11	Q ₀ to Q ₃	flip-flop outputs
15	TC	terminal count output
16	V _{CC}	positive supply voltage

FUNCTION TABLE

OPERATING MODE	INPUTS						OUTPUTS	
	MR	CP	CEP	CET	PE	D _n	Q _n	TC
reset (clear)	L	↑	X	X	X	X	L	L
parallel load	H	↑	X	X	L	L	L	L
	H	↑	X	X	L	H	H	(1)
count	H	↑	H	H	L	X	count	(1)
hold (do nothing)	H	X	L	X	H	X	q _n	(1)
	H	X	X	L	H	X	q _n	L

(1) The TC output is HIGH when CET is HIGH and the counter is at terminal count (HHHH).

