

Lezione 2 – Circuiti sommatori

Architettura degli elaboratori

Modulo 4 - Struttura della CPU

Unità didattica 3 - Struttura dell'ALU
(Arithmetic Logic Unit)

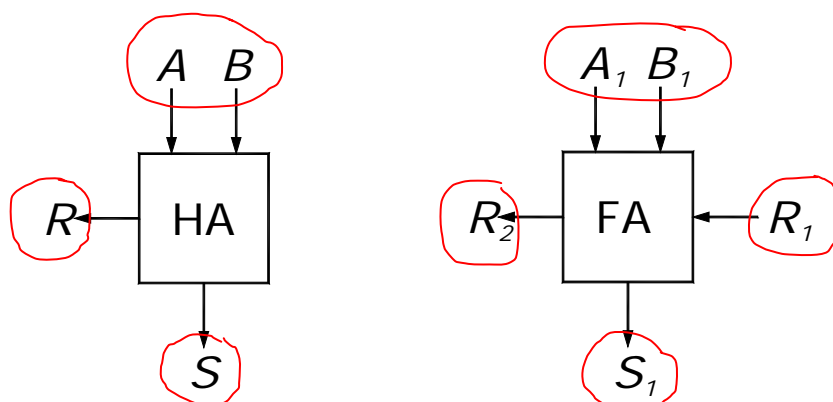
Nello Scarabottolo

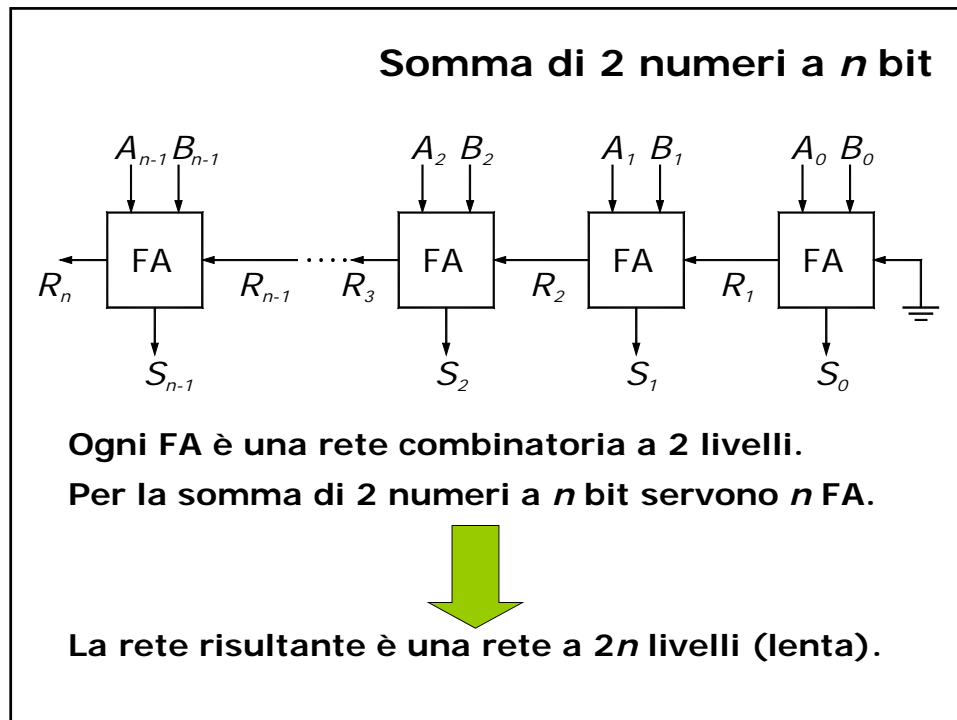
Università degli Studi di Milano - Ssri - CDL ONLINE

Somma di 2 numeri a 1 bit

Abbiamo già visto, nel Modulo 1, U.D.3, L.2:

- il circuito **HALF ADDER**;
- il circuito **FULL ADDER**.





Carry look ahead - espressione logica

Espressione logica del riporto $(i+1)$ esimo:

$$R_{i+1} = A_i R_i + B_i R_i + A_i B_i$$

Fattorizziamo nel modo seguente:

$$R_{i+1} = A_i B_i + (A_i + B_i) R_i$$

ovvero: $R_{i+1} = G_i + P_i R_i$

dove: $G_i = A_i B_i$ Generate function
 $P_i = A_i + B_i$ Propagate function

Iterando: $R_{i+1} = G_i + P_i G_{i-1} + P_i P_{i-1} R_{i-1}$

$$R_{i+1} = G_i + P_i G_{i-1} + P_i P_{i-1} G_{i-2} + \\ + P_i P_{i-1} \dots P_1 G_0 + P_i P_{i-1} \dots P_0 R_0$$

Carry look ahead - circuito

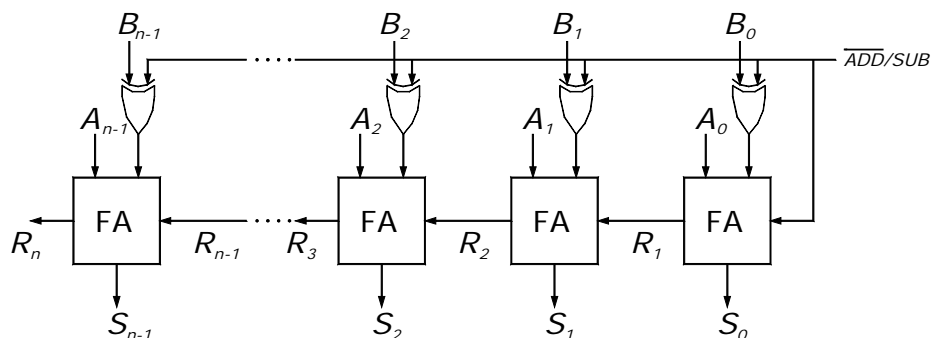
Il riporto ($i+1$)esimo è una rete a 3 livelli che usa:

- una somma di prodotti (2 livelli);
- i cui termini sono somme o prodotti dei bit di dato (3° livello).

Si può dunque anticipare il riporto ("*guardare avanti*" il riporto) nei limiti della complessità di una rete combinatoria con porte logiche a tanti ingressi:

circuiti di CLA usuali: 8 bit o meno.

Sommatore/sottrattore in complemento a 2



Una batteria di porte XOR e un segnale $\overline{ADD/SUB}$ consentono di effettuare il complemento a 2 "on the fly".

Il circuito risultante esegue sia la somma sia la differenza in complemento a 2.

In sintesi...

- I circuiti sommatore basati su FA hanno il problema del ritardo di propagazione del riporto (*carry*).
- Con opportune reti a 3 livelli (*carry look ahead*) riusciamo ad anticipare il calcolo del riporto e a velocizzare la somma.
- Un semplice artificio consente di ottenere anche il circuito sottrattore, a patto di adottare la codifica dei numeri in complemento a 2.

Chiusura

**Fine della
lezione**

