

Lezione 3 – Interrupt vettorizzato

Architettura degli elaboratori

Modulo 3 - Architettura del calcolatore

Unità didattica 4 - Input/Output a interrupt

Nello Scarabottolo

Università degli Studi di Milano - Ssri - CDL ONLINE

Comportamento della CPU

La CPU è dotata delle linee $\overline{\text{INTREQ}}$ e INTACK .

Alla ricezione di un interrupt:

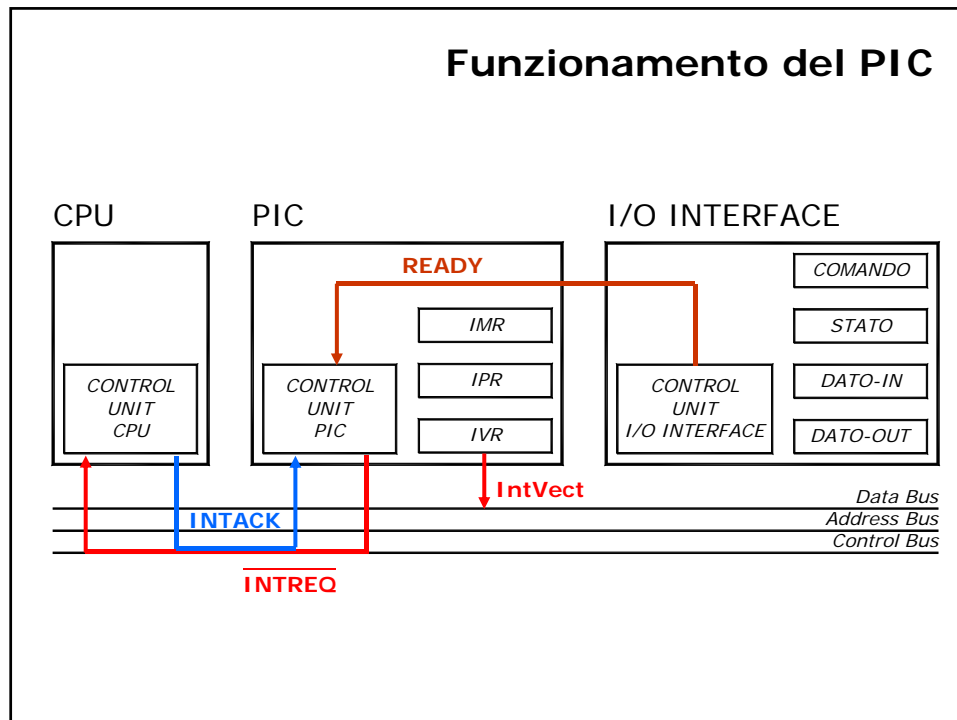
- salva il valore del PC;
- disabilita il riconoscimento di ulteriori interrupt;
- attiva INTACK ;
- attende sul Data Bus la comparsa di un identificativo a 8 bit - inserito dall'interfaccia a periferica - che usa (come per l'istruzione TRAP) come indice in un **vettore di interrupt**:
 - tabella di celle di memoria, una associata a ogni possibile sorgente di interrupt;
 - ogni cella contiene l'indirizzo di inizio della routine di risposta all'interrupt associato.

Vantaggi e problemi

- ☺ **Il tempo di riconoscimento della sorgente di interrupt è minimizzato:**
 - non serve polling.
- ☹ **Le interfacce a periferica si complicano:**
 - ogni interfaccia deve essere capace di generare il proprio identificativo sul Data Bus;
 - ogni interfaccia deve "sapere" il proprio identificativo.
- ☹ **Non abbiamo risolto i problemi di priorità:**
 - se la CPU viene riabilitata a sentire gli interrupt, può essere interrotta da chiunque.

PIC (*Programmable Interrupt Controller*)

- **Circuito integrato di supporto alla gestione degli interrupt.**
- **L'interfaccia comunica al PIC la richiesta di interrupt.**
- **Se l'interfaccia è abilitata, il PIC attiva INTREQ.**
- **Quando riceve INTACK, il PIC comunica l'identificativo della periferica sul Data Bus:**
 - gli identificativi delle periferiche sono gestiti dal PIC, senza aggiunta di complessità per le interfacce.
- **Se riceve più richieste di interrupt da diverse periferiche, dà precedenza a quella più prioritaria.**



Registri del PIC

Registri accessibili alla CPU come normali registri di interfaccia (componente programmabile):

- IVR** ***Interrupt Vector Register:*** contiene l'identificativo associato a ciascuna periferica collegata;
- IPR** ***Interrupt Priority Register:*** contiene le informazioni necessarie per stabilire l'ordine di priorità delle periferiche;
- IMR** ***Interrupt Mask Register:*** contiene le informazioni per sapere quali periferiche possono generare interruzioni e quali no.

In sintesi...

L'interrupt vettorizzato, unito all'inserimento del PIC, presenta i seguenti vantaggi:

- il riconoscimento della sorgente di interrupt è rapido senza che l'interfaccia a periferica debba essere più complessa del normale;
- la priorità delle periferiche è dinamicamente variabile;
- prima che la CPU venga riabilitata agli interrupt, si può decidere quali periferiche potranno interrompere quella in servizio riprogrammando il registro IMR.

Chiusura

**Fine della
lezione**

