

Lezione 4 – Bistabili

Architettura degli elaboratori

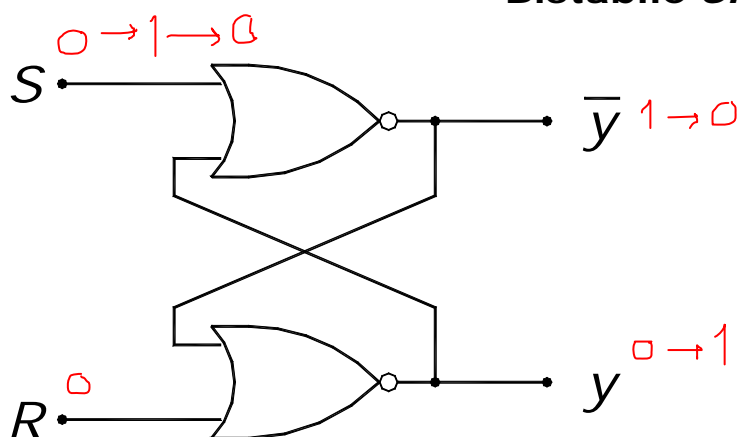
Modulo 1 – Fondamenti architetturali

Unità didattica 3 – Algebra booleana e
circuiti elettronici

Nello Scarabottolo

Università degli Studi di Milano - Ssri - CDL ONLINE

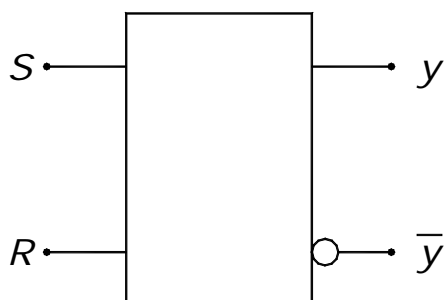
Bistabile SR



Può trovarsi in stato stabile con due possibili configurazioni di uscita:

BISTABILE

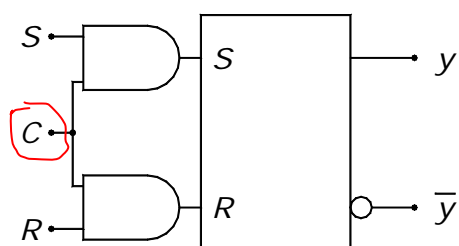
Schema elettrico del bistabile *SR*



Bistabile *SRC*

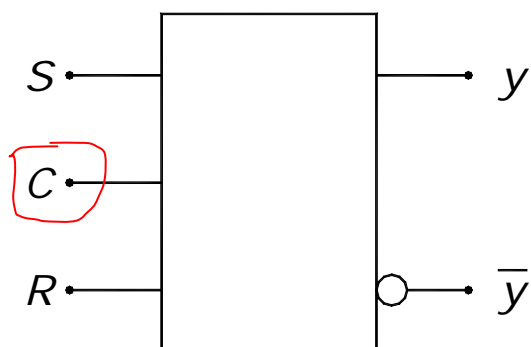
Bistabile *SR Controlled*:

- con segnale di Controllo (o di **Clock**).



- Se **$C=1$** si comporta come il bistabile *SR*.
- Se **$C=0$** non risponde alle variazioni di ingresso.

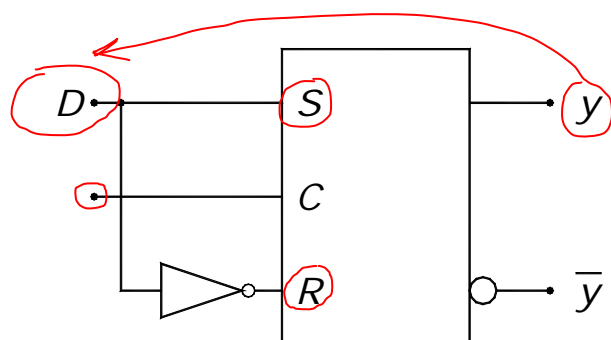
Schema elettrico del bistabile *SRC*



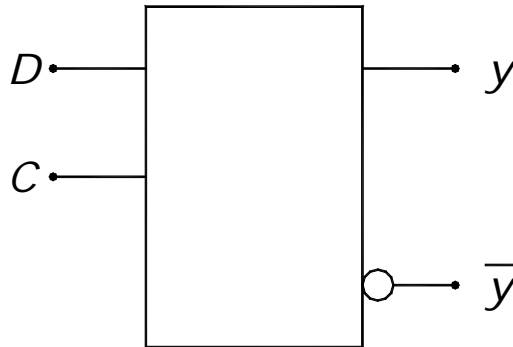
Bistabile *D*

Bistabile *Data* con segnale di Controllo:

- capace di memorizzare un dato da un bit.



Schema elettrico del bistabile D



Trasparenza dei bistabili

Quando il bistabile è abilitato, ogni variazione degli ingressi si ripercuote sulle uscite, dopo il tempo necessario alle porte logiche per commutare.

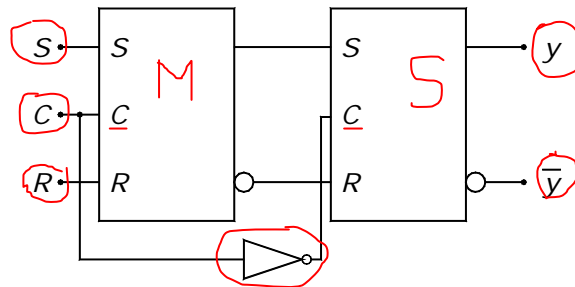
- Il bistabile si **adeguа prontamente** alle variazioni degli ingressi.
- Le uscite **risentono di ogni variazione degli ingressi**, e ne propagano le conseguenze.

Il bistabile è **trasparente**: non filtra in alcun modo eventuali variazioni spurie degli ingressi.

Chiamiamo questi bistabili **LATCH**.

Configurazione Master-Slave

2 Latch in cascata, con segnali di controllo in controfase:



- Se **C=1** si attiva il Master ma lo Slave è congelato.
- Se **C=0** il Master si disattiva mentre lo Slave adegua le uscite finali.

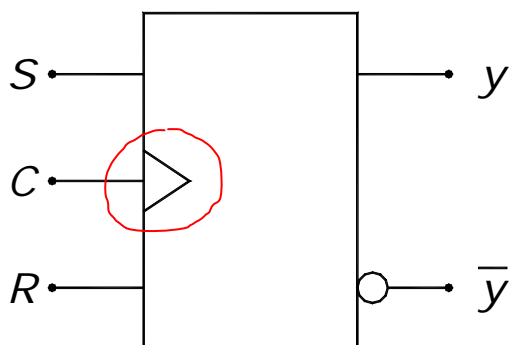
Bistabile NON trasparente

Le uscite non risentono immediatamente di variazioni degli ingressi, ma solo al semiperiodo successivo del segnale di Clock.

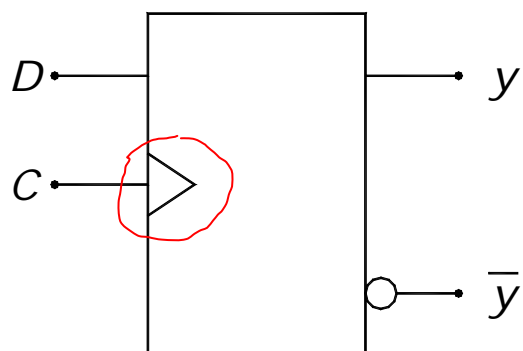
Eventuali variazioni spurie degli ingressi non influiscono sulle uscite: solo i valori staticizzati dal Master vengono propagati dallo Slave.

Chiamiamo questi bistabili **FLIP-FLOP**.

Schema elettrico del flip-flop *SR*



Schema elettrico del flip flop *D*



In sintesi...

Porte logiche connesse con collegamenti ciclici (retroazioni) danno luogo a un comportamento **che tiene memoria della storia del circuito.**

Abbiamo a disposizione diversi elementi in grado di tenere memoria della sequenza di ingressi:

- esistono i bistabili **trasparenti** (o LATCH): quando sono abilitati (Clock attivo) non filtrano in alcun modo eventuali variazioni degli ingressi.
- esistono i bistabili **non trasparenti**: la funzione Master-Slave evita che le variazioni degli ingressi agiscano immediatamente sulle uscite, quindi introducono **disaccoppiamento** fra ingressi e uscite.

Chiusura

**Fine della
lezione**

