

## Lezione 2 – Control Path di una semplicissima CPU

Architettura degli elaboratori

Modulo 4 - Struttura della CPU

Unità didattica 1 - Struttura interna della CPU

**Nello Scarabottolo**

Università degli Studi di Milano - Ssri - CDL ONLINE

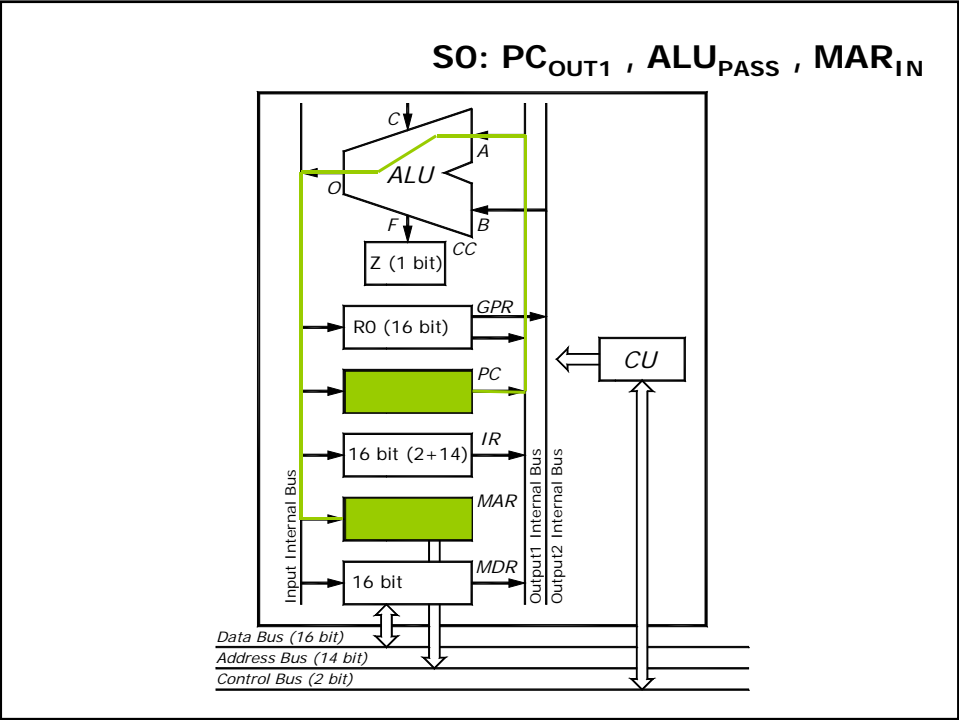
### II *Control Path*

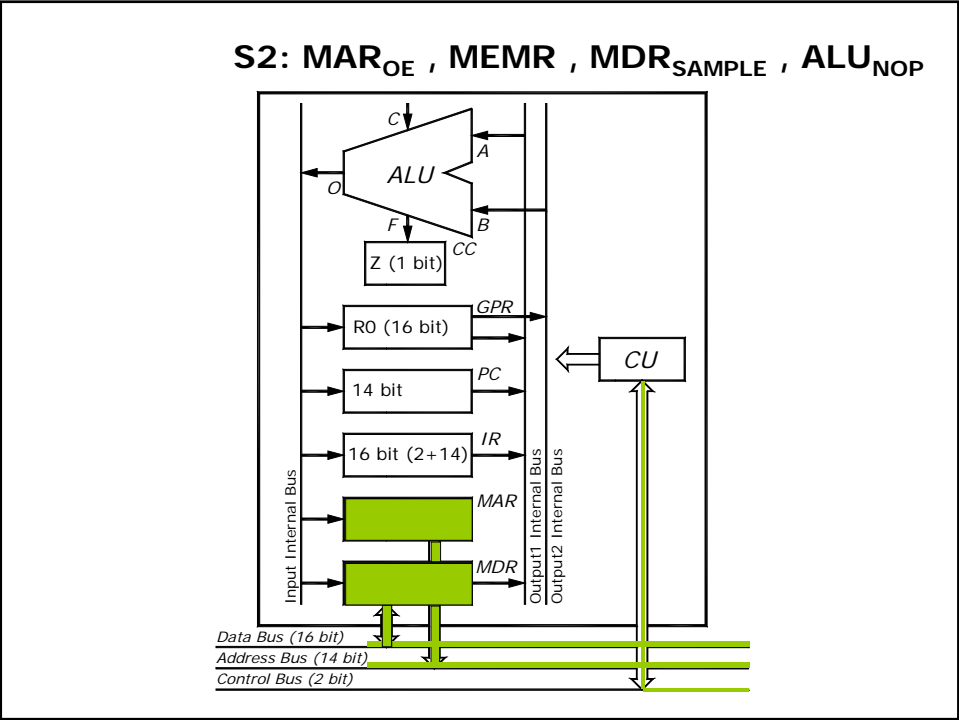
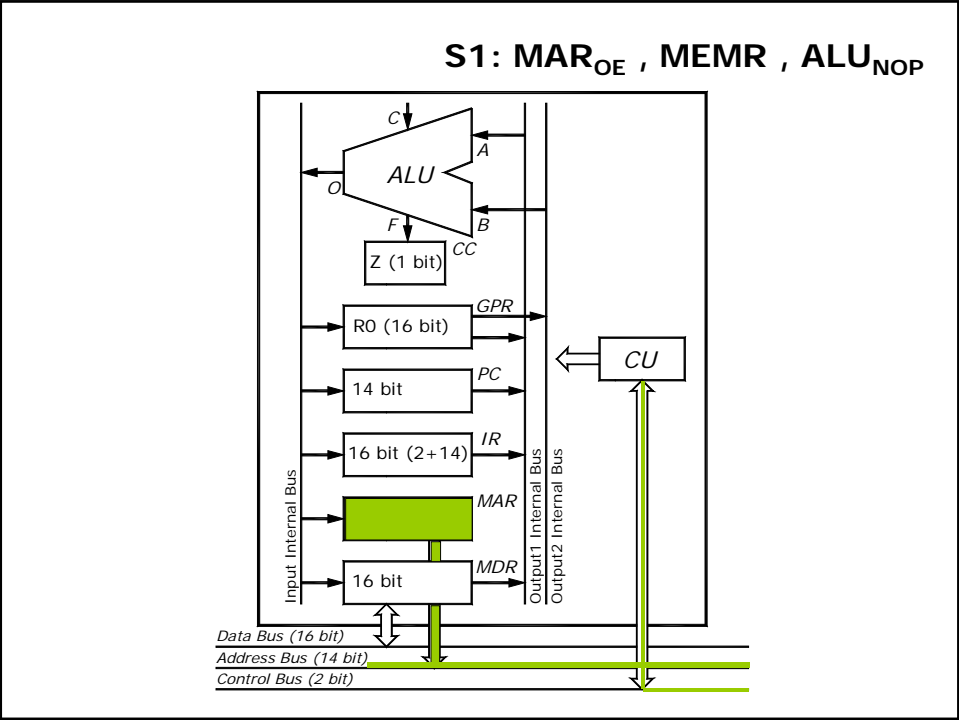
Abbiamo visto nella lezione precedente quali comandi abbiamo per "orchestrare" i trasferimenti di dati (*Data Path*) nella CPU NS-0.

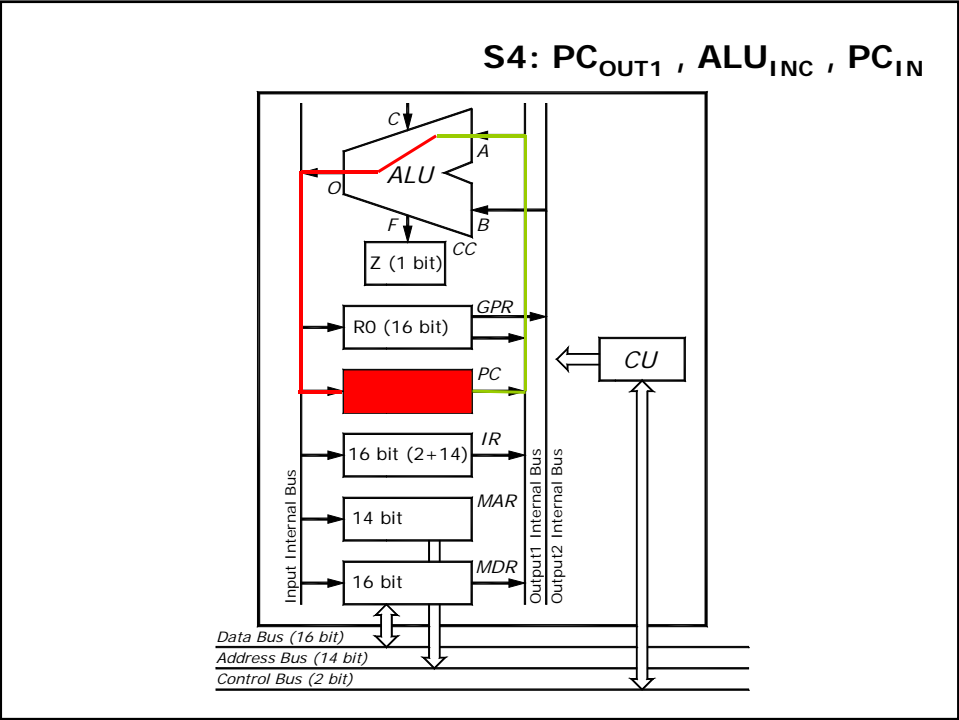
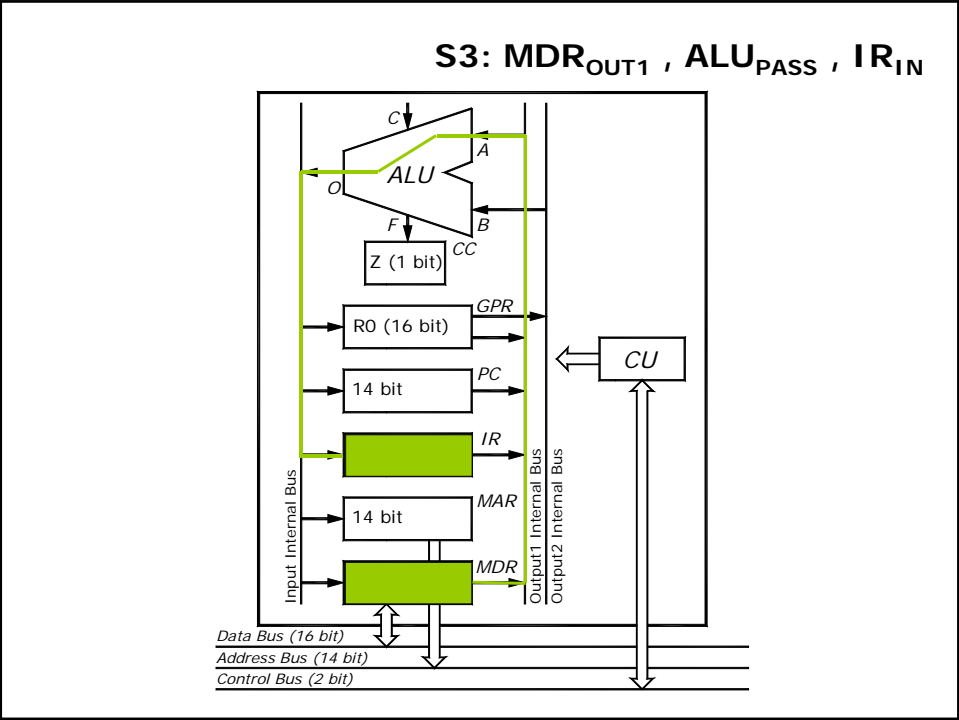
Vediamo ora come controllare tali trasferimenti (*Control Path*).

*Nella prossima U.D., discuteremo le possibili strutture circuitali in grado di gestire il suddetto Control Path: tali strutture circuitali sono i diversi modi in cui possiamo affrontare il progetto della CU.*

Fase di fetch	
step	comandi
s0	$PC_{OUT1}$ , $ALU_{PASS}$ , $MAR_{IN}$
s1	$MAR_{OE}$ , $MEMR$ , $ALU_{NOP}$
s2	$MAR_{OE}$ , $MEMR$ , $MDR_{SAMPLE}$ , $ALU_{NOP}$
s3	$MDR_{OUT1}$ , $ALU_{PASS}$ , $IR_{IN}$
s4	$PC_{OUT1}$ , $ALU_{INC}$ , $PC_{IN}$







### Fase di decodifica

In base all'*opcode* acquisito nella fase di fetch (i due bit più significativi del registro IR) si decide quale tra le 4 istruzioni macchina dell'ISA NS-0 deve essere eseguita.

Il prossimo step (s5) sarà dunque il primo di una delle 4 istruzioni.

### Fase di exec: LOAD

step	comandi
s5	$IR_{OUT1}$ , $ALU_{PASS}$ , $MAR_{IN}$
s6	$MAR_{OE}$ , $MEMR$ , $ALU_{NOP}$
s7	$MAR_{OE}$ , $MEMR$ , $MDR_{SAMPLE}$ , $ALU_{NOP}$
s8	$MDR_{OUT1}$ , $ALU_{PASS}$ , $RO_{IN}$

### Fase di exec: STORE

step	comandi
s5	$IR_{OUT1} , ALU_{PASS} , MAR_{IN}$
s6	$RO_{OUT1} , ALU_{PASS} , MDR_{IN}$
s7	$MAR_{OE} , MEMW , MDR_{OE} , ALU_{NOP}$
s8	$MAR_{OE} , MEMW , MDR_{OE} , ALU_{NOP}$

### Fase di exec: ADD

step	comandi
s5	$PC_{OUT1} , ALU_{PASS} , MAR_{IN}$
s6	$MAR_{OE} , MEMR , ALU_{NOP}$
s7	$MAR_{OE} , MEMR , MDR_{SAMPLE} , ALU_{NOP}$
s8	$PC_{OUT1} , ALU_{INC} , PC_{IN}$
s9	$MDR_{OUT1} , RO_{OUT2} , ALU_{ADD} , RO_{IN} , Z_{SAMPLE}$

### Fase di exec: BRZ

step	comandi
s5	<i>if</i> (Z=1) $IR_{OUT1}$ , $ALU_{PASS}$ , $PC_{IN}$

### In sintesi...

**In una CPU particolarmente semplice, abbiamo definito il *Control Path*:**

- sequenza di comandi all'ALU, ai registri, al Control Bus per svolgere le varie fasi di esecuzione di una istruzione macchina;
- la fase di fetch è comune a tutte le istruzioni, e usa i suddetti comandi;
- la fase di decodifica richiede di scegliere quali passi svolgere in funzione dell'istruzione acquisita durante il fetch;
- la fase di esecuzione usa di nuovo gli stessi comandi visti sopra.

*Andiamo a vedere come è fatta la CU.*

