Lezione 3 – Circuiti moltiplicatori

Architettura degli elaboratori

Modulo 4 - Struttura della CPU

Unità didattica 3 - Struttura dell'ALU (Arithmetic Logic Unit)

Nello Scarabottolo

Università degli Studi di Milano - Ssri - CDL ONLINE

Esecuzione della moltiplicazione a n bit

Regola di calcolo

Si costruisce la matrice diagonale dei prodotti parziali:

- dove il moltiplicatore vale 1, si copia il moltiplicando;
- dove il moltiplicatore vale 0, si inseriscono zeri.

Si effettua la somma per colonna dei prodotti parziali.

Ad ogni generazione di riporto, si scrive un uno nella colonna immediatamente più significativa (a sinistra).

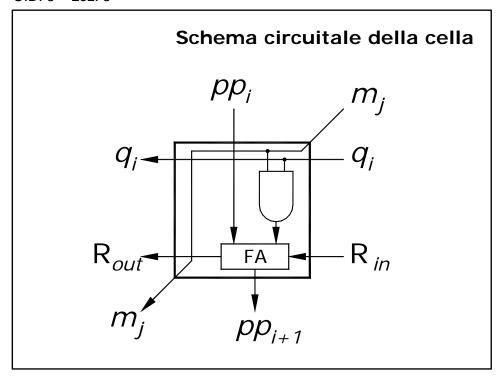
Matrice di calcolo

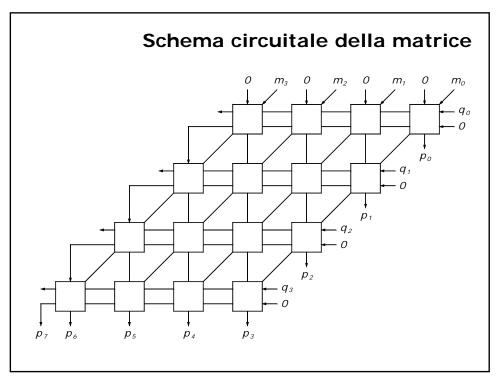
Ogni elemento della matrice deve calcolare il prodotto parziale:

- bit del moltiplicando AND bit del moltiplicatore.
- I bit del moltiplicatore si devono propagare per riga.
- I bit del moltiplicando si devono propagare in diagonale.

Ogni elemento della matrice deve:

- sommare il prodotto parziale con il risultato parziale della somma in colonna;
- tenere conto del riporto in ingresso;
- generare l'eventuale il riporto in uscita.





Propagazione dei segnali

La generazione dei prodotti parziali richiede 1 livello di porte logiche (AND).

Ogni cella introduce ulteriori 2 livelli (circuito FA: FULL ADDER).

Dopo aver completato la prima riga della matrice diagonale (*n* celle) i riporti devono discendere lungo la diagonale (*n*-1 celle).

Il numero di livelli totali da attraversare per produrre il risultato è dunque:

$$N_{\text{LLVFLLL}} = 1 + 2 \times (n + (n-1)) = 4n - 1$$

In sintesi...

- Il prodotto di 2 numeri da n bit può essere fatto con una rete combinatoria di $n \times n$ celle, ciascuna contenente una porta AND e un FULL ADDER.
- Il ritardo di calcolo totale è pari al tempo di attraversamento di 4*n*-1 livelli di porte logiche.
- La complessità del moltiplicatore cresce con il quadrato del numero di bit dei fattori.

Abbiamo completato il nostro percorso: dal bit al calcolatore elettronico!

