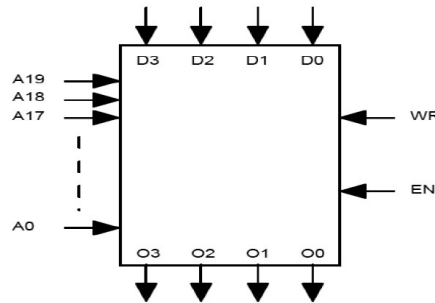


## Trabajo Práctico N° 8

### MEMORIA

#### Decodificación

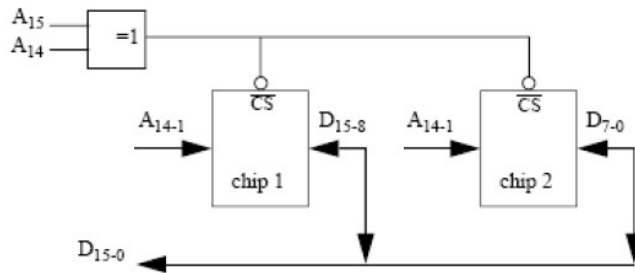
- 1.- Un integrado tiene una capacidad de 4 Mbit direccionables por palabras de 4 bits.



Sobre la base de ese integrado se pide construir un banco de memoria con una capacidad de 2 Mbytes que sea direccionable por bytes. Proponga dos soluciones alternativas: (a) utilizando decodificadores (b) utilizando compuertas

- 2.- Un procesador direcciona memoria mediante 16 bits. Se pide integrarlo a un sistema que contempla un mapa de memoria en que los 16 Kbytes más altos mapean memoria ROM y el resto del mapa es ocupado por memoria RAM. Se cuenta con un chip de memoria RAM de 32 Kbytes, otro de 16 Kbytes y 2 chips de ROM de 8 Kbytes así como suficiente cantidad de decodificadores de los tipos que considere necesarios. Realizar un diagrama circuital indicando todas las conexiones entre micro, memoria y circuito de decodificación, señalar que áreas de ese circuito comprenden el 'bus de address', 'bus de datos' y el 'bus de control'.
- 3.- Proponer un circuito de decodificación que permita obtener un mapa de memoria ARC con 1 Gbyte instalado. Se cuenta con 1 chip de 512 Mbytes y 2 chips de 256 Mbytes. Indicar todas las conexiones entre bus, memoria y procesador.
- 4.- Para un procesador que tiene 24 líneas de dirección se desea implementar un espacio de memoria de 320 KB consecutivos de EPROM a partir de la posición \$000000. Para ello se dispone de los siguientes tipos de chips de memoria en las cantidades necesarias: chips de 128 KB, chips de 64 KB y chips de 32 KB. Diseñar el circuito de decodificación para dicho sistema incluyendo:
- número de chips de cada tipo elegidos
  - distribución de cada uno de estos chips en el mapa de memoria.
  - ecuaciones de los chip-select.
  - diagrama circuital indicando la conexión de los chips de memoria con el circuito de decodificación y el procesador.
- 5.- Se dispone de un procesador de 24 bits de direcciones y de dos pastillas de memoria RAM de 64K x 8 y dos de EPROM de 16K x 8, todas ellas con señal de selección activa en bajo (CS). Realice la función de selección de las pastillas (expresiones algebraicas de los CS) para que el procesador disponga de 64Kbytes de memoria RAM a partir de la dirección \$000000, 64 Kbytes de RAM a partir de \$800000 y 32Kbytes de ROM en las últimas direcciones. La decodificación tiene que ser total.

- 6.- Se debe implementar un banco de memoria conteniendo RAM y ROM. Se dispone chips de 256 KB, 128 KB, 64 KB y 32 KB de EPROM y 256KB y 128KB de RAM. Se colocara 448KB de ROM de la parte mas alta del mapa de memoria y 640KB de RAM desde la dirección mas baja. El procesador direcciona 22 bits. Indicar: a) Número de chips de cada tipo elegidos y su distribución en el mapa de memoria. b) Ecuaciones de los chip select. d) Dibuje la conexión de los chips con el circuito de decodificación y con los buses del procesador. e) Indique qué chip select se activará y a qué posición dentro de dicho chip accederemos cuando se direcciona:  $(3F0012)_{16}$   $(080E09)_{16}$ .
- 7.- Para el circuito de la figura y suponiendo que el espacio de direcciones es de 64 K con un bus de direcciones formado por las líneas A15, A14, ..., A0, indique:
- el mapa de memoria.
  - a qué palabra y a qué chip se accede cuando en el bus de direcciones se escribe \$0246, \$3579, \$8ACE y \$FDB9, respectivamente
  - qué dirección habría que escribir en el bus de direcciones para acceder a la posición \$1999 del chip 1.



### Módulos de memoria RAM

- 8.- En el caso de decodificar un número reducido de posiciones de memoria (p.e. archivo de registros de un procesador) se suele utilizar una organización del tipo “2D”. En cambio con capacidades mayores (p.e., un módulo de memoria RAM) se hace necesario emplear una organización del tipo ‘21/2D’. Se pide justificar esta afirmación en base a lo siguiente::
- Proponer dos circuitos para la lógica de decodificación de 64 bytes aplicando para ello uno y otro tipo de organización. Considerar sólo lo correspondiente a operaciones de lectura.
  - Comparar el número de compuertas requeridas en cada caso
  - Comparar el número de líneas de información dedicadas al direccionamiento en cada caso
- 9.- Un módulo de memoria DRAM DDR2 tiene un total de 240 pines de los cuales 64 comunican datos. ¿Implica esto que el sistema en el cual se instala debe estar basado en un procesador de 64 bits?