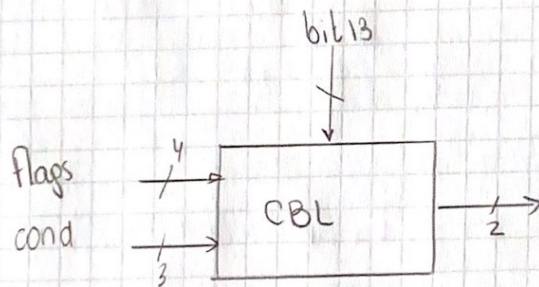


Ejercicio ①

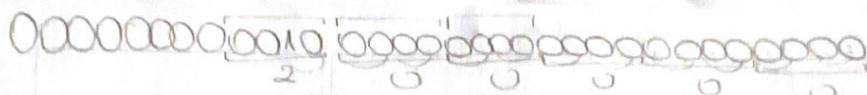
a) Explicar detalladamente la función del bloque "lógica de control de saltos" en la microarquitectura ARC. Plantear un método para diseñar su lógica interna.

El CBL (Control Branch Logic) es el encargado de determinar de qué manera se debe leer la próxima microinstrucción; mediante sus entradas (los flags, el bit 13 del IR y el código de condición de salto del MIR):



b) Nanoprogramación

Ya la respondí antes.



1 bit sign
8 exp
23 mantissa

Ejercicio ②

Un periférico mapeado en la dir 021000A1h entrega
datos de 32 bits en formato de (punto flotante simple
precisión) Escribir un programa que lee 64 valores
de ese periférico y devuelve por ~~por~~ stack la cantidad
de valores positivos entregados por el mismo.
la lectura del periférico ----

- begin

• 070 2048

A. equ C2100h

B. epu OA 1h

Sethi A, 7/11

SLL $\gamma, r1, 2, r1$

add $\frac{1}{2}r_1, B, \frac{1}{2}r_1$! r_1 contiene la circ del pericentro

bit-signo . egu 200000h

SETHI bit-sigmo, / r2 ! r2 contiene la maseara

add $\frac{1}{13}, 04, \frac{1}{13}$! mi i para iterar (13)

add $\frac{1}{10}, \frac{1}{10}, \frac{1}{54}$! r_4 es mi acumulador

FOR: add cc %r3, -1, %r3

bneq FIN

add /ro, /r15, /r16 ! back up /r15
call lecr

call leer

pop % rg ! Leido

andcc %r6, %r2, %r0

be positivo

ba for

moscane del signo
1000 2000 3000 4000 5000 6000 7000 8000 9000
80000000 h

[illegible]

```
leer :    ld %r1, %r10  
          push %r10  
          jmp %r15+4, %r0
```

```
•macro push %reg  
    add %r14, -4, %r14  
    st %reg, %r14
```

```
•endmacro
```

```
•macro pop %reg  
    ld %r14, %reg  
    add %r14, 4, %r14
```

```
•endmacro
```

```
positivo: add %r4, 1, %r4
```

```
fin :    push %r3  
        jmp %r16+4, %r0
```

```
•end
```


- ③ DIF entre
- Link-editor
 - Linking-loader
 - Linking-loader dinámico.

El link-editor es el encargado de reubicar los reubicaciones entre distintos módulos objetos, resuelve los conflictos entre las direcciones de inicio

El link-loader, crea el módulo de carga y lo carga a memoria principal

El linking-loader dinámico hace lo mismo que el link-loader pero utiliza librerías dinámicas.

- ④ Proponer un circuito de decodificación para RAM q permita tener un mapa de 2 Gbytes dedicados a RAM
Se cuenta con 2 chip de 512 Mbytes y 1 Gbyte (1 chip)

