

Comparação do número de acessos à memória e TLB *misses* com páginas de 4KB ou 4MB

Gustavo Ciotto Pinton



Universidade Estadual de Campinas - UNICAMP
MO601B - Arquitetura de Computadores

21 de Outubro de 2016

Contagem de acessos à memória

Escolha dos *caches*

- ▶ TLBs de dados e instruções: 512 entradas e *fully associatives*. 2 pares de *TLB instruções* + *TLB dados*.
- ▶ O primeiro nível L1 contém dois caches dedicados para instruções e dados, separadamente, com 64KB cada e 32-way associative.
- ▶ L2 é unificado para instruções e dados, possuindo 4MB e implementando a política de alocação *directed mapped*.
- ▶ Cache L3, também unificado e *direct mapped*, possui 32MB.
- ▶ *Pinballs*: 100M *warmup*, regiões de 30M e $\max(K) = 10$.
- ▶ Dados coletados por um *script python*.

Contagem de acessos à memória

Páginas de 4KB

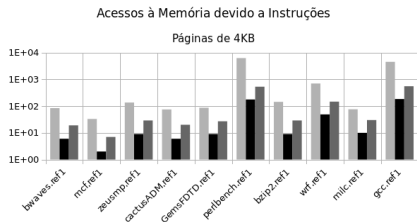


Figura: Acessos à memória, TLB *misses* e acessos à tabela de páginas devido a instruções.

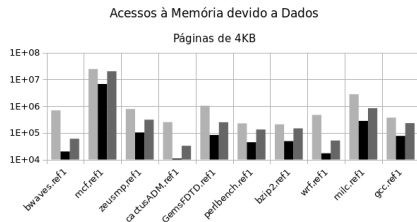


Figura: Acessos à memória, TLB *misses* e acessos à tabela de páginas devido a dados.

Contagem de acessos à memória

Páginas de 4MB

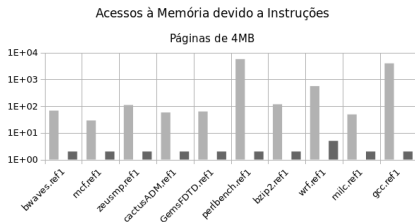


Figura: Acessos à memória, TLB *misses* e acessos à tabela de páginas devido a instruções.

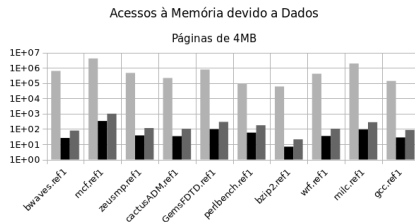


Figura: Acessos à memória, TLB *misses* e acessos à tabela de páginas devido a dados.

Contagem de acessos à memória

Toy benchmark

- ▶ 2 vetores:
 - ▶ `double* double_pointer_array [1024 * PAGE_SIZE]`
 - ▶ `int* int_pointer_array [1024 * PAGE_SIZE]`
- ▶ Para cada item pertencente a este vetor: `malloc (64 * PAGE_SIZE).`
- ▶ Acessos sequenciais e 15000 acessos aleatórios.
- ▶ Espera-se desempenho ruim da TLB para páginas de 4KB e bom para 4MB.

Contagem de acessos à memória

Toy benchmark

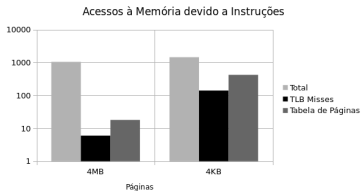


Figura: Acessos à memória devido a instruções.

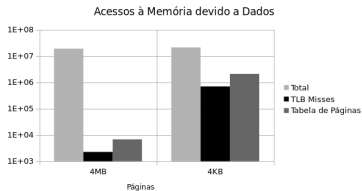


Figura: Acessos à memória devido a dados.

Conclusões

Resultados

- ▶ Páginas de 4KB: acessos adicionais causados por *misses* na TLB de instruções ou dados são uma fração importante do número total.
- ▶ Páginas de 4MB: o número de *misses* na TLB de instruções é praticamente nulo. Os acessos à memória são gerados exclusivamente por *misses* em L3.
- ▶ Páginas de 4MB : acessos à tabela de páginas devido a dados são inferiores àqueles de 4KB, mas ainda representam uma fração considerável.

Referências

- ▶ Henning, J. L. (2007). Spec cpu2006 memory footprint. *ACM SIGARCH Computer Architecture News*, 35;
- ▶ SniperSim (2008). Pinballs, disponível em <http://snipersim.org/w/Pinballs>.