

计算机组成原理

PRINCIPLES OF COMPUTER ORGANIZATION

第30次课：总线结构

杜国栋

信息科学与工程学院计算机科学与工程系

gddu@ysu.edu.cn



燕山大学
YANSHAN UNIVERSITY

在微型机系统中外围设备通过（ ）与主板的系统总线相联

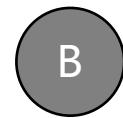
- A 适配器
- B 计数器
- C 设备控制器
- D 寄存器

提交

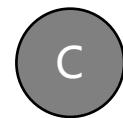
在微型机系统中外围设备通过（ ）与主板的系统总线相联



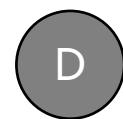
A 适配器



B 计数器



C 设备控制器



D 寄存器

提交

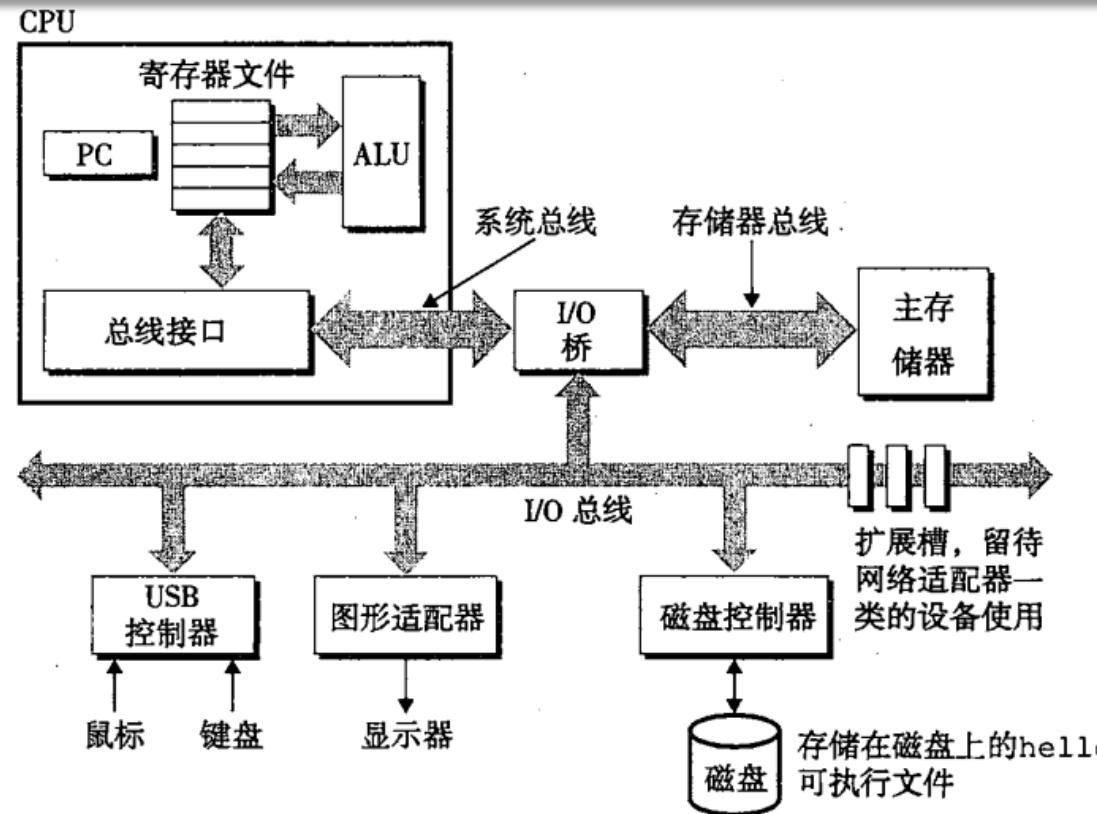


图 1-4 一个典型的硬件组成

CPU：中央处理单元；ALU：算术 / 逻辑单元；PC：程序计数器；USB：通用串行总线

控制器是置于I/O设备本身的或者系统的主印制电路板（通常成为主板）上的**芯片组**，
适配器则是一块插在主板插槽上的**卡**。

无论如何，它们的功能都是在I/O总线和I/O设备之间传递信息。





课程目标

- 掌握总线结构；
- 熟悉总线组成和微机总线；
- 了解外设接口和网络存储。





概 述

总线(bus)：一种用来连接各功能部件并承当部件之间信息传送任务的信息公共通路。

分时共享

- ✓ 数据总线
- ✓ 地址总线
- ✓ 控制总线





总线的特性

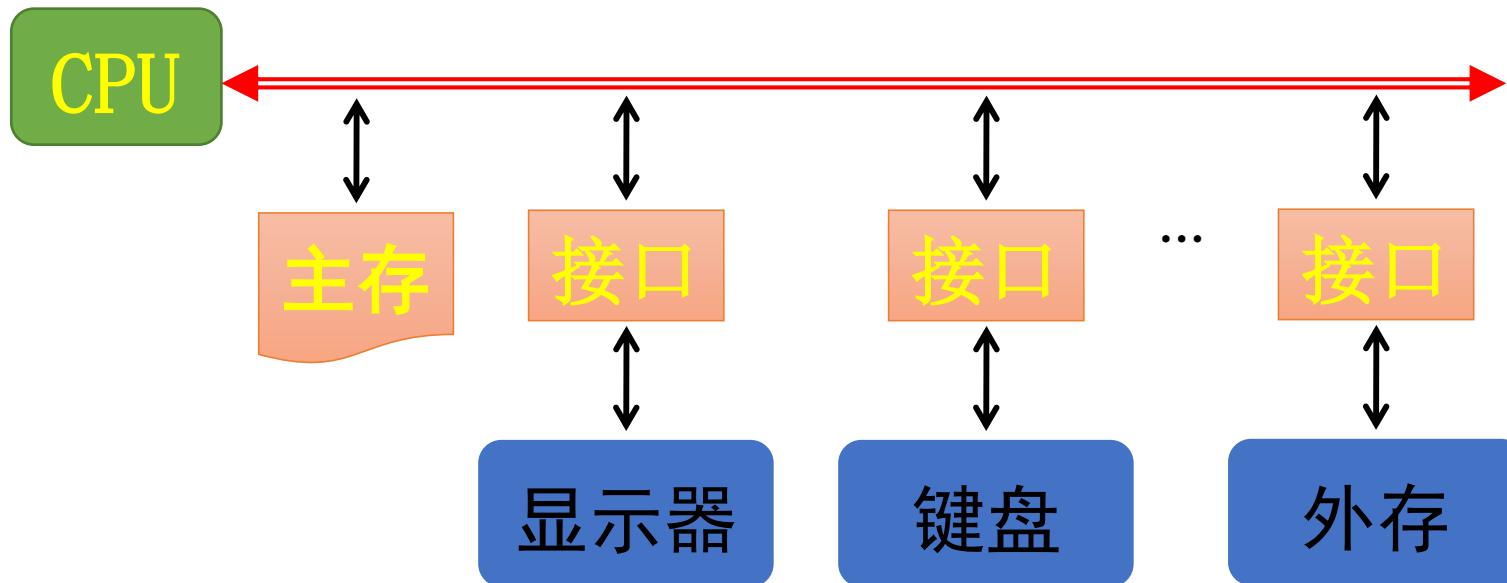
- 物理特性：几何尺寸、形状、引脚数、排列等
- 功能特性：规定信号线的功能
- 电气特性：信号方向，电平范围
- 时间特性：何时有效，持续时间、时序约定。





总线的逻辑连接及作用

(1) 单总线结构

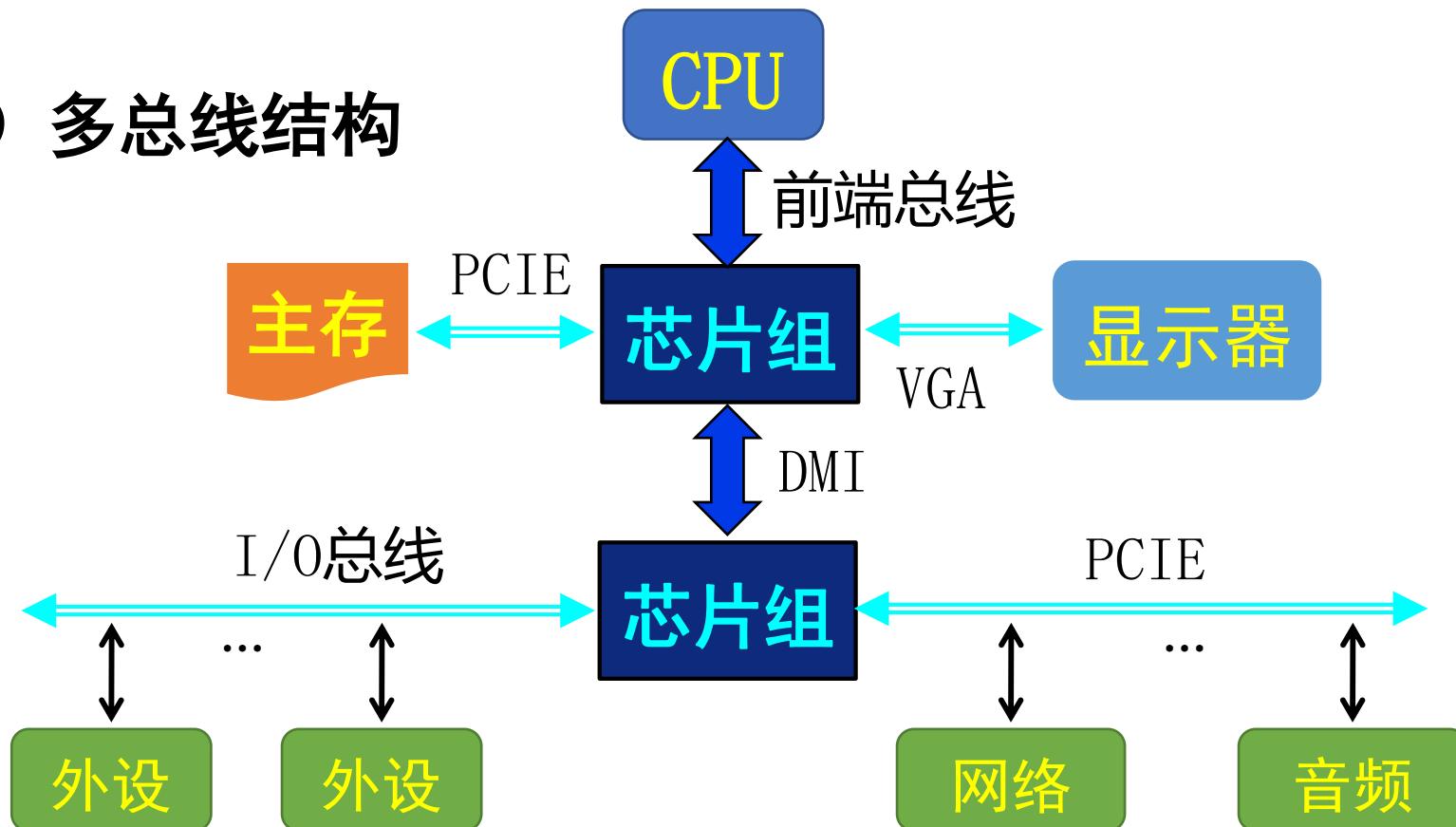


特点：它是部件之间信息交互的唯一通路。竞争激烈、响应慢
现在的系统，很少再使用这种单总线结构！



总线的逻辑连接及作用

(2) 多总线结构

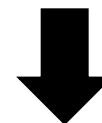
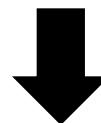
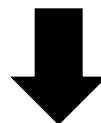
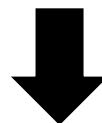




总线的分类

(1) 按功能分类

内总线 局部总线 系统总线 外总线



芯片内

板卡内

计算机内

多机集群

(2) 按数据传送格式分类

并行总线 串行总线

(3) 按时序控制方式分类

同步总线 异步总线





总线的分类

- 内部总线：CPU内部连接各寄存器及运算器部件之间的总线。
- 系统总线：外部总线。CPU和计算机系统中其他高速功能部件相互连接的总线。
- I/O总线：中低速I/O设备相互连接的总线。



外部总线是用来连接（ ）。

- A CPU内部各部件
- B CPU与存储器、I/O系统之间的连线
- C 主机系统板上的各个芯片
- D 系统中的各个功能模块或设备

提交

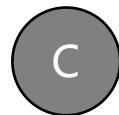
外部总线是用来连接（ ）。



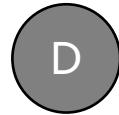
CPU内部各部件



CPU与存储器、I/O系统之间的连线



主机系统板上的各个芯片



系统中的各个功能模块或设备

提交



总线的标准

1、为什么要制定总线标准？

- ✓ 为了使不同部件都连接到总线上并与之交互通信，就必须制定公共的技术规范。
- ✓ 便于灵活组成计算机系统。

采用总线结构的好处：

- ① **技术工程**角度：简化硬件设计、易于扩充；
- ② 从**用户**的角度：具有“易获得性”；
- ③ 从**厂商**的角度：易于批量生产、降低成本。



总线的标准

2、总线标准包括哪些方面？

✓ 机械结构规范

约定模块尺寸、形状、引脚数及位置等。

✓ 功能规范

约定引脚的名称和功能、相互作用时应遵守的协议及工作过程等。

✓ 电气规范

约定引脚工作时的有效电平、转换时间、负载能力、额定值和最大值等。



常见的总线标准

QPI、DMI、PCI、ISA、EISA、SCSI、USB，等等

总线	开发者	宽度	频率	传输率
ISA	IBM , 1984	8/16	8.33M	8.33/16.66MB/s
EISA	Compaq等 , 1988	32	8.33M	33.3MB/s
AGP	Intel, 1996	32	1/2/4/8×66.6M	266.4MB/s...
PCI	Intel, 1991	32/64	33/66/133M	132MB/s...

已发展出多个版本最新PCI-E 3.0 X16 (10GB/s)

厚德·博学·求是
即将出现PCI-E 4.0 (16GB/s)



总线设计要素

1、总线宽度和频率

宽度：总线各功能组中的信号线数量，32或64；

频率：每秒数据传输的次数，33M、66M、133M等；

带宽(bandwidth)：在单位时间内可以传输的数据总量，等于总线位宽与工作频率的乘积

$$BW = (f \times w \times d \times L \times E) \div 8 \text{ (Bps)}$$

f -总线频率、 w -总线位宽、 d -工作模式、 L -通道数、 E -编码方式

总线带宽 = 1个总线周期传送的数据 / **总线传输周期**；

总线传输周期 = 1个时钟周期 * 1个总线周期占时钟周期个数；

1个时钟周期 = 1 / 总线时钟频率；

PCI-E 3.0总线，频率8GHz，位宽为1b，全双工，
16通道，128/130编码，求带宽。

作答



总线设计要素

【例】PCI-E 3.0总线，频率8GHz，位宽为1b，全双工，16通道，128/130编码，求带宽。

$$BW = (8G \times 1 \times 2 \times 16 \times 128/130) \div 8 \approx 32\text{GBps}$$



- (1) 某总线在一个总线周期中并行传送4个字节的数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为33MHz，总线带宽是多少？
- (2) 如果一个总线周期中并行传送64位数据，总线时钟频率升为66MHz，总线带宽是多少？

 作答



(1) 某总线在一个总线周期中并行传送4个字节的数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为33MHz，总线带宽是多少？

(2) 如果一个总线周期中并行传送64位数据，总线时钟频率升为66MHz，总线带宽是多少？

(1) 设总线带宽用 D_r 表示，总线时钟周期用 $T=1/f$ 表示，一个总线周期传送的数据量用 D 表示，根据定义可得

$$\begin{aligned}D_r &= D/T = D \times (1/T) \\&= D \times f = 4B \times 33 \times 10^6 / s = 132MB/s\end{aligned}$$

(2) 64位=8B

$$D_r = D \times f = 8B \times 66 \times 10^6 / s = 528MB/s$$



总线设计要素

2. 总线周期与操作过程

总线周期：通过总线完成一次完整数据传输的时间；

主设备：申请并掌握总线权限的设备。

从设备：与主设备对应的设备。

※ 总线操作的基本步骤

- ① 主设备申请总线，仲裁器裁决并批准；
- ② 主设备掌握总线，启动总线周期，初始化；
- ③ 从设备响应，主从设备之间数据传输；
- ④ 主设备释放总线，结束总线周期。



总线设计要素

※ 总线上的数据传输模式：

✓ 单周期模式

传输特点：申请1次，只分配1个总线周期，只传送1次数据；

✓ 突发模式(burst)

传输特点：申请1次，分配多个总线周期，可传输多个数据字。

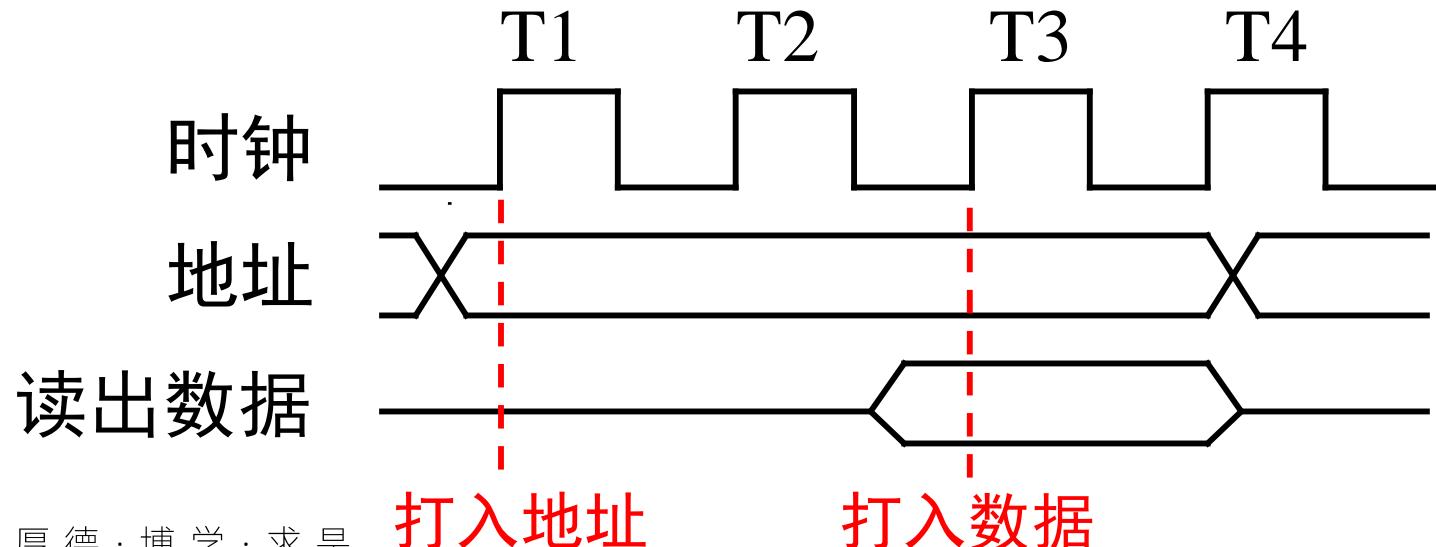


总线的时序和控制

(1) 同步总线

由**统一的时序信号控制**总线上的传送操作。

在固定时钟周期内完成传送，由同步脉冲定时打入。

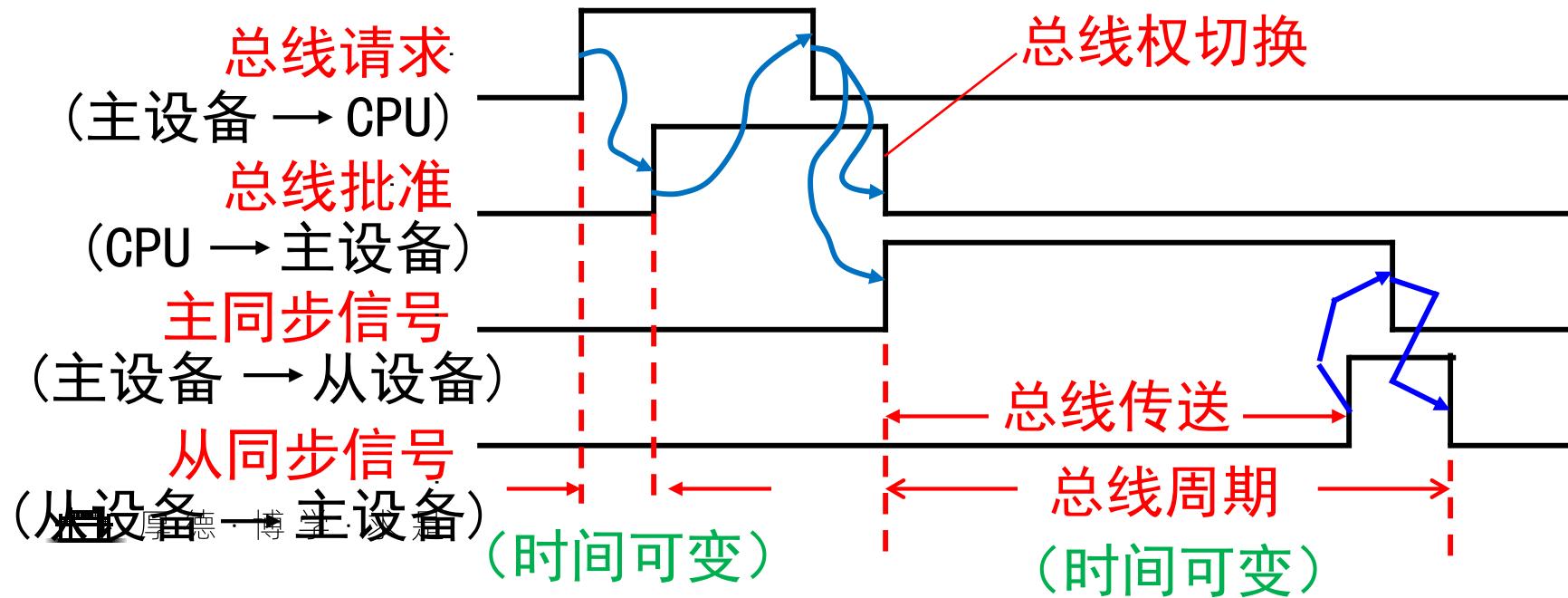




总线的时序和控制

(2) 异步总线

- ✓ 无固定的时钟周期划分；
- ✓ 总线周期由传送的实际需要决定；
- ✓ 以异步应答方式控制总线传送操作；

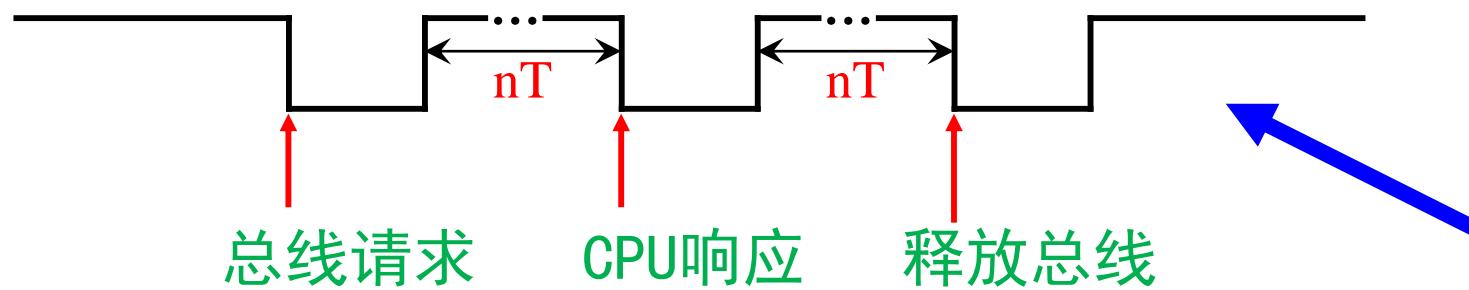




总线的时序和控制

(3) 扩展的同步总线

以时钟周期为时序基础，允许总线周期中时钟数可变。



同步中
引入了
异步应
答思想

注意几个“周期”概念：

时钟周期：CPU一步操作（1次内部数据通路传送）时间。

总线周期：经过总线的一次数据传送（访存）时间，通常包含若干时钟周期。

工作周期：指令周期中的一个操作阶段。可包含多个总线周期。





总线的仲裁

总线上可能挂接多个设备，为了解决总线控制权的竞争问题，必须有总线仲裁部件，以某种规则裁决、分配总线的控制权。

多个主设备提出总线控制请求时，一般采用优先级或公平策略进行仲裁。

按照总线仲裁电路的位置不同，仲裁方式分为：

- 集中式仲裁；
- 分布（散）式仲裁；



总线的仲裁

● 集中式仲裁

集中式仲裁中每个模块有两条线连到中央仲裁器：

- 一条是送往仲裁器的总线请求（BR）信号线；
- 一条是仲裁器送出的总线授权（BG）信号线。

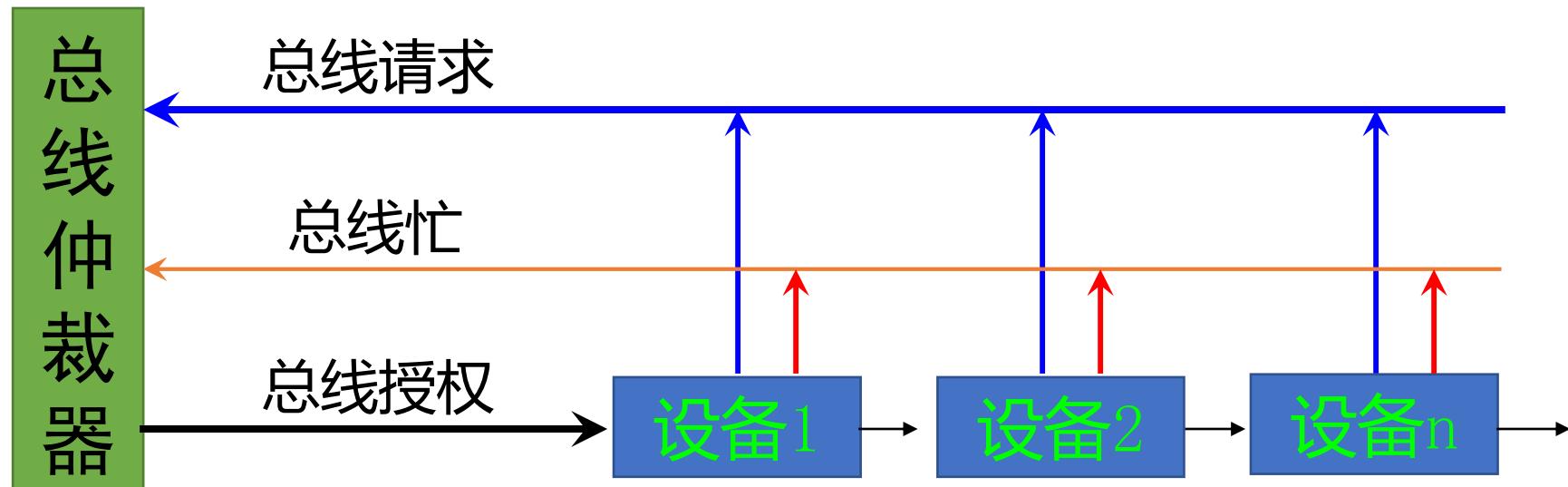
常用三种仲裁方式：

- 链式查询；
- 计数器定时查询；
- 独立请求方式；



总线的仲裁

(1) 链式查询集中式总线仲裁



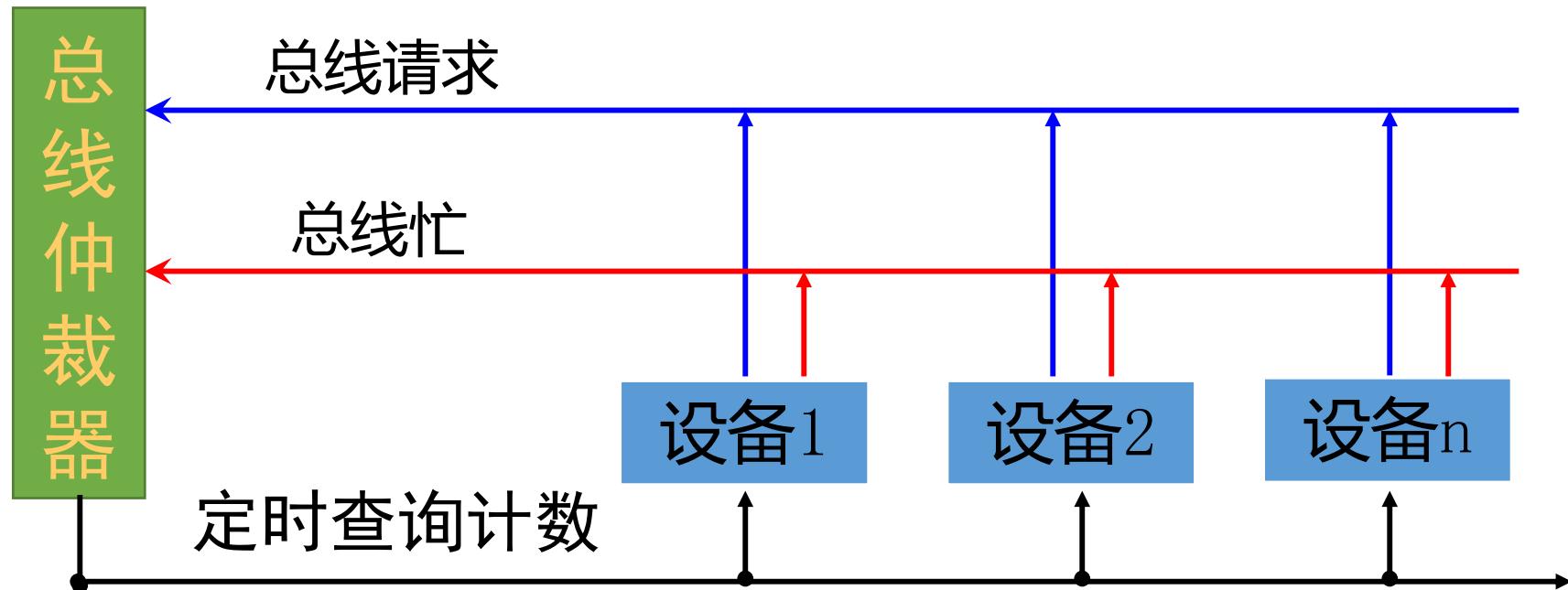
总线授权信号被依次串行地传送到所连接的外围设备上进行比较。

离总线控制器的逻辑距离决定，**越近优先级越高**。
厚德·博学·求是



总线的仲裁

(2) 计数器定时查询方式总线仲裁



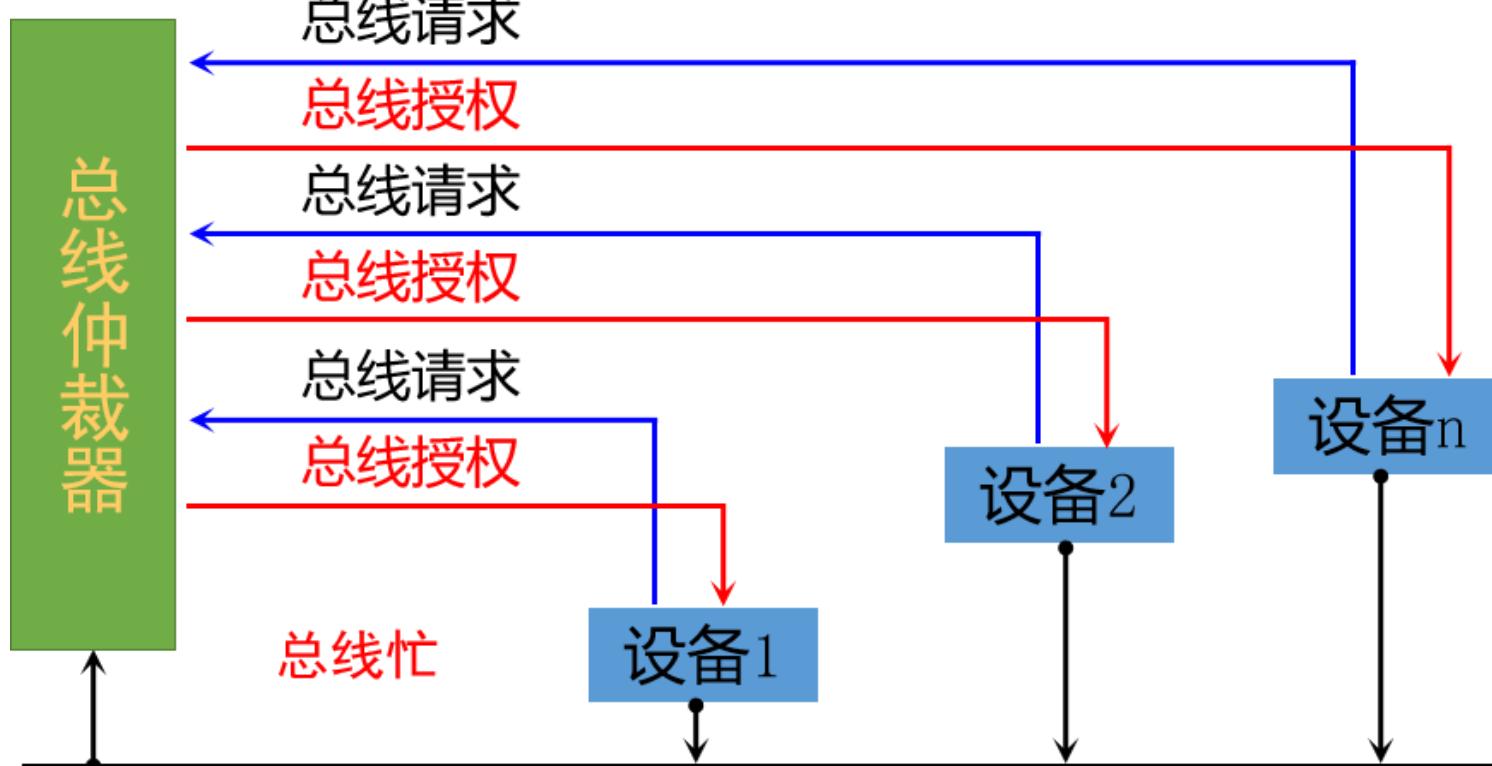
当查询计数器计数值与发出请求的设备编号一致时，中止查询，该设备获总线控制权。
优先级灵活：计数器初值、设备编号可通过程序设定，优先次序可用程序控制。





总线的仲裁

(3) 独立请求方式总线仲裁



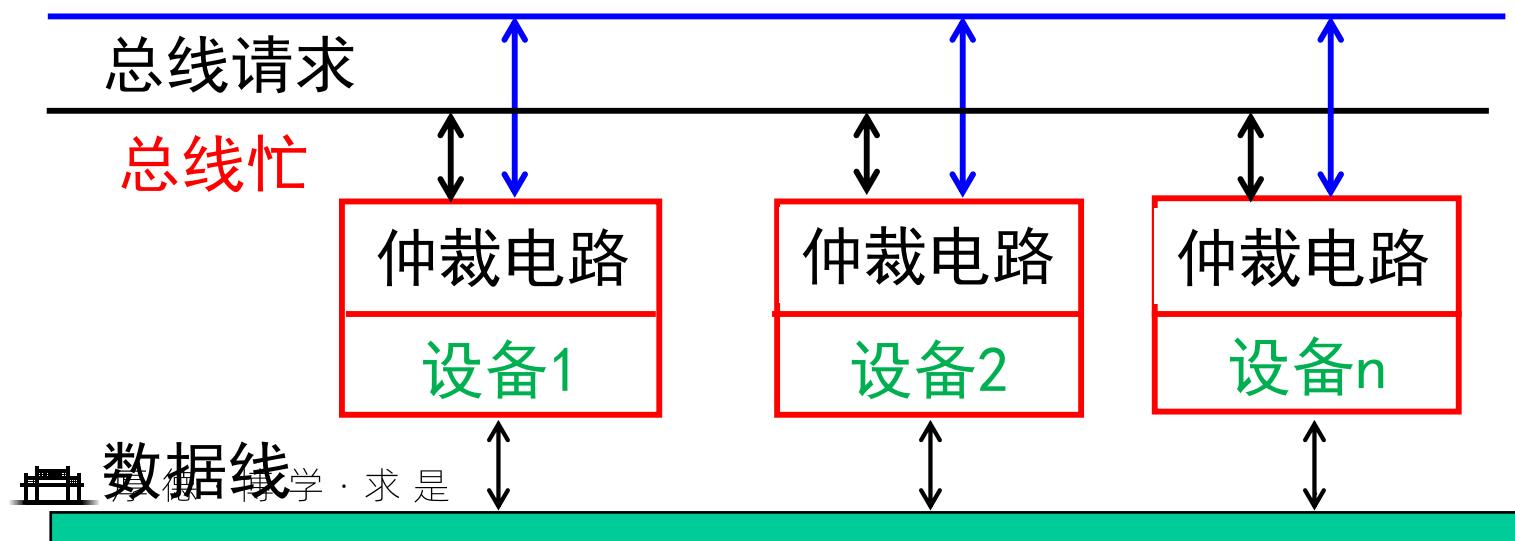


总线的仲裁

● 分布式仲裁

设备需要控制总线时，发请求信号，并监听其它请求信号，各设备能判别自己的优先级、以及能否在下一周期控制总线。

缺点：信号线复杂；优点：防止总线时间浪费





PCI-E总线介绍

一种高速异步串行总线：差分线路、端到端的设备连接、多通路（ $1\times\sim 32\times$ ）、全双工。

Intel公司2001年在PIC基础上提出；
2003由PIC-SIG发布，逐渐成为主流总线标准。

PCI1.0:工作频率33MHz,传输率为132MB/s;

PCI2.1:工作频率66MHz,传输率为264/528MB/s;

PCI-X: 64位， 66/133MHz,传输率高达1.06GB/s;

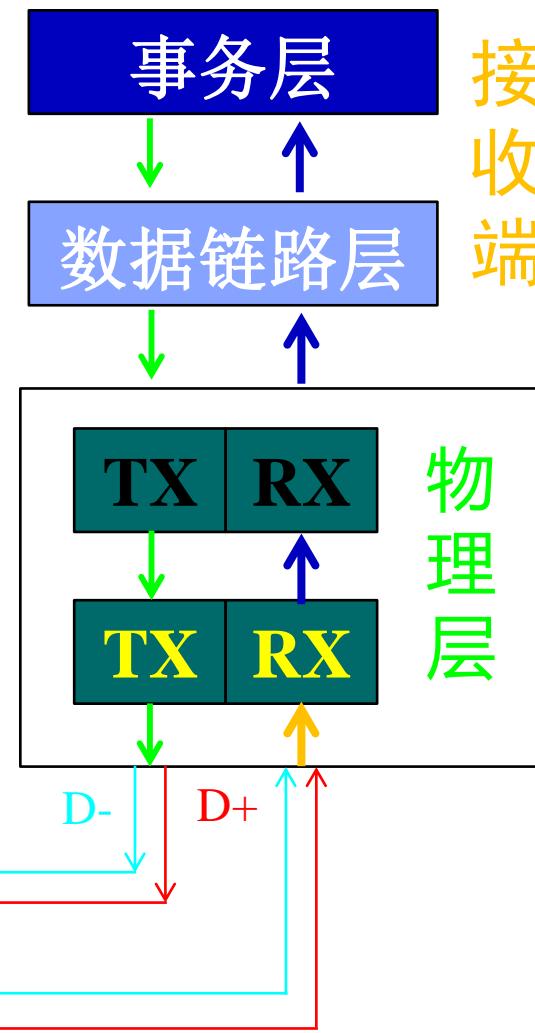
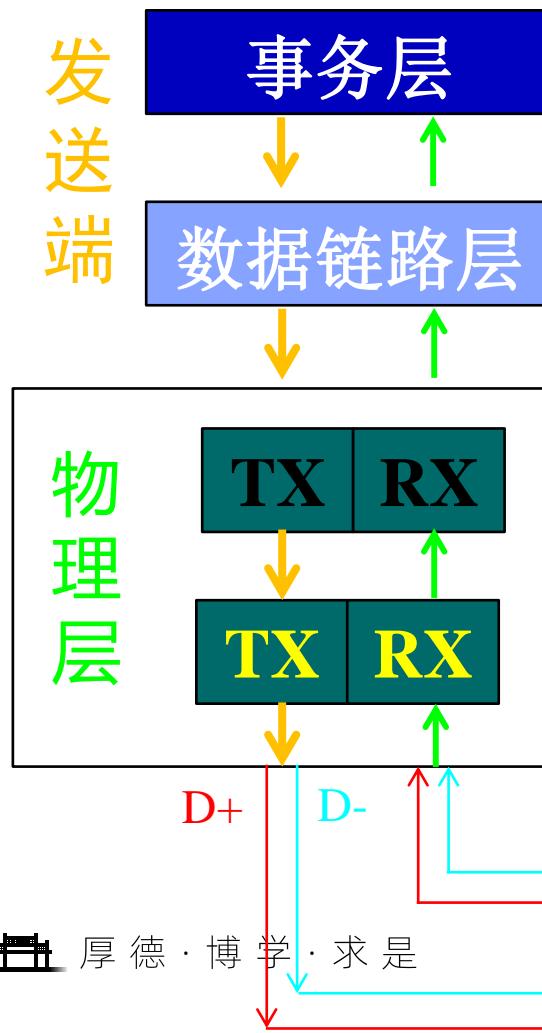
PCI-E 1.0: 串行， 2.5GHz、 $1\times$ ：单工250MB/s;

2.0、3.0（8GHz、128/130编码）、4.0、5.0(32GT/s)



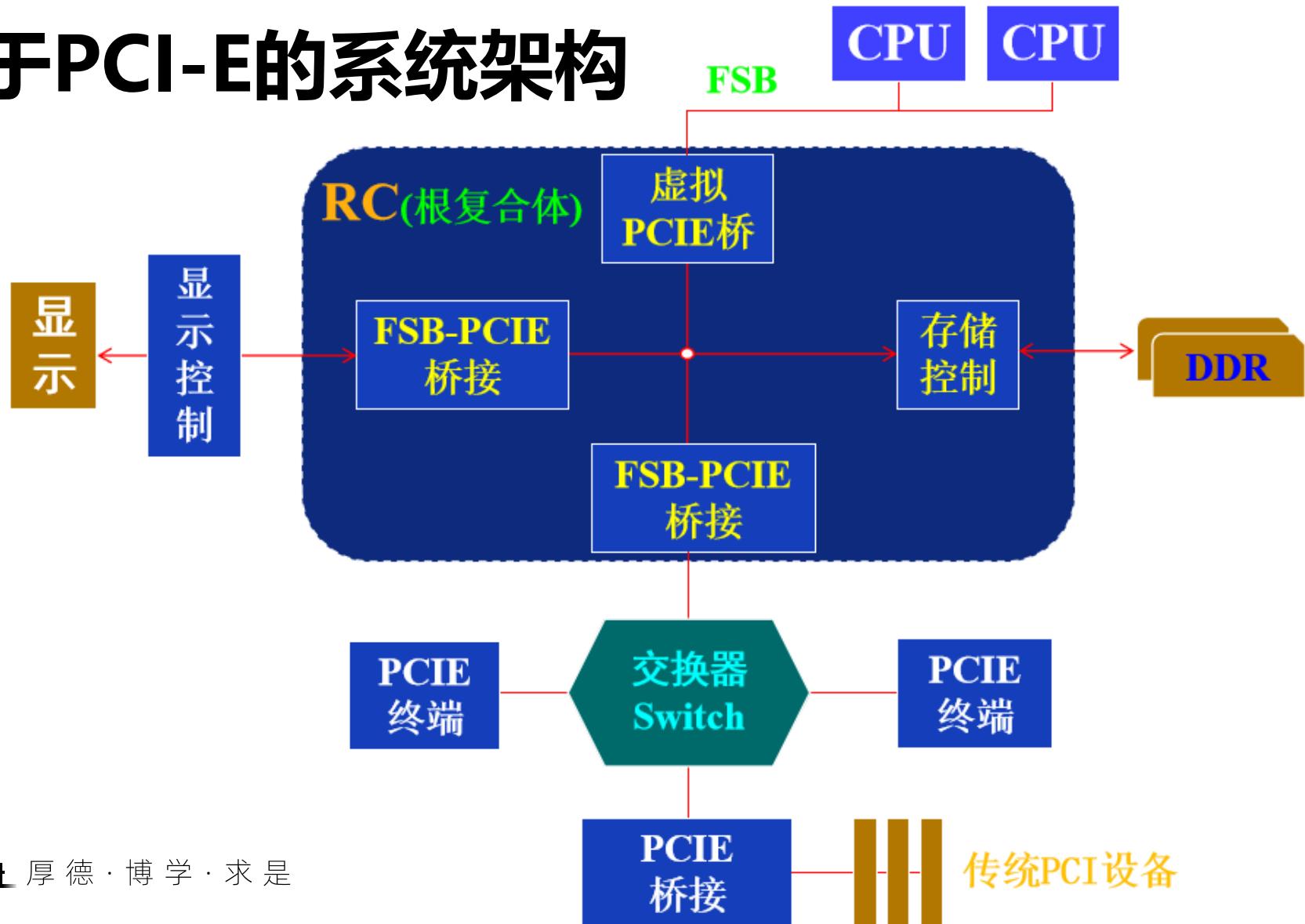
PCI-E硬件协议

事务层； 数据链路层； 物理层；





基于PCI-E的系统架构





端口仲裁和虚通道仲裁

PCI-E采用基于Lane(通路)的端到端连接，收发报文，设备不需独占总线的全部Lanes资源。

RC/Switch：仲裁各端口的优先级（端口级仲裁）；
虚通道(VC, Virtual Channel)：根据报文中的TC标签，仲裁报文转发的优先级（报文级仲裁）；

➤ § 端口仲裁规则：

Hardware-fixed，如轮询(RR, Round Robin)；
Weighted-RR，加权轮询；

Time-based WRR，时间片加权轮询；

➤ VC仲裁规则：

Strict Priority、RR、Weighted-RR。

在系统总线的数据线上，不可能传输的是（ ）。

- A 操作数
- B 握手（应答）信号
- C 指令
- D 中断类型号

提交

在系统总线的数据线上，不可能传输的是（ ）。

- A 操作数
- B 握手（应答）信号
- C 指令
- D 中断类型号

提交

下面叙述中，（ ）是正确的。

- A 总线一定要和接口相连
- B 通道可以替代接口
- C 接口一定要和总线相连
- D 总线始终由CPU控制和管理

提交

下面叙述中，（ ）是正确的。

- A 总线一定要和接口相连
- B 通道可以替代接口
- C 接口一定要和总线相连
- D 总线始终由CPU控制和管理

提交



有问题欢迎随时跟我讨论

办公地点：西校区信息馆423

邮 箱：gddu@ysu.edu.cn

