

Lab 5 Report

PB22020514 郭东昊

一、实验目的与内容

实验内容

- 1. 分别例化一个 DRAM 和一个 BRAM，比较它们的资源使用类型。
- 2. 例化一个写优先 BRAM 和一个读优先 BRAM，使用仿真，观察 BRAM 的读写时序（特别观察读写地址相同时的情况）

实验目的

- 1. 掌握寄存器堆和存储器的功能及其应用
- 2. 掌握存储器 IP 核的使用，分布式与块式存储器的区别，以及存储器的读写时序
- 3. 掌握数字系统的数据通路和控制器的设计方法
- 4. 熟练掌握 Verilog 描述组合和时序逻辑电路的方法
- 5. 熟练掌握利用 EDA 工具，进行逻辑电路的设计、仿真、调试、下载测试等基本方法
- 6. 熟练掌握查看生成电路及其性能和资源使用情况

二、例化一个 DRAM 和一个 BRAM，比较资源使用类型

DRAM

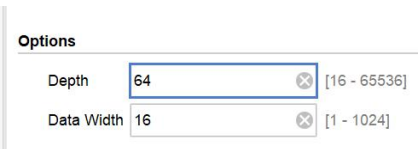


图 1 DRAM 参数

Name	Slice LUTs (63400)	Slice Registers (126800)	Bonded IOB (210)
DRAM_1	32	32	62
dram_inst (DRAM)	32	32	0

图 2 DRAM 资源使用

可见，该 DRAM 使用了查找表和触发器实现，支持异步读、同步写，但其组合延迟较高，电路面积也较大。

BRAM

Memory Size

Write Width

16

⊗

Range: 1 to 4608 (bits)

Read Width

16

▼

Write Depth

64

⊗

Range: 2 to 1048576

Read Depth

64

Operating Mode

Write First

▼

Enable Port Type

Use ENA Pin

▼

图 3 BRAM 参数

Name	Block RAM Tile (135)	Bonded IOB (210)
▼ N BRAM_1	0.5	82
> I bram_inst (BRAM)	0.5	0

图 4 BRAM 资源使用

BRAM 块式随机存储器，是 Vivado 使用 FPGA 片内存储单元实现的存储器，支持同步读写，延迟较低，电路面积也较小，但不支持异步读。

三、 例化一个写优先 BRAM 和一个读优先 BRAM，使用仿真，观察 BRAM 的读写时序

1. 写优先 BRAM

仿真文件核心代码

```
//首先将所有的BRAM地址写入与地址相同的值,然后读取所有的地址,
//并将结果输出到 doutb。
initial begin
    clka = 0;
    wea = 0;
    addra = 0;
    addrb = 0;
    dina = 0;
    forever #5 clka = ~clka;
end
```

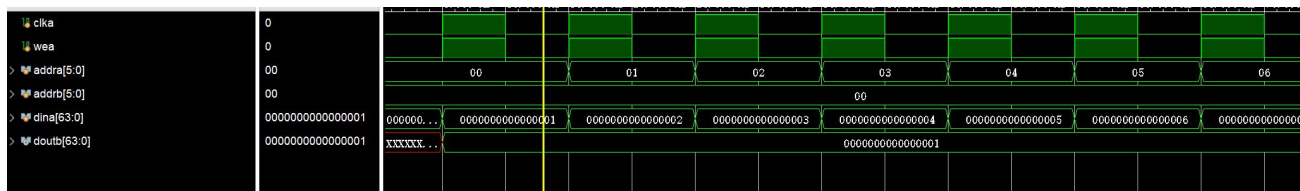
```

initial begin
    #5;
    for (addra = 0; addra < 64; addra = addra + 1) begin
        wea = 1;
        dina = addra + 1;
        #5;
    end
    addra = 0;
    addrb = 0;
    #5;
    for (addrb = 0; addrb < 64; addrb = addrb + 1) begin
        #5;
    end
end
endmodule

```

以上仿真文件遍历了 BRAM 的所有存储单元,其中,第一个 for 循环的第一次循环,即 $\text{addra} = \text{addrb} = 0$ 时,即为读写地址相同时的情况。如果第一次读取结果为 1,证明确实为写优先,反之为读优先。

运行截图



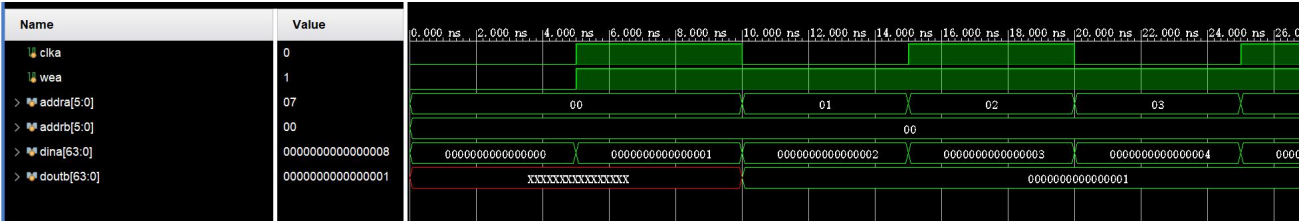
可见,第一次读取结果确实为 1。确实是写优先。

2. 读优先 BRAM

仿真文件

同上。如果第一次读取没有结果,第二次读取结果为 0,证明确实为读优先。

运行截图



可见，第一次读取没有结果，第二次读取结果为 0，证明确实为读优先。

四、 总结

本次实验我例化了一个 DRAM 和一个 BRAM，比较它们的资源使用类型，例化了一个写优先 BRAM 和一个读优先 BRAM，使用仿真，观察 BRAM 的读写时序。

通过本次实验，我掌握了寄存器堆和存储器的功能及其应用；掌握了存储器 IP 核的使用，分布式与块式存储器的区别，以及存储器的读写时序；掌握了数字系统的数据通路和控制器的设计方法；熟练掌握了 Verilog 描述组合和时序逻辑电路的方法；熟练掌握了利用 EDA 工具，进行逻辑电路的设计、仿真、调试、下载测试等基本方法；熟练掌握了查看生成电路及其性能和资源使用情况的方法。

这个实验最精彩的部分在于串口和串行调试单元的书写，我们完成了 TX 和 RX 以及 DCP 的一部分，由于时间有限和能力有限，最终没有做出一个成型的可以使用的 SDU，但是收获良多。