

四级流水线设计报告

学校 东北大学
姓名 郭栋良

一、设计简介

本设计实现了一个实现 22 条 MIPS 指令的、单发射、四级流水线的 CPU。该 CPU 通过了龙芯测试平台的含性能测试在内的全部评测。

二、设计方案

（一）总体设计思路

从系统总体来看,分为 CPU 部分和外设部分。这两部分在 `thinpad_top` 文件中进行交互。外设中包含有 SRAM 部分和串口部分。CPU 通过控制信号,从 SRAM 和串口中选择有效数据。

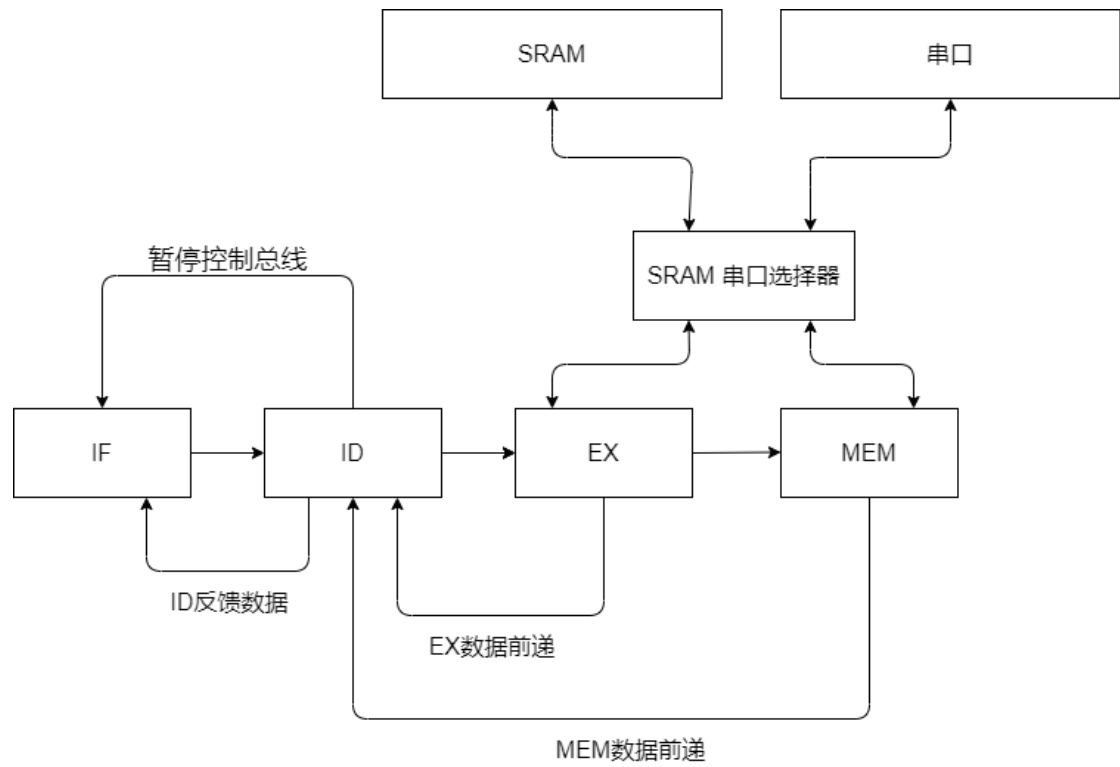
对 CPU 内部看,直接分为 4 个模块,分别为 IF、ID、EX、MEM。IF 控制是否向存储指令的 SRAM 读取指令以及读取指令地址,读出的指令传入 ID 部分。ID 负责译码,读取 Register files,同时,如果有暂停流水线的需要,也可以发出全局暂停控制指令。EX 部分,一方面对操作数进行处理,另一方面,也承担向内存的写。MEM 模块,则负责向内存的读。

除了这些标准模块之外,还存在着各个数据通路,以便数据前递,防止冲突。

其中, mul 模块使用了 dadda 单周期乘法器,用以减少控制损失和损耗。

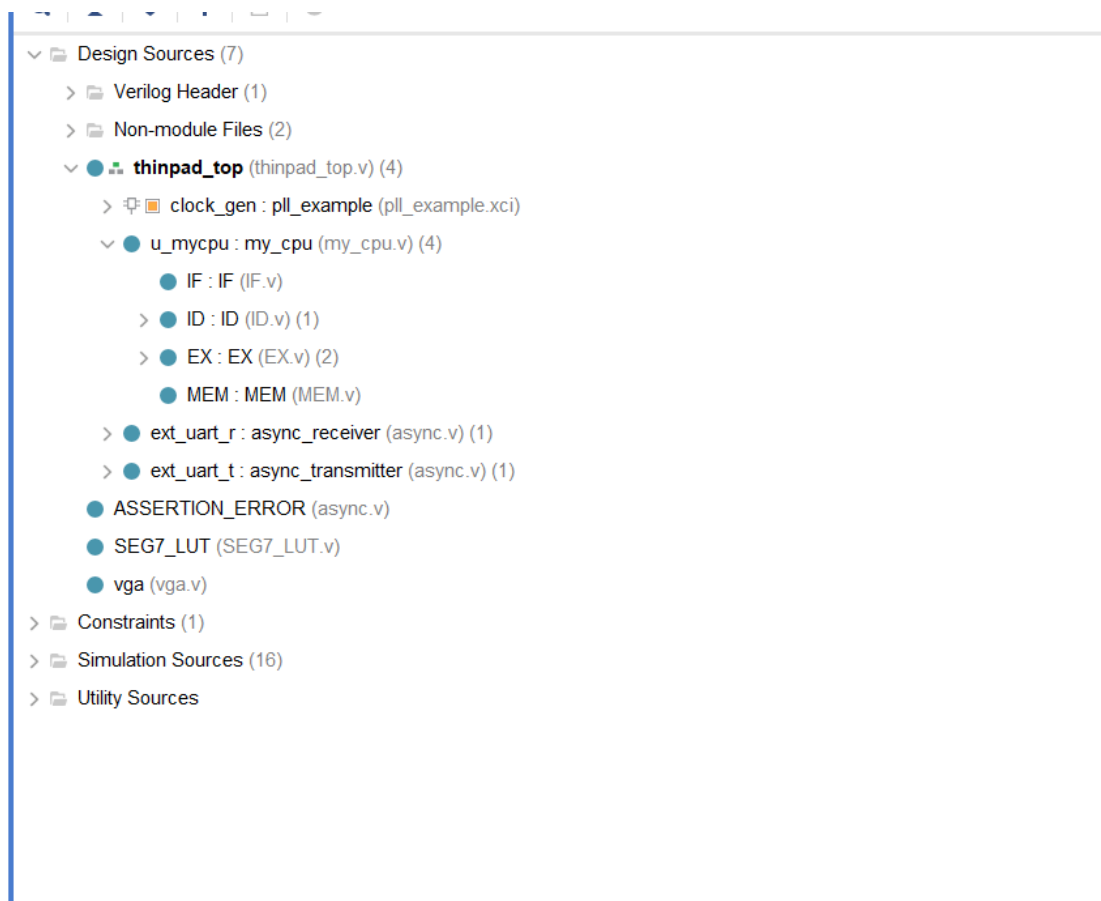
对 SRAM 读时为防止数据时延的问题,采用时钟同步之后再向 SRAM 进行访问请求。为了满足这一特性,需要在 CPU 内的设计中,实现同步读取。这一特性需要特殊的 CPU 设计,即需要在 EX 阶段需要将读取地址写入,在 MEM 阶段方可读出数据。因在 MEM 阶段才能获得数据,为了防止数据冲突,需将流水线暂停一个周期。

总体结构如下:



三、设计结果

（一）设计交付物说明



Thinpad_top 模块，对应的是顶层模块，其中包含着 async.v 串口文件和 my_cpu 这一文件。My_cpu 中包含 IF、ID、EX、MEM 这四个模块。而 EX 中包含乘法器这一文件。IF、ID、EX、MEM 这四个文件的功能如前文所述，这里不再赘述。

（二）设计演示结果

4507	2022-07-21 11:19:55	6cec2cd3	Finished	100
------	---------------------	----------	----------	-----

四、参考设计说明

- 1、乘法器模块：<https://github.com/sudhamshu091/32-Verilog-Mini-Projects>
- 2、串口模块：龙芯官方例程
- 3、Alu 模块：《CPU 设计实战》中提供
- 4、模块划分、接口定义参考了《CPU 设计实战》和《自己动手写 CPU》的相关设计。

五、参考文献

[1] 汪文祥,邢金璋. CPU 设计实战. 机械工业出版社, 2021, 9787111674139.

[2] 雷思玮. 自己动手写 CPU. 电子工业出版社, 2021, 9787121239502.