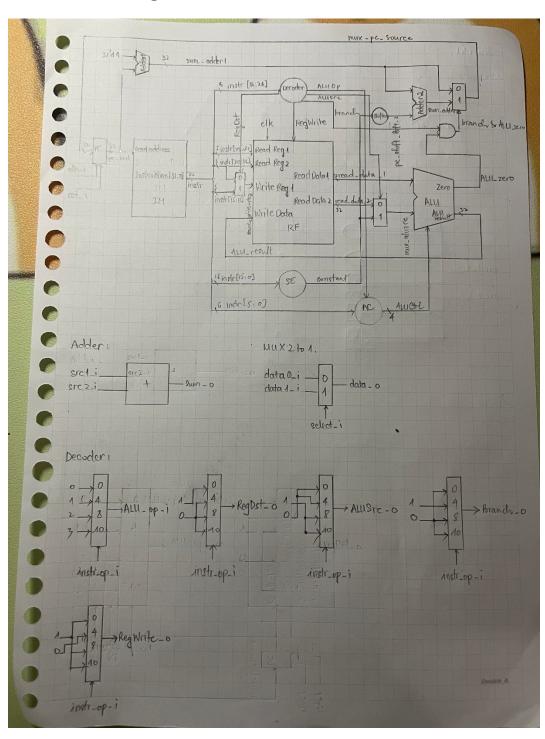
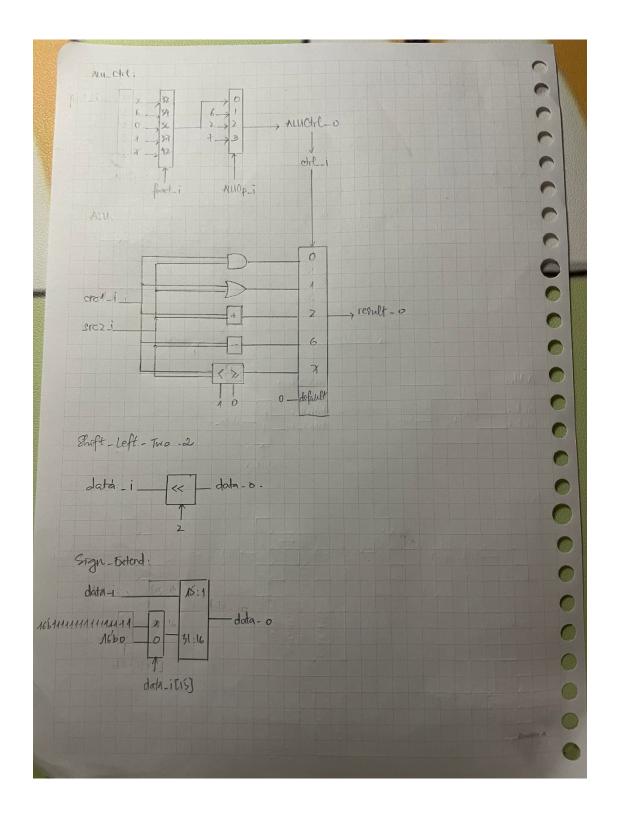
Computer Organization Lab2

Name: 郭大寧

ID: 109550184

Architecture diagrams:





Hardware module analysis:

(explain how the design work and its pros and cons) 讀取 instruction。使用 decoder 來取得 ALUOp、RegWrite、ALUOp、ALUSrc、 branch。RegDst 會決定程式拿 rt 或 rd 5bit 當 write reg1。經過 Register file 得到 32bit rs 和 rt。 addi 跟 slti 會使用常數計算,所以 ALUSrc 在 addi 和 slti 會是 1, ALUSrc 會決定使用 rt 32bit 或是常數 32bit 來傳進 ALU。

在 ALUCtrl 使用 ALUOp 和 instruction 裡給的 function 來分析決定 ALU 使用的 operation。分成 5 種:and、or、add 和 addi、sub 和 beq、slt 和 slti。在 ALU 會做計算取得 result 和 zero。如果計算 beq,2 個參數等於的話,會跳過下一個計算過程。

Adder 會使用來下行, Adder2 是用來計算如果 beq 條件達到。

Pros:

只需要分成5種計算

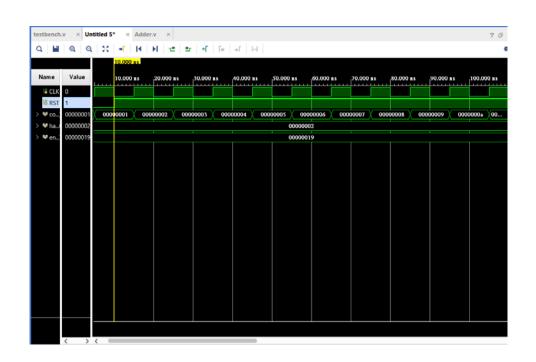
Cons:

沒有效率

Finished part:

(show the screenshot of the simulation result and waveform, and explain it)

| | _ | | - |
|------|----|------|----|
| r0= | 0 | r0= | 0 |
| r1= | 10 | r1= | 1 |
| r2= | 4 | r2= | 0 |
| r3= | 0 | r3= | 0 |
| r4= | 0 | r4= | 0 |
| r5= | 6 | r5= | 0 |
| rб= | 0 | rб= | 0 |
| r7= | 0 | r7= | 14 |
| r8= | 0 | r8= | 0 |
| r9= | 0 | r9= | 15 |
| r10= | 0 | r10= | 0 |
| r11= | 0 | r11= | 0 |
| r12= | 0 | r12= | 0 |



rst變 1 才開始做,clk變成 1 才開始計算。

在 case1,因為第 4 行 beq 達成,所以會到第 6 行,sub 的指令不做。Case1 步驟:1,2,3,4,6。

在 case2,因為第7行 beq 達成,所以會跳到第3行。Case2步驟:1,2,3,4,6,7,3,4,6,7。

Problems you met and solutions:

beq 部分沒有實現到。把 beq 做成 sub,這樣解決到 zero 部分, branch&zero 會出現正確的選擇。

Summary:

做 simple cycle cpu 使用了 decoder、mux、sign extend、shift left、alu 來實作。 Decoder 幫助分析讀取的內容。加上各次 MUX 來選出需要的參數。ALUCtrl 來分需要做的 operation,幫助 ALU 做出正確的算法。