

COMPUTER ORGANIZATION LAB 6

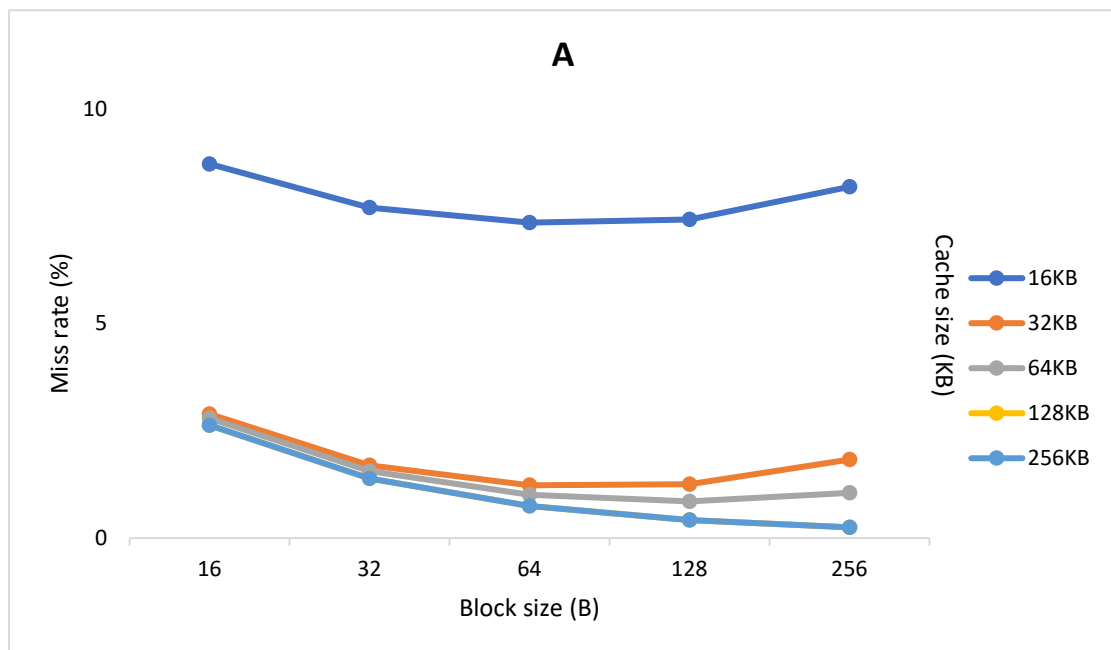
Project: Cache Simulator

Name: 郭大寧

ID: 109550184

A. Fix the associativity on 1 (direct_map_cache)

固定 associativity = 1, 實作變動 cache size (1KB up to 256KB) 、block size (16B to 256B) 。



Description:

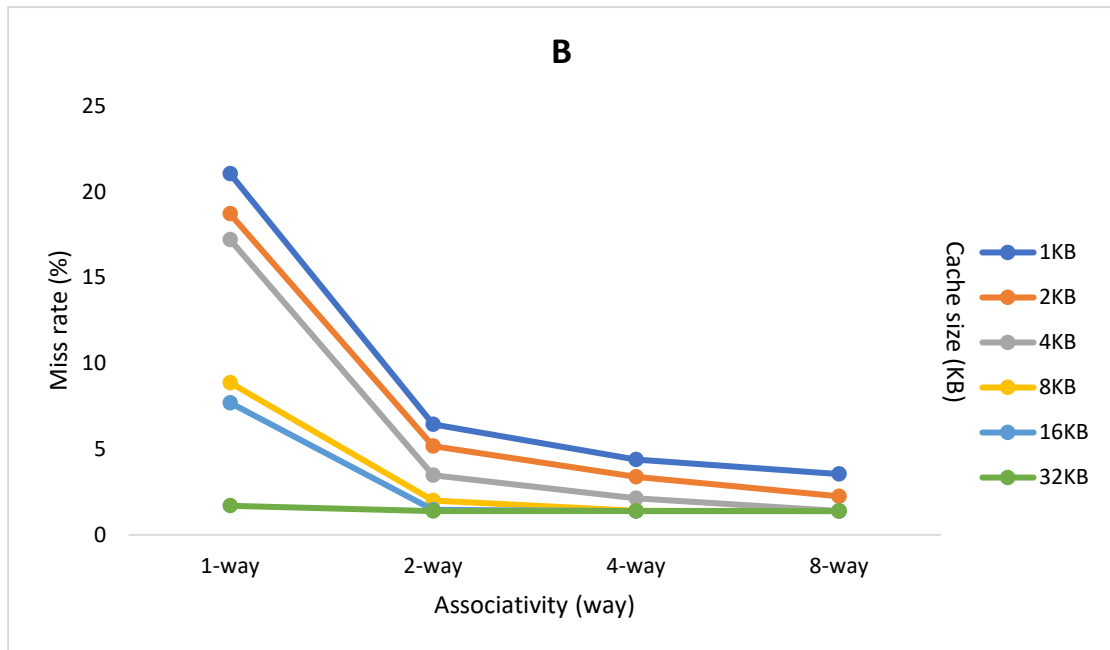
選擇顯示 cache size 從 16KB 到 256KB 。

增加 block size 時, block 可以擁有更多數據, 這樣可以提高 hit rate 且降低 miss rate。但是, block size 越來越大時, 在固定的 cache size, 總 block 會越來越少, 這樣會導致容量丟失, 增加 miss rate。

Cache size 在 128KB 和 256KB 的時候, 隨 block size 增加, miss rate 相等, 在圖表上重疊。隨著 block size 的變化, 在 cache size 越來越大時, 可以看到 miss rate 沒有變化, 猜測可能已經達到 miss rate 的極限。

B. Fix the block size on 32 (byte)

固定 block size = 32B, 實作變動 cache size (1KB up to 256KB) 、associativity (from direct-mapped to fully associative) 。



Description:

固定 block size 為 32B，在每個 associativity，cache size 增加可以降低 miss rate。

在同個 cache size，associativity 越大，set 可以擁有更多數據，這樣可以降低 miss rate。

跟著數據來看，在這個部分，miss rate 也會有極限。

C. Program

```
E:\110-2\computer organization\CO Lab 6\MinGW\bin>make
g++ direct_map_cache.o -o cache_simulator

E:\110-2\computer organization\CO Lab 6\MinGW\bin>cache_simulator -f Tracel.txt -c 1 -b 32 -a 2
cache line:32

Miss rate: 40
Hit instructions: 2,3,4,6,7,10
Miss instructions: 1,5,8,9
```