



Ψηφιακά Συστήματα VLSI

2η Εργαστηριακή Άσκηση

Σχεδιασμός Αριθμητικών Μονάδων με Ιεραρχική Σχεδίαση

Σκοπός της εργαστηριακής άσκησης είναι η εξοικείωση των φοιτητών με τη μεθοδολογία σχεδίασης με χρήση **δομικής περιγραφής (Structural description)**. Συγκεκριμένα, θα πραγματοποιηθεί η σχεδίαση σύνθετων υπολογιστικών κυκλωμάτων κάνοντας χρήση ήδη υλοποιημένων μονάδων υλικού. Τα ζητούμενα της άσκησης είναι:

- 1) Υλοποιήστε έναν Ημιαθροιστή (Half Adder - *HA*) σε **περιγραφή ροής δεδομένων (Dataflow)**.
- 2) Υλοποιήστε έναν Πλήρη Αθροιστή (Full Adder - *FA*) με **περιγραφή δομής (Structural)**, **βασιζόμενοι στην δομική μονάδα του Ερωτήματος 1**.
- 3) Υλοποιήστε έναν Παράλληλο Αθροιστή των 4 bits (4-bit Parallel Adder - *4-bit PA*) με **περιγραφή δομής (Structural)**, **βασιζόμενοι στην δομική μονάδα του Ερωτήματος 2**.
- 4) Υλοποιήστε έναν BCD Πλήρη Αθροιστή (BCD Full Adder - *BCD FA*) με **περιγραφή δομής (Structural)**. Να χρησιμοποιήσετε τη δομική μονάδα που υλοποιήθηκε στο **Ερώτημα 3**, οποιαδήποτε δομική μονάδα από τα προηγούμενα ερωτήματα, καθώς και επιπλέον λογική που θεωρείτε απαραίτητη.
- 5) Υλοποιήστε έναν Παράλληλο BCD Αθροιστή των 4 ψηφίων (4-BCD Parallel Adder - *4-BCD PA*) με **περιγραφή δομής (Structural)**, **βασιζόμενοι στην δομική μονάδα του Ερωτήματος 4**.

Για κάθε ένα από τα ζητούμενα της άσκησης θα πρέπει:

- 1) Να παρουσιάσετε το δομικό διάγραμμα (RTL schematic) της αρχιτεκτονικής του κυκλώματος.
- 2) Να δημιουργήσετε σχετικό testbench με το οποίο θα γίνεται ο έλεγχος της ορθής λειτουργίας του κυκλώματος.
- 3) Να βρείτε και να αναφέρετε το κρίσιμο μονοπάτι (critical path) του κυκλώματος, καθώς επίσης και την χρονική του καθυστέρηση.

Σχετικές πληροφορίες για το τρίτο ζητούμενο θα βρείτε στον οδηγό χρήσης του εργαλείου Vivado στη σελίδα του εργαστηρίου στο mycourses.