

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"

ІКНІ
Кафедра ПЗ

ЗВІТ

до лабораторної роботи № 3

на тему: *“Моделювання та дослідження основних типів тригерів в СИСТЕМІ Proteus”*
з дисципліни: “Архітектура комп’ютера”

Лектор:

доцент кафедри ПЗ
Крук О.Г.

Виконав:

студент групи ПЗ-22
Коваленко Д.М.

Прийняв:

доцент кафедри ПЗ
Крук О.Г.

«_____» _____ 2022 р.
 Σ =

Тема. Моделювання та дослідження основних типів тригерів в СИСТЕМІ Proteus.

Мета. Закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про будову та функціонування основних типів тригерів; ввести їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу.

Індивідуальне завдання

ПЗ-21		ПЗ-22		ПЗ-23		ПЗ-24		ПЗ-25		ПЗ-26	
№	f_0 , КГц	№	f_0 , КГц	№	f_0 , КГц	№	f_0 , КГц	№	f_0 , КГц	№	f_0 , КГц
1	68	1	2	1	43	1	5	1	116	1	3
2	70	2	4	2	45	2	10	2	118	2	5
3	72	3	6	3	47	3	15	3	120	3	7
4	74	4	8	4	49	4	20	4	122	4	9
5	76	5	10	5	51	5	25	5	124	5	11
6	78	6	12	6	53	6	30	6	126	6	13
7	80	7	14	7	55	7	35	7	128	7	15
8	82	8	16	8	57	8	40	8	130	8	17
9	84	9	18	9	59	9	45	9	132	9	19

Теоретичні відомості

Тригер – це електронний вузол з двома стійкими станами, зміна яких відбувається під дією вхідних сигналів. Якщо прийняти один стан тригера за логічний нуль, а інший – за логічну одиницю, то виходить, що тригер є елементом пам'яті, який може зберігати один біт інформації. Тригер є найпростішим представником послідовнісних пристроїв і водночас обов'язковим елементом всіх функціонально закінчених вузлів і блоків.

У послідовнісних пристроях (цифрових автоматах з пам'яттю або скінченних автоматах) вихідні сигнали в кожний момент часу залежать не лише від поточних значень на входах, але й від внутрішнього стану, який є наслідком попередніх дій вхідних сигналів.

На основі тригерів будують типові функціональні вузли комп'ютерів – регістри, лічильники, накопичувальні суматори, а також мікропрограмні автомати.

Усі різновиди тригерів можна розглядати як елементарний автомат, що складається з власне елемента пам'яті (ЕП) та схеми керування (СхК), яка утворює вхідну логіку (рис. 3.1). Схема керування забезпечує записування, зчитування, стирання та індикацію двійкової інформації, яка зберігається в тригері.

Хід роботи

Схема 1

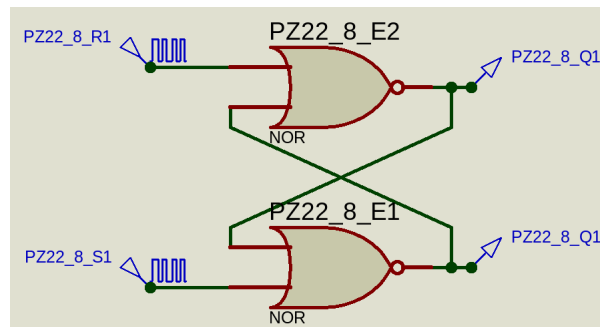


Рис. 1: Схема 1

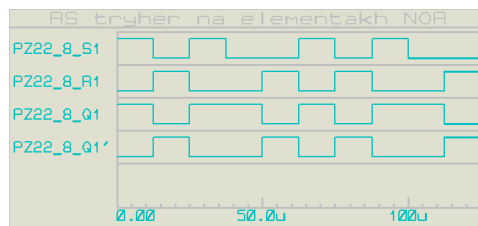


Рис. 2: Графік до схеми 1

Генератори до схеми 1

Generator Name: PZ22_8_R1

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 6.25u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 0011000011

OK Cancel

(a)

Generator Name: PZ22_8_S1

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 6.25u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 1100110000

OK Cancel

(б)

Схема 2

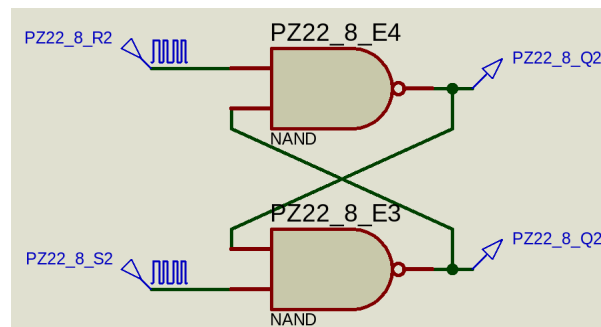


Рис. 3: Схема 2

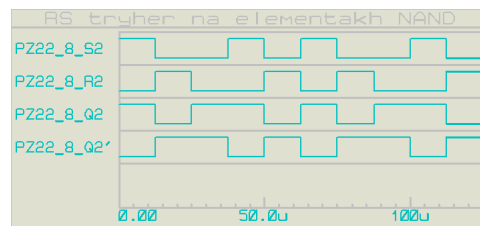


Рис. 4: Графік до схеми 2

Генератори до схеми 2

Generator Name:

Initial State:

First Edge At (Secs):

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs):

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

Edit...

OK Cancel

(a)

Generator Name:

Initial State:

First Edge At (Secs):

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs):

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

Edit...

OK Cancel

(6)

Схема 3

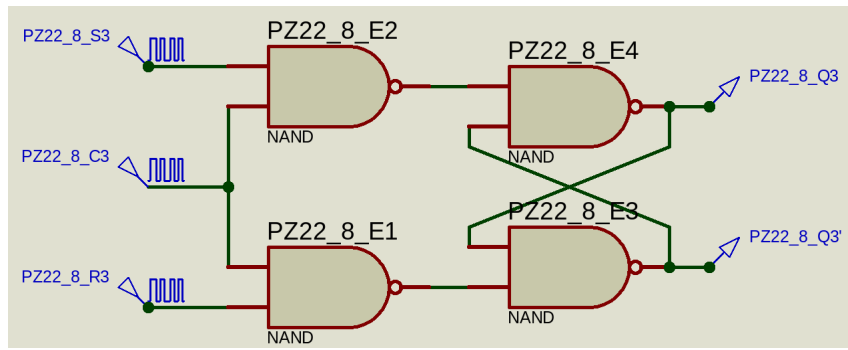


Рис. 5: Схема 3

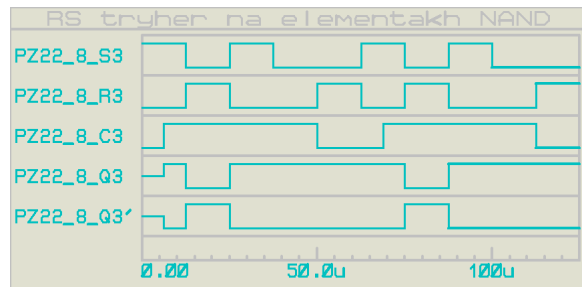


Рис. 6: Графік до схеми 3

Генератори до схеми 3

Generator Name:
P222_8_S3

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

Initial State:
Low

First Edge At (Secs):
0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs):
6.25u

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:
1100110000

Edit...

OK Cancel

Generator Name:
P222_8_C3

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

Initial State:
Low

First Edge At (Secs):
0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs):
6.25u

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:
0111111100

Edit...

OK Cancel

(a)

(6)

Generator Name:
P222_8_R3

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

Initial State:
Low

First Edge At (Secs):
0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs):
6.25u

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:
0011000011

Edit...

OK Cancel

(B)

Схема 4

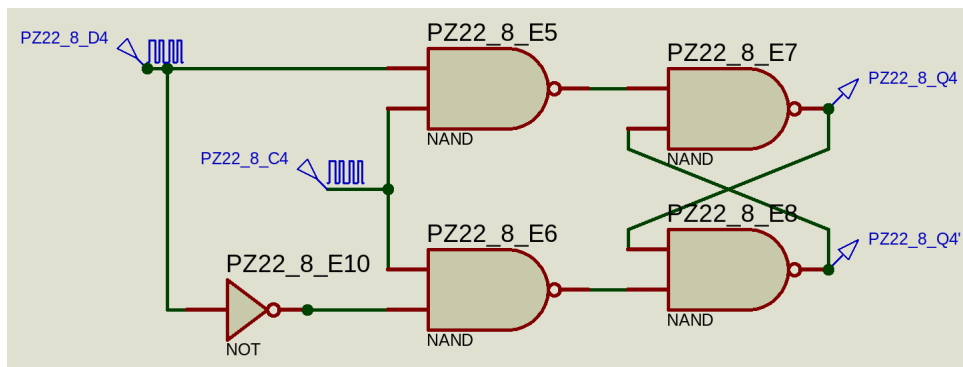


Рис. 7: Схема 4

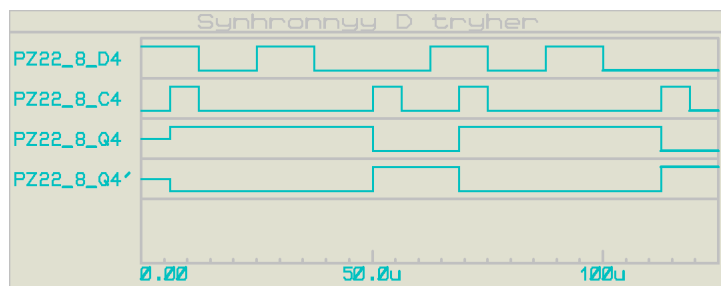


Рис. 8: Графік до схеми 4

Генератори до схеми 4

Generator Name: PZ22_8_D4

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 6.25u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 1100110000

OK Cancel

(a)

Generator Name: PZ22_8_C4

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 6.25u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 0100000010

OK Cancel

(6)

Схема 5

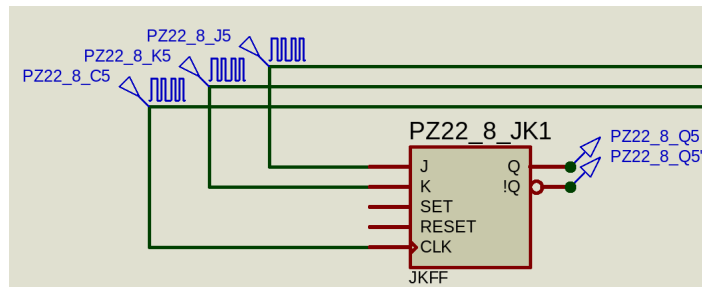


Рис. 9: Схема 5

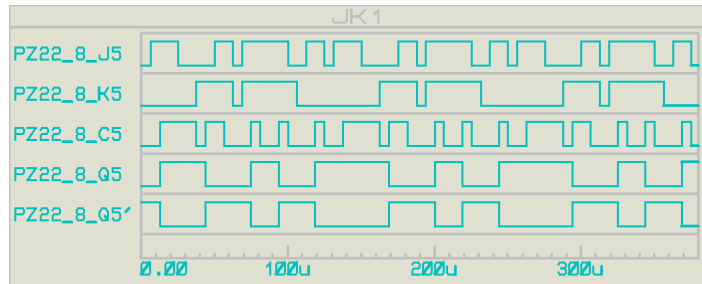
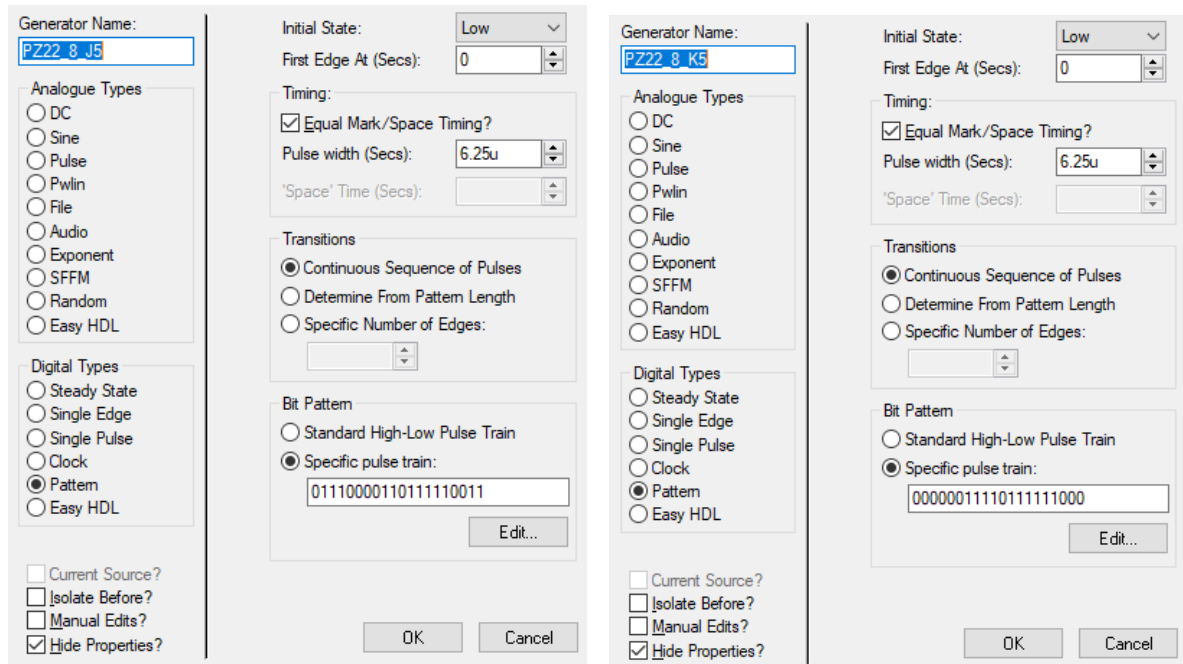


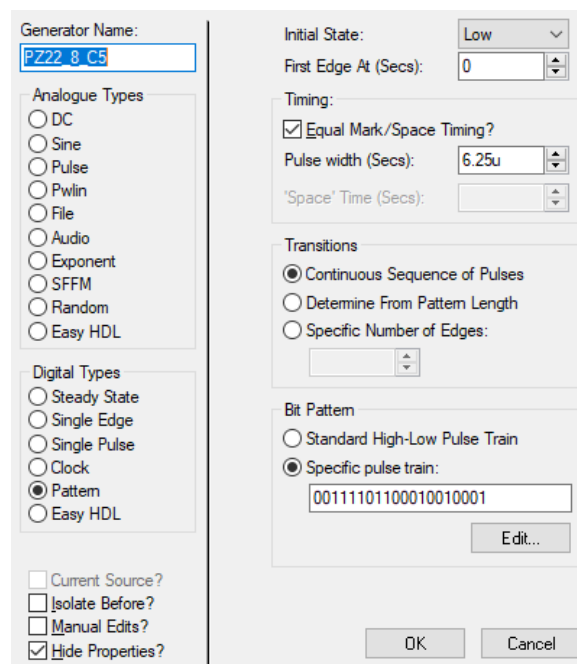
Рис. 10: Графік до схеми 5

Генератори до схеми 5



(a)

(б)



(в)

Схема 6

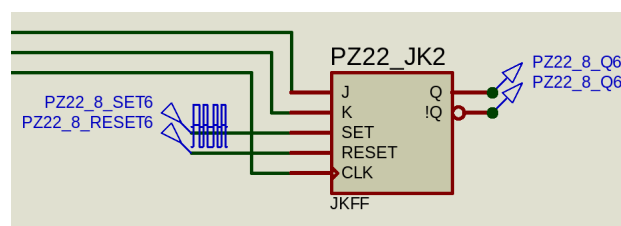


Рис. 11: Схема 6

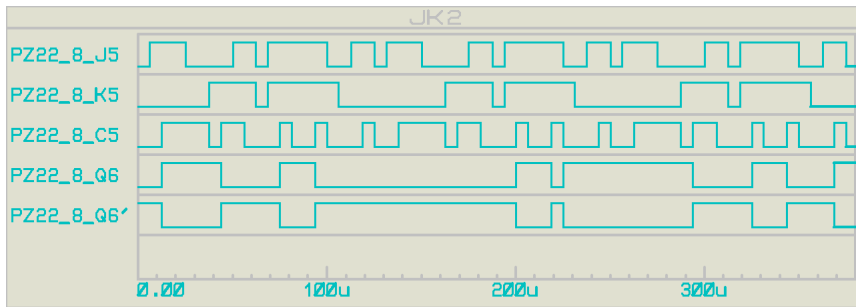


Рис. 12: Графік до схеми 6

Генератори до схеми 6

Generator Name: PZ22_8_SET6

Initial State: Low

First Edge At (Secs): 0

Timing:

☐ Equal Mark/Space Timing?

'Mark' Time (Secs): 62.5u

'Space' Time (Secs): 112.5u

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 001000

Edit...

OK Cancel

(a)

Generator Name: PZ22_8_RESET6

Initial State: Low

First Edge At (Secs): 0

Timing:

☐ Equal Mark/Space Timing?

'Mark' Time (Secs): 62.5u

'Space' Time (Secs): 112.5u

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 010000

Edit...

OK Cancel

(6)

Схема 7

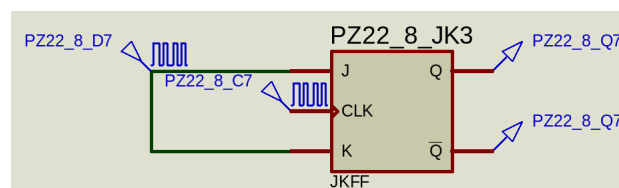


Рис. 13: Схема 7

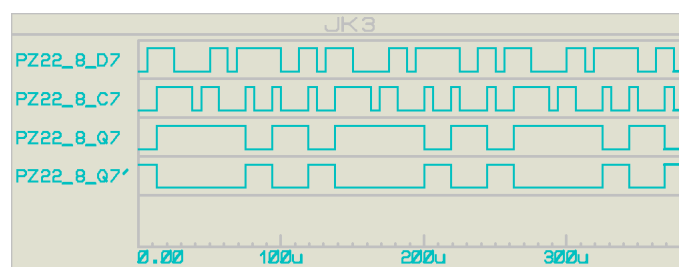


Рис. 14: Графік до схеми 7

Генератори до схеми 7

Generator Name: **PZ22_8_D7**

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 6.25u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

0111000011011110011

Edit...

OK Cancel

Analogue Types:

- ☐ DC
- ☐ Sine
- ☐ Pulse
- ☐ Pwlin
- ☐ File
- ☐ Audio
- ☐ Exponent
- ☐ SFFM
- ☐ Random
- ☐ Easy HDL

Digital Types:

- ☐ Steady State
- ☐ Single Edge
- ☐ Single Pulse
- ☐ Clock
- ☒ Pattern
- ☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(a)

Generator Name: **PZ22_8_C7**

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 6.25u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

00111101100010010001

Edit...

OK Cancel

Analogue Types:

- ☐ DC
- ☐ Sine
- ☐ Pulse
- ☐ Pwlin
- ☐ File
- ☐ Audio
- ☐ Exponent
- ☐ SFFM
- ☐ Random
- ☐ Easy HDL

Digital Types:

- ☐ Steady State
- ☐ Single Edge
- ☐ Single Pulse
- ☐ Clock
- ☒ Pattern
- ☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(6)

Схема 8

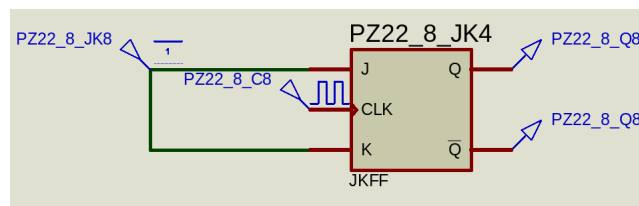


Рис. 15: Схема 8

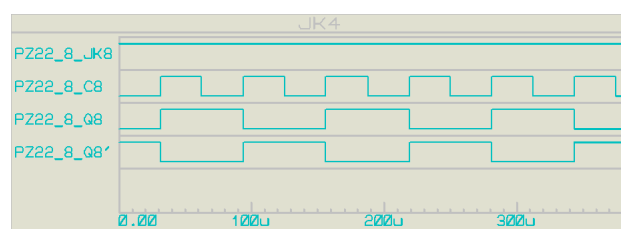


Рис. 16: Графік до схеми 8

Генератори до схеми 8

Generator Name: PZ22_8_JK8

Analogue Types

- ☐ DC
- ☐ Sine
- ☐ Pulse
- ☐ Pwlin
- ☐ File
- ☐ Audio
- ☐ Exponent
- ☐ SFFM
- ☐ Random
- ☐ Easy HDL

Digital Types

- ☒ Steady State
- ☐ Single Edge
- ☐ Single Pulse
- ☐ Clock
- ☐ Pattern
- ☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

State

- ☐ Power Rail High
- ☒ Strong High
- ☐ Weak High
- ☐ Floating
- ☐ Weak Low
- ☐ Strong Low
- ☐ Power Rail Low

OK Cancel

(a)

Generator Name: PZ22_8_C8

Analogue Types

- ☐ DC
- ☐ Sine
- ☐ Pulse
- ☐ Pwlin
- ☐ File
- ☐ Audio
- ☐ Exponent
- ☐ SFFM
- ☐ Random
- ☐ Easy HDL

Digital Types

- ☐ Steady State
- ☐ Single Edge
- ☐ Single Pulse
- ☒ Clock
- ☐ Pattern
- ☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

Clock Type

- ☒ Low-High-Low Clock
- ☐ High-Low-High Clock

Timing:

First Edge At: 0

☒ Frequency (Hz): 16k

☐ Period (Secs):

OK Cancel

(б)

Висновки

Під час виконання лабораторної роботи я закріпив практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибив знання про будову та функціонування основних типів тригерів; увів їх схеми та виконав моделювання в системі програм Proteus; дослідив на основі отриманих часових діаграм їх роботу.