

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"

ІКНІ  
Кафедра ПЗ

**ЗВІТ**

до лабораторної роботи № 2

**на тему:** *“Синтез та Моделювання шифраторів і дешифраторів та мультимплексорів і  
демультиплексорів в системі Proteus”*

**з дисципліни:** “Архітектура комп’ютера”

**Лектор:**

доцент кафедри ПЗ  
Крук О.Г.

**Виконав:**

студент групи ПЗ-22  
Коваленко Д.М.

**Прийняв:**

доцент кафедри ПЗ  
Крук О.Г.

«\_\_\_\_\_» \_\_\_\_\_ 2022 р.  
 $\Sigma$  = .....

**Тема.** Синтез та Моделювання шифраторів і дешифраторів та мультиплексорів і демультиплексорів в системі Proteus.

**Мета.** Закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про основні типи комбінаційних схем: шифратори, дешифратори, мультиплексори і демультиплексори; опанувати їх синтез; дослідити роботу синтезованих схем в системі програм Proteus.

## Індивідуальне завдання

Для ПЗ-22

№	$z_0/a_0$	0	1	0	1	0	1	0	1	$f_0$ , КГц	Пріоритет
	$z_1/a_1$	0	0	1	1	0	0	1	1		
	$z_2/a_2$	0	0	0	0	1	1	1	1		
1		0	0	$d_2$	$d_3$	$d_4$	$d_0$	$d_1$	0	68	$F_2, F_7, F_1, F_4, F_5, F_3, F_6$
2		0	0	0	$d_2$	$d_3$	$d_4$	$d_0$	$d_1$	70	$F_7, F_1, F_4, F_5, F_3, F_6, F_2$
3		$d_1$	0	0	0	$d_2$	$d_3$	$d_4$	$d_0$	72	$F_1, F_4, F_5, F_3, F_6, F_2, F_7$
4		$d_0$	$d_1$	$d_2$	0	$d_3$	$d_4$	0	0	74	$F_4, F_5, F_3, F_6, F_2, F_7, F_1$
5		0	$d_0$	$d_1$	$d_2$	0	$d_3$	$d_4$	0	76	$F_5, F_3, F_6, F_2, F_7, F_1, F_4$
6		0	0	$d_0$	$d_1$	$d_2$	0	$d_3$	$d_4$	78	$F_6, F_2, F_7, F_1, F_4, F_5, F_3$
7		$d_4$	0	0	$d_0$	$d_1$	$d_2$	0	$d_3$	80	$F_2, F_1, F_7, F_4, F_5, F_3, F_6$
8		$d_3$	$d_4$	0	0	$d_0$	$d_1$	$d_2$	0	82	$F_1, F_7, F_4, F_5, F_3, F_6, F_2$
9		0	$d_3$	$d_4$	0	0	$d_0$	$d_1$	$d_2$	84	$F_7, F_4, F_5, F_3, F_6, F_2, F_1$

## Теоретичні відомості

### Хід роботи

Період цифрового сигналу

$$T = \frac{1}{f}; \quad T = \frac{1}{82\text{кГц}} = \frac{1}{82000\text{Гц}} = 0.0000121\text{с}$$

$$\tau = \frac{T}{8} = 0.00000151\text{с}$$

ДДНФ заданої функції

$$F = \overline{x_2 x_1 x_0} + \overline{x_2 x_1} x_0 + x_2 \overline{x_1 x_0} + x_2 \overline{x_1} x_0 + x_2 x_1 \overline{x_0}$$

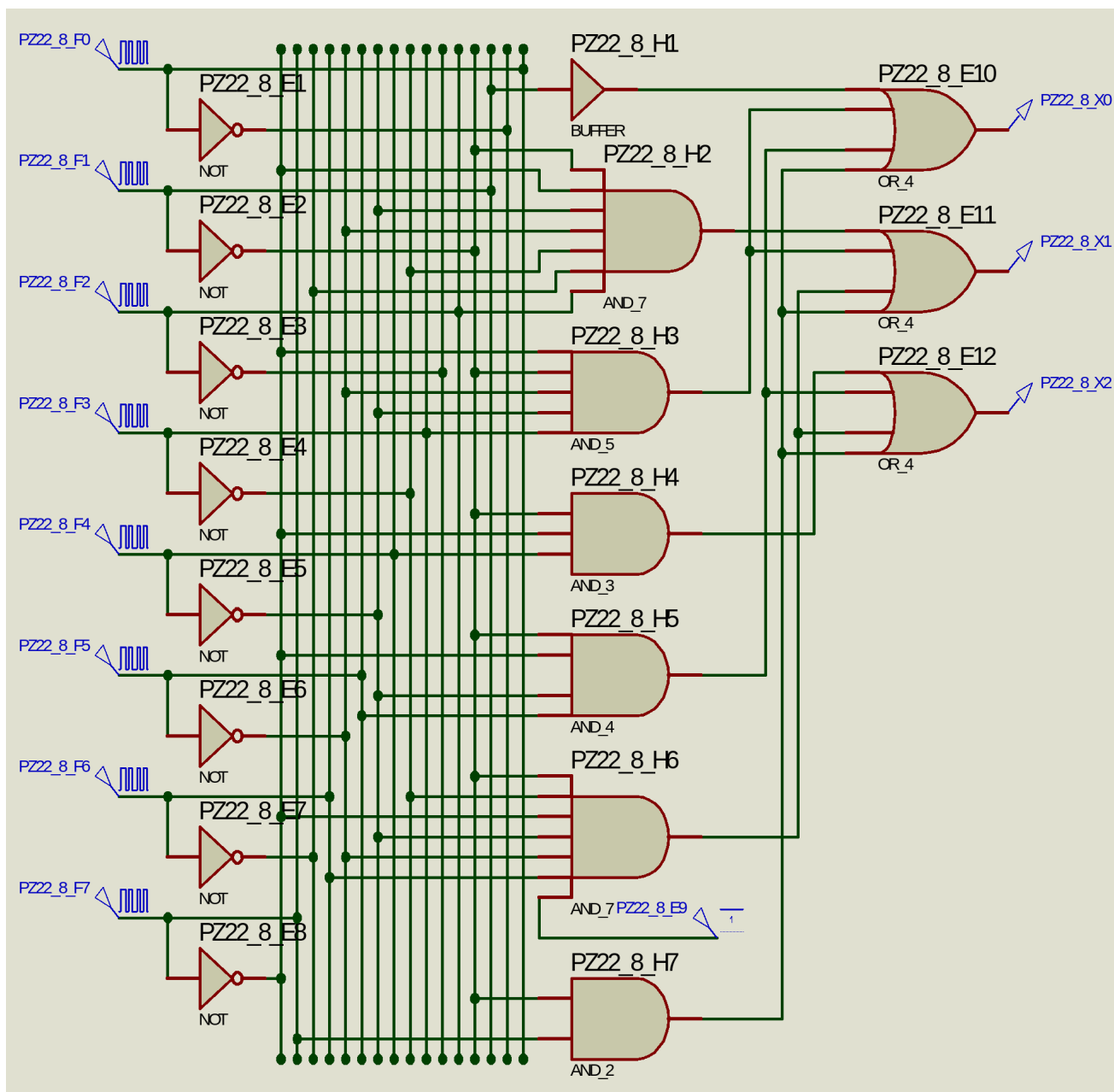


Рис. 1: Схема 1

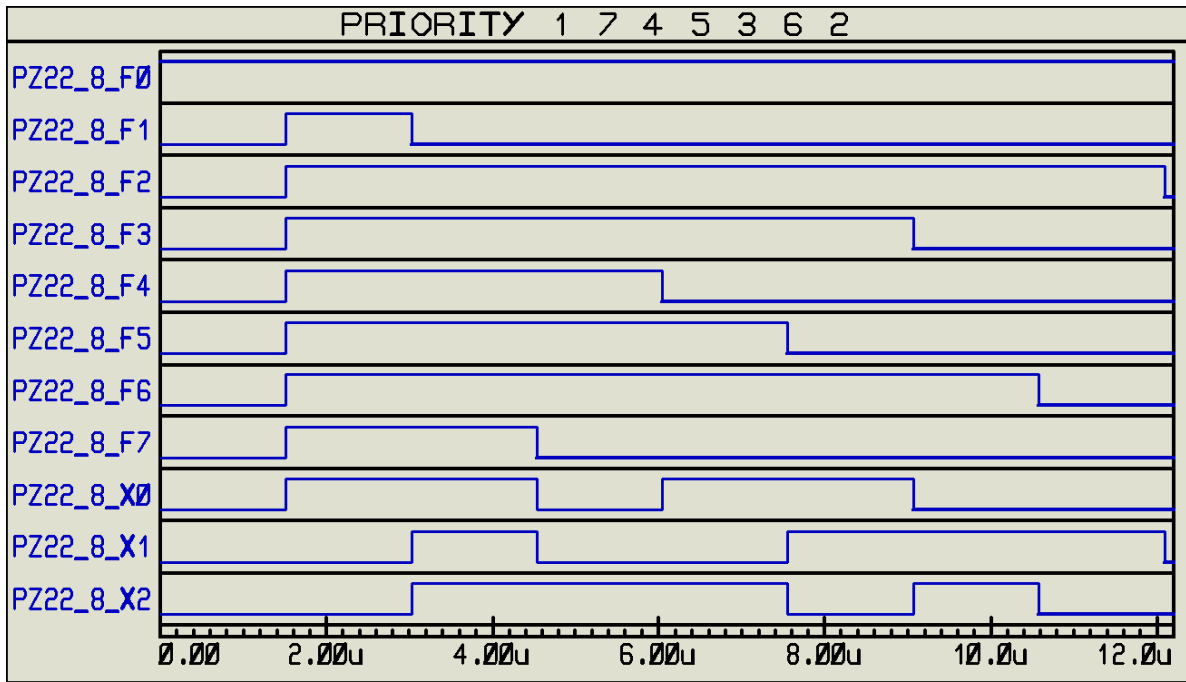


Рис. 2: Графік 1

За отриманим графіком виконання схеми пріоритетного шифратора видно, що заданий пріоритет є таким: 1, 7, 4, 5, 3, 6, 2, що повністю співпадає з заданим варіантом, отже, можна зробити виновок, що моделювання виконано правильно.

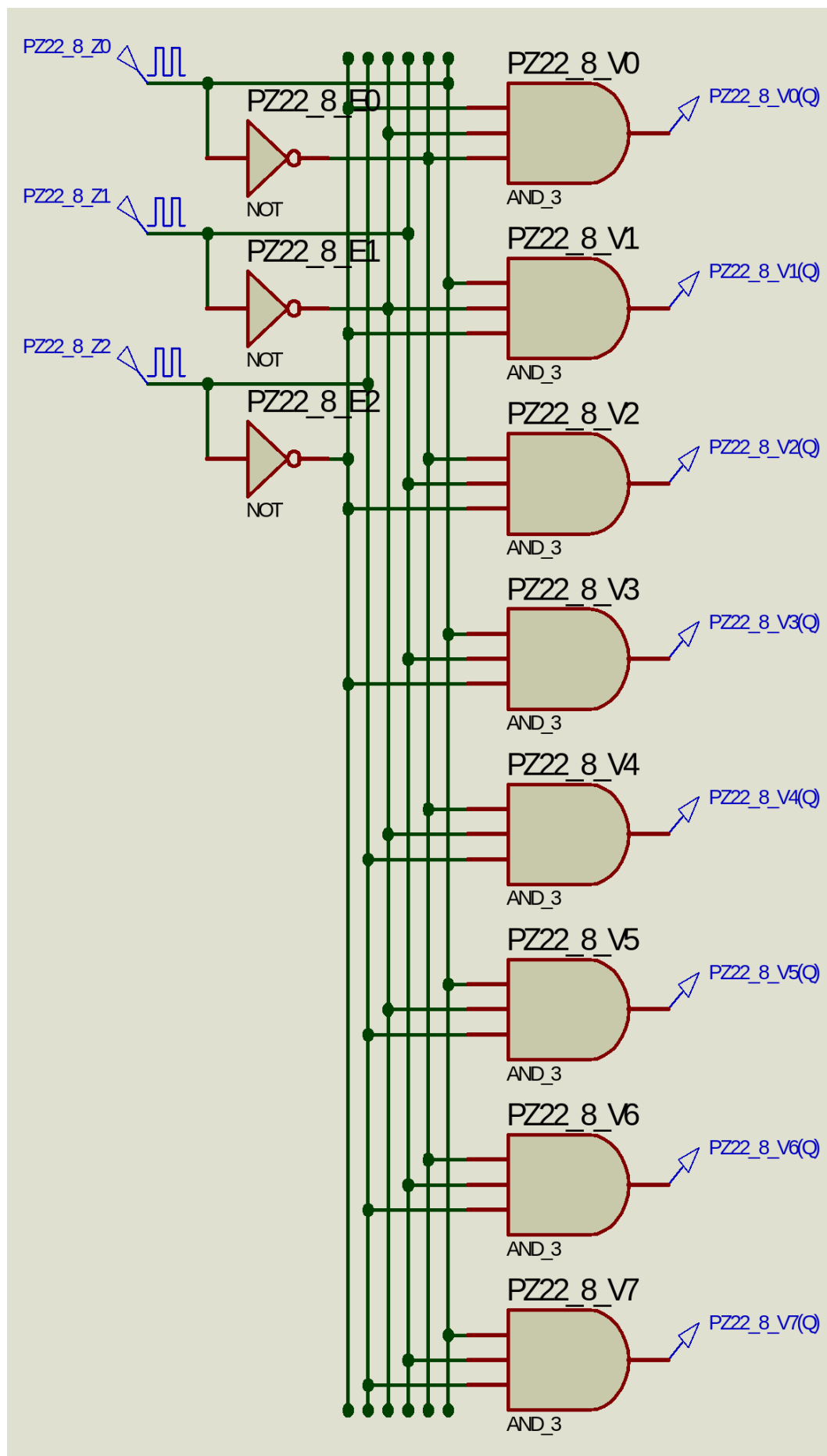


Рис. 3: Схема 2

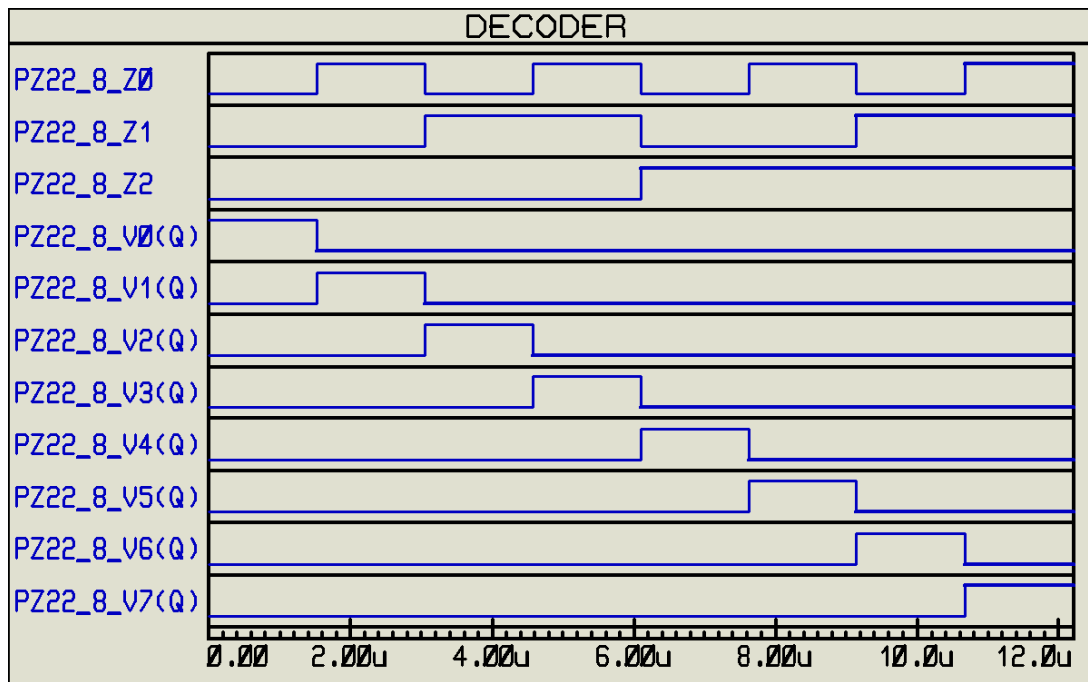


Рис. 4: Графік 2

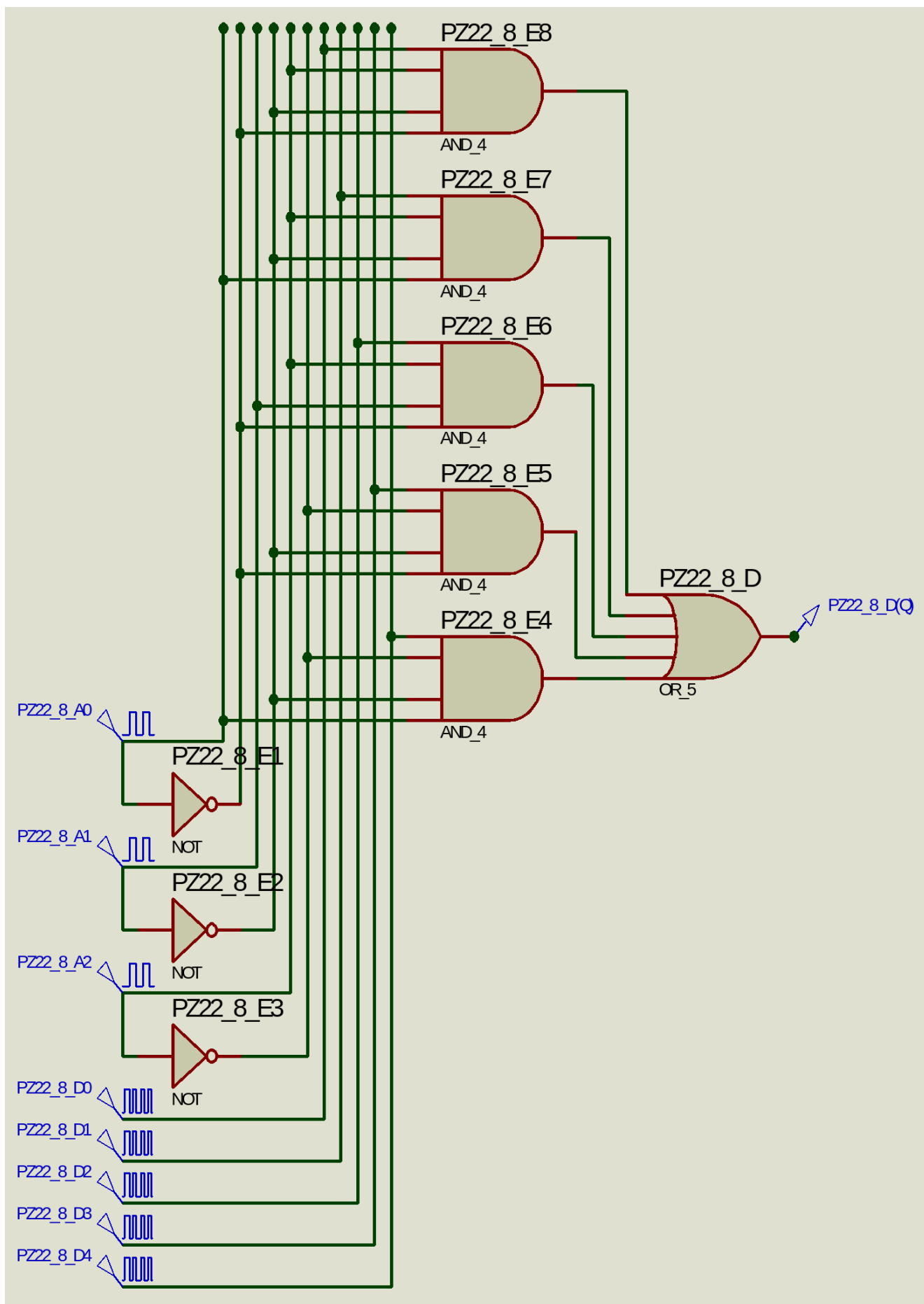


Рис. 5: Схема 3

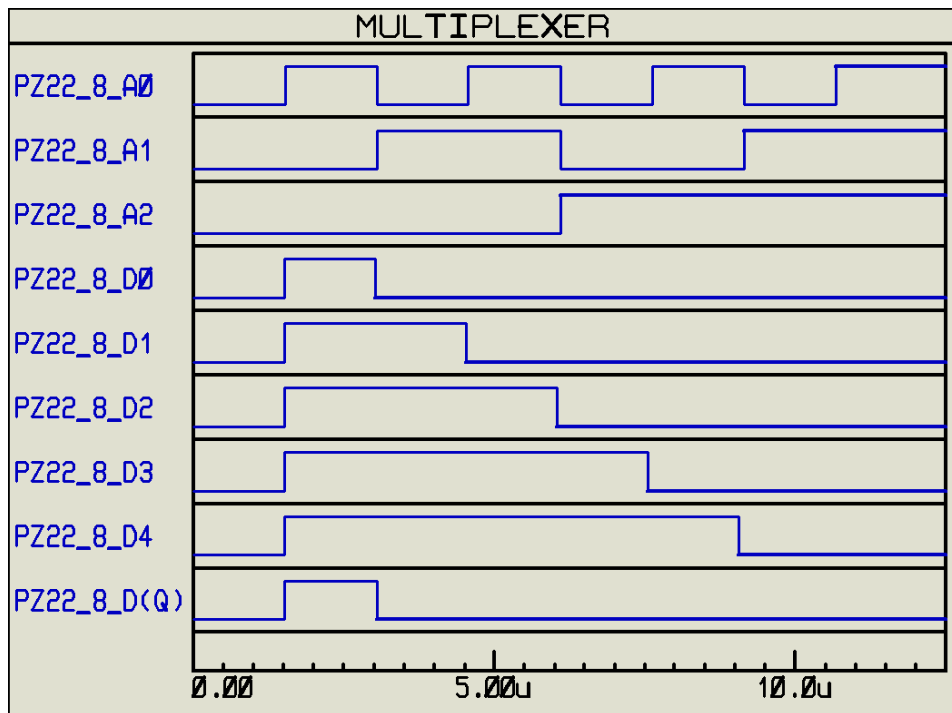


Рис. 6: Графік 3



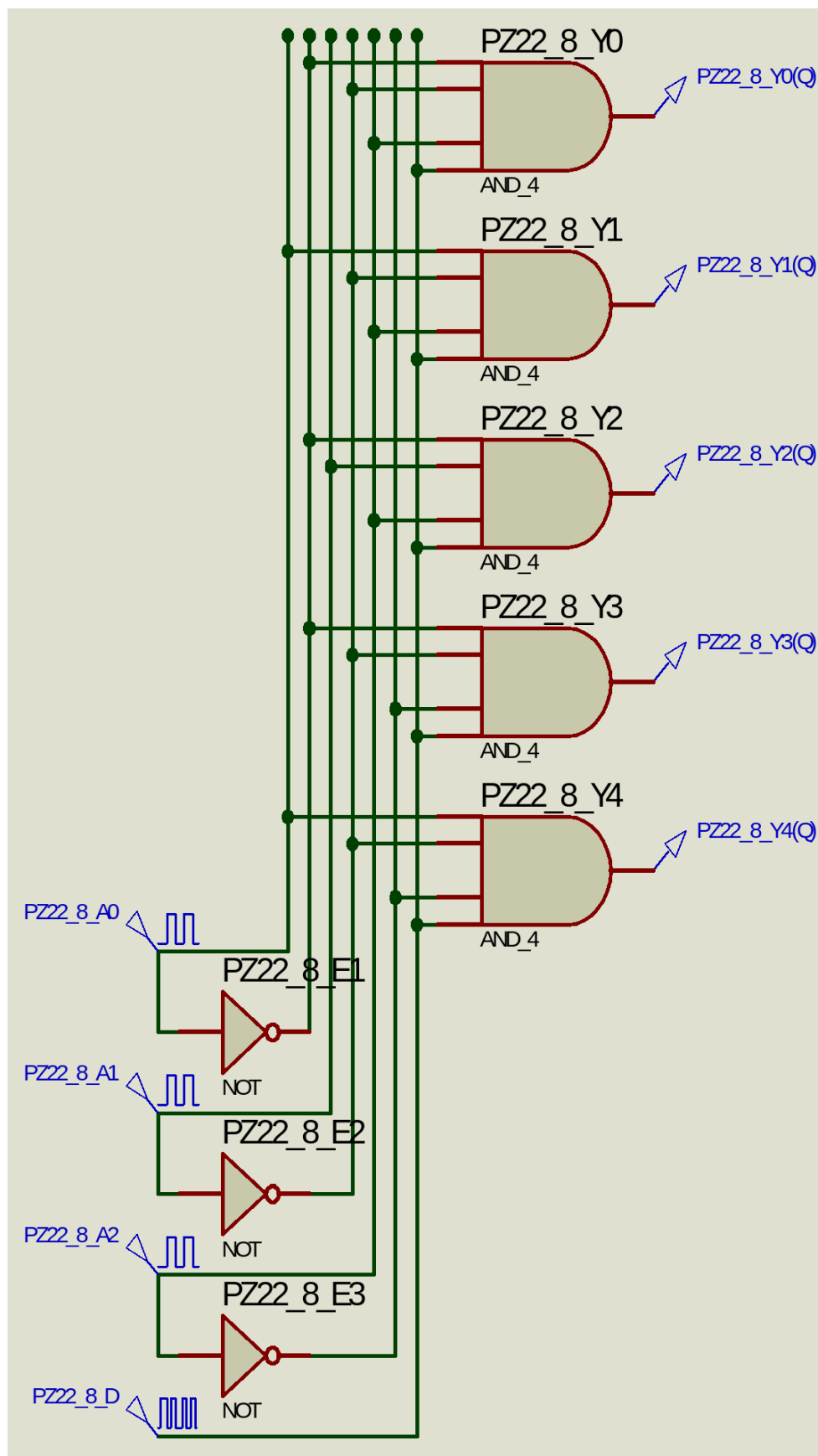


Рис. 7: Схема 4

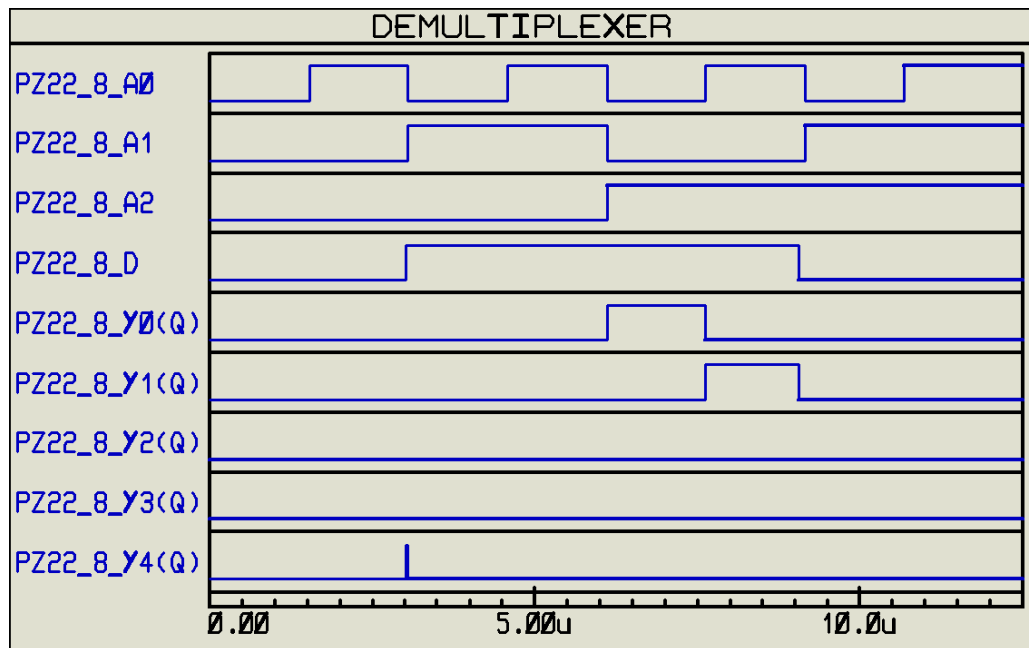


Рис. 8: Графік 4

## Висновки

Під час виконання лабораторної роботи я закріпив практичні навички моделювання логічних схем в середовищі системи програм Proteus. Поглибив знання про основні типи комбінаційних схем: шифратор, дешифратор, мультиплексор і демультимплексор. Опанував їх синтез.

Дослідив роботу синтезованих схем в системі програм Proteus. Змодельовав графіки цих схем за заданим варіантом.