

**ЗВІТ**

до лабораторної роботи № 2

**на тему:** *“Синтез та моделювання шифраторів і дешифраторів та мультимплексорів і  
демультиплексорів в системі Proteus”*

**з дисципліни:** “Архітектура комп’ютера”

**Лектор:**

доцент кафедри ПЗ  
Крук О.Г.

**Виконав:**

студент групи ПЗ-22  
Коваленко Д.М.

**Прийняв:**

доцент кафедри ПЗ  
Крук О.Г.

«\_\_\_\_\_» \_\_\_\_\_ 2022 р.  
 $\Sigma$  = .....

**Тема.** Синтез та моделювання шифраторів і дешифраторів та мультиплексорів і демультиплексорів в системі Proteus.

**Мета.** Закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про основні типи комбінаційних схем: шифратори, дешифратори, мультиплексори і демультиплексори; опанувати їх синтез; дослідити роботу синтезованих схем в системі програм Proteus.

## Індивідуальне завдання

Для ПЗ-22

№	$z_0/a_0$	0	1	0	1	0	1	0	1	$f_0$ , КГц	Пріоритет
	$z_1/a_1$	0	0	1	1	0	0	1	1		
	$z_2/a_2$	0	0	0	0	1	1	1	1		
1		0	0	$d_2$	$d_3$	$d_4$	$d_0$	$d_1$	0	68	$F_2, F_7, F_1, F_4, F_5, F_3, F_6$
2		0	0	0	$d_2$	$d_3$	$d_4$	$d_0$	$d_1$	70	$F_7, F_1, F_4, F_5, F_3, F_6, F_2$
3		$d_1$	0	0	0	$d_2$	$d_3$	$d_4$	$d_0$	72	$F_1, F_4, F_5, F_3, F_6, F_2, F_7$
4		$d_0$	$d_1$	$d_2$	0	$d_3$	$d_4$	0	0	74	$F_4, F_5, F_3, F_6, F_2, F_7, F_1$
5		0	$d_0$	$d_1$	$d_2$	0	$d_3$	$d_4$	0	76	$F_5, F_3, F_6, F_2, F_7, F_1, F_4$
6		0	0	$d_0$	$d_1$	$d_2$	0	$d_3$	$d_4$	78	$F_6, F_2, F_7, F_1, F_4, F_5, F_3$
7		$d_4$	0	0	$d_0$	$d_1$	$d_2$	0	$d_3$	80	$F_2, F_1, F_7, F_4, F_5, F_3, F_6$
8		$d_3$	$d_4$	0	0	$d_0$	$d_1$	$d_2$	0	82	$F_1, F_7, F_4, F_5, F_3, F_6, F_2$
9		0	$d_3$	$d_4$	0	0	$d_0$	$d_1$	$d_2$	84	$F_7, F_4, F_5, F_3, F_6, F_2, F_1$

## Теоретичні відомості

Шифратори, дешифратори, мультиплексори і демультиплексори поряд з суматорами та компараторами належать до основних типів комбінаційних цифрових схем (пристроїв). У комбінаційних пристроях (цифрових автоматах без пам'яті) вихідні сигнали в кожний момент часу повністю визначаються комбінацією поточних значень на входах і не залежать від попередніх значень вхідних сигналів.

Шифратор (encoder, coder, CD)  $m \times n$  - це цифровий пристрій, призначений для перетворення вхідного  $m$ -розрядного унітарного коду у вихідний  $n$ -розрядний двійковий позиційний код.

Дешифратор (decoder, DC)  $n \times m$  - це цифровий пристрій, призначений для перетворення вхідного  $n$ -розрядного двійкового позиційного коду у вихідний  $m$ -розрядний унітарний код.

Мультиплексор (multiplexer, MUX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічних сигналів від одного з  $n$  інформаційних X-входів на єдиний D-вихід.

Демультиплексор (demultiplexer, DMX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічного сигналу з одного інформаційного D-входу на один з  $n$  інформаційних Y-виходів.

## Хід роботи

### Період цифрового сигналу

$$T = \frac{1}{f}; \quad T = \frac{1}{82 \text{ кГц}} = \frac{1}{82000 \text{ Гц}} = 0.0000121 \text{ с}$$

$$\tau = \frac{T}{8} = 0.00000151 \text{ с}$$

### ДДНФ заданої функції

$$F = \overline{x_2 x_1 x_0} + \overline{x_2 x_1} x_0 + x_2 \overline{x_1 x_0} + x_2 \overline{x_1} x_0 + x_2 x_1 \overline{x_0}$$

## Схема приоритетного шифратора 8x3

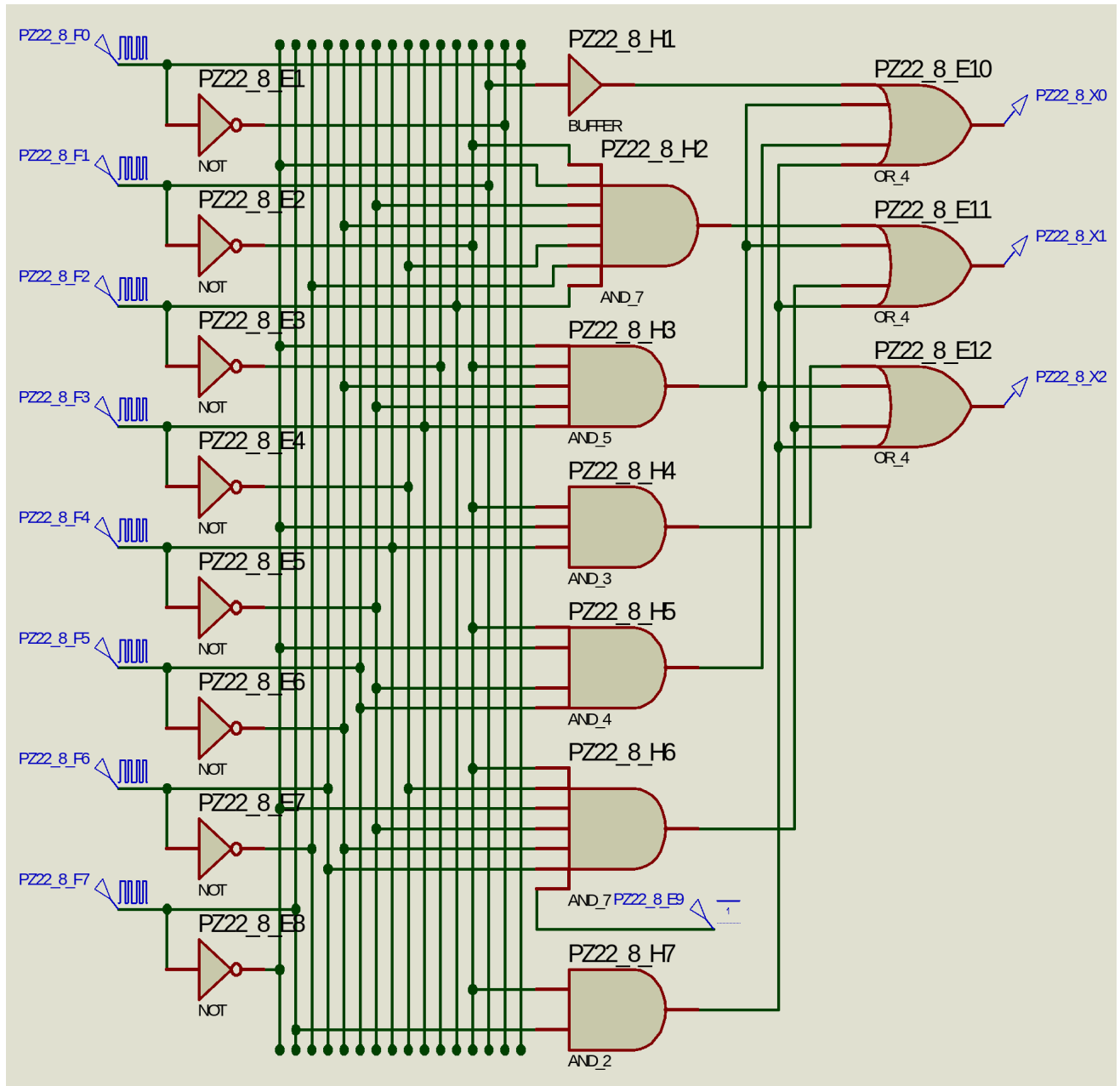


Рис. 1: Схема 1

$$\begin{aligned}
 H_1 &= F_1 \\
 H_7 &= \overline{F_1} \wedge F_7 \\
 H_4 &= \overline{F_1} \wedge \overline{F_7} \wedge F_4 \\
 H_5 &= \overline{F_1} \wedge \overline{F_7} \wedge \overline{F_4} \wedge F_5 \\
 H_3 &= \overline{F_1} \wedge \overline{F_7} \wedge \overline{F_4} \wedge \overline{F_5} \wedge F_3 \\
 H_6 &= \overline{F_1} \wedge \overline{F_7} \wedge \overline{F_4} \wedge \overline{F_5} \wedge \overline{F_3} \wedge F_6 \\
 H_2 &= \overline{F_1} \wedge \overline{F_7} \wedge \overline{F_4} \wedge \overline{F_5} \wedge \overline{F_3} \wedge \overline{F_6} \wedge F_2 \\
 X_0 &= F_1 \vee F_3 \vee F_5 \vee F_7 \\
 X_0 &= F_2 \vee F_3 \vee F_6 \vee F_7 \\
 X_0 &= F_4 \vee F_5 \vee F_6 \vee F_7
 \end{aligned}$$

## Генератори до схеми приорітетного шифратора 8x3

Generator Name: P222.8.F0

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.51u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 11111111

Edit...

OK Cancel

Analogue Types:

- ☐ DC
- ☐ Sine
- ☐ Pulse
- ☐ Pwlin
- ☐ File
- ☐ Audio
- ☐ Exponent
- ☐ SFFM
- ☐ Random
- ☐ Easy HDL

Digital Types:

- ☐ Steady State
- ☐ Single Edge
- ☐ Single Pulse
- ☐ Clock
- ☒ Pattern
- ☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(а) Генератор F0

Generator Name: P222.8.F1

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.51u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 01000000

Edit...

OK Cancel

Analogue Types:

- ☐ DC
- ☐ Sine
- ☐ Pulse
- ☐ Pwlin
- ☐ File
- ☐ Audio
- ☐ Exponent
- ☐ SFFM
- ☐ Random
- ☐ Easy HDL

Digital Types:

- ☐ Steady State
- ☐ Single Edge
- ☐ Single Pulse
- ☐ Clock
- ☒ Pattern
- ☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(б) Генератор F1

Generator Name: P222.8.F2

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.51u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 01111111

Edit...

OK Cancel

Analogue Types:

- ☐ DC
- ☐ Sine
- ☐ Pulse
- ☐ Pwlin
- ☐ File
- ☐ Audio
- ☐ Exponent
- ☐ SFFM
- ☐ Random
- ☐ Easy HDL

Digital Types:

- ☐ Steady State
- ☐ Single Edge
- ☐ Single Pulse
- ☐ Clock
- ☒ Pattern
- ☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(в) Генератор F2

Generator Name: P222.8.F3

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.51u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 01111100

Edit...

OK Cancel

Analogue Types:

- ☐ DC
- ☐ Sine
- ☐ Pulse
- ☐ Pwlin
- ☐ File
- ☐ Audio
- ☐ Exponent
- ☐ SFFM
- ☐ Random
- ☐ Easy HDL

Digital Types:

- ☐ Steady State
- ☐ Single Edge
- ☐ Single Pulse
- ☐ Clock
- ☒ Pattern
- ☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(г) Генератор F3

Generator Name: P222.8.F4

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.51u

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01110000

Edit...

OK Cancel

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(д) Генератор F4

Generator Name: P222.8.F5

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.51u

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01111000

Edit...

OK Cancel

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(е) Генератор F5

Generator Name: P222.8.F6

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.51u

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01111110

Edit...

OK Cancel

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(ж) Генератор F6

Generator Name: P222.8.F7

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.51u

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01100000

Edit...

OK Cancel

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(и) Генератор F7

## Графік до схеми пріоритетного шифратора 8x3

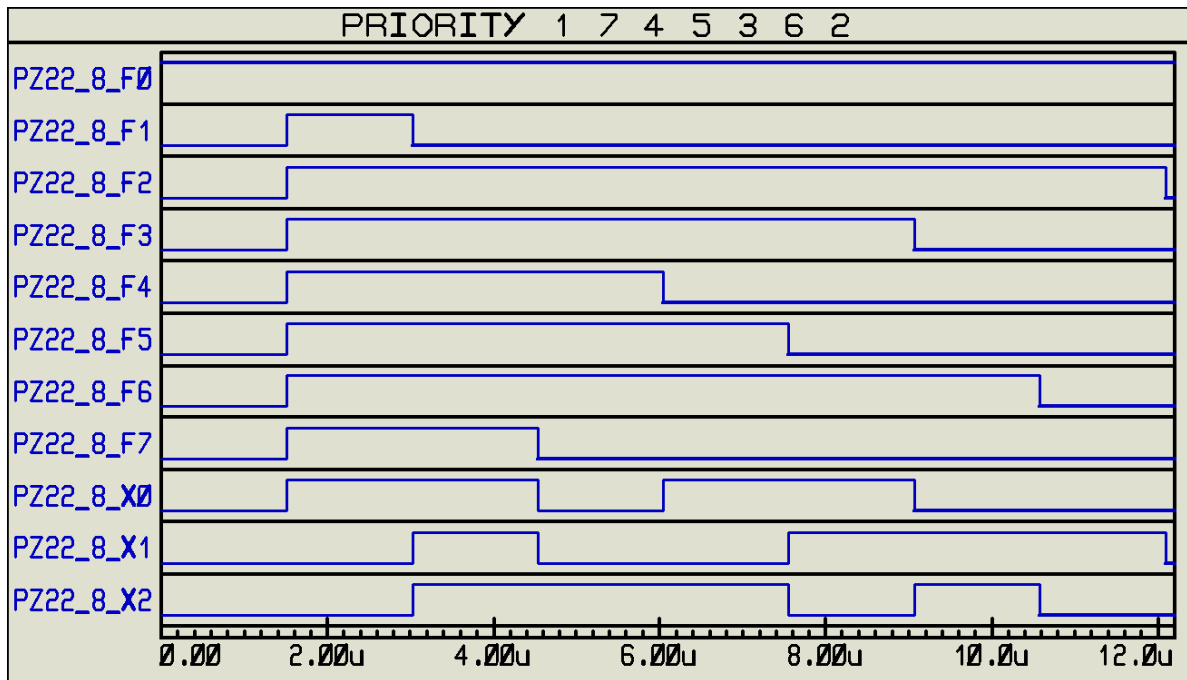


Рис. 2: Графік 1

За отриманим графіком виконання схеми пріоритетного шифратора видно, що заданий пріоритет є таким: 1, 7, 4, 5, 3, 6, 2, що повністю співпадає з заданим варіантом, отже, можна зробити виновок, що моделювання виконано правильно.

## Схема лінійного дешифратора 3x8

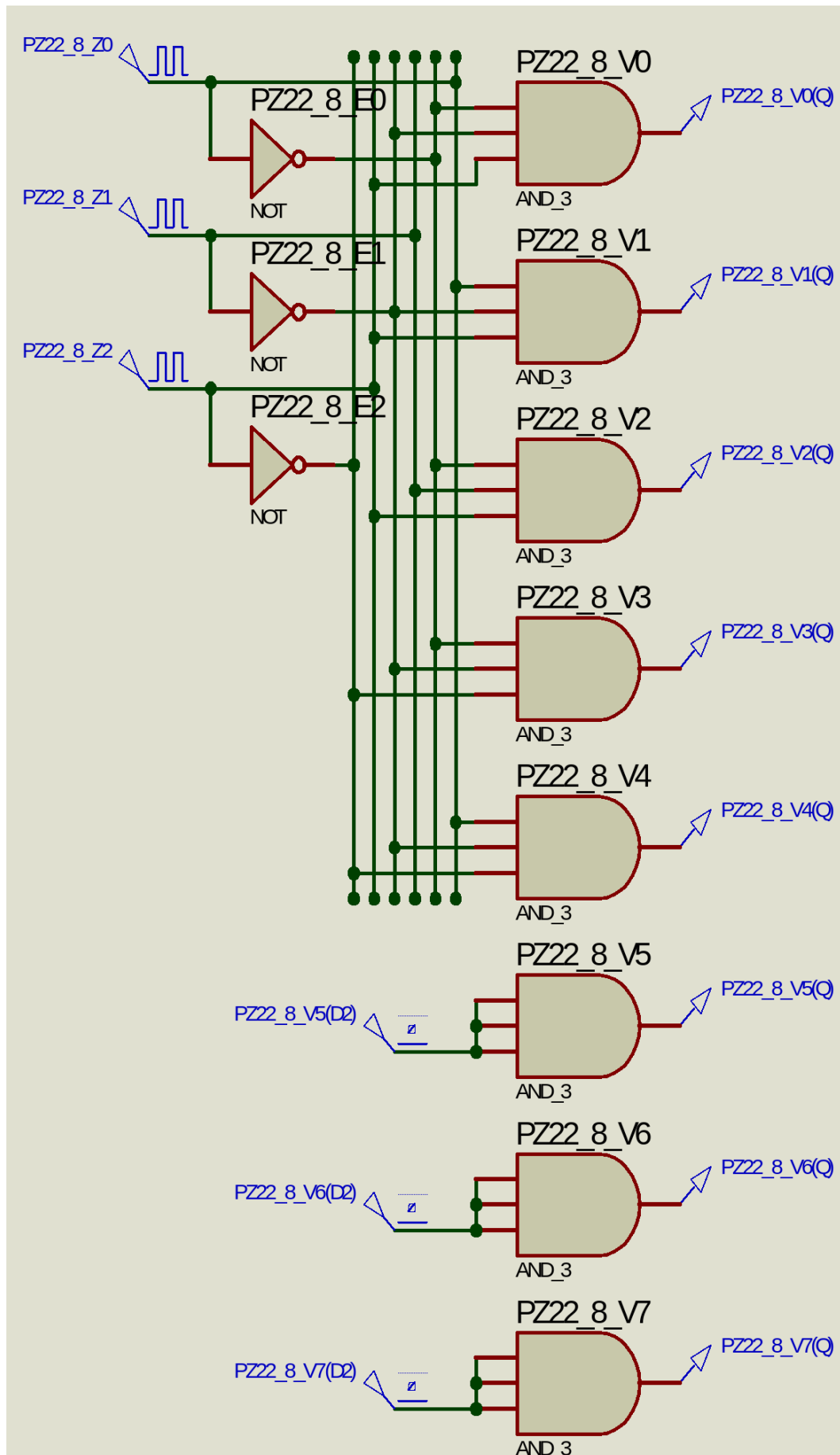


Рис. 3: Схема 2

$$\begin{aligned}
 V_0 &= Z_2 \wedge \overline{Z_1} \wedge \overline{Z_0} \\
 V_1 &= Z_2 \wedge \overline{Z_1} \wedge Z_0 \\
 V_2 &= Z_2 \wedge Z_1 \wedge \overline{Z_0} \\
 V_3 &= \overline{Z_2} \wedge \overline{Z_1} \wedge Z_0 \\
 V_4 &= \overline{Z_2} \wedge \overline{Z_1} \wedge Z_0 \\
 V_5 &= Z_2 \wedge Z_1 \wedge Z_0 \wedge 0 \\
 V_6 &= Z_2 \wedge Z_1 \wedge Z_0 \wedge 0 \\
 V_7 &= Z_2 \wedge Z_1 \wedge Z_0 \wedge 0
 \end{aligned}$$

## Генератори до схеми лінійного дешифратора 3x8

(а) Генератор Z0

(б) Генератор Z1

(в) Генератор Z2



## Графік до схеми лінійного дешифратора 3x8

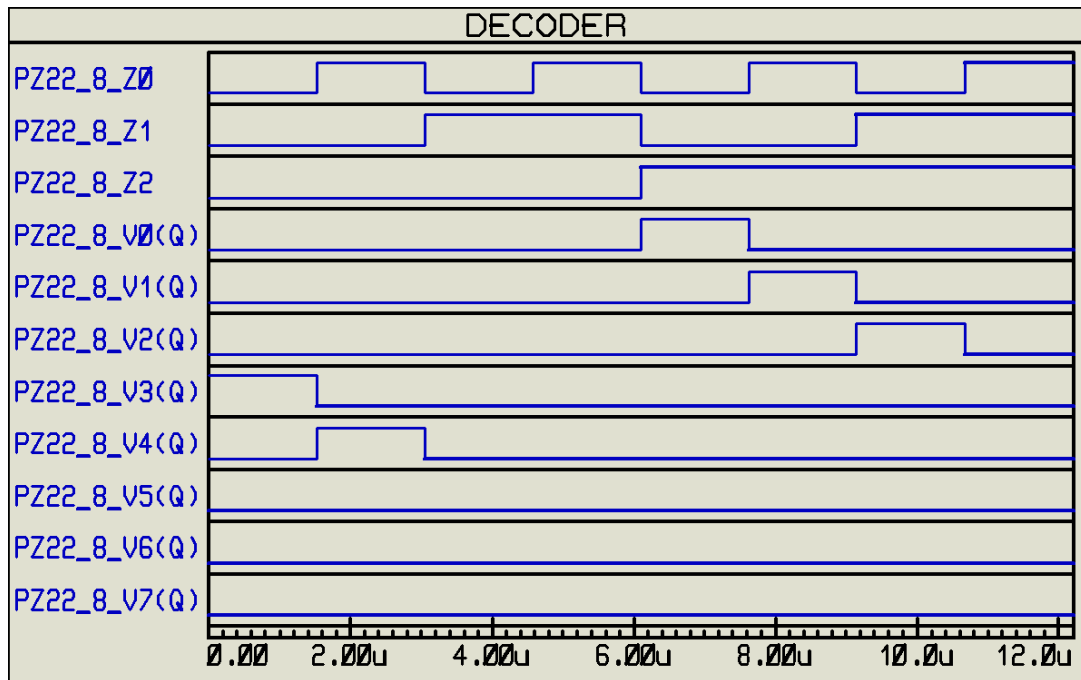


Рис. 4: Графік 2

За отриманим графіком виконання схеми лінійного дешифратора видно, що часові діаграми вхідних та вихідних сигналів на кожному з восьми проміжків відповідають заданій таблиці істинності дешифратора, отже, можна зробити виновок, що моделювання виконано правильно.

## Схема мультиплексора 5 в 1

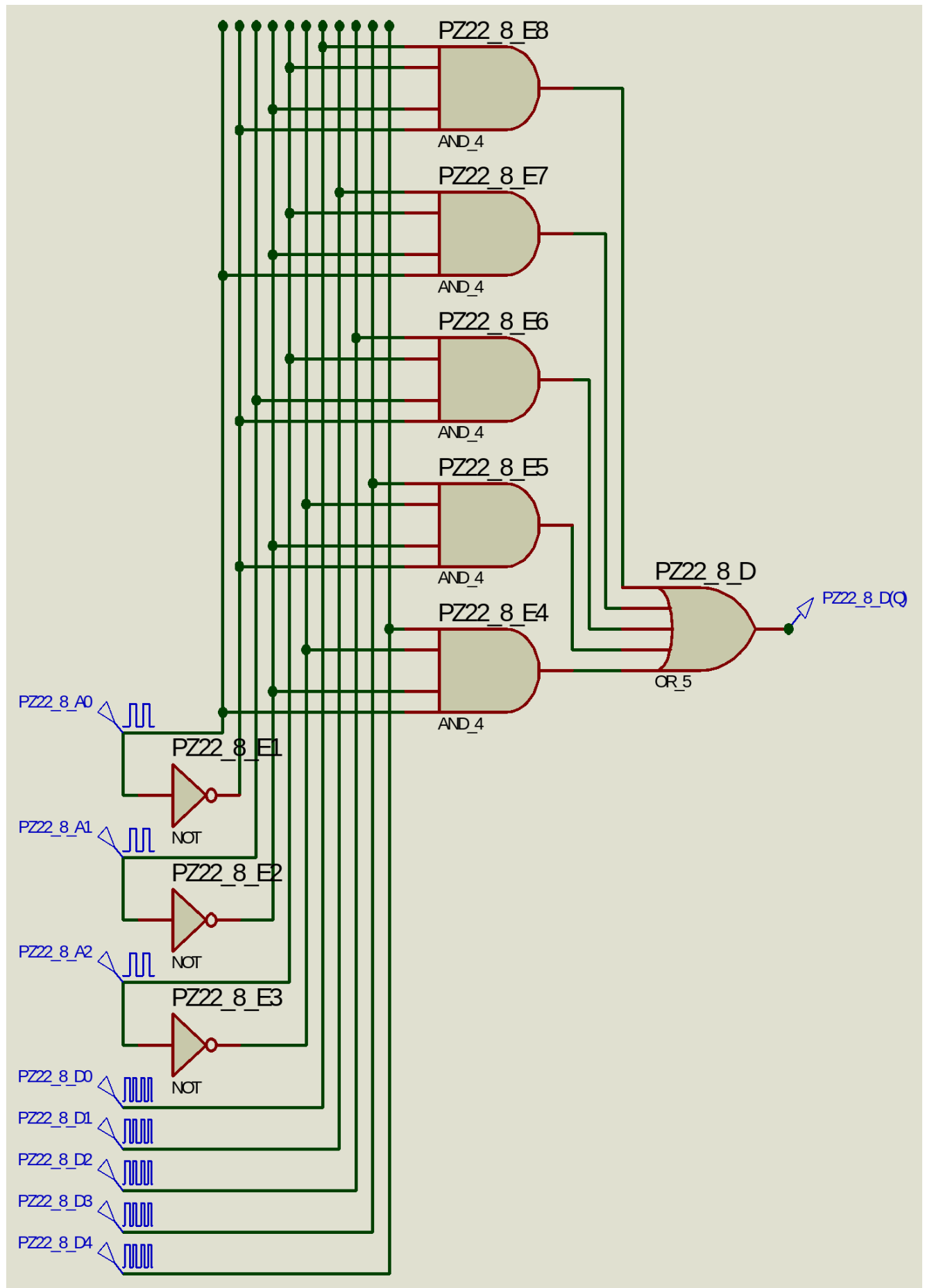


Рис. 5: Схема 3

$$D = (A_0 \wedge \overline{A_1} \wedge \overline{A_2} \wedge D_4) \vee (\overline{A_0} \wedge \overline{A_1} \wedge \overline{A_2} \wedge D_3) \vee (\overline{A_0} \wedge A_1 \wedge A_2 \wedge D_2) \vee (A_0 \wedge \overline{A_1} \wedge A_2 \wedge D_1) \vee (\overline{A_0} \wedge \overline{A_1} \wedge A_2 \wedge D_0)$$

## Генератори до схеми мултиплектора 5 в 1

Generator Name: PZ22\_8\_A0

Clock Type:  
☒ Low-High-Low Clock  
☐ High-Low-High Clock

Timing:  
 First Edge At: 0  
☒ Frequency (Hz): 328k  
☐ Period (Secs):

Analogue Types:  
☐ DC  
☐ Sine  
☐ Pulse  
☐ Pwlin  
☐ File  
☐ Audio  
☐ Exponent  
☐ SFFM  
☐ Random  
☐ Easy HDL

Digital Types:  
☐ Steady State  
☐ Single Edge  
☐ Single Pulse  
☒ Clock  
☐ Pattern  
☐ Easy HDL

☐ Current Source?  
☐ Isolate Before?  
☐ Manual Edits?  
☒ Hide Properties?

OK Cancel

(a) Генератор A0

Generator Name: PZ22\_8\_A1

Clock Type:  
☒ Low-High-Low Clock  
☐ High-Low-High Clock

Timing:  
 First Edge At: 0  
☒ Frequency (Hz): 164k  
☐ Period (Secs):

Analogue Types:  
☐ DC  
☐ Sine  
☐ Pulse  
☐ Pwlin  
☐ File  
☐ Audio  
☐ Exponent  
☐ SFFM  
☐ Random  
☐ Easy HDL

Digital Types:  
☐ Steady State  
☐ Single Edge  
☐ Single Pulse  
☒ Clock  
☐ Pattern  
☐ Easy HDL

☐ Current Source?  
☐ Isolate Before?  
☐ Manual Edits?  
☒ Hide Properties?

OK Cancel

(б) Генератор A1

Generator Name: PZ22\_8\_A2

Clock Type:  
☒ Low-High-Low Clock  
☐ High-Low-High Clock

Timing:  
 First Edge At: 0  
☒ Frequency (Hz): 82k  
☐ Period (Secs):

Analogue Types:  
☐ DC  
☐ Sine  
☐ Pulse  
☐ Pwlin  
☐ File  
☐ Audio  
☐ Exponent  
☐ SFFM  
☐ Random  
☐ Easy HDL

Digital Types:  
☐ Steady State  
☐ Single Edge  
☐ Single Pulse  
☒ Clock  
☐ Pattern  
☐ Easy HDL

☐ Current Source?  
☐ Isolate Before?  
☐ Manual Edits?  
☒ Hide Properties?

OK Cancel

(в) Генератор A2

Generator Name: PZ22\_8\_D0

Initial State: Low

First Edge At (Secs): 0

Timing:  
☒ Equal Mark/Space Timing?  
 Pulse width (Secs): 189n  
 'Space' Time (Secs):

Transitions:  
☒ Continuous Sequence of Pulses  
☐ Determine From Pattern Length  
☐ Specific Number of Edges:

Bit Pattern:  
☐ Standard High-Low Pulse Train  
☒ Specific pulse train: 01000000

☐ Current Source?  
☐ Isolate Before?  
☐ Manual Edits?  
☒ Hide Properties?

OK Cancel

(г) Генератор D0

Generator Name: P222.8.D1

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 189n

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01100000

Edit...

OK Cancel

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(д) Генератор D1

Generator Name: P222.8.D2

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 189n

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01110000

Edit...

OK Cancel

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(е) Генератор D2

Generator Name: P222.8.D3

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 189n

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01111000

Edit...

OK Cancel

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(ж) Генератор D3

Generator Name: P222.8.D4

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 189n

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01111100

Edit...

OK Cancel

Analogue Types

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(и) Генератор D4

## Графік до схеми мультиплексора 5 в 1

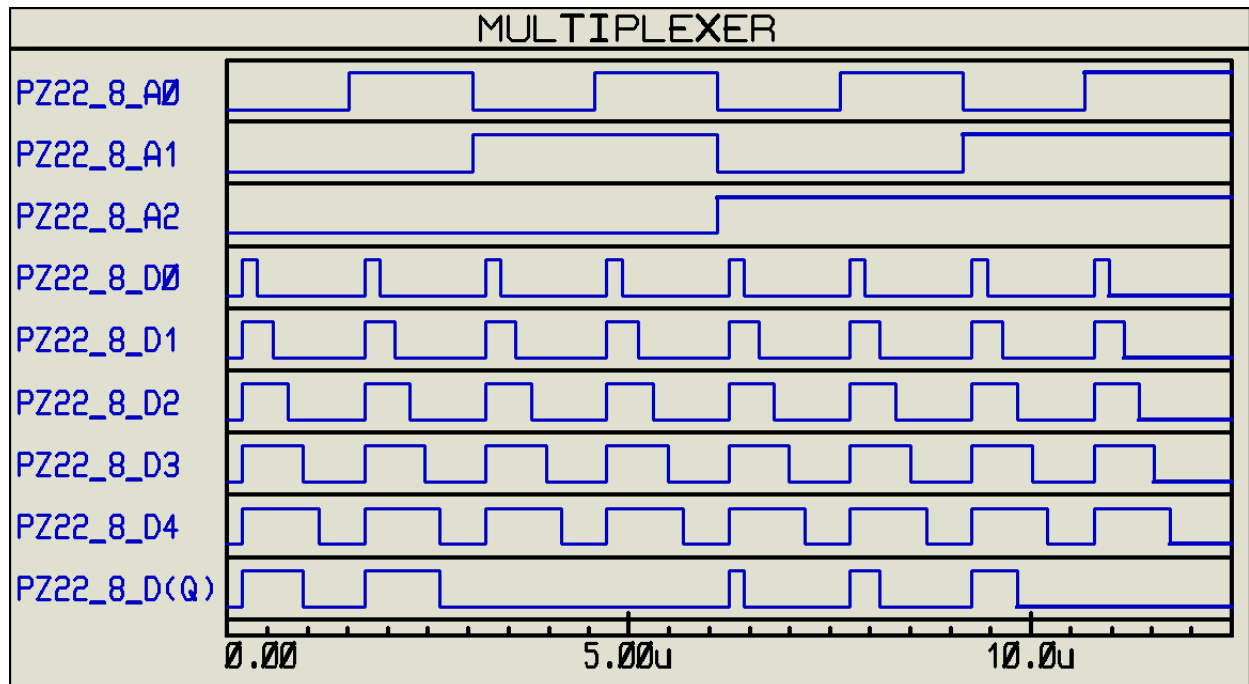


Рис. 6: Графік 3

За отриманим графіком виконання схеми мультиплексора видно, що часові діаграми вхідних та вихідних сигналів на кожному з восьми проміжків відповідають заданій таблиці істинності мультиплексора, отже, можна зробити виновок, що моделювання виконано правильно.

## Схема демультиплексора 1 в 5

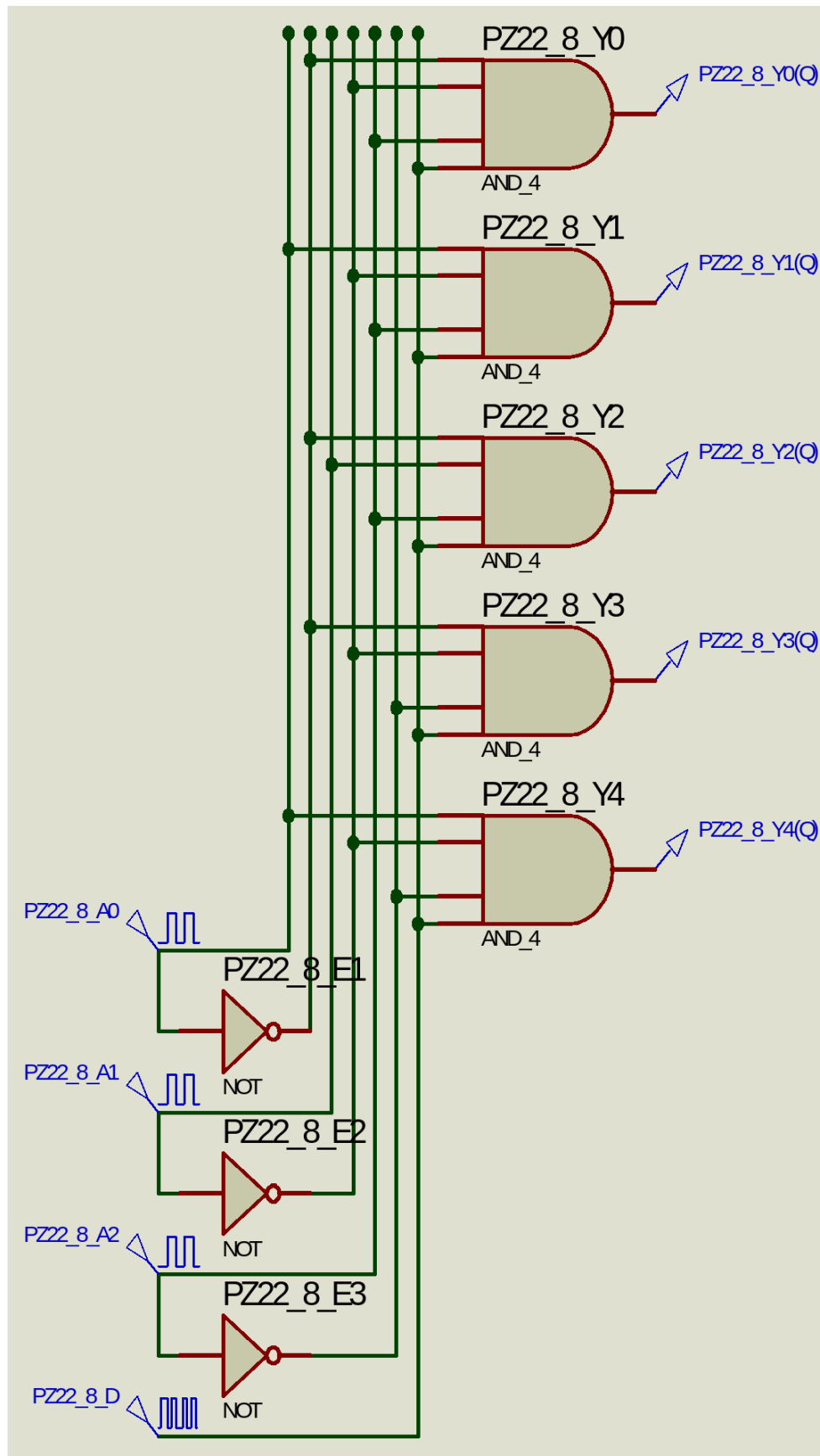


Рис. 7: Схема 4

$$Y_0 = \overline{A_0} \wedge \overline{A_1} \wedge A_2 \wedge D$$

$$Y_1 = A_0 \wedge \overline{A_1} \wedge A_2 \wedge D$$

$$Y_2 = \overline{A_0} \wedge A_1 \wedge A_2 \wedge D$$

$$Y_3 = \overline{A_0} \wedge \overline{A_1} \wedge \overline{A_2} \wedge D$$

$$Y_4 = A_0 \wedge \overline{A_1} \wedge \overline{A_2} \wedge D$$

## Генератори до схеми демультиплексора 1 в 5

(a) Генератор A0

(б) Генератор A1

(в) Генератор A2

(г) Генератор D

## Графік до схеми демультиплексора 1 в 5

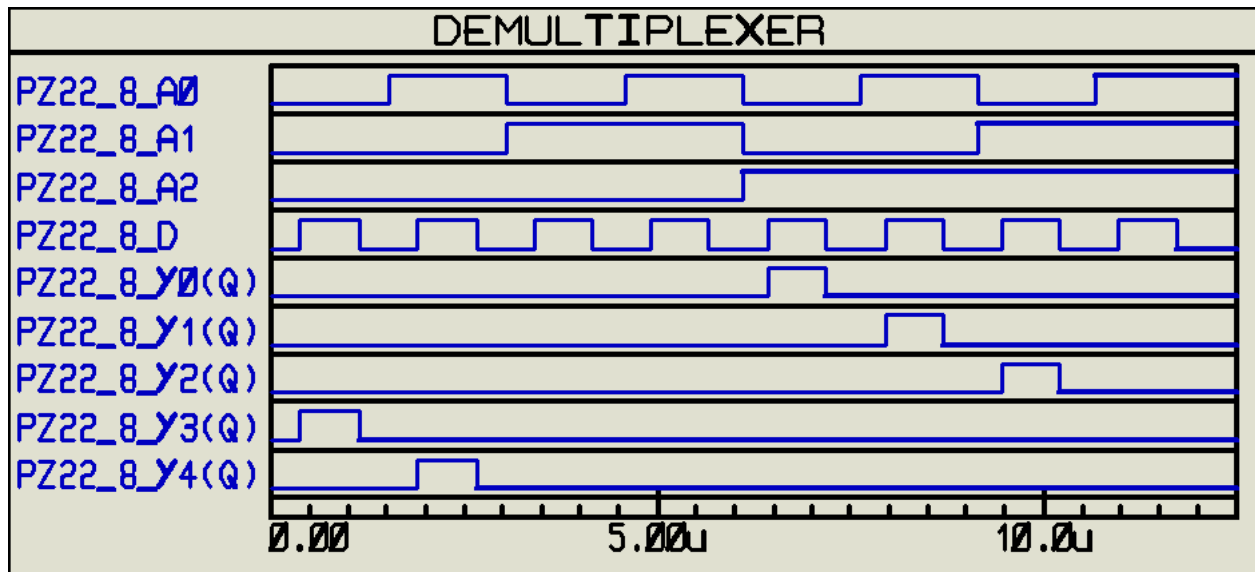


Рис. 8: Графік 4

За отриманим графіком виконання схеми демультиплексора видно, що часові діаграми вхідних та вихідних сигналів на кожному з восьми проміжків відповідають заданій таблиці істинності демультиплексора, отже, можна зробити висновок, що моделювання виконано правильно.

## Висновки

Під час виконання лабораторної роботи я закріпив практичні навички моделювання логічних схем в середовищі системи програм Proteus. Поглибив знання про основні типи комбінаційних схем: шифратор, дешифратор, мультиплексор і демультиплексор. Опанував їх синтез.

Дослідив роботу синтезованих схем в системі програм Proteus. Змоделивав графіки цих схем за заданим варіантом.