

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"

ІКНІ
Кафедра ПЗ

ЗВІТ

до лабораторної роботи № 4

на тему: *“Синтез та моделювання основних типів регістрів та лічильників в системі Proteus”*
з дисципліни: “Архітектура комп’ютера”

Лектор:

доцент кафедри ПЗ
Крук О.Г.

Виконав:

студент групи ПЗ-22
Коваленко Д.М.

Прийняв:

доцент кафедри ПЗ
Крук О.Г.

«_____» _____ 2022 р.
 Σ = _____

Тема. Синтез та моделювання основних типів регістрів та лічильників в системі Proteus.

Мета. Поглибити знання про будову та функціонування основних типів регістрів та лічильників; синтезувати їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу.

Індивідуальне завдання

Для ПЗ-22

№	n	$a_1 \dots a_n$	M_a	M_c	f_0 , КГц	№	n	$a_1 \dots a_n$	M_a	M_c	f_0 , КГц
1	4	51, 25, 56, 61	13	12	7	16	5	21, 42, 63, 65, 77	30	23	77
2	5	61, 35, 46, 21, 43	23	30	12	17	4	84, 71, 55, 61	13	14	82
3	5	30, 15, 66, 41, 89	27	24	17	18	5	87, 48, 46, 21, 34	26	20	87
4	5	35, 23, 48, 57, 73	26	21	22	19	5	83, 24, 64, 41, 89	24	25	92
5	5	19, 43, 41, 65, 77	27	22	27	20	5	68, 23, 47, 58, 75	26	30	97
6	4	46, 33, 69, 71	14	13	32	21	5	85, 53, 43, 65, 76	30	25	102
7	5	28, 37, 48, 56, 71	28	29	37	22	4	59, 33, 94, 61	13	10	107
8	5	23, 76, 64, 41, 89	21	24	42	23	5	79, 31, 47, 21, 39	30	22	112
9	5	39, 27, 48, 58, 71	27	23	47	24	5	86, 67, 64, 41, 89	29	23	122
10	5	77, 52, 41, 65, 86	30	26	52	25	5	97, 73, 47, 58, 69	30	31	127
11	4	38, 21, 57, 61	14	11	57	26	5	40, 25, 76, 51, 85	22	23	132
12	5	85, 61, 44, 23, 37	28	26	62	27	5	55, 43, 38, 67, 83	24	30	137
13	5	89, 26, 67, 41, 99	29	25	67	28	5	67, 42, 51, 75, 96	28	29	142
14	5	33, 27, 47, 58, 74	27	21	72	29	5	77, 38, 66, 41, 54	28	25	147
15	5	21, 42, 63, 65, 77	28	22	77	30	5	49, 61, 77, 51, 79	30	29	152

Теоретичні відомості

Регістр - це типовий функціональний вузол комп'ютера, призначений для приймання, тимчасового зберігання, перетворення і видавання n-розрядного двійкового слова. Регістр містить регулярний набір однотипових тригерів, в кожному з яких зберігається значення одного двійкового розряду машинного слова. Найчастіше використовують тригери типів D, RS та JK. Регістри, призначені тільки для приймання (записування), зберігання і видавання інформації, називаються елементарними або регістрами пам'яті, або ж фіксаторами. Регістри пам'яті - це пристрої з паралельним записуванням та зчитуванням інформації, яка подана в паралельному коді. Записана у тригери інформація може зчитуватись у прямому коді, інверсному або одночасно в прямому та інверсному кодах.

Вони можуть бути синхронізовані рівнем або фронтом тактового сигналу залежно від типу застосовуваних тригерів. Елементарні регістри будують на одноступеневих тригерах. Логічна функція регістра позначається буквами RG (register).

Регістри, в яких зберігання даних поєднується з мікроопераціями зсуву, називаються регістрами зсуву. Зсув - це одночасне просторове переміщення двійкового слова із збереженням порядку слідування нулів і одиниць. Мікрооперації зсуву використовують при виконанні команд множення, ділення та нормалізації. Крім того, за допомогою зсуву здійснюється перетворення паралельного коду в послідовний або навпаки. Зсув слова може виконуватись вправо (у бік молодших розрядів) або вліво (у бік старших розрядів).

Лічильник - це типовий функціональний вузол комп'ютера, призначений для лічби та фіксації вхідних імпульсів. Лічильник складається із послідовно зв'язаних Т-тригерів, які утворюють пам'ять із заданим числом сталих станів

Хід роботи

Період цифрового сигналу

$$T = \frac{1}{f}; \quad T = \frac{1}{42\text{кГц}} = \frac{1}{42000\text{Гц}} = 0.00002381\text{с}$$

$$\tau = \frac{T}{4} = 0.000005952\text{с}$$

$$2\tau = 2 \cdot 0.000005952 = 0.0000119\text{с}$$

$$0.7\tau = 0.7 \cdot 0.000005952 = 0.000004167\text{с}$$

$$(2^n + 1) \cdot T = (2^5 + 1) \cdot 0.00002381 = 0.0007857\text{с}$$

Двійковий код заданих чисел $a_1 \dots a_5$

$$a_1 = 23_{10} = 00010111_2$$

$$a_2 = 76_{10} = 01001100_2$$

$$a_3 = 64_{10} = 01000000_2$$

$$a_4 = 41_{10} = 00101001_2$$

$$a_5 = 89_{10} = 01011001_2$$

5-розрядний паралельний регістр пам'яті

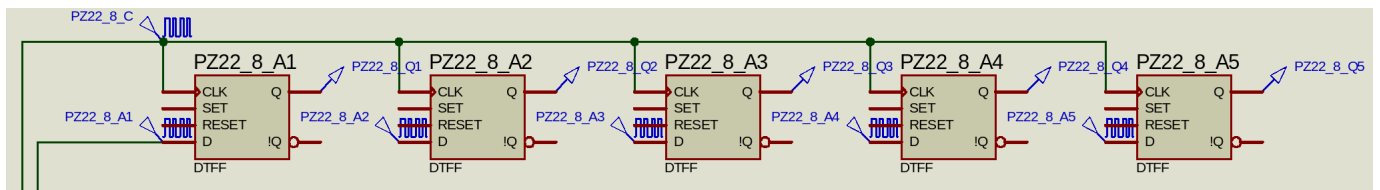


Рис. 1: Схема паралельного регістра

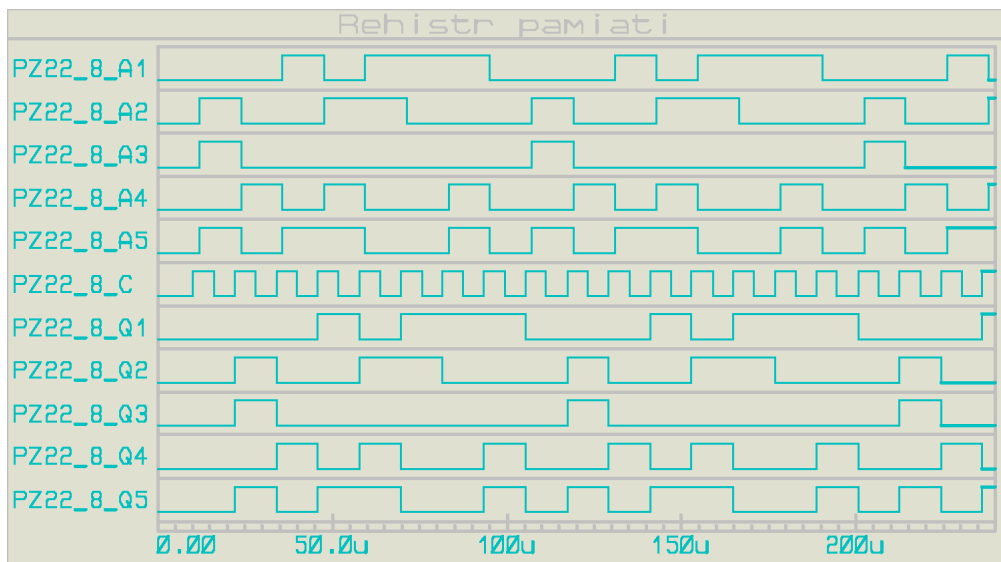


Рис. 2: Графік до схеми паралельного регістра

Generator Name: PZ22_8_C

Initial State: Low

First Edge At (Secs): 4.167u

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 5.952u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01

OK Cancel

Analogue Types:

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types:

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(а) Генератор С

Generator Name: PZ22_8_A1

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 11.9u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

00010111

OK Cancel

Analogue Types:

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types:

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(б) Генератор A1

Generator Name: PZ22_8_A2

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 11.9u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01001100

OK Cancel

Analogue Types:

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types:

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

(в) Генератор A2

Generator Name: PZ22_8_A3

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 11.9u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01000000

OK Cancel

Analogue Types:

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Random

☐ Easy HDL

Digital Types:

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

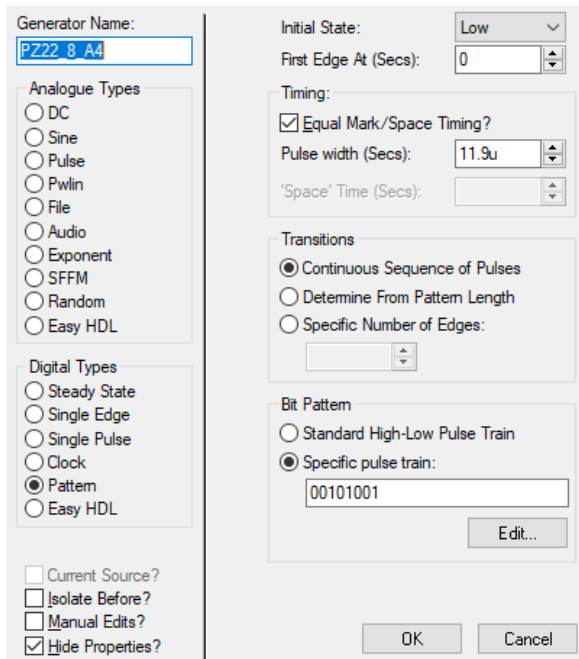
☐ Isolate Before?

☐ Manual Edits?

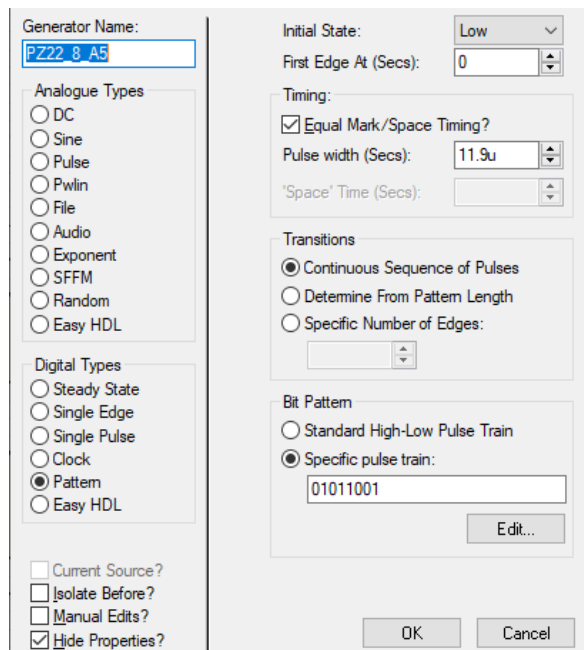
☒ Hide Properties?

(г) Генератор A3

За отриманим графіком виконання схеми паралельного регістра видно, що часові діаграми вхідних та вихідних сигналів відповідають заданому опису функціонування регістра, отже, можна зробити виновок, що моделювання виконано правильно.



(д) Генератор А4



(е) Генератор А5

5-розрядний регістр зсуву вправо на JK-тригерах

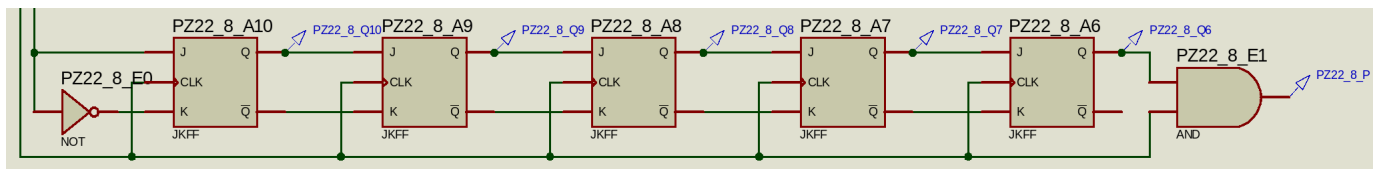


Рис. 3: Схема регістра зсуву

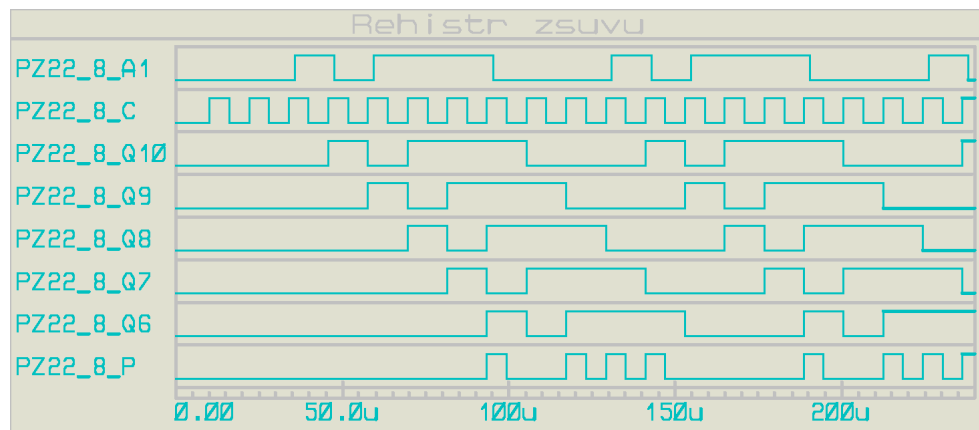
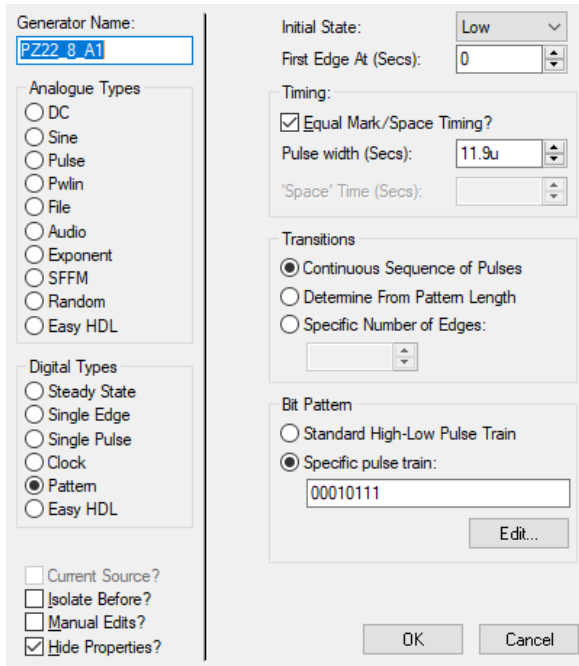
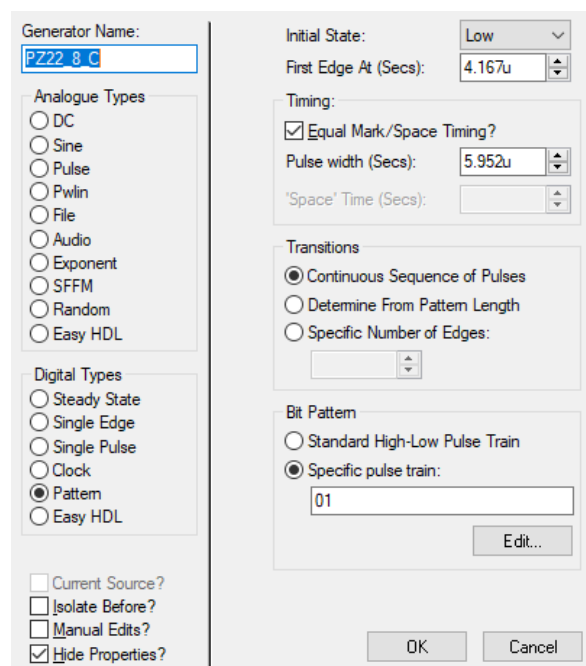


Рис. 4: Графік до схеми регістра зсуву

За отриманим графіком виконання схеми регістра зсуву вправо видно, що часові діаграми вхідних та вихідних сигналів відповідають заданому опису функціонування регістра, отже, можна зробити виновок, що моделювання виконано правильно.



(а) Генератор А1



(б) Генератор С

5-розрядний асинхронний підсумовуючий лічильник на JK-тригерах з прямим динамічним керуванням

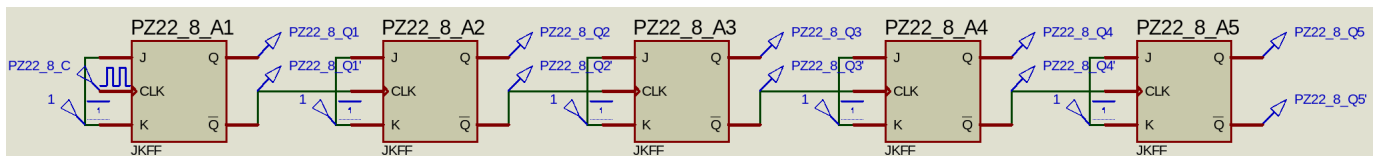


Рис. 5: Схема 5-розрядного асинхронного підсумовуючого лічильника

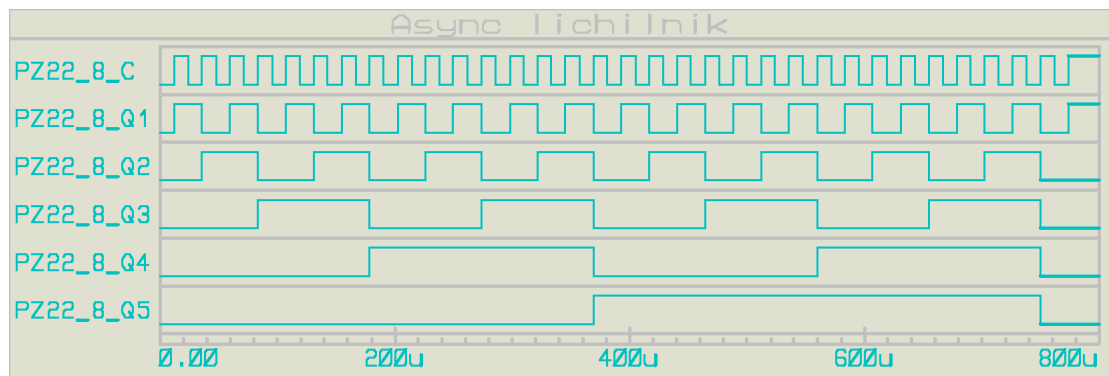


Рис. 6: Графік до схеми 5-розрядного асинхронного підсумовуючого лічильника

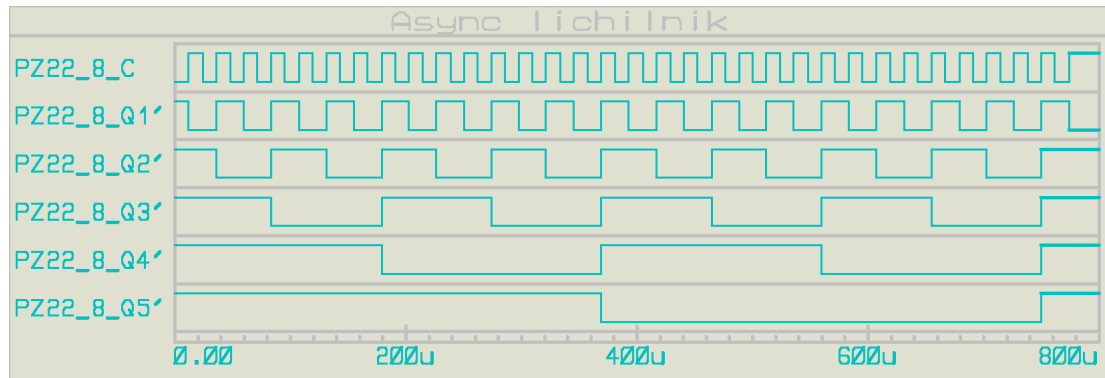
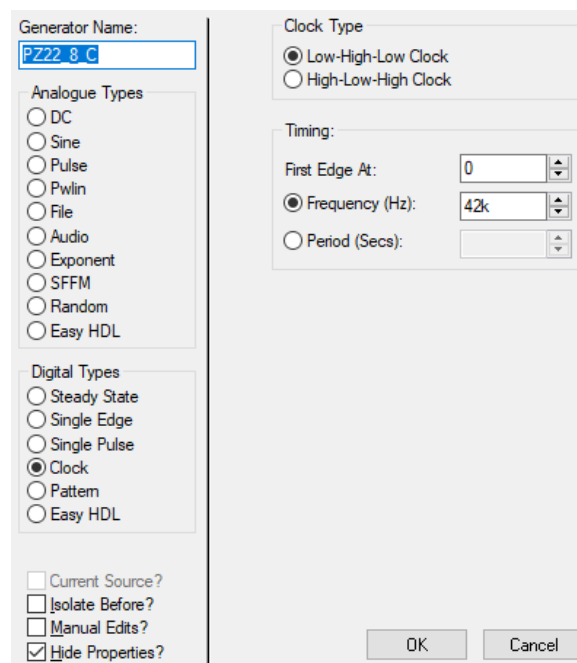


Рис. 7: Графік до схеми 5-розрядного асинхронного підсумовуючого лічильника з оберненим виходом

За отриманим графіком виконання схеми 5-розрядного асинхронного підсумовуючого лічильника видно, що часові діаграми вхідних та вихідних сигналів відповідають заданому опису функціонування лічильника, отже, можна зробити виновок, що моделювання виконано правильно.



(а) Генератор С

5-розрядний асинхронний підсумовуючий лічильник на JK-тригерах з модулем лічби 21

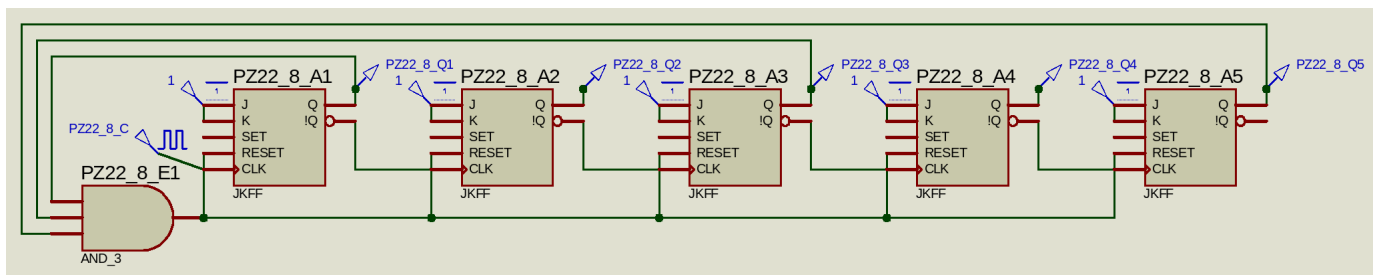


Рис. 8: Схема 5-розрядного асинхронного підсумовуючого лічильника ($M_a = 21$)

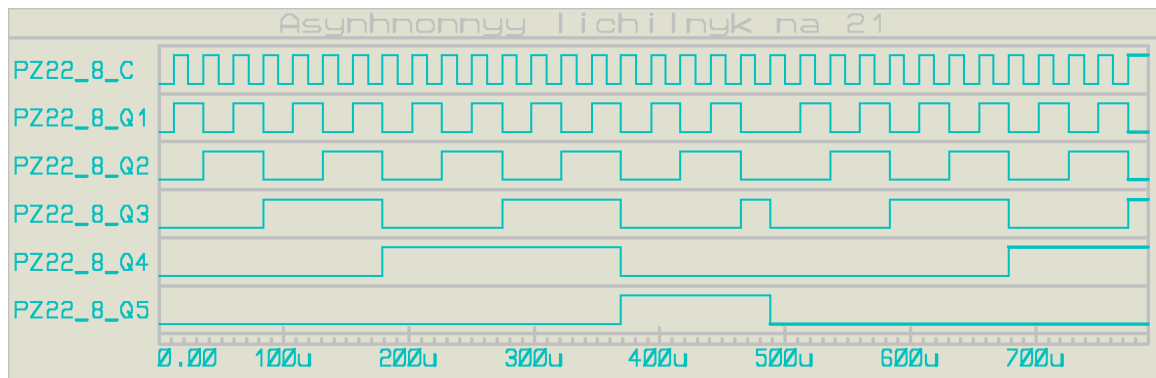
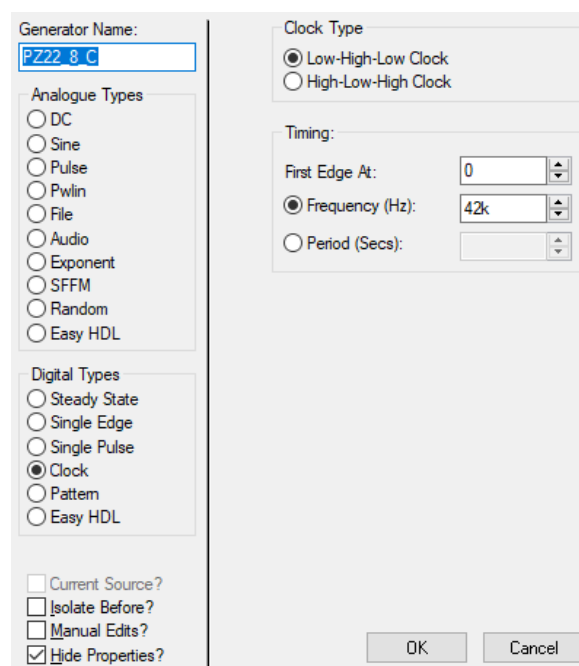


Рис. 9: Графік до схеми 5-розрядного асинхронного підсумовуючого лічильника ($M_a = 21$)

За отриманим графіком виконання схеми 5-розрядного асинхронного підсумовуючого лічильника видно, що часові діаграми вхідних та вихідних сигналів відповідають заданому опису функціонування лічильника, місткість лічби складає 20 (максимальне отримане число), а модуль лічби – 21 (всього різних комбінацій сигналів), отже, можна зробити виновок, що моделювання виконано правильно.



(а) Генератор C

5-розрядний синхронний підсумовуючий лічильника на JK-тригерах з прямим динамічним керуванням

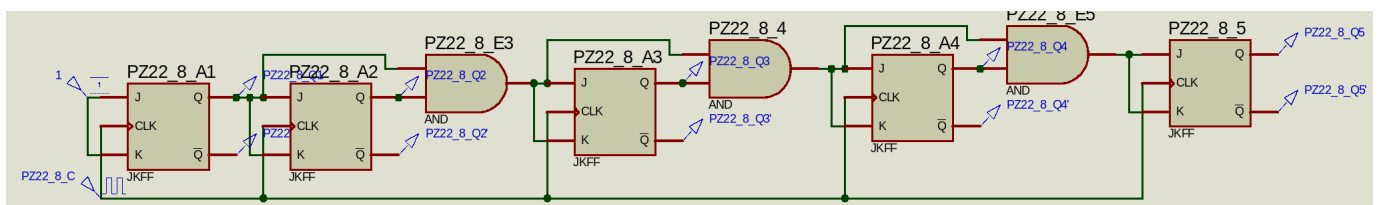


Рис. 10: Схема 5-розрядного синхронного підсумовуючого лічильника

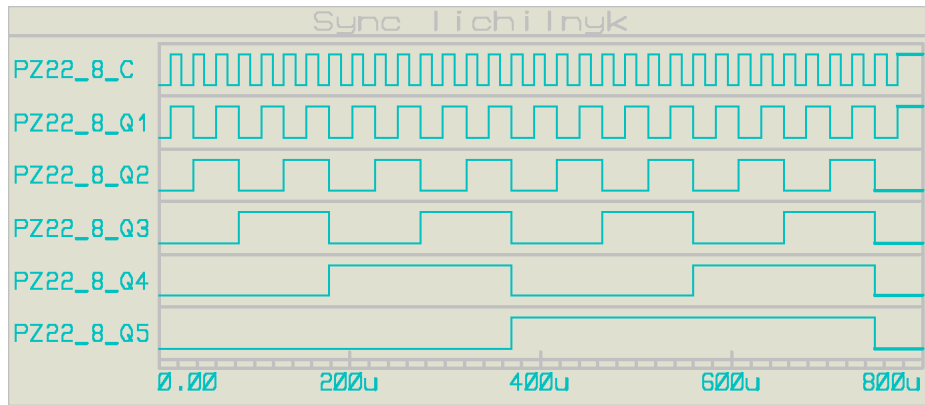


Рис. 11: Графік до схеми 5-розрядного синхронного підсумовуючого лічильника

За отриманим графіком виконання схеми 5-розрядного синхронного підсумовуючого лічильника видно, що часові діаграми вхідних та вихідних сигналів відповідають заданому опису функціонування лічильника, отже, можна зробити виновок, що моделювання виконано правильно.

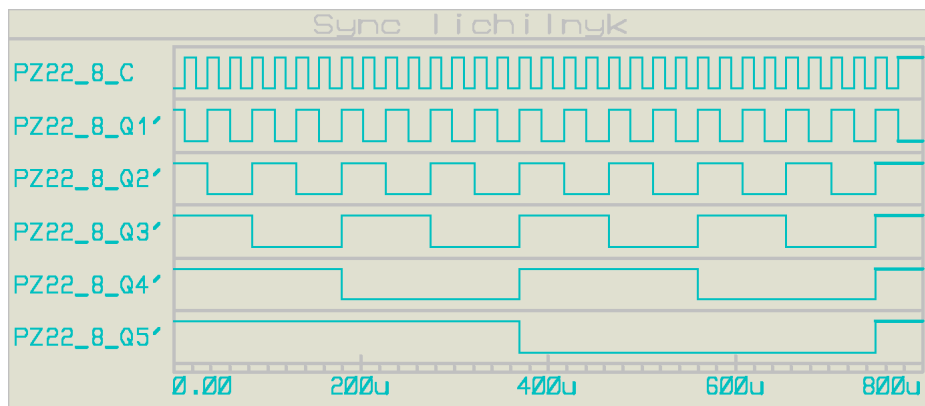
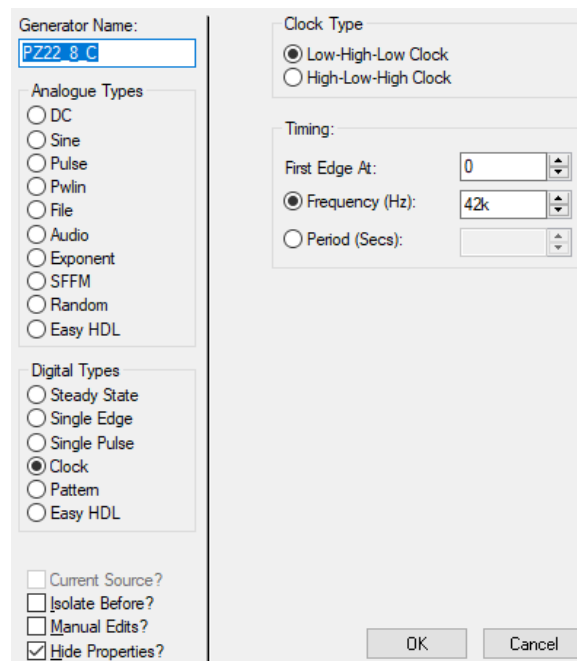


Рис. 12: Графік до схеми 5-розрядного синхронного підсумовуючого лічильника з оберненим виходом



(а) Генератор C

5-розрядний синхронний підсумовуючий лічильник на JK-тригерах з модулем лічби 24

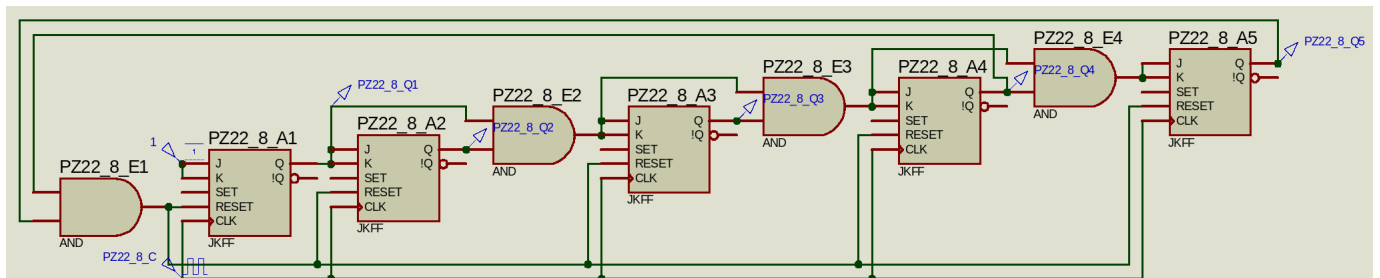


Рис. 13: Схема 5-розрядного синхронного підсумовуючого лічильника ($M_a = 24$)

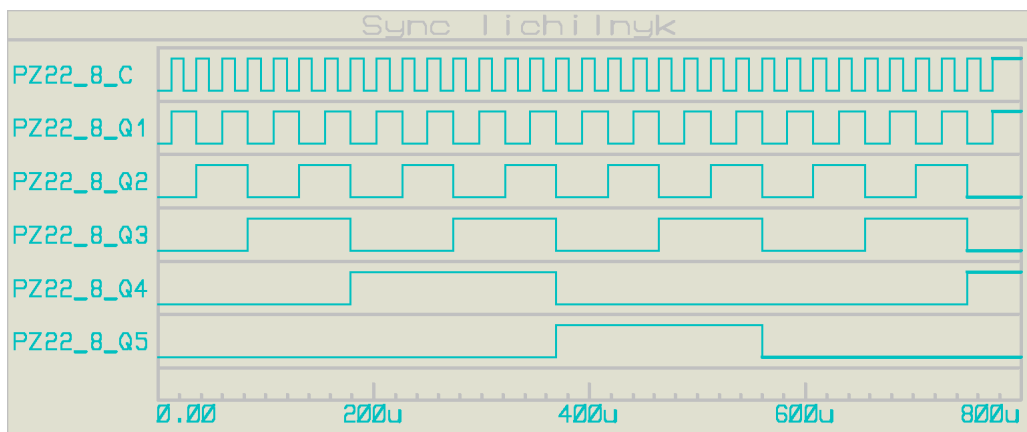
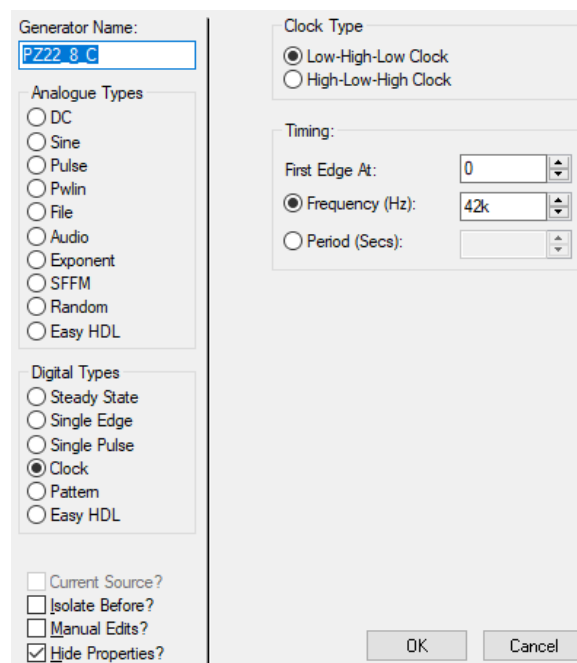


Рис. 14: Графік до схеми 5-розрядного синхронного підсумовуючого лічильника ($M_a = 24$)

За отриманим графіком виконання схеми 5-розрядного синхронного підсумовуючого лічильника видно, що часові діаграми вхідних та вихідних сигналів відповідають заданому опису функціонування лічильника, місткість лічби складає 23 (максимальне отримане число), а модуль лічби – 24 (всього різних комбінацій сигналів)„ отже, можна зробити виновок, що моделювання виконано правильно.



(а) Генератор C

Висновки

Під час виконання лабораторної роботи я поглибив знання про будову та функціонування основних типів регістрів та лічильників; синтезував їх схеми та виконав моделювання в системі програм Proteus; дослідив на основі отриманих часових діаграм їх роботу.

Дослідив роботу синтезованих схем в системі програм Proteus. Змодельовав графіки цих схем за заданим варіантом.