**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**

**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"**

**ІКНІ**

Кафедра **ПЗ**

**ЗВІТ**

до лабораторної роботи №3

**на тему:** *“Моделювання та дослідження основних типів тригерів в системі Proteus”*

**з дисципліни:** *“Архітектура комп’ютера”*

**Лектор:**

доцент кафедри ПЗ

Крук О. Г.

**Виконав:**

студент групи ПЗ-22

Коваленко Д. М.

**Прийняв:**

доцент кафедри ПЗ

Крук О. Г.

« \_\_\_\_ » \_\_\_\_\_\_\_\_ 2022р.

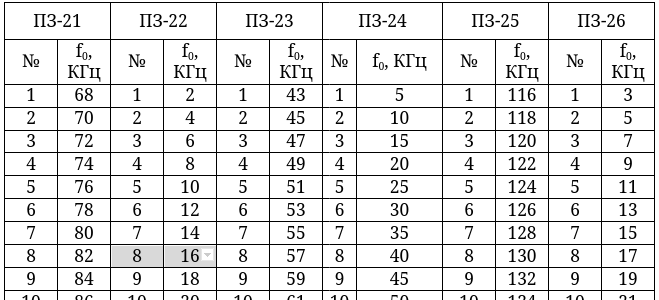
∑= \_\_\_\_\_

Львів – 2022

**Тема роботи:** Моделювання та дослідження основних типів тригерів в системі Proteus.

**Мета роботи:** Закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про будову та функціонування основних типів тригерів; ввести їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу.

**Індивідуальне завдання**



**Теоретичні відомості**

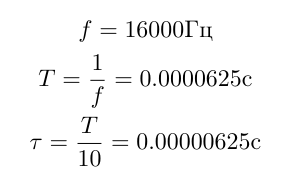
Тригер – це електронний вузол з двома стійкими станами, зміна яких відбувається під дією вхідних сигналів. Якщо прийняти один стан тригера за логічний нуль, а інший – за логічну одиницю, то виходить, що тригер є елементом пам’яті, який може зберігати один біт інформації. Тригер є найпростішим представником послідовних пристроїв і водночас обов’язковим елементом всіх функціонально закінчених вузлів і блоків.

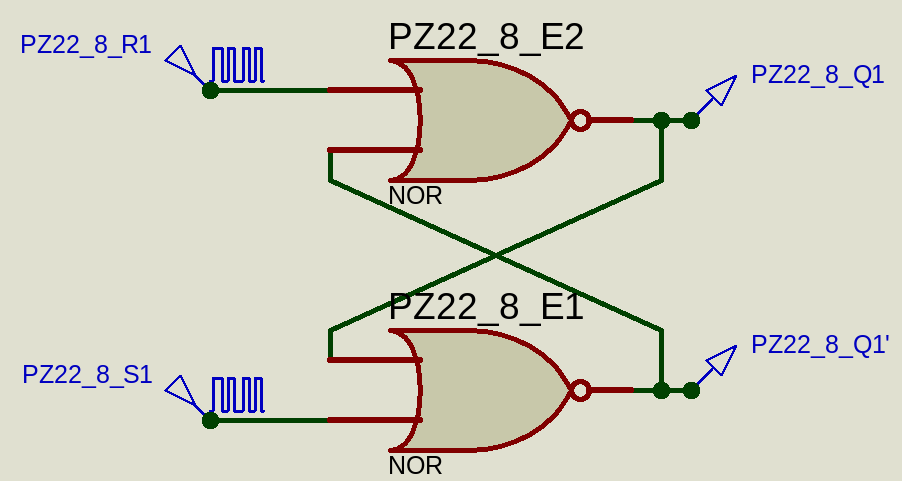
У послідовних пристроях (цифрових автоматах з пам’яттю або скінченних автоматах) вихідні сигнали в кожний момент часу залежать не лише від поточних значень на входах, але й від внутрішнього стану, який є наслідком попередніх дій вхідних сигналів.

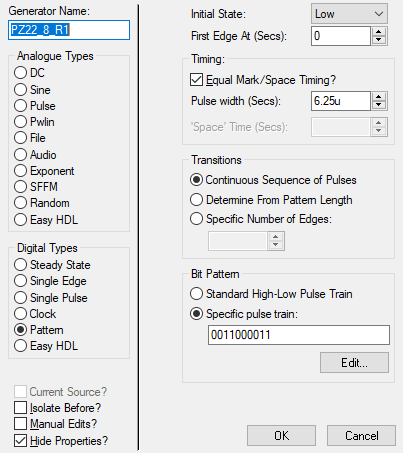
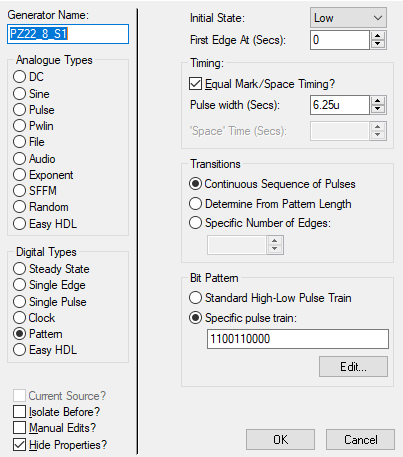
На основі тригерів будують типові функціональні вузли комп’ютерів – регістри, лічильники, накопичувальні суматори, а також мікропрограмні автомати.

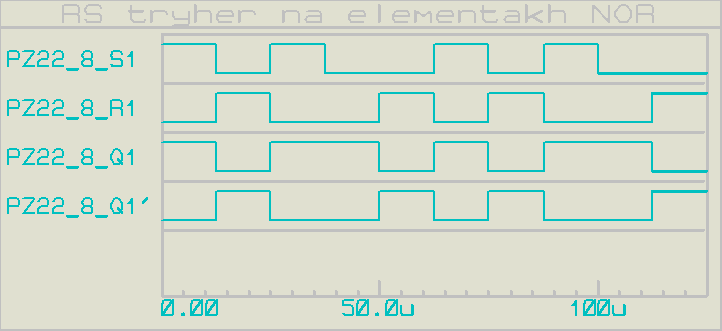
Усі різновиди тригерів можна розглядати як елементарний автомат, що складається з власне елемента пам’яті (ЕП) та схеми керування (СхК), яка утворює вхідну логіку. Схема керування забезпечує записування, зчитування, стирання та індикацію двійкової інформації, яка зберігається в тригері.

**Хід роботи**

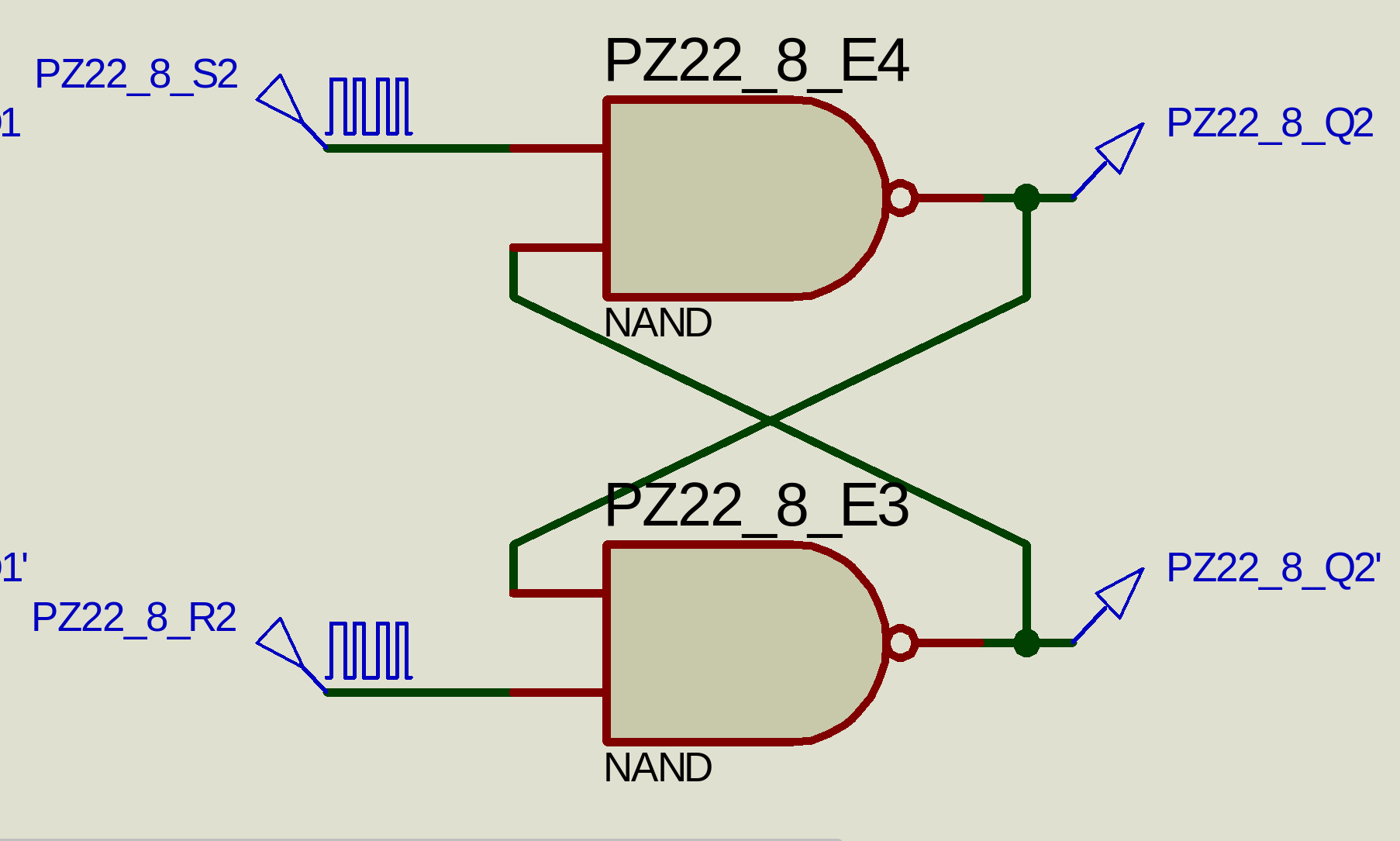
**Схема №1** (асинхронний RS-тригер на логічних елементах АБО-НЕ)

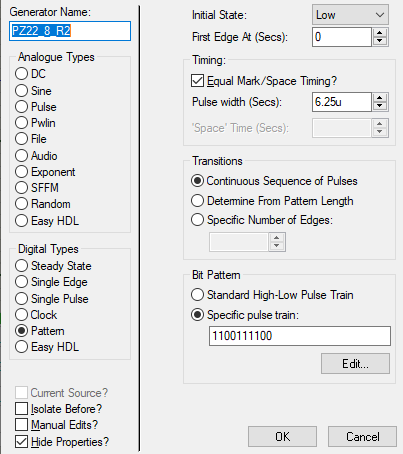
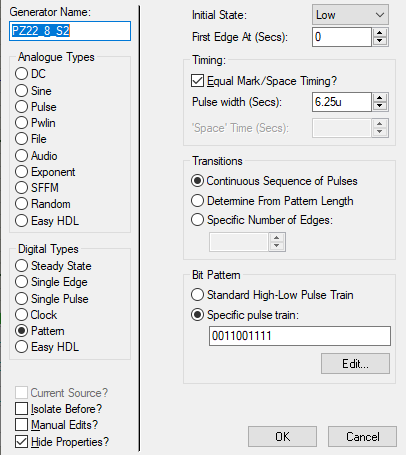
**Генератори до схеми №1**

**Графік до схеми №1**

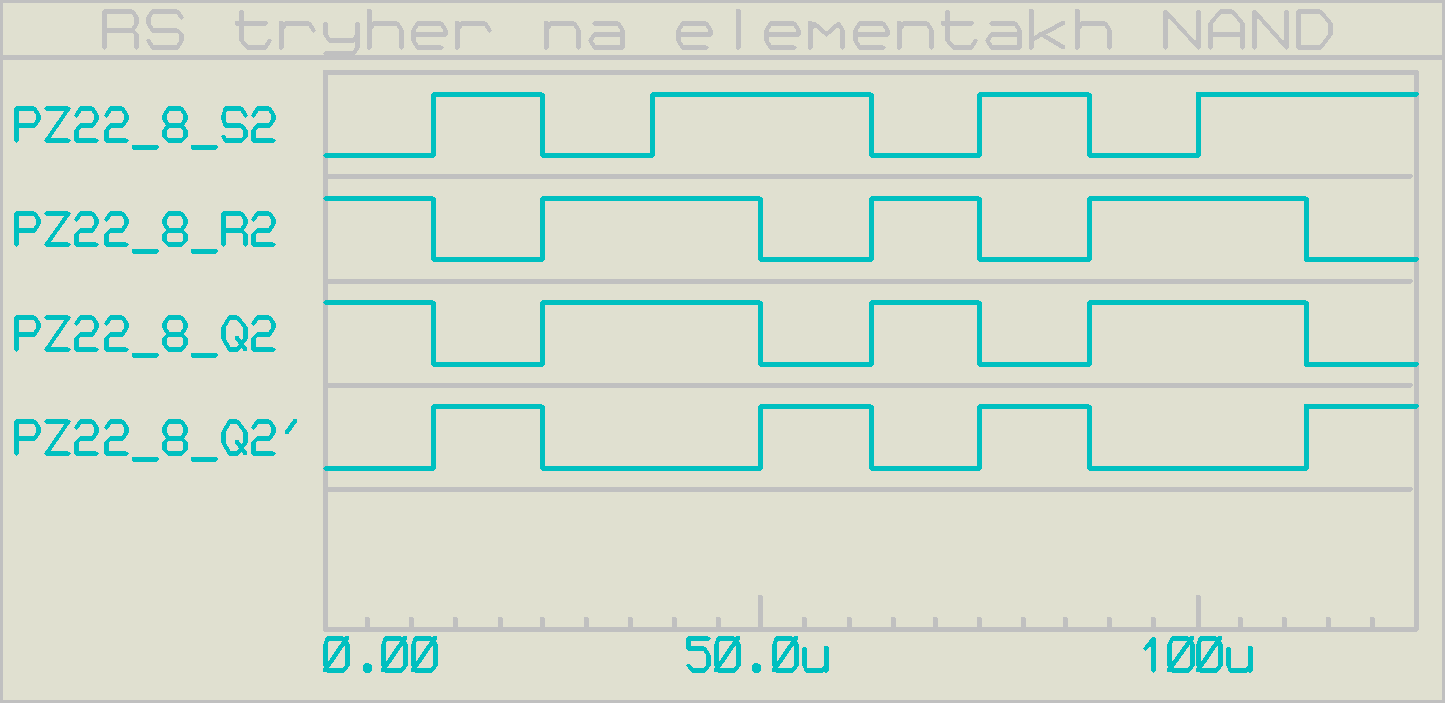
За отриманим графіком виконання схеми тригера видно, що часові діаграми вхідних та вихідних сигналів відповідають заданій таблиці істинності тригера, отже, можна зробити висновок, що моделювання виконано правильно.

**Схема №2** (асинхронний RS-тригер на логічних елементах І-НЕ)

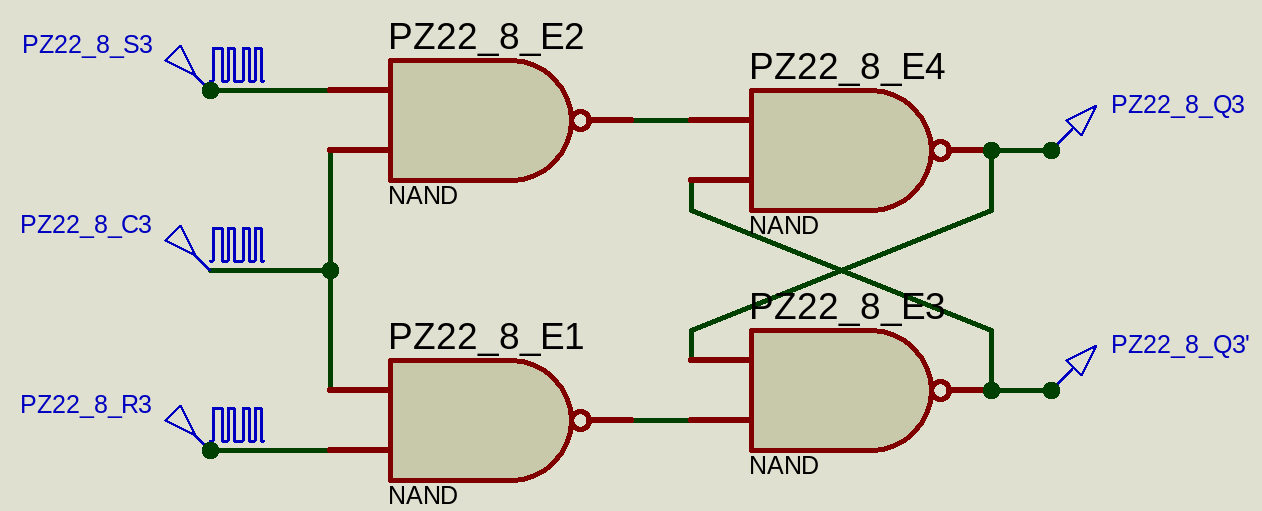
**Генератори до схеми №2**

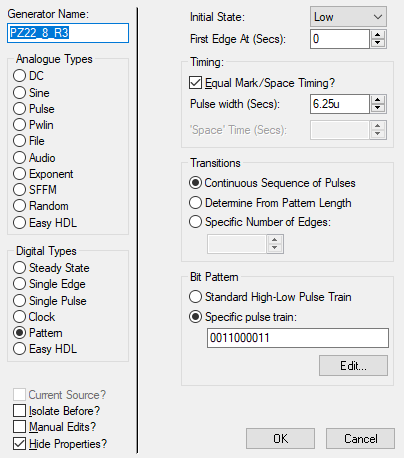
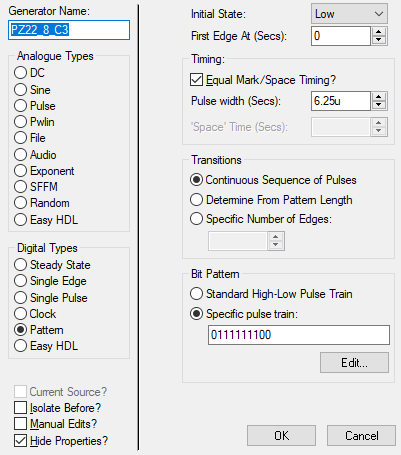
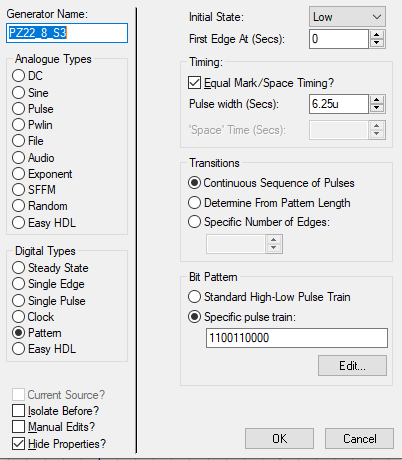
****

**Графік до схеми №2**

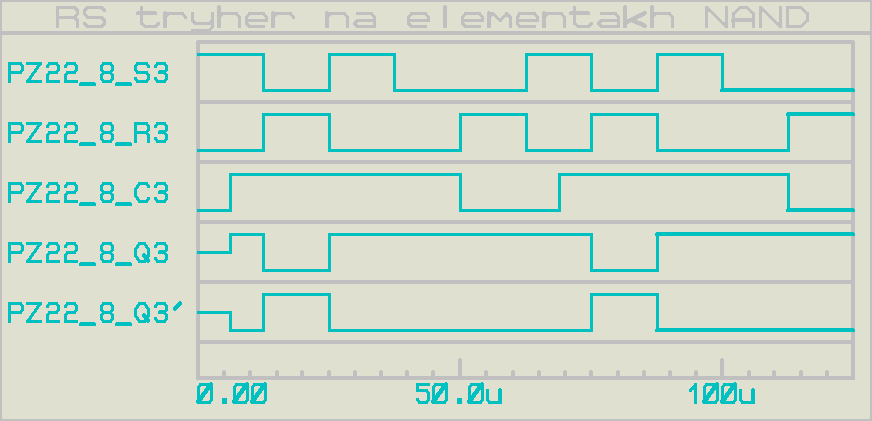
За отриманим графіком виконання схеми тригера видно, що часові діаграми вхідних та вихідних сигналів відповідають заданій таблиці істинності тригера, отже, можна зробити висновок, що моделювання виконано правильно.

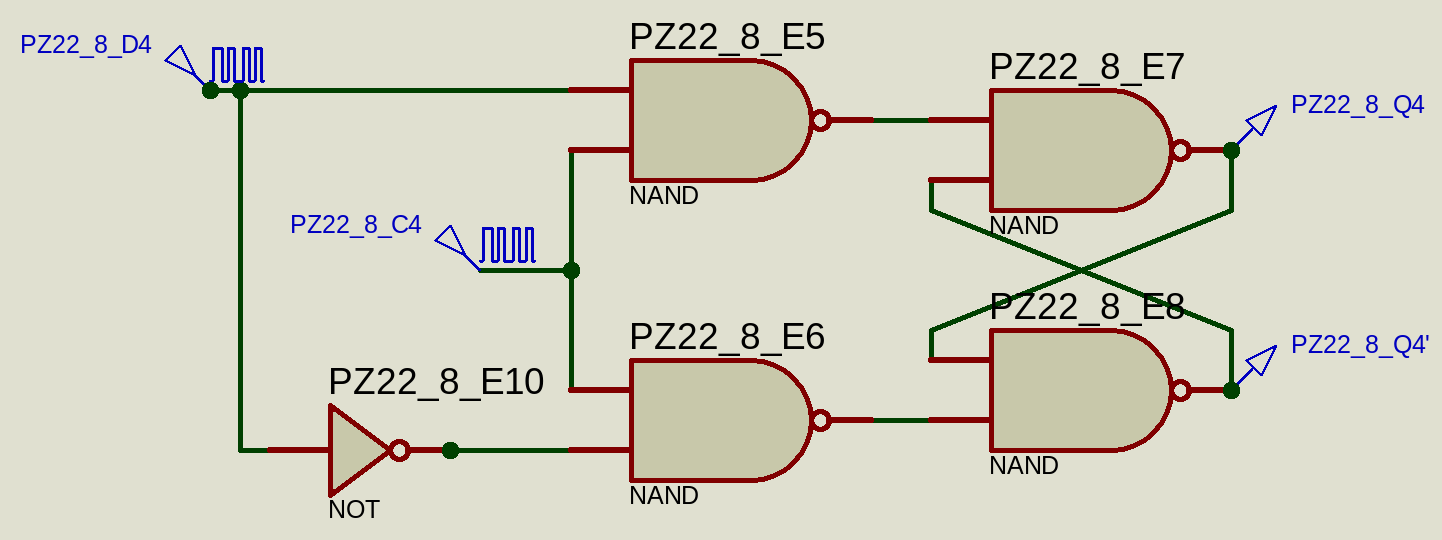
**Схема №3** (синхронний RS-тригер на логічних елементах І-НЕ)

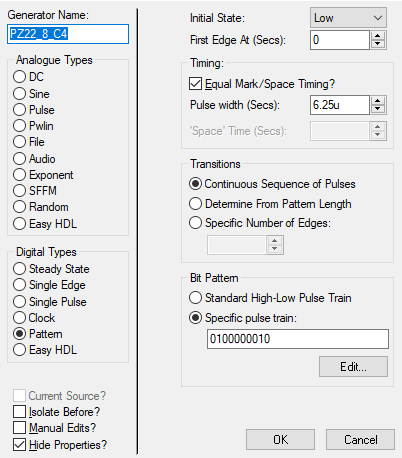
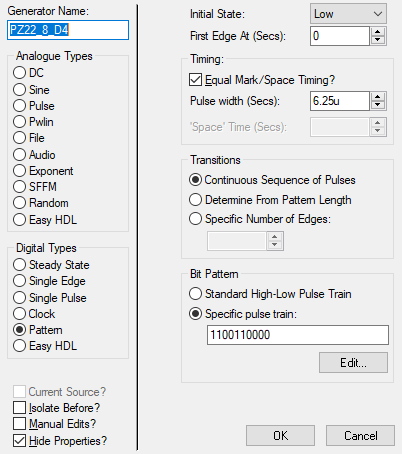
 **Генератори до схеми №3**

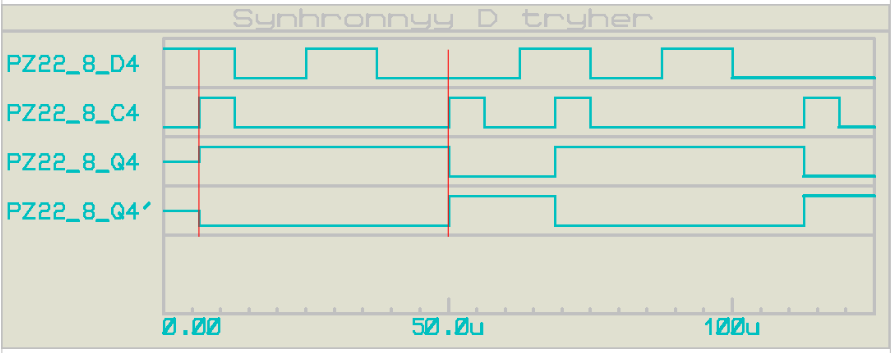


**Графік до схеми №3**

За отриманим графіком виконання схеми тригера видно, що часові діаграми вхідних та вихідних сигналів відповідають заданій таблиці істинності тригера, отже, можна зробити висновок, що моделювання виконано правильно. **Схема №4** (синхронний D-тригер на елементах І-НЕ)

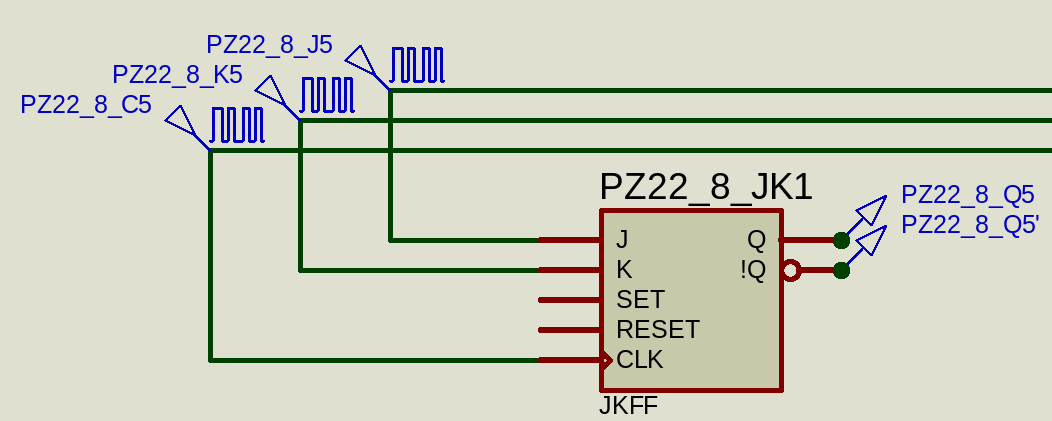
 **Генератори до схеми №4**

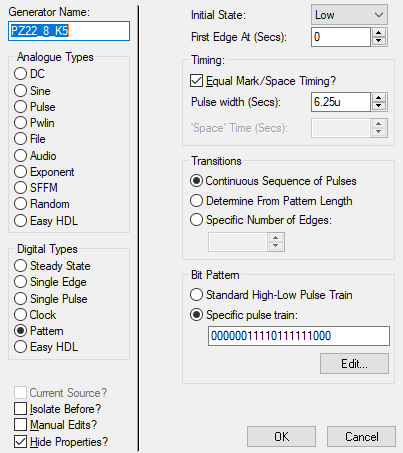
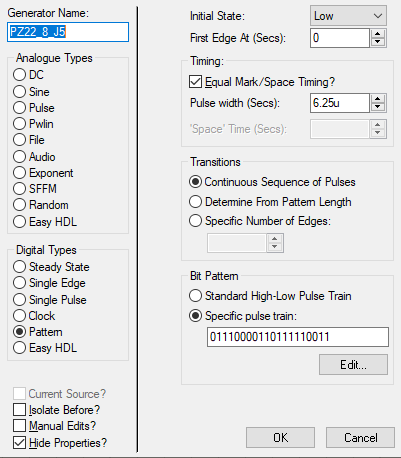
**Графік до схеми №4**

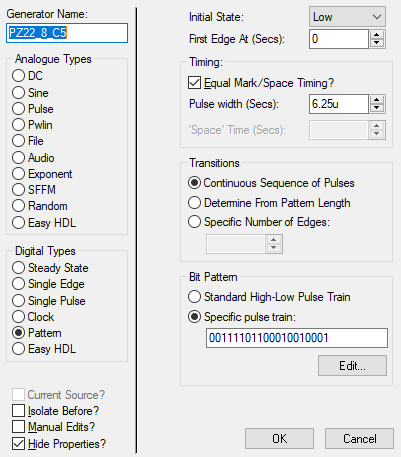
За отриманим графіком виконання схеми тригера видно, що часові діаграми вхідних та вихідних сигналів відповідають заданій таблиці істинності тригера, отже, можна зробити висновок, що моделювання виконано правильно.

Час затримки D-тригера (позначено червоними лініями) – це проміжок часу між двома послідовними появами активного логічного рівня на вході C, тобто проміжок часу між двома послідовними поданнями тактового імпульсу.

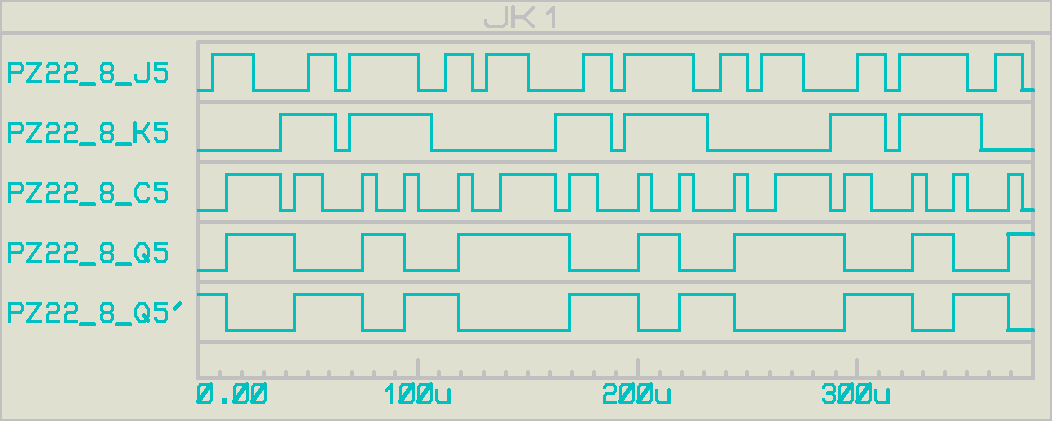
**Схема №5** (тригер JKFF)

**Генератори до схеми №5**

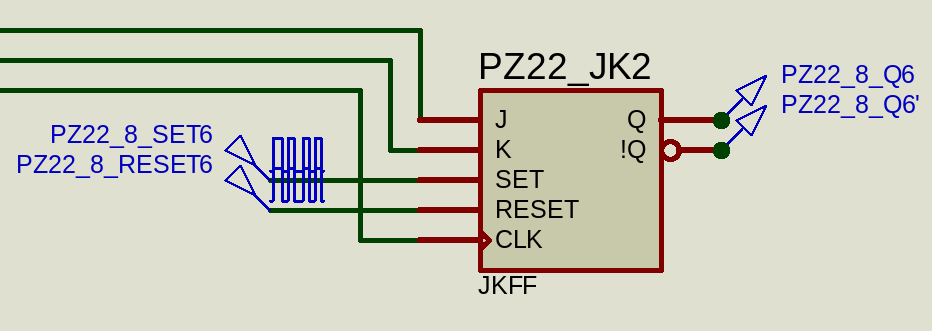


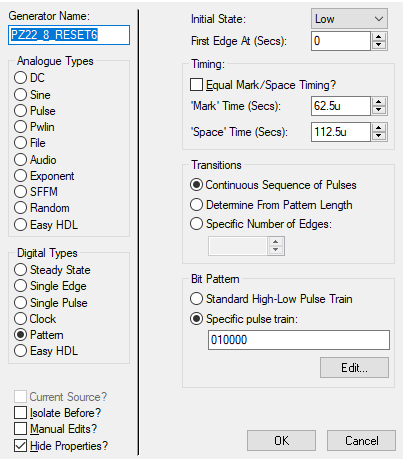
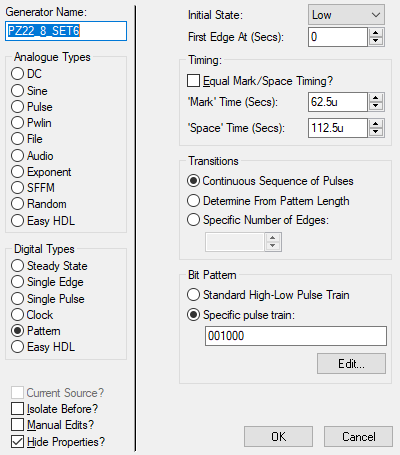


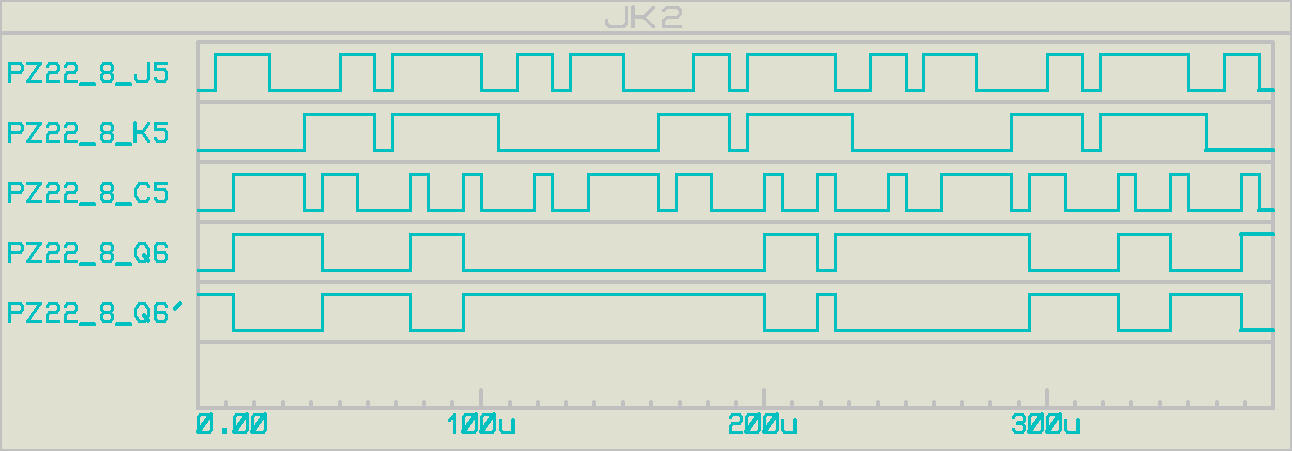
**Графік до схеми №5**

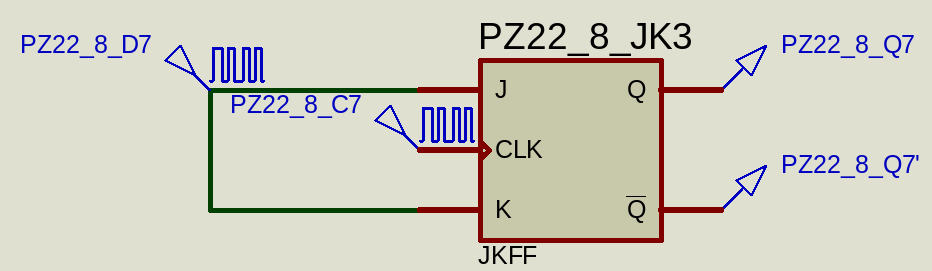
За отриманим графіком виконання схеми тригера видно, що часові діаграми вхідних та вихідних сигналів відповідають заданій таблиці істинності тригера, отже, можна зробити висновок, що моделювання виконано правильно.

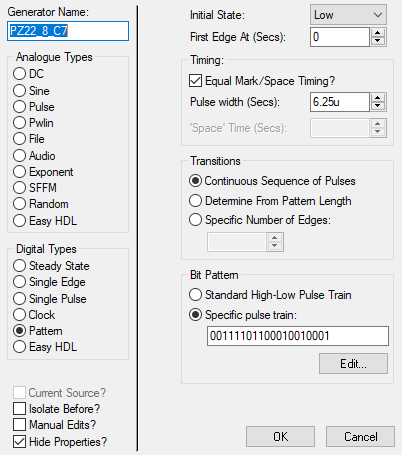
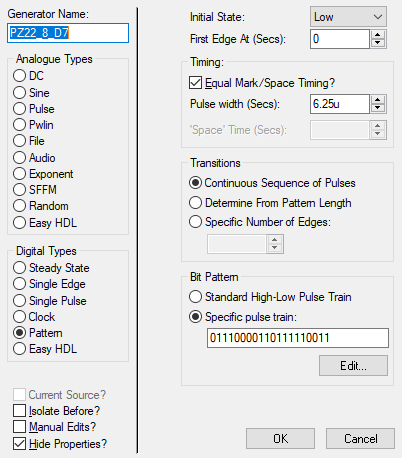
**Схема №6** (тригер JKFF)

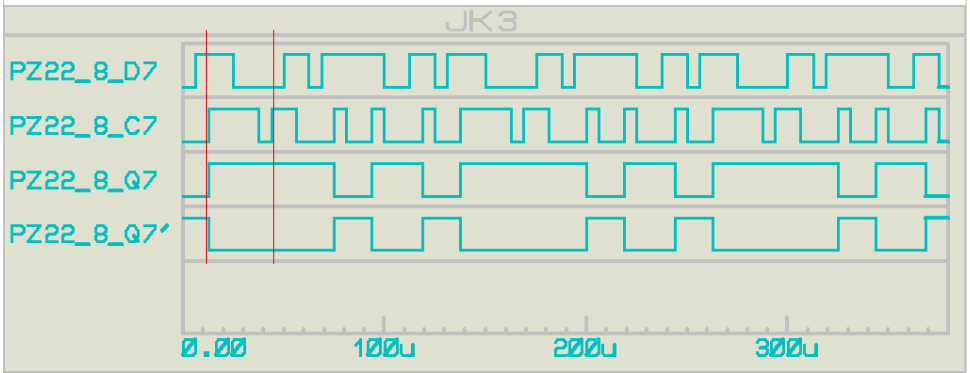
**Генератори до схеми №6**

**Графік до схеми №6**

За отриманим графіком виконання схеми тригера видно, що часові діаграми вхідних та вихідних сигналів відповідають заданій таблиці істинності тригера, отже, можна зробити висновок, що моделювання виконано правильно. **Схема №7** (синхронний D-тригер на основі тригера JKFF)

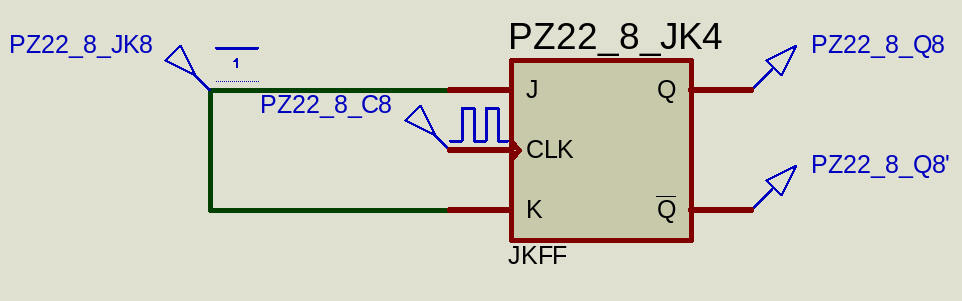
**Генератори до схеми №7**

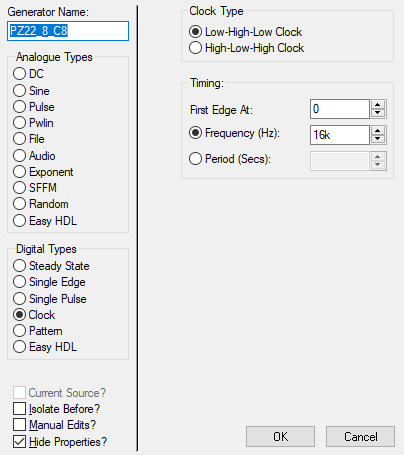
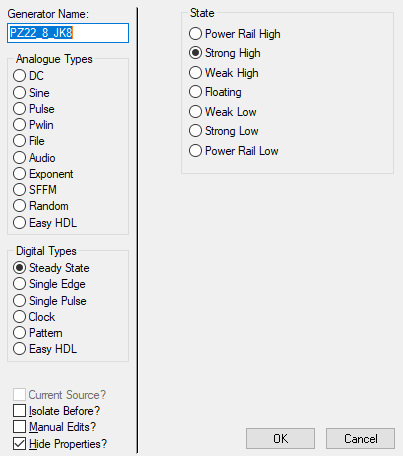
**Графік до схеми №7**

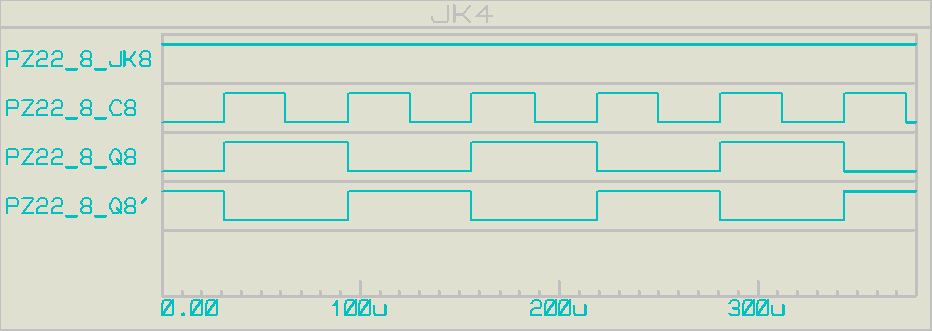
****

За отриманим графіком виконання схеми тригера видно, що часові діаграми вхідних та вихідних сигналів відповідають заданій таблиці істинності тригера, отже, можна зробити висновок, що моделювання виконано правильно.

Час затримки D-тригера (позначено червоними лініями) – це проміжок часу між двома послідовними появами активного логічного рівня на вході C, тобто проміжок часу між двома послідовними поданнями тактового імпульсу. **Схема №8** (синхронний Т-тригер на основі тригера JKFF)

**Генератори до схеми №8**

**Графік до схеми №8**

За отриманим графіком виконання схеми тригера видно, що часові діаграми вхідних та вихідних сигналів відповідають заданій таблиці істинності тригера, отже, можна зробити висновок, що моделювання виконано правильно.

За отриманим графіком виконання схеми тригера можна визначити період вихідного сигналу, що дорівнює 2T=0.000125с.

**Висновки**

Під час виконання лабораторної роботи я закріпив практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибив знання про будову та функціонування основних типів тригерів; увів їх схеми та виконав моделювання в системі програм Proteus; дослідив на основі отриманих часових діаграм їх роботу.