

全国大学生计算机系统能力培养大赛技术方案

一、评价方式的基本说明

第1条 除本技术方案特别要求、规定和禁止事项外，各参赛队自行决定 CPU 微架构、演示方案等。

第2条 大赛鼓励各参赛队综合运用各种知识（如流水线、超标量、预测、Cache 等）并充分利用实验板硬件资源以尽可能提高 CPU 运行性能。

第3条 大赛鼓励各参赛队综合运用多种知识去构思并实现一个综合性的软硬件系统，以展示构造系统的想象力与能力。

第4条 为展示参赛队伍的设计水平、增加竞赛的对抗性以及体现“自主可控”的设计理念，进入决赛的参赛队还需要再实现若干由大赛组委会定义的指令。

二、初赛评分标准

第5条 比赛内容。开发支持 MIPS 基准指令集的 MIPS 微系统。

1. 初赛阶段的 MIPS 微系统使用 FPGA 片内存储器即可。
2. 指令存储器应不小于 8KB，数据存储器应不小于 8KB。
3. FPGA 内部集成 1 个计数器（用于性能测试）。
4. FPGA 支持 7 段数码管显示（用于性能测试）。
5. CPU 核能通过接口与各 I/O 设备互联通信。

第6条 功能测试。以正确通过的指令功能测试项数为评价依据。功能测试分值越大越好。计算方法如下：

$$\text{功能测试得分} = \frac{\text{正确通过的指令功能测试项数}}{\text{MIPS 基准指令功能测试项总数}} \times 100$$

第7条 性能测试。以 FPGA 运行基准测试程序所需时间为评价依据。性能测试分值越大越好。基本计算方法如下：

1. 各参赛队中程序执行时间最小者的性能测试分值被定义为 100 分，最大者的性能测试分值被定义为 0 分；其余各队成绩被映射至[0,100]区间。
2. 程序执行时间的计算方法如下：

程序执行时间 = 计数器周期数 × 计数器所用时钟周期时间

3. 计数器周期数。该值是指利用计数器记录基准测试程序运行的时钟周期数。计算方法如下：

计数器周期数 = 程序执行后计数器值 - 程序执行前计数器值

第8条 各参赛队总成绩计算方法如下：

总成绩 = 功能测试得分 + 性能测试得分

三、决赛评分标准

第9条 决赛阶段的 MIPS 微系统内部设计可以与初赛阶段的设计不同，但必须满足下列设计约束：

1. FPGA 内部集成至少 1 个计数器（用于性能测试）。
2. FPGA 支持 7 段数码管显示（用于性能测试）。

第10条 比赛内容如下：

1. 性能测试。运行基准测试程序测量 CPU 的性能。
2. 系统展示。运行操作系统（可以是大赛提供的操作系统，也可以自行选择操作系统）或应用程序的实际效果。
3. 实现自定义指令。在进行系统展示的 MIPS 微系统基础上，在规定时间内再实现由大赛组委会定义的指令。大赛仅测试自定义功能是否正确实现。
4. 答辩。汇报设计思路并回答专家问题。

第11条 决赛总成绩 100 分，各分项成绩权重如下：

1. 基准测试程序运行成绩：30%
2. 自定义指令实现的成绩：20%
3. 系统展示及答辩成绩：50%

四、参赛作品提交

第12条 各参赛队初赛阶段需要在大赛网站提交完整的设计内容：

1. MIPS 微系统硬件设计的完整工程文件（必须包含全部源代码、FPGA 管脚分配文件、FPGA 二进制下载文件）
2. MIPS 微系统设计报告。（模版见附件一）

第13条 如果决赛阶段的硬件设计与初赛阶段的硬件设计有任何不同，均需要再

次提交完整的设计内容。

第14条 如果需要使用第三方 IP 或者借鉴他人的部分源码，必须在设计报告中予以明确说明。

第15条 参赛队必须严守学术诚信。一经发现代码抄袭或技术抄袭等学术不端行为，取消参赛队的参赛资格。

五、测试程序

第16条 大赛提供的基准测试程序包括功能测试程序和性能测试程序，分别用于测试 MIPS 微系统能否执行正确的基准指令集及其性能。

第17条 自定义指令测试程序为汇编程序，仅用于测试自定义指令实现的正确性。自定义指令测试程序与性能测试无关。

六、软硬件系统规范

第18条 MIPS 基准指令集是 MIPS32 标准指令集的子集，只包括定点指令（含部分 CP0 相关指令）和中断、例外功能，不含浮点及 MMU 等相关指令功能。

第19条 自定义指令由大赛组委会在决赛阶段发布。

1. 自定义指令为定点指令，且与 CP0 无关。
2. 自定义指令包括：计算、分支与访存三大类。
3. 自定义指令符合 MIPS 指令架构基本设计理念。

第20条 大赛提供一个小型操作系统供各参赛队在决赛阶段选用。各参赛队也可自行选择操作系统，以充分展示 MIPS 微系统的全系统功能和应用水平。

第21条 为确保大赛提供的测试程序可以正确运行，MIPS 微系统必须在下列方面符合第 25 条 中的“MIPS 微系统体系结构规范”：

1. 存储器地址空间。
2. I/O 设备地址空间。

第22条 大赛指定的 FPGA 实验设备主要参数如下：

1. FPGA 型号：XILINX 公司 Artix-7 FPGA。
2. DDR3 SDRAM：16 位，128MB。
3. SPI FLASH：4MB。
4. RS-232 接口：1 个。

5. 7 段数码管：8 个。

6. 拨动开关：8 位。

第23条 EDA 及软件开发环境如下：

1. 大赛指定龙芯体系结构教学实验平台作为 MIPS 运行环境。
2. 大赛指定龙芯 MIPS-GCC 交叉编译器为 C 编译器。
3. 大赛指定 XILINX 公司的 Vivado2017.4 为 FPGA 综合工具。
4. 除 C 编译器和 FPGA 综合工具为大赛指定工具外，各参赛队可使用其他各种开发工具。

七、大赛网站

第24条 大赛网站网址为：www.nscscc.org。

第25条 大赛网站提供多种软件开发工具及设计资料，包括但不限于下列内容：

1. MIPS 微系统体系结构规范。
2. MIPS 基准指令集。
3. 基准测试程序。
4. 龙芯体系结构教学实验平台体系结构规范，及 FLASH 编程工具。
5. 龙芯 MIPS-GCC 交叉编译工具链使用手册。
6. 小型操作系统源代码及工程文件、编译说明、系统加载说明等。
7. IP 核（AMBA 总线控制器、DDR3 SDRAM 控制器、FLASH 控制器、计数器控制器、定时器控制器、UART 控制器、PLL 等）及编程规范。
8. 部分 IP 核调用的 VerilogHDL 参考样例程序。
9. AHB-Lite 接口规范及使用参考样例程序。