

# 1 龙芯龙芯体系结构教学实验箱（Artix-7）介绍

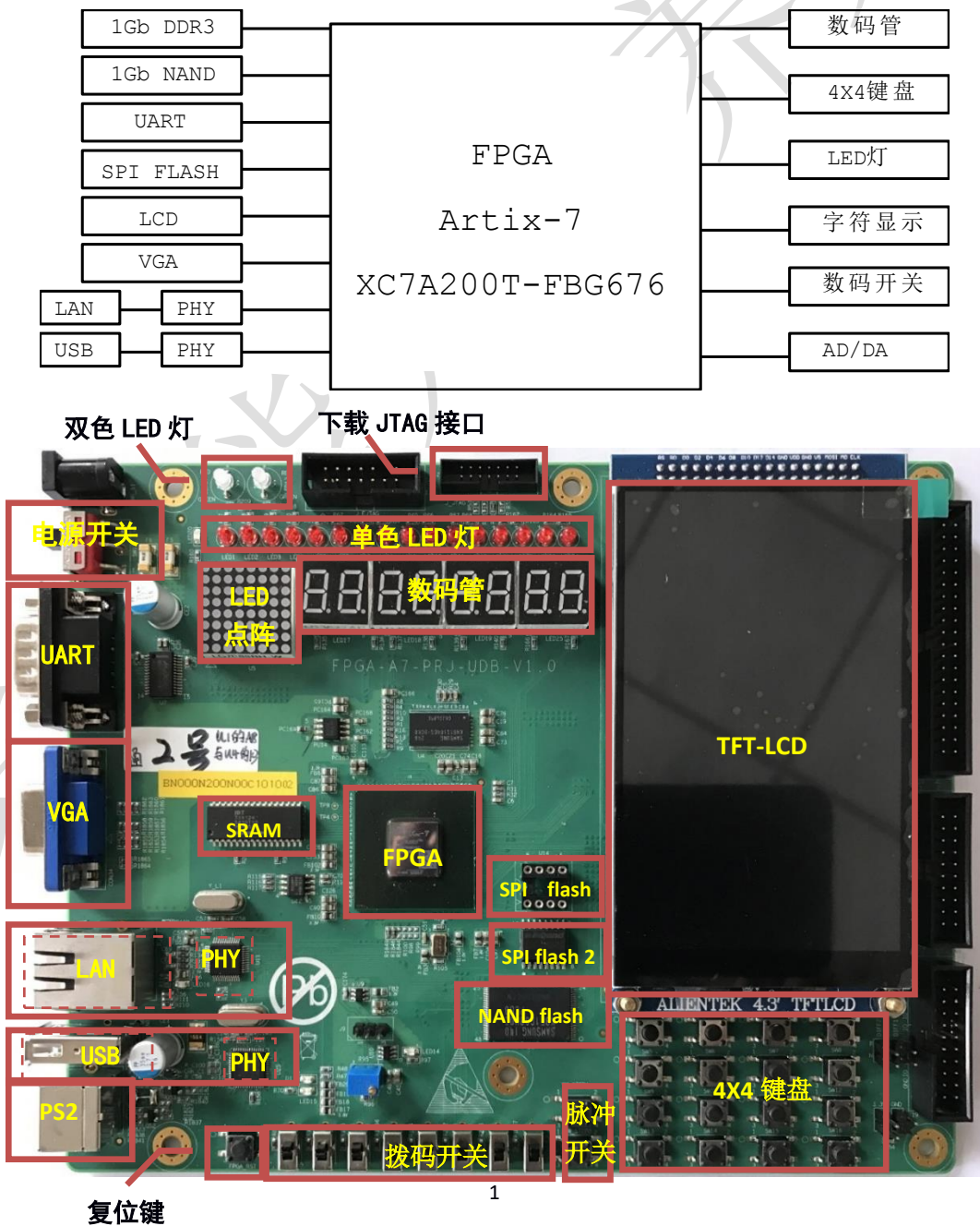
在学习并尝试本章节前，你需要具有以下环境：

- (1) 龙芯体系结构教学实验箱（Artix-7）一套。
  - 如果暂时没有该实验箱，可先使用 Vivado 进行 CPU 代码的编写和仿真。
- 通过本章节的学习，你将获得：

- (1) 初步了解龙芯体系结构教学实验箱（Artix-7）

龙芯体系结构教学实验箱的核心是一块基于 FPGA 芯片的嵌入式系统开发板（以下简称“开发板”），箱内的其它器件为：开发板配套的电源适配器 1 个、JTAG 下载线和适配器 1 套以及串口线 1 根。下面简要介绍开发板的硬件设计方案和时钟设计方案。如果想详细了解开发板，请参看提供的开发板原理图。

## 1.1 开发板硬件设计方案



上面的两幅图分别给出了开发板的逻辑结构示意图和实景图，可以对照着看以加强感性认识。开发板的主要部分的设计方案列举如下：

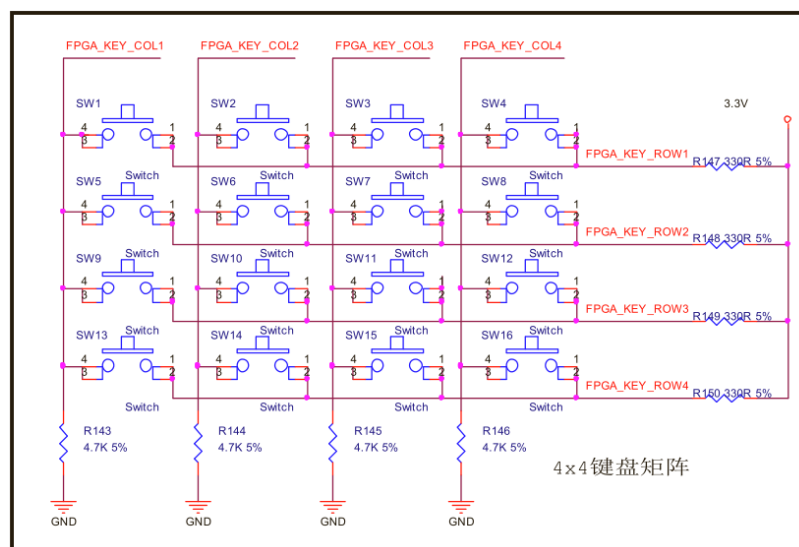
功能模块	设计方案概述
FPGA	选用 Artix-7 XC7A200T-FBG676
DDR3	使用 FPGA 实现 DDR3 控制器，板载 K4B1G1646G-BCK0 DDR3 颗粒
SRAM	使用 FPGA 实现 SRAM 控制器，板载 IDT71V124SATY SRAM 芯片
NAND	使用 FPGA 实现 NAND 控制器，板载 K9F1G08U0C-PCB0 闪存颗粒
SPI Flash 1	使用 FPGA 实现 SPI 控制器（支持启动），板载 Flash 芯片插座，Flash 可插拔
SPI Flash 2	板载不可插拔 Flash 芯片，FPGA 设计固化专用
VGA	使用 FPGA 实现数字显示模块，板载 MM74HC573SJ 实现 332 的数模转换，模拟 VGA 的 R、G、B 信号
LCD	使用 FPGA 实现 LCD 显式控制器，板载 TFT-LCD 屏
USB	使用 FPGA 实现 USB 控制器，板载 USB PHY（USB3500），对外提供一个 USB 接口
LAN	使用 FPGA 实现 MAC 控制器，板载以太网 PHY（DM9161AEP），对外提供一个 RJ45 网络接口
PS2	使用 FPGA 实现 PS2 控制器，板载 PS2 接口
UART	使用 FPGA 实现 UART 控制器，板载 UART 接口
GPIO	16 个 LED 单色灯； 2 个 LED 双色灯； 8×8LED 点阵（可实现字符显示功能）； 8 个共阴极八段数码管（用于数字显示）； 其余外接通用 I/O 接口。

## 1.2 开发板原理图

当使用开发板展示实验时，也就是使用 Vivado 工具进行电路实现时，需要将设计的电路顶层的 input/output 接口信号绑定到开发板上 FPGA 芯片的 IO 引脚上，该绑定关系由 Vivado 工程中的约束文件(\*.xdc)指定。

因而在使用 Vivado 工具进行电路实现时，需要编写约束文件，此时就需要查找开发板原理图以确定引脚编号。开发板原理图参见原理图目录的“龙芯体系结构实验箱-原理图.pdf”。我们也整理了开发板上常用的 IO 设备的引脚列表，如 LED 灯、数码管等，参见“引脚对应关系.xlsx”。

比如，假设电路实现中使用到了 4X4 矩阵键盘，现需要确定矩阵键盘的接口。我们可以直接从“引脚对应关系.xlsx”中获得矩阵键盘引脚对应的 FPGA 芯片的 IO 编号，也可以查看原理图得到对应的编号。4X4 矩阵键盘原理图如下：



可以看到，4X4 键盘矩阵只用了 8 个引脚：FPGA\_KEY\_COL\_1~FPGA\_KEY\_COL\_4，FPGA\_KEY\_ROW\_1~FPGA\_KEY\_ROW\_4。其中列 FPGA\_KEY\_COL\* 通过一个高电阻接地，行 FPGA\_KEY\_ROW\* 通过一个相对低的电阻接高电平。当有开关闭合时，闭合处对应的列 FPGA\_KEY\_COL\* 和行 FPGA\_KEY\_ROW\* 有相同的电平。

如果只需要使用同一行的按键时，由于列 FPGA\_KEY\_ROW\* 是默认接到高电平的，故当有按键时，相应的行 FPGA\_KEY\_COL\* 会收到一个高电平，即得到一个“1”，而无按键时会得到一个“0”。需要注意，对按键检测时最好加上防抖。

当需要使用多行的按键时，则需要通过扫描方式确认按键位置了。扫描方式是从列 FPGA\_KEY\_COL\* 一次输入低电平“0”，随后检测行 FPGA\_KEY\_ROW\* 处得到的电平值。如果四行均为高电平“1”，则表示按键不在该列；如果有一行为低电平“0”，表示按键在该列，且在该行。

假如在电路实现时，我们使用了键盘左上角的按键，则需要在原理图中查找行 FPGA\_KEY\_ROW\_1，可以看到该列线是连接到 FPGA 芯片中编号为 V8 的 I/O 引脚上(图中引脚名有些许错位)，如下图。

类似可以查找 FPGA\_KEY\_COL\_2~FPGA\_KEY\_COL\_4 和 FPGA\_KEY\_ROW\_1~FPGA\_KEY\_ROW\_4 对应的 FPGA 芯片的 I/O 引脚编号。

