

# 2<sup>ο</sup> Σύνολο Ασκήσεων Ψηφιακά Συστήματα VLSI

ΑΕΜ: 03165

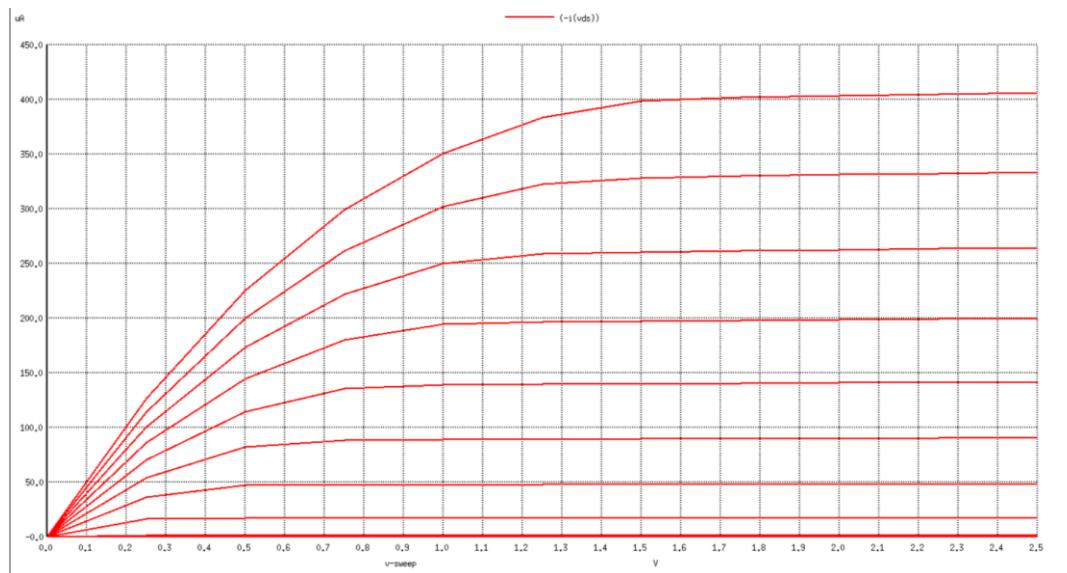
ΟΝΟΜΑ: ΚΑΠΑΚΟΣ ΓΕΩΡΓΙΟΣ

ΑΣΚΗΣΗ 1:

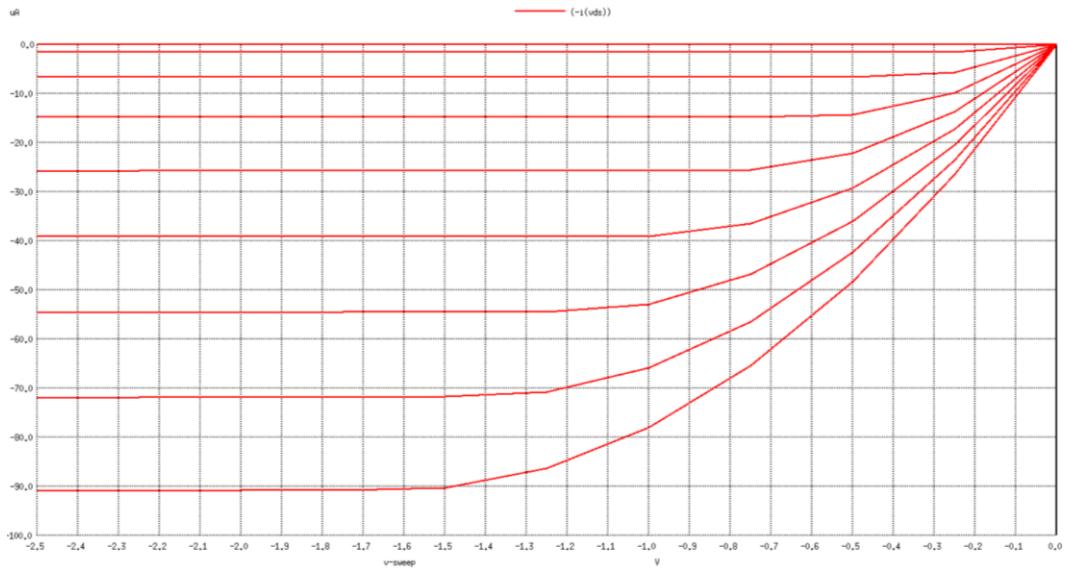
A)

Μετά την .dc ανάλυση που έκανα στο ngspice, παίρνω τις παρακάτω γραφικές παραστάσεις  $v_{ds}$  του nMOS & pMOS, συναρτήσει του  $v_{ds}$  &  $v_{gs}$

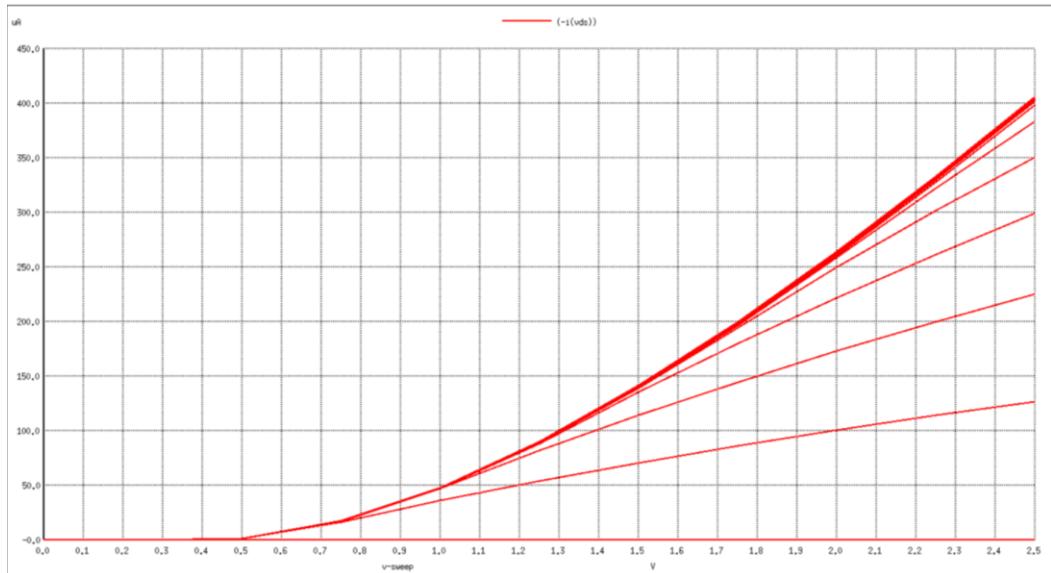
**nMOS,  $ids/vds$ :**



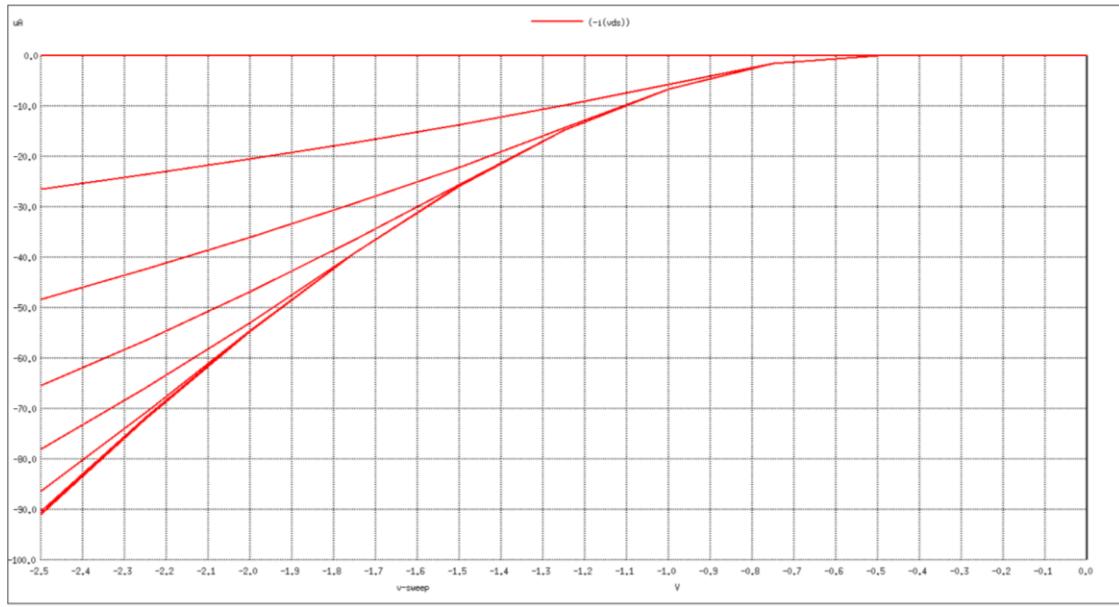
**pMOS,  $ids/vds$ :**



nMOS, ids/vgs



pMOS, ids/vgs



Linear Region:  $V_{ds} < V_{gs} - V_t$ . Το σχηματιζόμενο κανάλι φτάνει μέχρι την υποδοχή και το ρεύμα είναι ανάλογο με την  $V_{ds}$ , με αγωγιμότητα η οποία εξαρτάται από το βάθος του καναλιού.

Cutoff Region:  $V_{gs} < V_t$ , τότε δεν υπάρχει αγώγιμο κανάλι και παρατηρώ ότι κάθε καμπύλη βρίσκεται στο 0, δηλαδή  $I_d = 0A$ .

Saturation Region:  $V_{ds} \geq V_{gs} - V_t$ , το κανάλι δεν φτάνει στην υποδοχή (αλλά τα ηλεκτρόνια-φορείς επιταχύνονται προς αυτήν διαμέσου της περιοχής αραίωσης λόγω της  $V_{ds}$ ) και το ρεύμα λαμβάνει μια μέγιστη (κορεσμένη) τιμή η οποία αντιστοιχεί στην τάση  $V_{gs} - V_t$  και είναι πρακτικά σταθερή και ανεξάρτητη της  $V_{ds}$ . Το  $I_{ds}$ , έχει τετραγωνική εξάρτηση σε σχέση με το  $V_{gs}$ . Η  $I_{ds}$  με την  $V_{gs}$  είναι τετραγωνική, αφού κάθε σταθερή αύξηση του  $V_{gs}$  το  $I_{ds}$  αυξάνεται σχεδόν τετραγωνικά. Η απόσταση των καμπυλών της  $V_{gs}$  δεν διατηρείται σταθερή και συνεχώς αυξάνεται όπως οι τιμές της  $V_{gs}$ .

Παρατηρώ ότι όσο αυξάνεται το  $V_{dd}$ , τόσο μειώνεται το Saturation Region και αυξάνεται το Linear Region και για το nMOS όπως και για το pMOS. Αυτό συμβαίνει, επειδή  $V_{ds} \geq V_{gs} - V_{tn}$  και  $|V_{ds}| \geq |V_{gs}| - |V_{tp}|$ , για την περιοχή του κορεσμού και με το  $V_{gs}$  να αυξάνεται συνεχώς και  $V_t$  σταθερό, η περιοχή μειώνεται.

Υπολογίζω τα σημεία πάνω στην  $I_{ds}/V_{ds}$ , για το nMOS, pMOS.

**nMOS( $V_{tn} = 0.42V$ ):**

$$\begin{aligned} V_{GS} \\ 0V \end{aligned}$$

$$\begin{aligned} V_{DS} = V_{GS} - V_t \\ \text{OFF } (V_{GS} < V_t) \end{aligned}$$

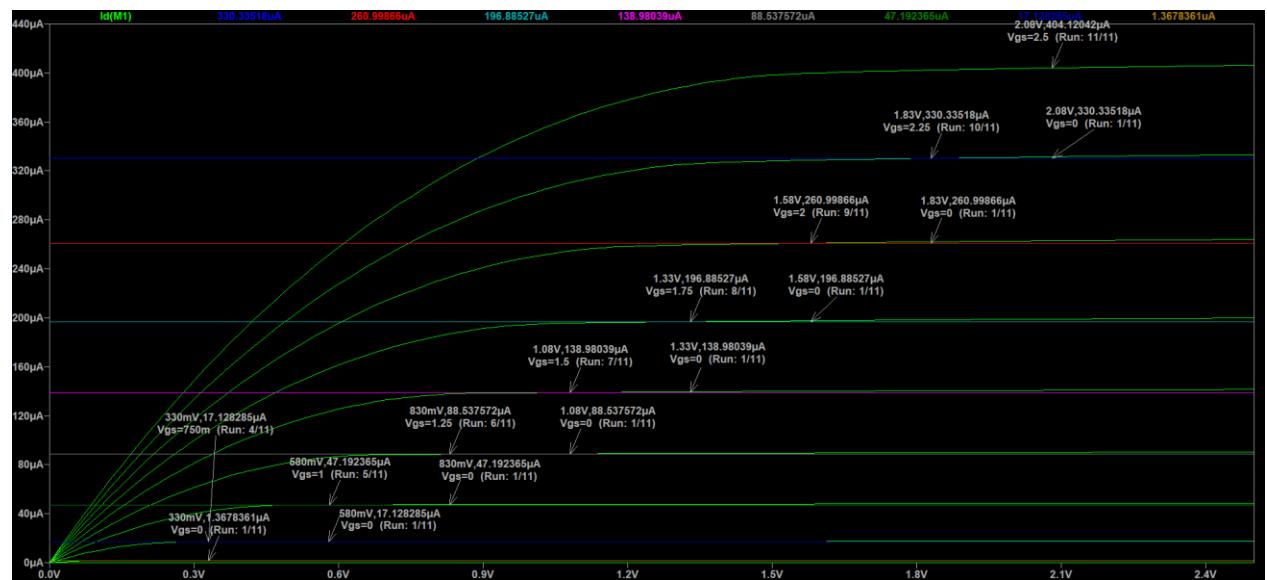
0.25V	OFF ( $V_{gs} < V_t$ )
0.5V	0.08V
0.75V	0.33V
1V	0.58V
1.25V	0.83V
1.5V	1.08V
1.75V	1.33V
2V	1.58V
2.25V	1.83V
2.5V	2.08V

### pMOS( $V_{tp}=-0.55V$ )

$V_{GS}$	$V_{DS}=V_{GS}-V_t$
-2.5V	-1.95V
-2.25V	-1.7V
-2V	-1.45V
-1.75V	-1.2V
-1.5V	-0.95V
-1.25V	-0.7V
-1V	-0.45V
-0.75V	-0.2V
-0.5V	OFF( $V_{gs} > V_t$ )
-0.25V	OFF( $V_{gs} > V_t$ )
0V	OFF( $V_{gs} > V_t$ )

Σημειώνω τα σημεία πάνω στις γραφικές που είχα φτιάξει και

### nMOS:

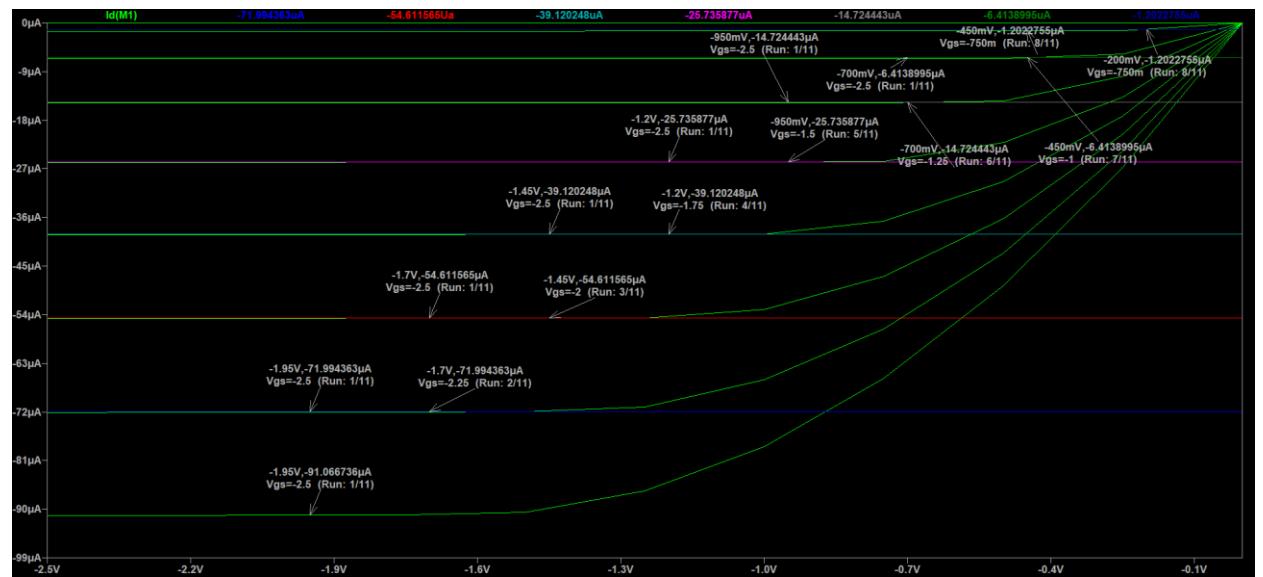


Σύμφωνα με το παραπάνω σχήμα παρατηρώ ότι οι κάθετες αποστάσεις ως προς  $V_{GS}$  είναι:

Διαφορά $V_{DS1}-V_{DS2}$	$I(\mu A)$
2,08V-1,83V	73,78524
1,83V-1,58V	69,33652
1,58V-1,33V	64,11339
1,33V-1,08V	57,90488
1,08V-0,83V	50,442818
0,83V-0,58V	41,345207
0,58V-0,33V	30,06408
0,33V-0,08V	15,7604489

Η κάθετη απόσταση φαίνεται ότι συνεχώς μειώνεται καθώς οι καμπύλες συγκλίνουν στο μηδέν.

### pMOS:



Σύμφωνα με το παραπάνω σχήμα παρατηρώ ότι οι κάθετες αποστάσεις ως προς  $V_{GS}$  είναι:

Διαφορά $V_{DS1}-V_{DS2}$	$I(\mu A)$
-1,95V, -1,7V	-19,072373
-1,7V, -1,45V	-17,382798
-1,45V, -1,2 V	-15,491317
-1,2V, -0,95V	-13,384371
-0,95V, -0,7V	-11,011434
-0,7V, -0,45V	-8,3105435
-0,45V, -0,2V	-5,211624

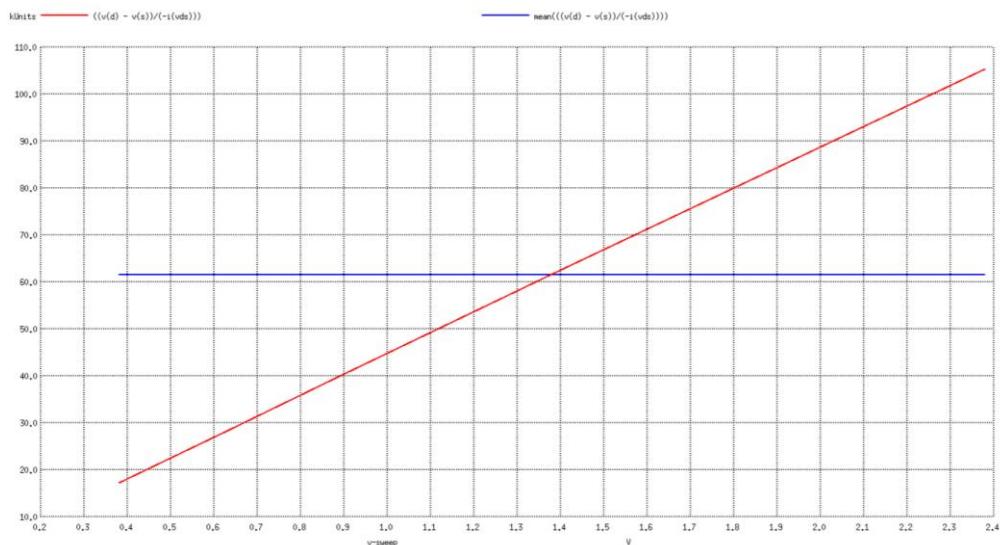
Η κάθετη απόσταση φαίνεται ότι συνεχώς μειώνεται καθώς οι καμπύλες συγκλίνουν στο μηδέν.

Τέλος παρατηρώ πως οι αποστάσεις στο pMOS μειώνονται με μικρότερο ρυθμό απ' ότι στο nMOS.

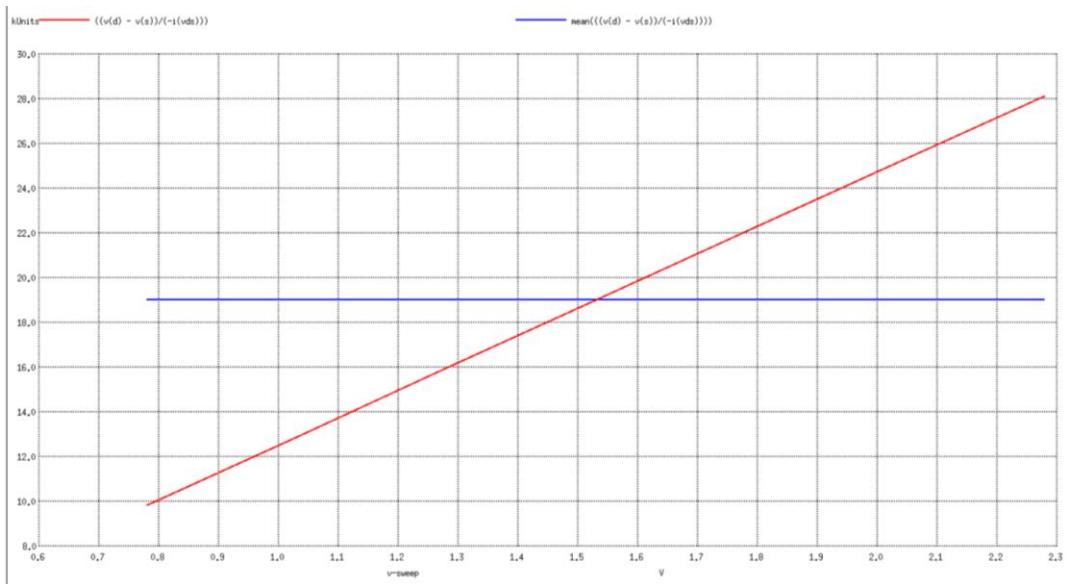
Για να βρω την στιγμιαία  $R_{eq}$ , κάνω την γραφική της παράσταση στο spice στην περιοχή κορεσμού και ύστερα παίρνω το μέσο όρο της γραφικής παράστασης για τον υπολογισμό της ισοδύναμης μέσης αντίστασης. Η στιγμιαία αντίσταση αλλάζει τιμή όσο η γραφική παράσταση μεταβάλλεται, καθώς μετρέται διαφορετική τιμή αντίστασης για κάθε διαφορετική τιμή της τάσης.

#### nMOS:

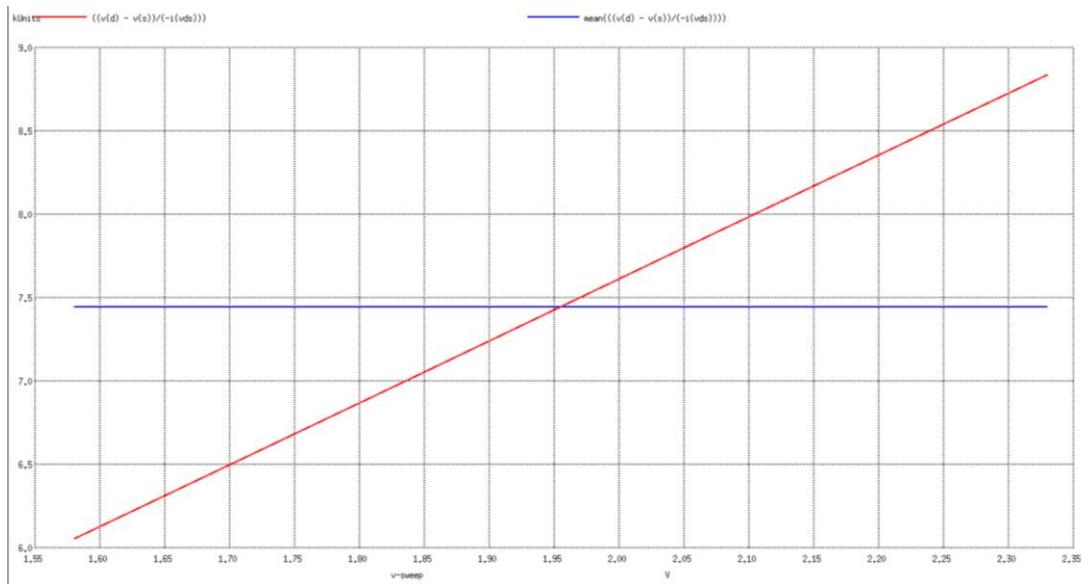
$$V_{gs} = 0,8V$$



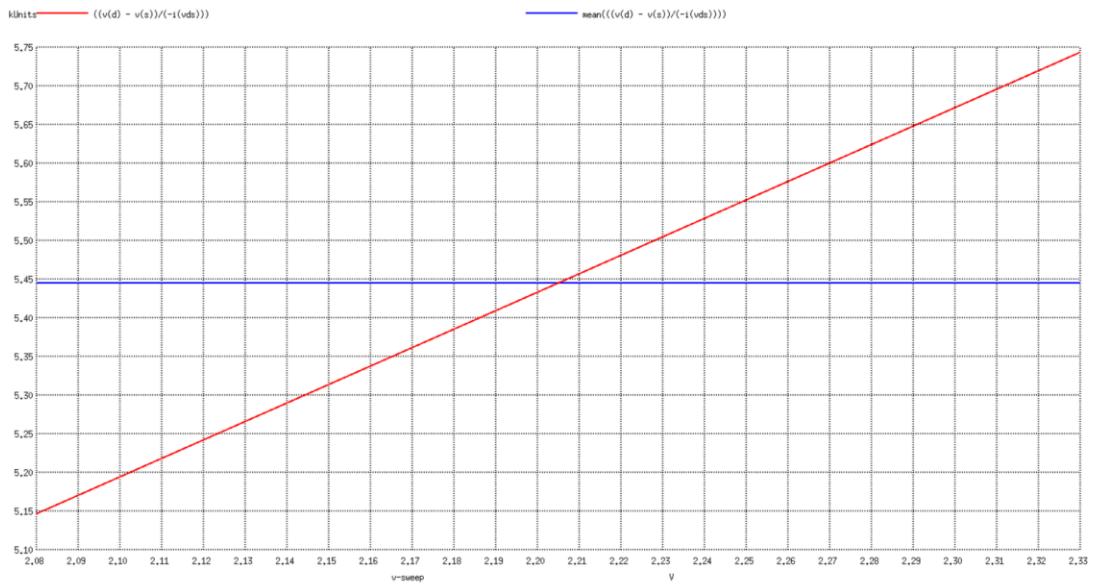
$$V_{gs} = 1,2V$$



V<sub>gs</sub> = 2V



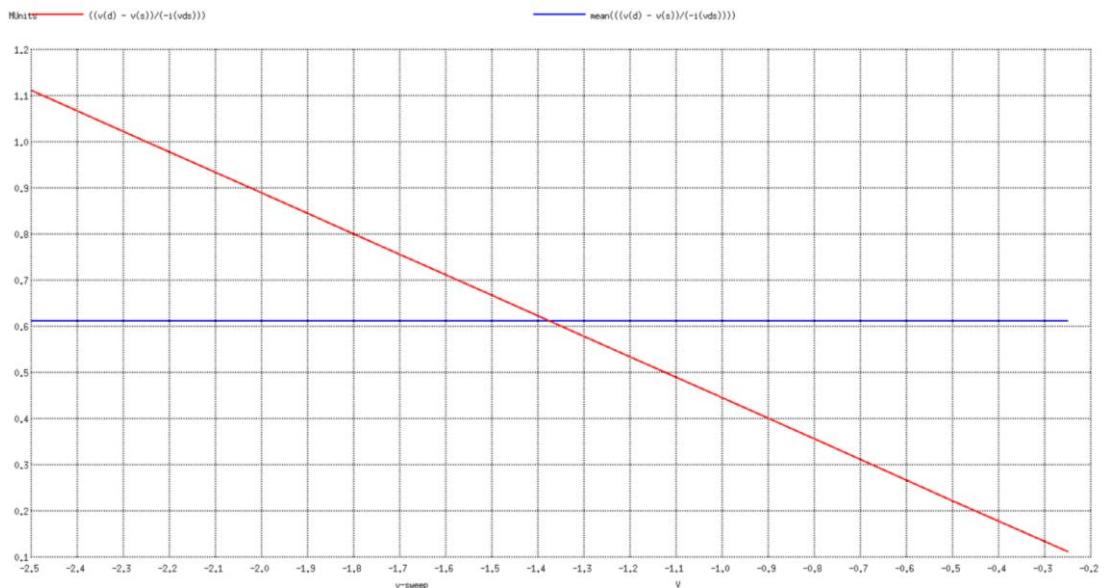
V<sub>gs</sub> = 2,5V



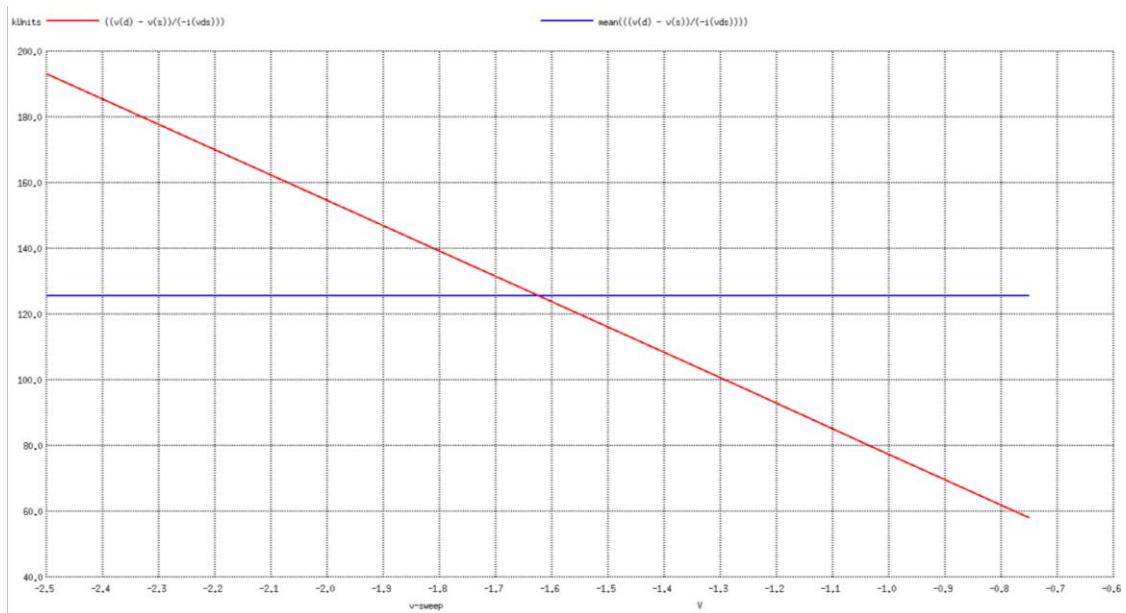
Voltage	Req(average)
0,8V	61,5KΩ
1,2V	19KΩ
2V	7,44KΩ
2,5V	5,445KΩ

pMOS:

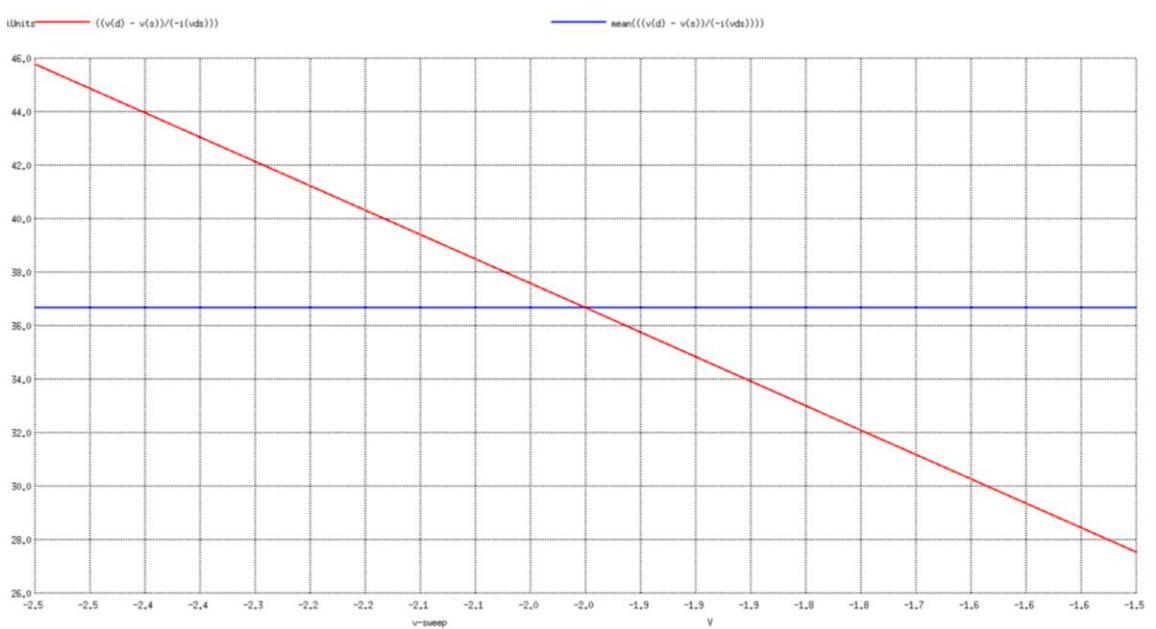
$$V_{gs} = 0,8V$$



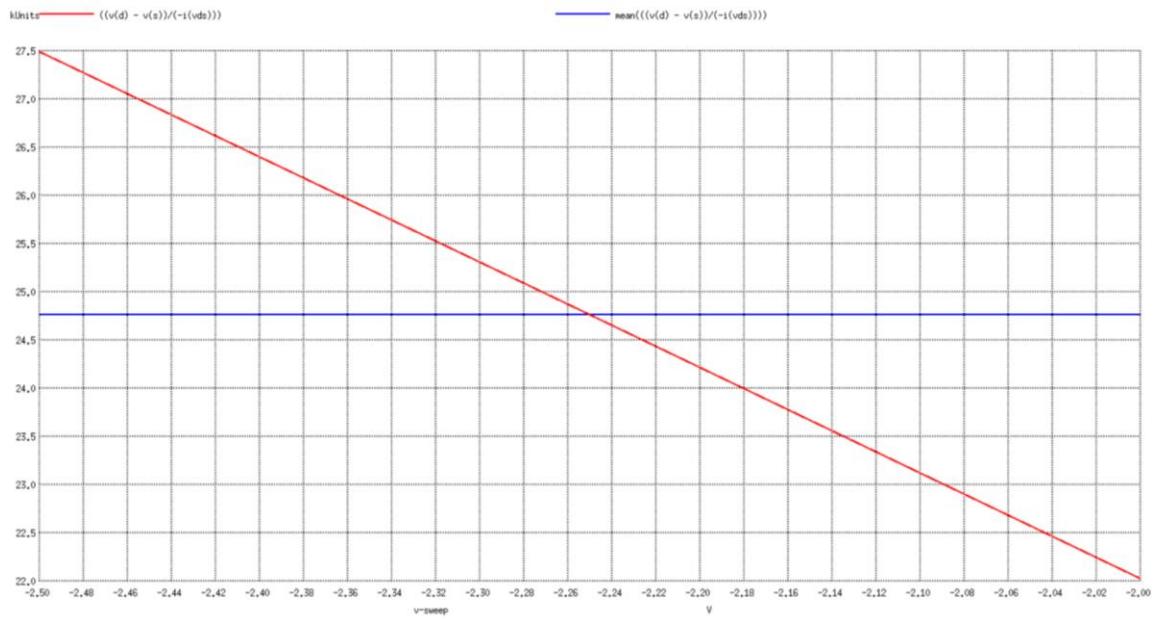
$$V_{gs} = 1,2V$$



$V_{gs} = 2V$



$V_{gs} = 2.5V$



Voltage	Req(average)
-0,8V	612KΩ
-1,2V	125,6KΩ
-2V	36,65KΩ
-2,5V	24,75KΩ

Παρατηρώ ότι, όταν αυξάνω το  $V_{GS}$  μειώνεται η μέση αντίσταση λογικό, αφού η περιοχή κορεσμού φθίνει, όσο το  $V_{GS}$  μεγαλώνει, άρα η κλίση της ευθείας είναι μικρότερη. Επίσης παρατηρώ, ότι στα pMOS, έχουν μεγαλύτερη κλίση οι ευθείες, σε σχέση με το nMOS. Αυτό συμβαίνει, επειδή η περιοχή κορεσμού του pMOS είναι μεγαλύτερη, από την περιοχή κορεσμού του nMOS.

## ΑΣΚΗΣΗ 1:

B)

Για να υπολογίσω την ισοδύναμη αντίσταση  $Req$ , ενός nMOS & ενός pMOS, υπολογίζω στο spice, τον χρόνο καθυστέρησης  $t_r$ .

Για το nMOS, ο χρόνος καθυστέρησης υπολογίζεται από την γραφική παράσταση της τάσης προς τον χρόνο. Όταν η τάση πέσει από τα 2,5V στα 1,25V, δηλαδή από  $V_{dd} \rightarrow V_{dd}/2$ , στο σημείο εκείνο υπολογίζεται το  $t_r$ .

Για το pMOS, ο χρόνος καθυστέρησης υπολογίζεται από την γραφική παράσταση του τάσης προς τον χρόνο. Όταν η τάση ανέλθει από τα 0V στα 1,25V, δηλαδή από  $0 \rightarrow V_{dd}/2$ , στο σημείο εκείνο υπολογίζεται το  $t_r$ .

**nMOS:**

$$t_p = 3,2 \times 10^{-10} \text{ sec}, \quad t_{pHl} = \ln 2 R_{eqn} C_L \Leftrightarrow R_{eq} = 4,717 \text{ k}\Omega$$

**pMOS:**

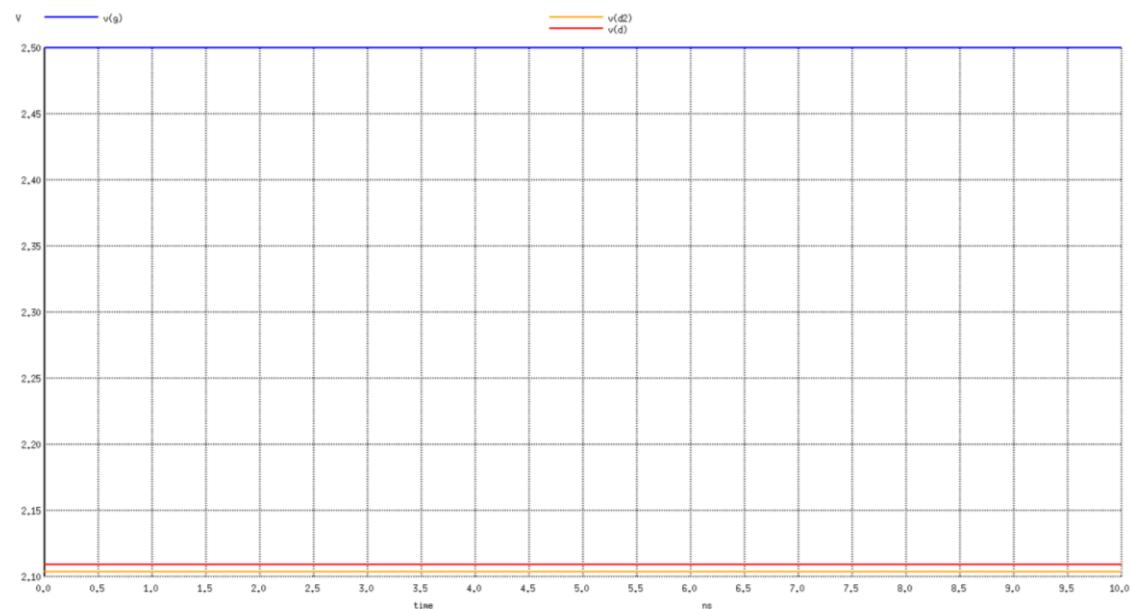
$$t_p = 1,42 \times 10^{-9} \text{ sec}, \quad t_{pHl} = \ln 2 R_{eqn} C_L \Leftrightarrow R_{eq} = 20,486 \text{ k}\Omega$$

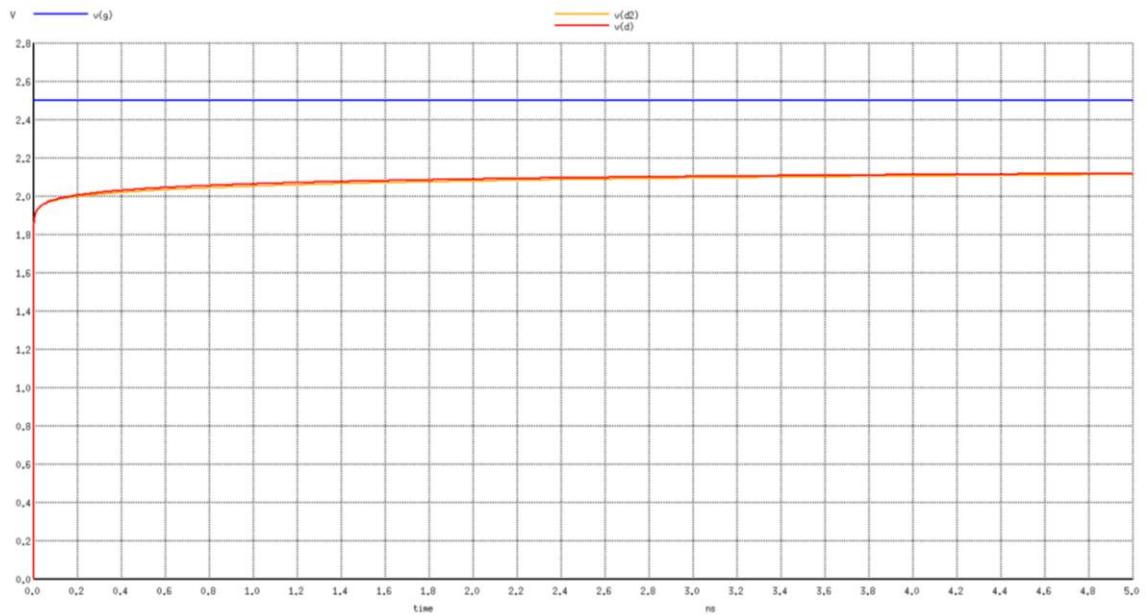
Παρατηρώ ότι σε σχέση με τις τιμές της 1 α, ότι οι ισοδύναμες αντιστάσεις μειώνονται, λόγω του παρασιτικού πυκνωτή στην έξοδο του transistor. Παρατηρώ επίσης μεγαλύτερη μείωση στο pMOS, παρά στο nMOS, διότι η τιμή της αντίστασης του pMOS, είναι μεγαλύτερη άρα θα υποστεί μεγαλύτερη πτώση. Αυτό συμβαίνει επειδή ο χρόνος εκφόρτισης του πυκνωτή του pMOS είναι μικρότερος σε σχέση με τον χρόνο φόρτισης του πυκνωτή του nMOS.

## ΑΣΚΗΣΗ 2:

Τοποθετώ δύο nMOS (pMOS) transistor στην σειρά στο spice και εντοπίζω τις εξόδους τους. Η έξοδος του 1<sup>ου</sup> transistor, βρίσκεται στο drain, του 1<sup>ου</sup> nMOS (pMOS), ενώ η έξοδος του 2<sup>ου</sup> transistor, βρίσκεται στο drain του 2ου transistor nMOS (pMOS).

**nMOS:**



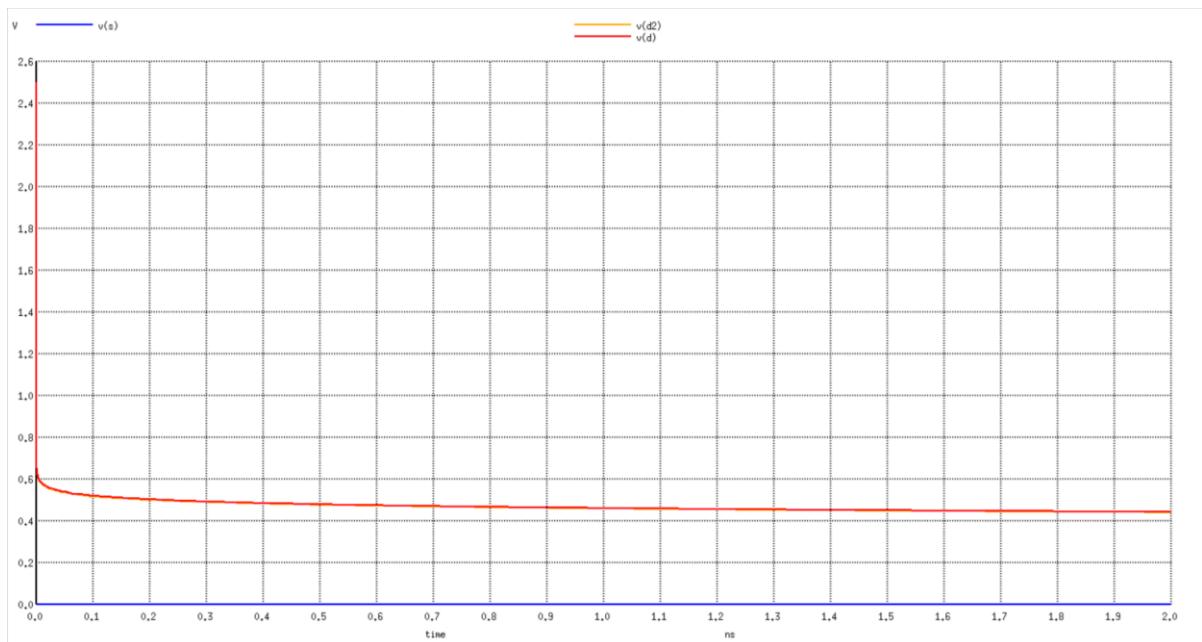
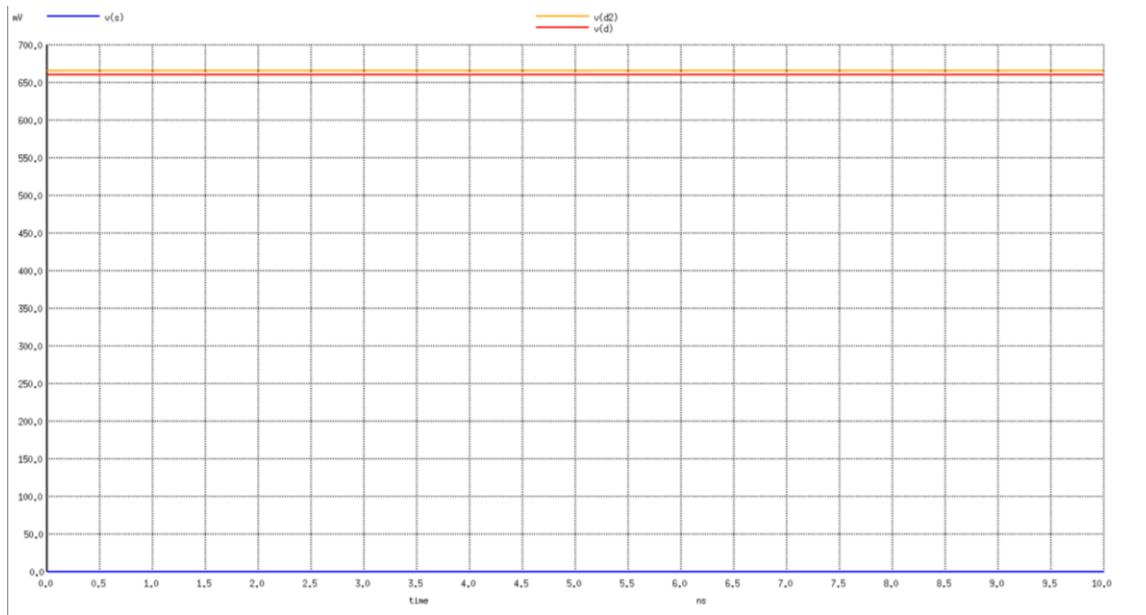


Παρατηρούμε ότι η τάση στην έξοδο του 1<sup>ου</sup> transistor είναι  $V(d) = 2,1089V$  και η τάση στην έξοδο του 2<sup>ου</sup> transistor είναι  $V(d2) = 2,1037V$ .

Η πτώση τάσης στην έξοδο του 1<sup>ου</sup> nMOS transistor ισούται με  $Vdd-Vt$ . Όποτε προκύπτει ότι  $Vtn = Vdd-Vout = 2.5-2.1089=0.3911V$ , το οποίο σχεδόν επαληθεύει την τάση κατωφλιού  $Vtn=0.42$ . Η πτώση τάσης στην έξοδο του 2<sup>ου</sup> nMOS transistor διαφοροποιείται ελάχιστα έχοντας, κατά κάποια δεκαδικά διαφορετική τιμή σε σχέση με την πρώτη έξοδο, με τιμή  $V(d2) = 2,1037V$ , άρα η  $Vtn$  θα είναι  $Vtn = Vdd-Vout = 2.5-2.1089=0.3963V$ .

Επίσης στο δεύτερο σχήμα κατά την φόρτιση του πυκνωτή δεν βλέπουμε διαφορά στην 1<sup>η</sup> και στην 2<sup>η</sup> έξοδο.

**pMOS:**



Παρατηρούμε ότι η τάση στην έξοδο του 1<sup>ου</sup> transistor είναι  $V(d) = 660,89\text{mV}$  και η τάση στην έξοδο του 2<sup>ου</sup> transistor είναι  $V(d2) = 666,12\text{mV}$ .

Η πτώση τάσης στην έξοδο του 1<sup>ου</sup> pMOS transistor ισούται με  $V_t$ . Όποτε προκύπτει ότι  $V_{tp} = V_{out} = 660,89\text{mV}$ , το οποίο σχεδόν επαληθεύει την τάση κατωφλιού  $V_{tp} = -0,55|\text{V}$ . Η πτώση τάσης στην έξοδο του 2<sup>ου</sup> pMOS transistor διαφοροποιείται ελάχιστα έχοντας, κατά κάποια δεκαδικά διαφορετική τιμή σε σχέση με την πρώτη έξοδο, με τιμή  $V(d2) = 2,1037\text{V}$ , άρα η  $V_{tp}$  θα είναι  $V_{tn} = V_{out} = 666,12\text{mV}$ , που έρχεται πιο κοντά στην πραγματική τιμή  $V_{tn}$ .

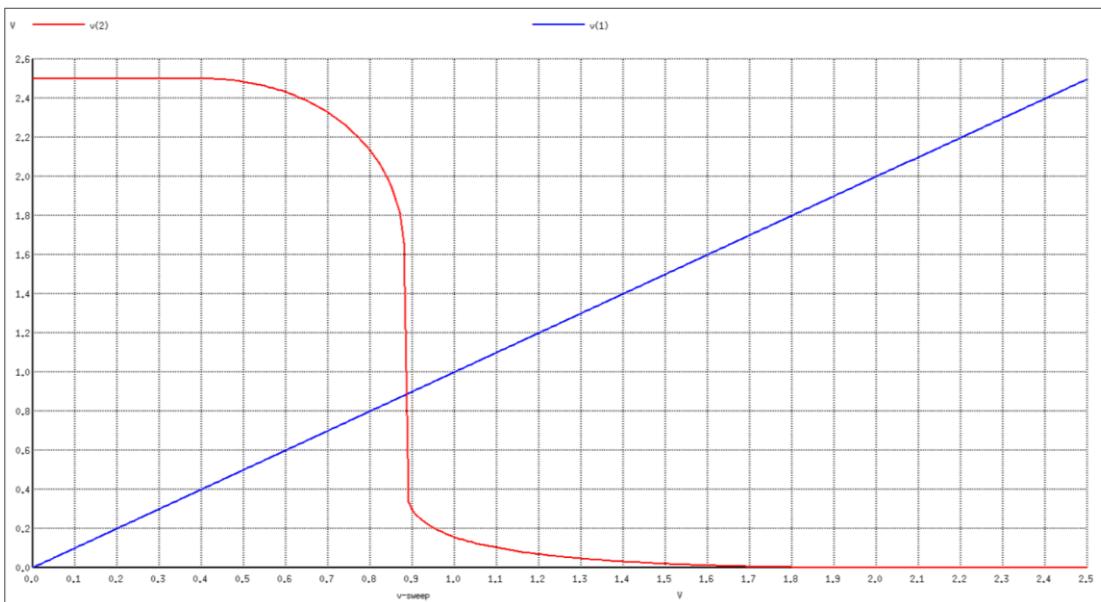
Επίσης στο δεύτερο σχήμα κατά την εκφόρτιση του πυκνωτή δεν βλέπουμε διαφορά στην 1<sup>η</sup> και στην 2<sup>η</sup> έξοδο.

Παρατηρώ ότι το nMOS, στην έξοδο μεταδίδει ασθενές λογικό 1 και το pMOS, ασθενές λογικό 0. Αυτό φαίνεται αφού τα έχουμε συνδέσει τα nMOS, στο Vdd και τα pMOS, στην γείωση. Το pMOS, δεν δύναται να ολοκληρώσει ποτέ την αποφόρτιση του Vdd και το nMOS, αδυνατεί να υπερβεί την τάση Vdd-Vtn. Γι' αυτό επιλέγουμε nMOS, για μετάδοση ισχυρού λογικού 0 και pMOS, για την μετάδοση ισχυρού λογικού 1.

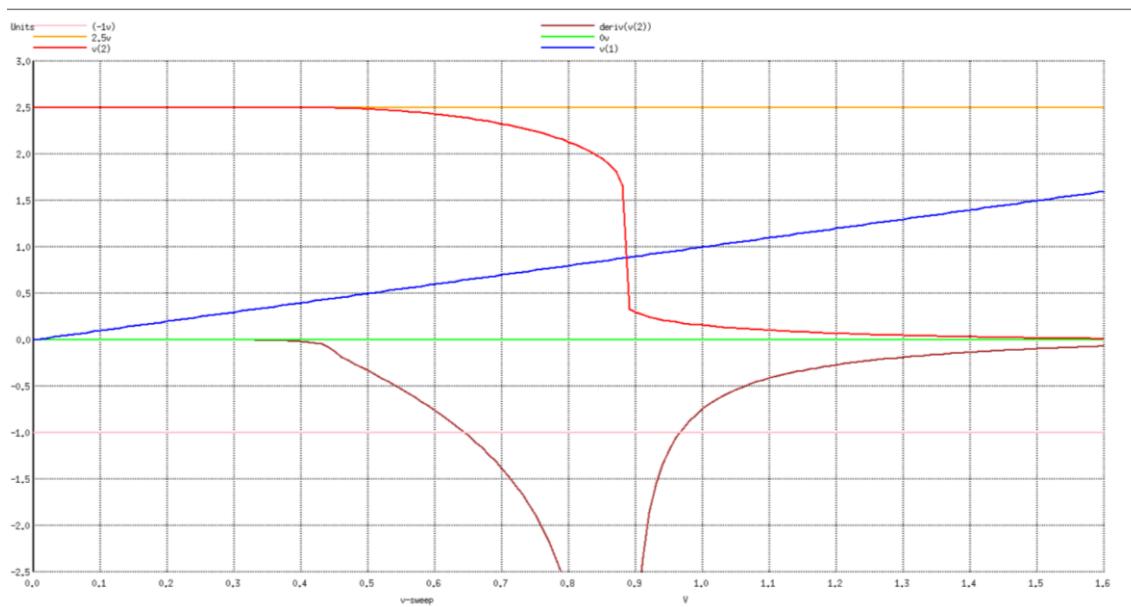
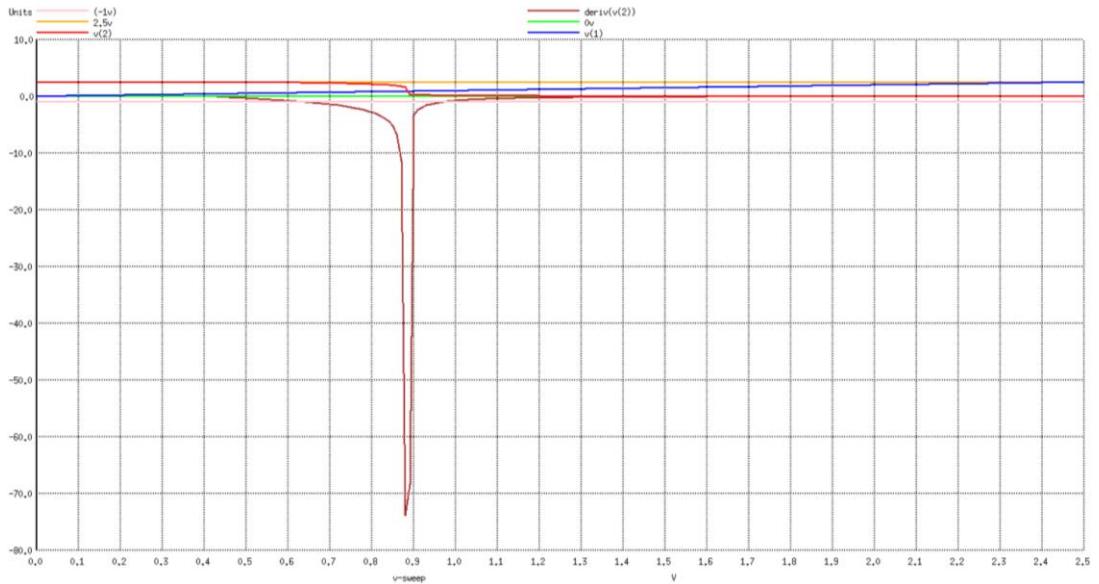
### ΑΣΚΗΣΗ 3:

A)

Δημιουργώ έναν CMOS αντιστροφέα στο spice και πάρνω την γραφική του παράσταση:



Υπολογίζω το  $V_m$  από την γραφική παράσταση όταν  $V_{in} = V_{out}$ , εκεί που τέμνονται οι 2 παραπάνω ευθείες. Βρίσκουμε τελικά από την τομή των δύο γραφικών ότι  $V_m = 0,885821V$ .



Υπολογίζω από την πάνω γραφική παράσταση τα  $V_{IL}$  &  $V_{IH}$ . Τα σημεία αυτά μπορώ να τα υπολογίσω, όταν η γραφική παράσταση της παραγώγου της εξόδου είναι -1. Οπότε από την παραπάνω γραφική εντοπίζω τα σημεία που έχω παράγωγο -1. Το πρώτο σημείο με παράγωγο -1 είναι το  $V_{IL}$  και το δεύτερο είναι το  $V_{IH}$ . Άρα  $V_{IL} = 0,643929V$  &  $V_{IH} = 0,965465V$ . Η ελάχιστη τάση εισόδου που αναγνωρίζεται από το κύκλωμα ως λογικό 1 (και οδηγεί την έξοδο σε λογικό 0) αναφέρεται ως  $V_{IH}$ . Η μέγιστη τάση εισόδου που αναγνωρίζεται από το κύκλωμα ως λογικό 0 (και οδηγεί την έξοδο σε λογικό 1) αναφέρεται ως  $V_{IL}$ .

Θεωρώ τα σημεία  $V_{OH}$  &  $V_{OL}$  να ισούνται με  $Vdd$  &  $0V$  αντίστοιχα, αφού Οι τάσεις εξόδου  $V_{OH}$  και  $V_{OL}$  που αντιστοιχούν στις λογικές τιμές 0 και 1 πρακτικά συμπίπτουν με τις ιδανικές τάσεις  $V_{DD}$  και  $0V$ .

Τα περιθώρια θορύβου, είναι:

$$NM_H = V_{OH} - V_{IH} = 2,5 - 0,965465 = 1,534535V$$

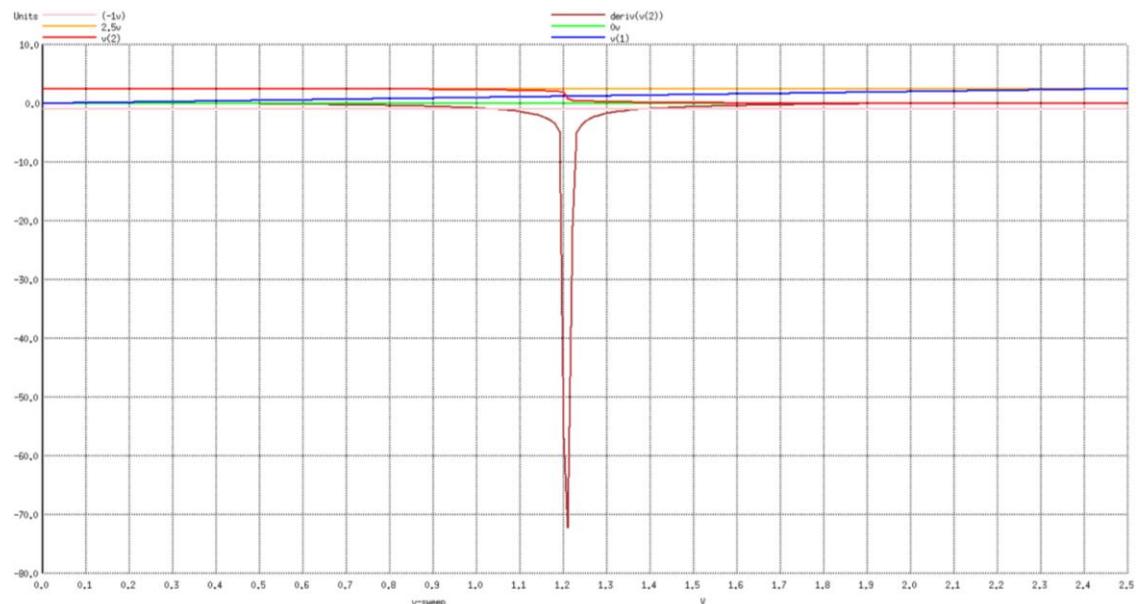
$$NML = V_{IL} - V_{OL} = 0,643929 - 0 = 0,643929V$$

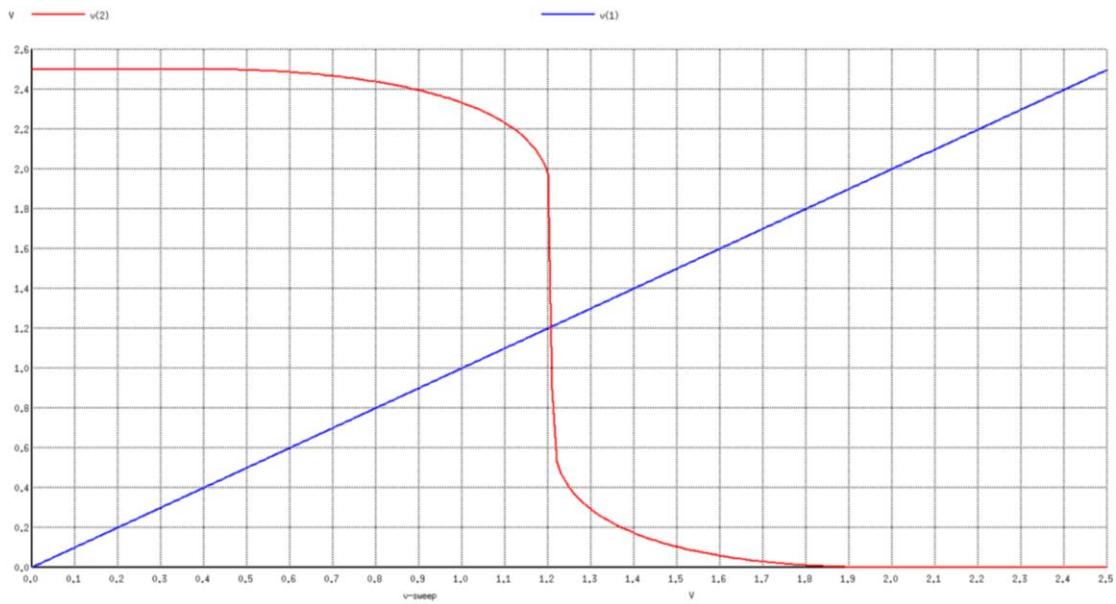
Η βασική παράμετρος σχεδίασης του αντιστροφέα ως προς τη χαρακτηριστική DC είναι η τάση μετάβασης  $V_M$ . Με δεδομένη την τάση τροφοδοσίας  $V_{DD}$  και τις τάσεις κατωφλίου των τρανζίστορ  $V_{Tn}$  και  $|V_{Tp}|$ , η  $V_M$  καθορίζεται από την τιμή του λόγου  $k_n/k_p$  (λόγος διαγωγιμοτήτων). Επίδραση του λόγου  $k_n/k_p$  στη θέση της χαρακτηριστικής DC. Όπως έχουμε υπολογίσει από πάνω βρίσκουμε πως το  $V_M = 0,885821V$ , άρα το μέσο της γραφικής βρίσκεται αριστερά, το οποίο σημαίνει ότι  $k_n/k_p > 1$ , το υπολογίζω από την παρακάτω σχέση:

$$k_n/k_p = (k_n'(W_n/L_n)) / (k_p'(W_p/L_p)) = 4,81512193.$$

Άρα για να δημιουργήσω συμμετρικό αντιστροφέα πρέπει να έχω λόγο  $k_n/k_p = 1$ , οπότε διαιρώ το  $W_n$  περίπου με 4,81512193

Γραφικές παραστάσεις για συμμετρικό αντιστροφέα:



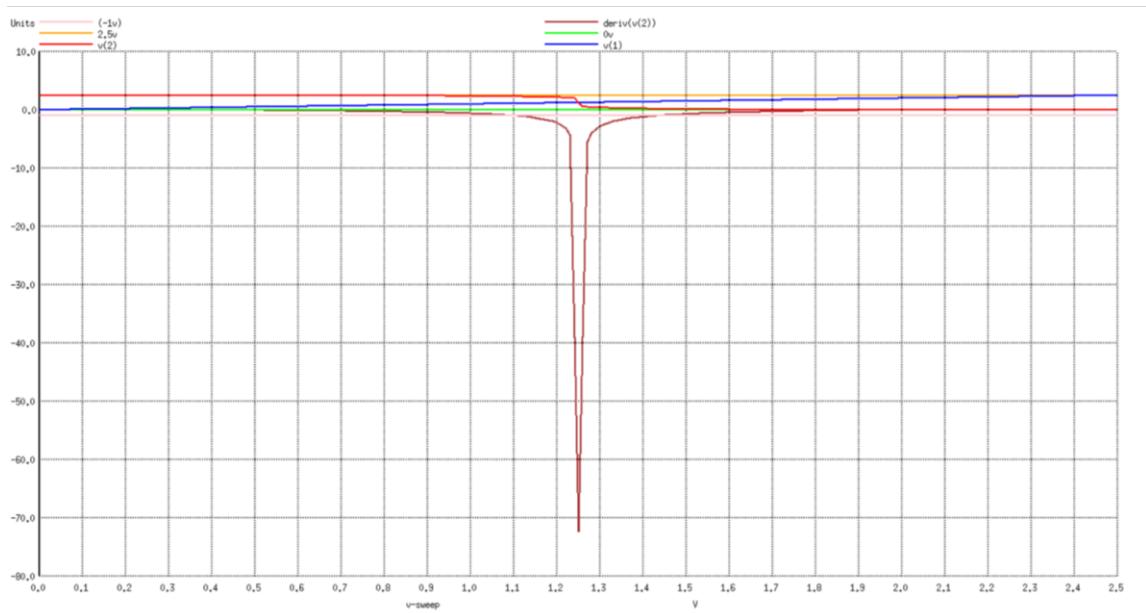
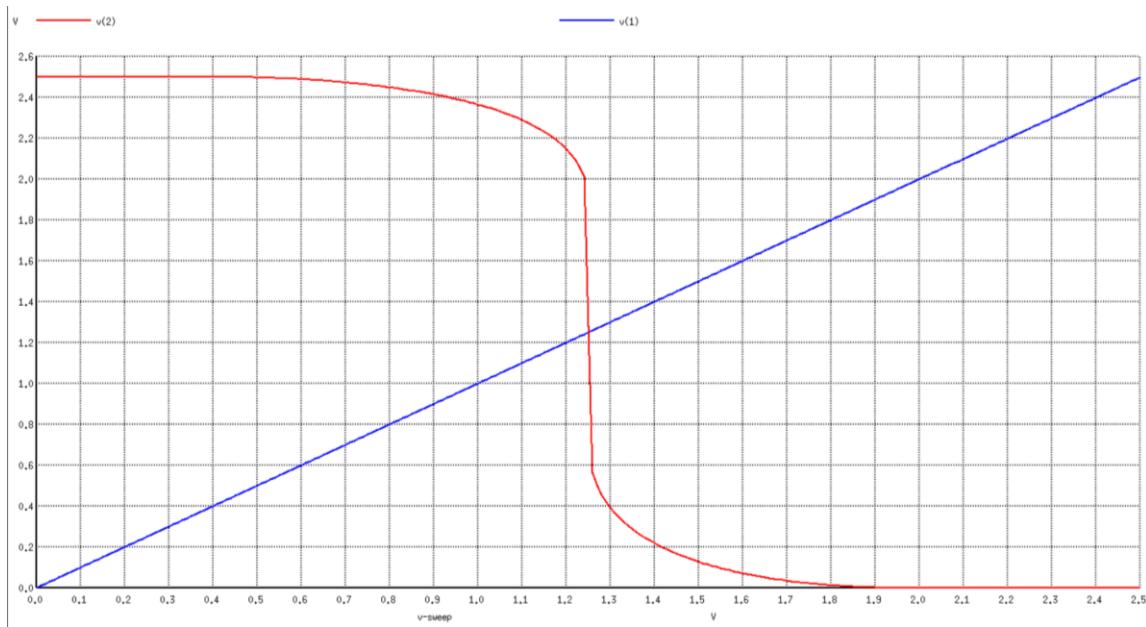


Εφόσον κάνω την διαίρεση προκύπτει νέος λόγος  $k_n/k_p = 1$ , που μας λέει ότι ο αντιστροφέας μας είναι συμμετρικός. Υπολογίζω το  $V_m = 1,20706V$ , όπως έκανα και πριν στον μη συμμετρικό αντιστροφέα. Που σημαίνει ότι η κινητικότητα των ηλεκτρονίων στο συμμετρικό αντιστροφέα θα είναι  $4,81512193$  φορές μεγαλύτερη από εκείνη των οπών. Βέβαια παρατηρώ ότι το  $V_m \neq V_{dd}/2$ , το οποίο σημαίνει ότι τα περιθώρια θορύβου δεν θα είναι συμμετρικά. Μετά τον υπολογισμό των  $V_{IL} = 1,05168V$  &  $V_{IH} = 1,3748V$  εντοπίζω τις περιοχές θορύβου:

$$NM_H = V_{OH} - V_{IH} = 2,5 - 1,3748 = 1,1252V$$

$$NM_L = V_{IL} - V_{OL} = 1,05168 - 0 = 1,05168V$$

Γραφικές παραστάσεις για ισοδύναμες περιοχές θορύβου:



Τέλος συμπεραίνω ότι τα περιθώρια θορύβου, δεν είναι συμμετρικά. Για να είναι συμμετρικά πρέπει να έχω  $V_m = V_{dd}/2$ , αυτό το βρίσκουμε στα σημεία :  $V_{IL} = 1,10564$  &  $V_{IH} = 1,42721V$ .

Τα περιθώρια θορύβου είναι :

$$NM_H = V_{OH} - V_{IH} = 2,5 - 1,42721 = 1,07279V$$

$$NM_L = V_{IL} - V_{OL} = 1,10564 - 0 = 1,10564V$$

Εφόσον κάνω την διαίρεση προκύπτει νέος λόγος  $k_n/k_p = 1,3$ , που μας λέει ότι ο αντιστροφέας μας δεν είναι συμμετρικός, όταν  $V_m = 1,25V$ . Προκύπτει επίσης λόγος

$W_p/W_n = 5,79150579$ . Που σημαίνει ότι η κινητικότητα των ηλεκτρονίων στο αντιστροφέα θα είναι 5,79150579 φορές μεγαλύτερη από εκείνη των οπών.

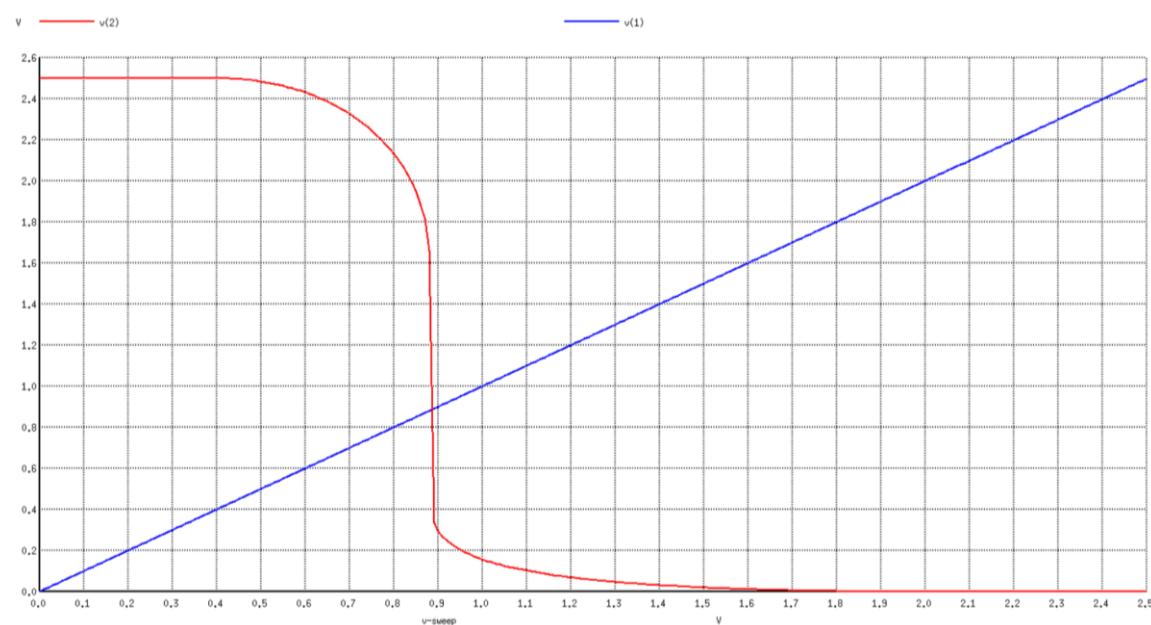
### ΑΣΚΗΣΗ 3:

B)

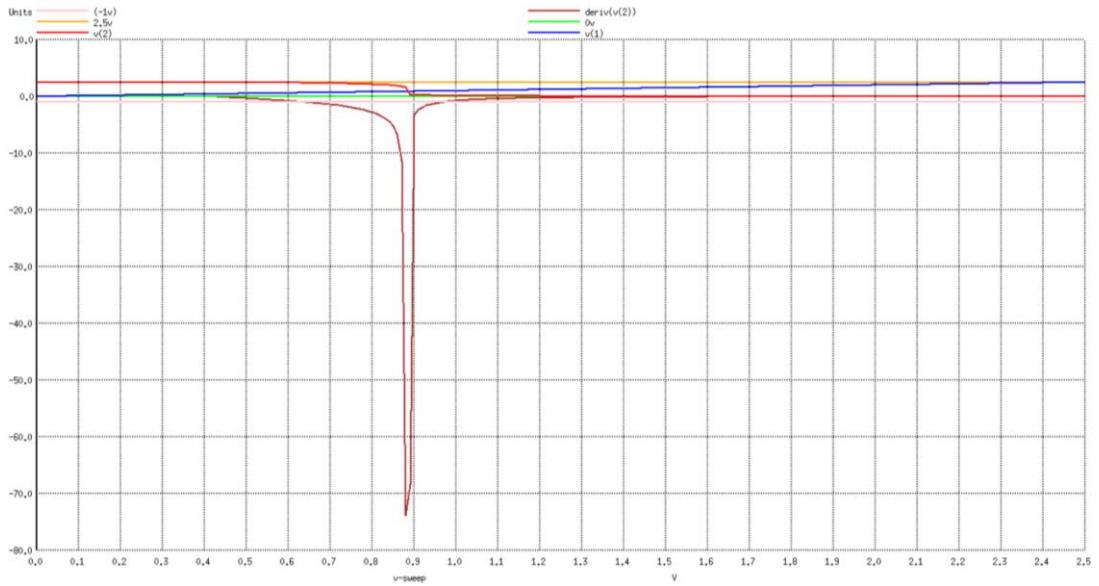
Δημιουργώ τις χαρακτηριστικές καμπύλες του CMOS:

$$V_{dd} = 2,5V$$

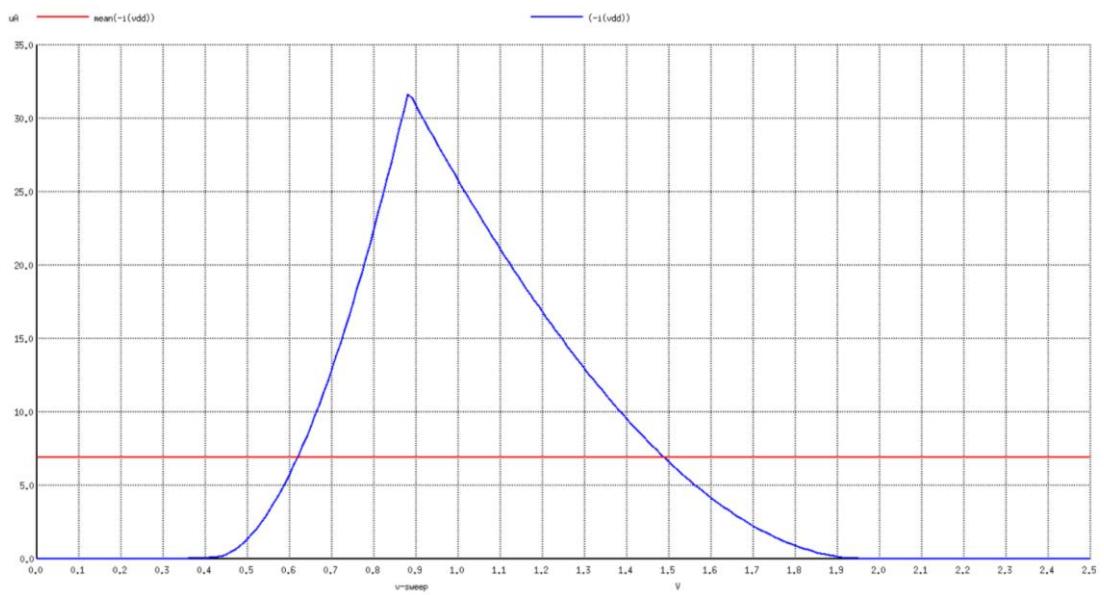
Γραφική παράσταση εξόδου:



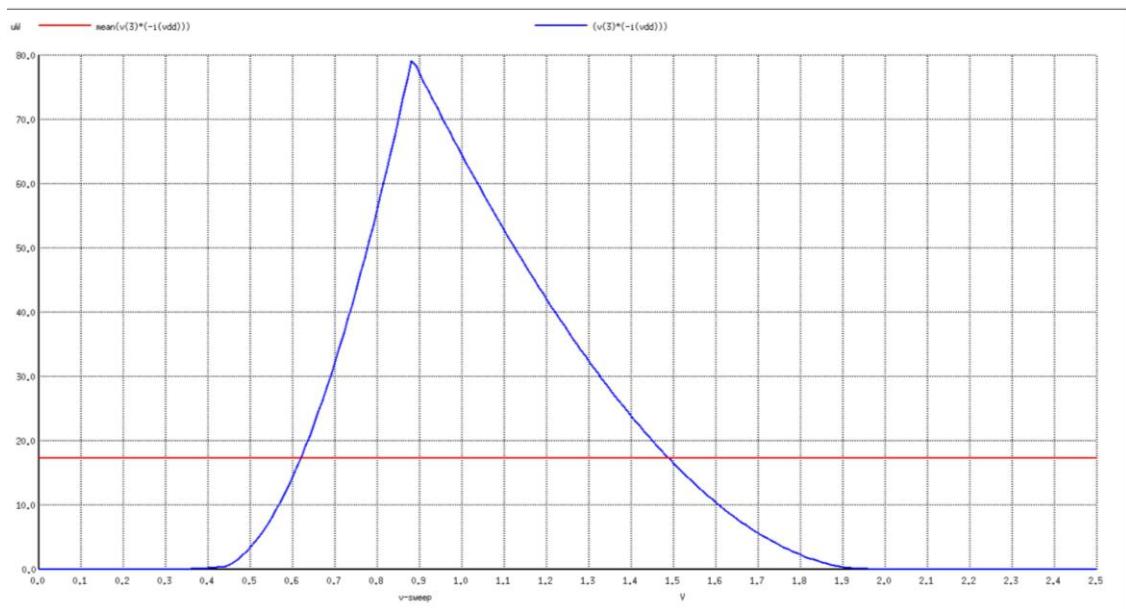
Γραφική παράσταση παραγώγου εξόδου:



Γραφική παράσταση ρεύματος:



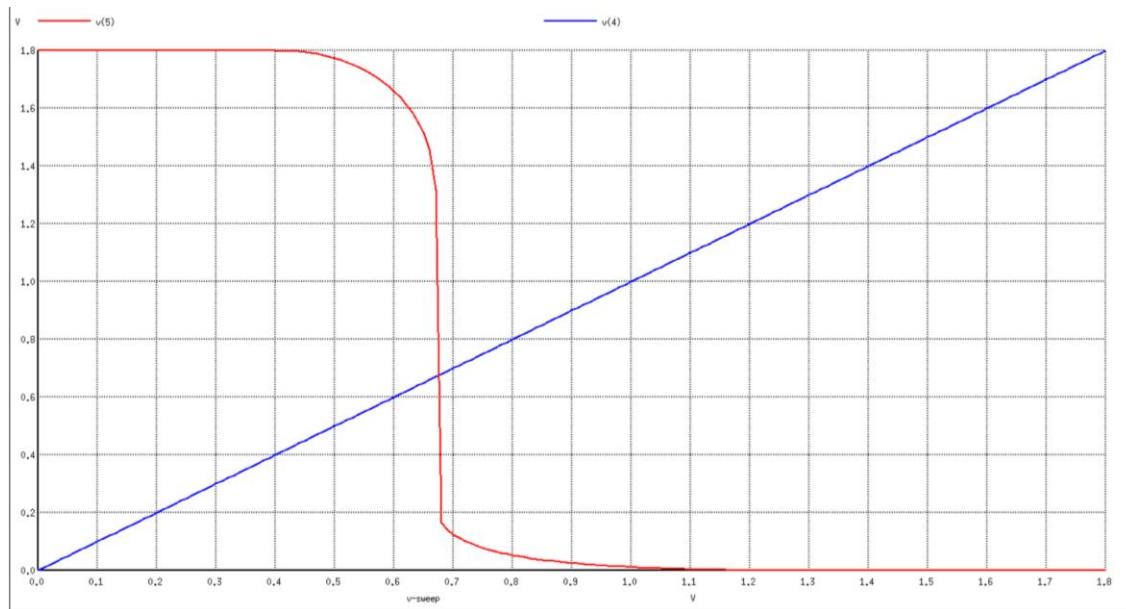
Γραφική παράσταση ισχύος:



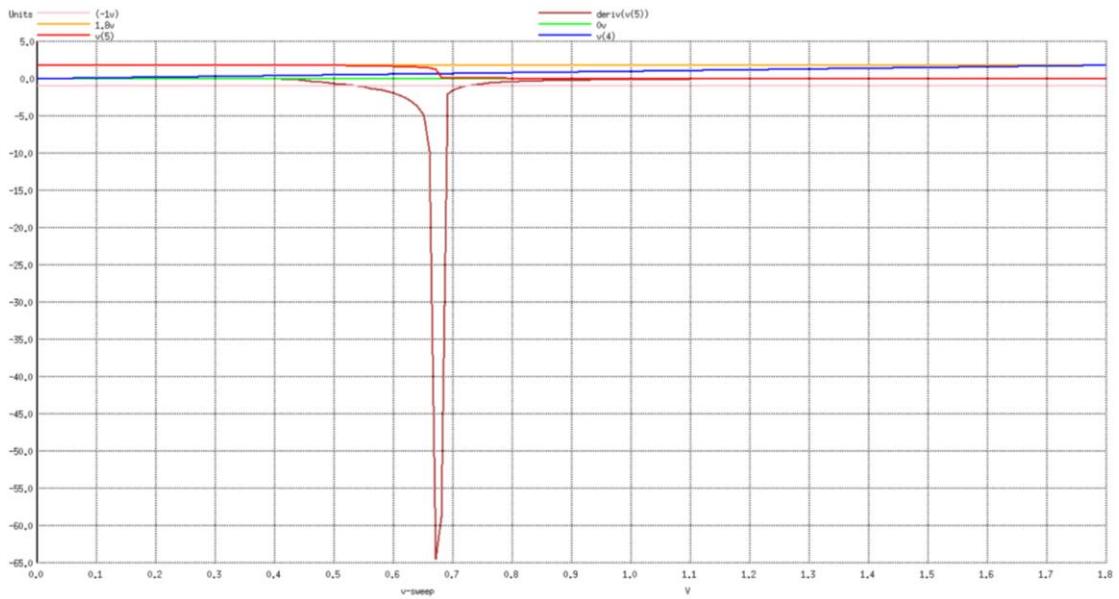
$V_{IL}$	0,643929V
$V_{IH}$	0,965465V
$NM_L$	0,643929V
$NM_H$	1,534535V

**$V_{dd} = 1,8V$**

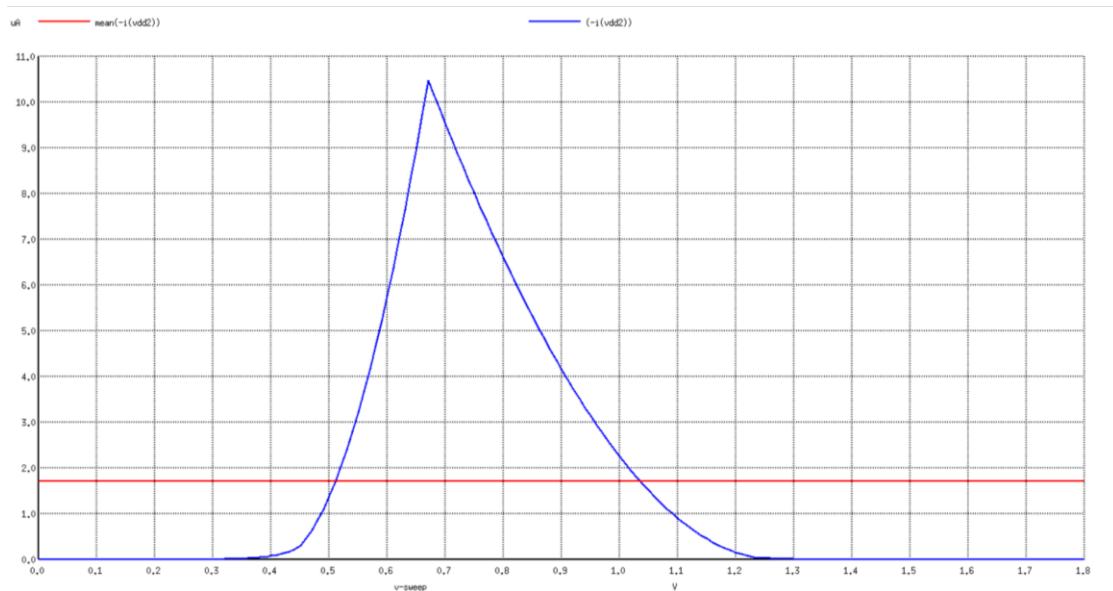
Γραφική παράσταση εξόδου:



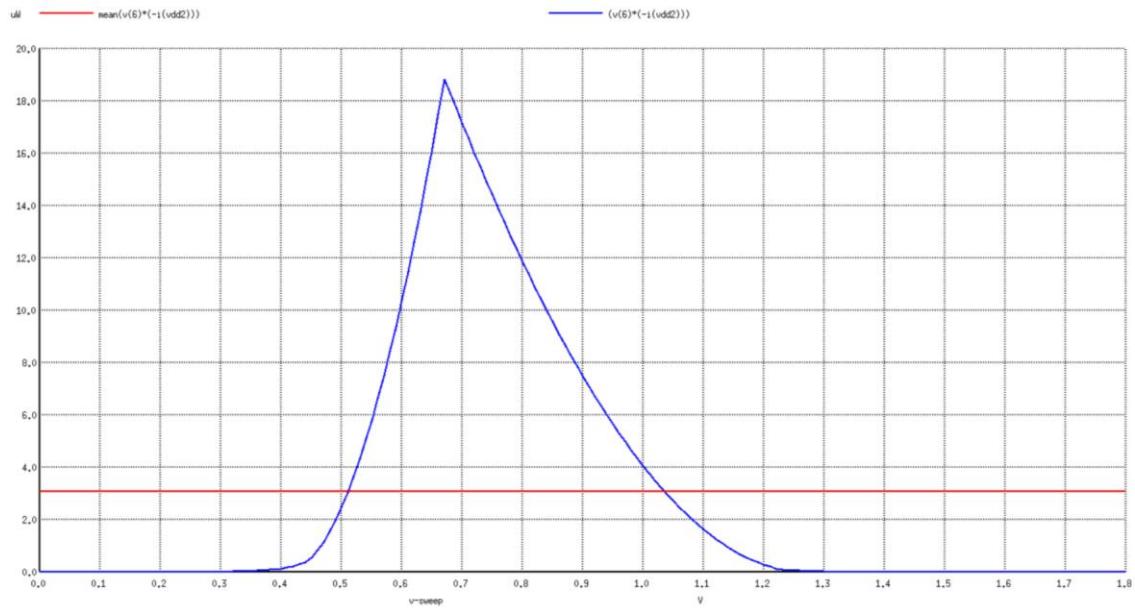
Γραφική παράσταση παραγώγου εξόδου:



Γραφική παράσταση ρεύματος:



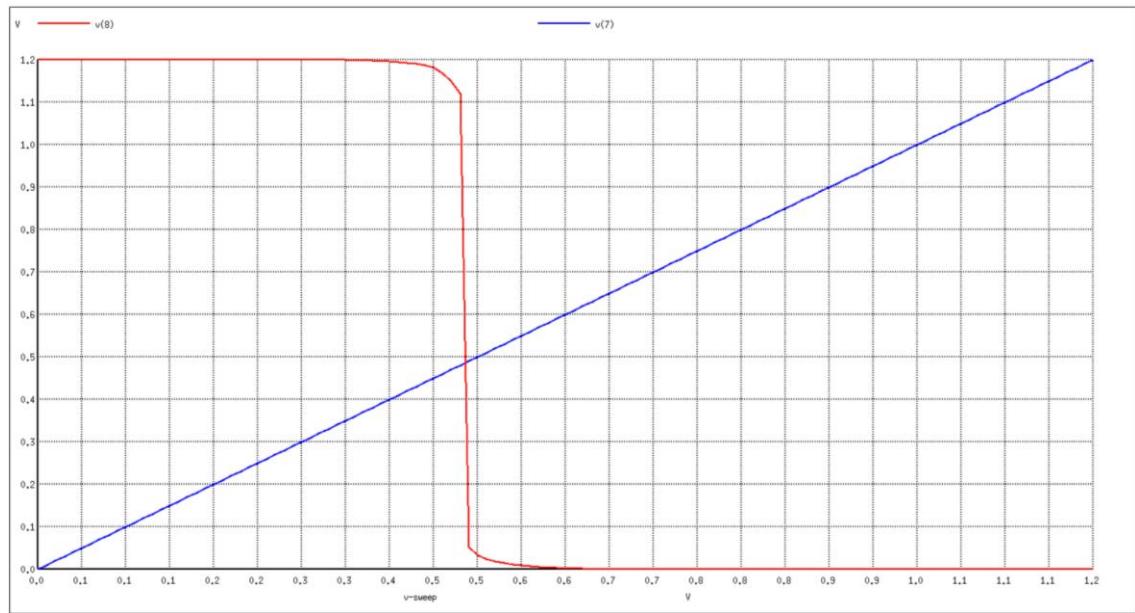
Γραφική παράσταση ισχύος:



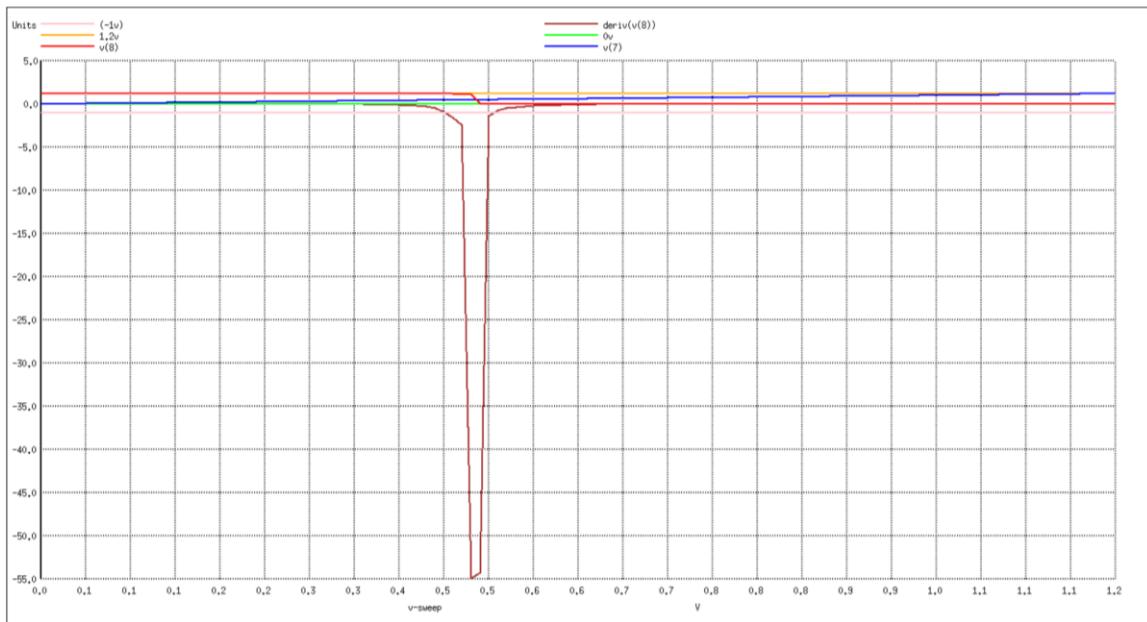
$V_{IL}$	0,541114V
$V_{IH}$	0,718488V
$NM_L$	0,541114V
$NM_H$	1,081512V

$V_{DD} = 1,2V$

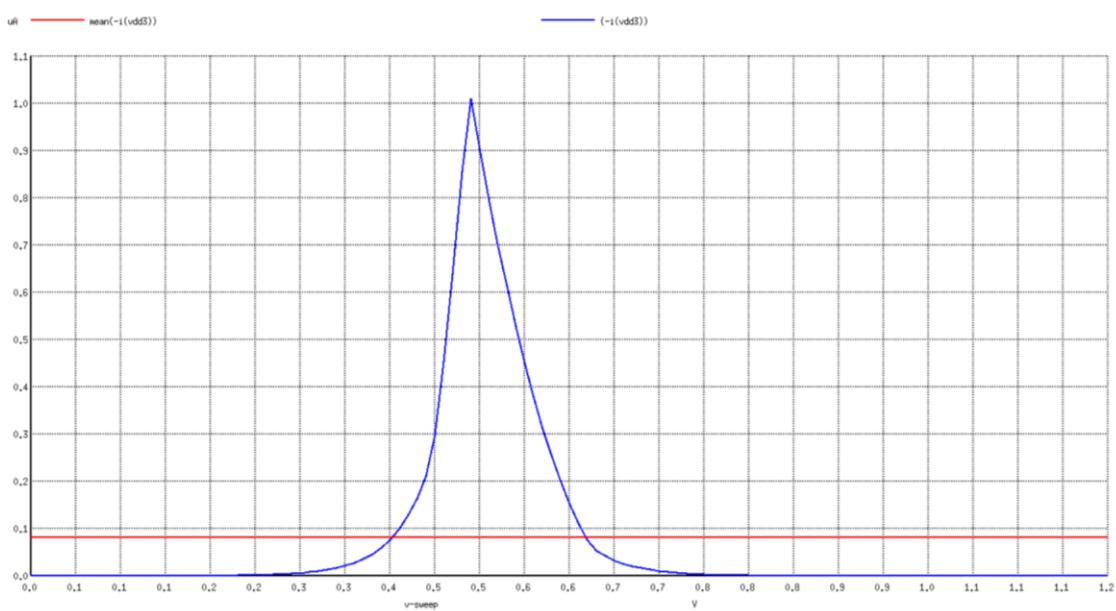
Γραφική παράσταση εξόδου:



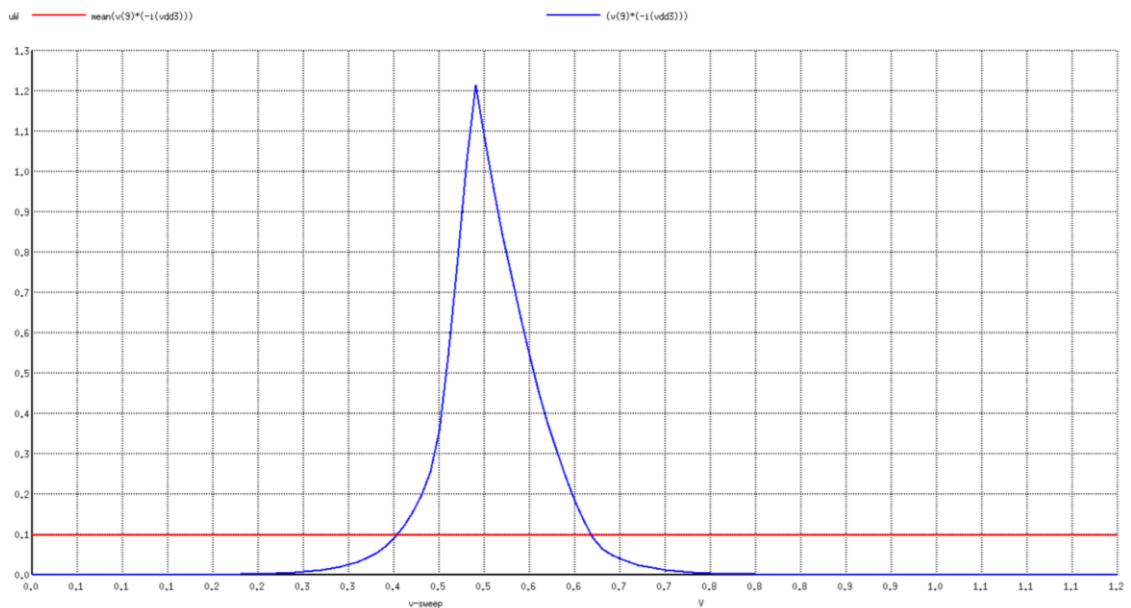
Γραφική παράσταση παραγώγου εξόδου:



Γραφική παράσταση ρεύματος:



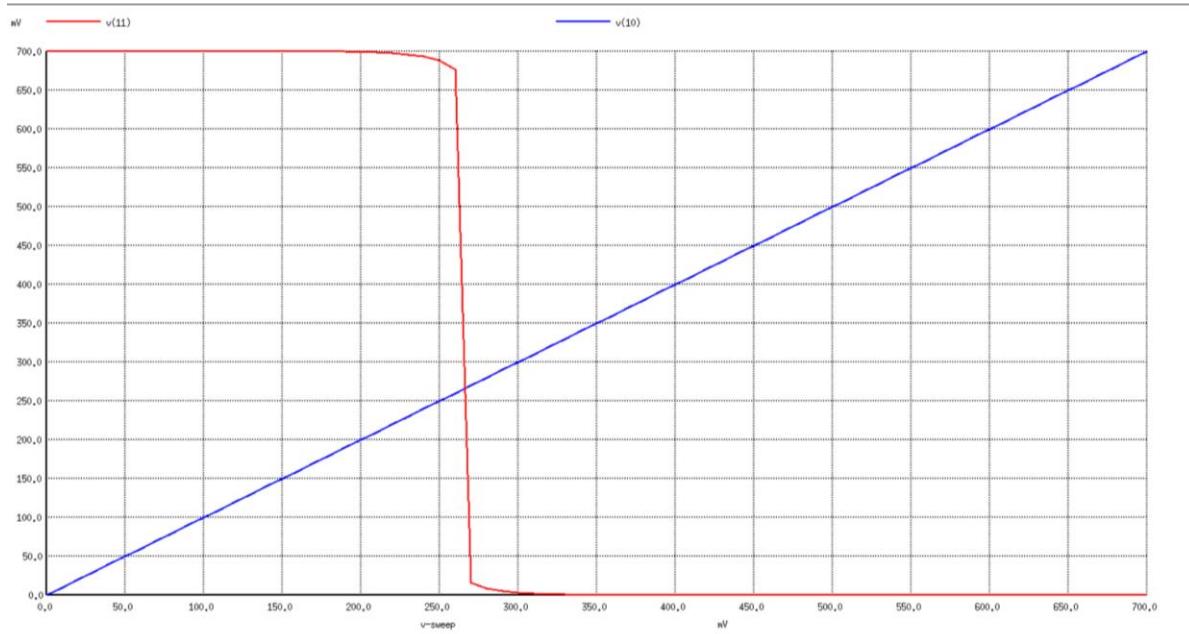
Γραφική παράσταση ισχύος:



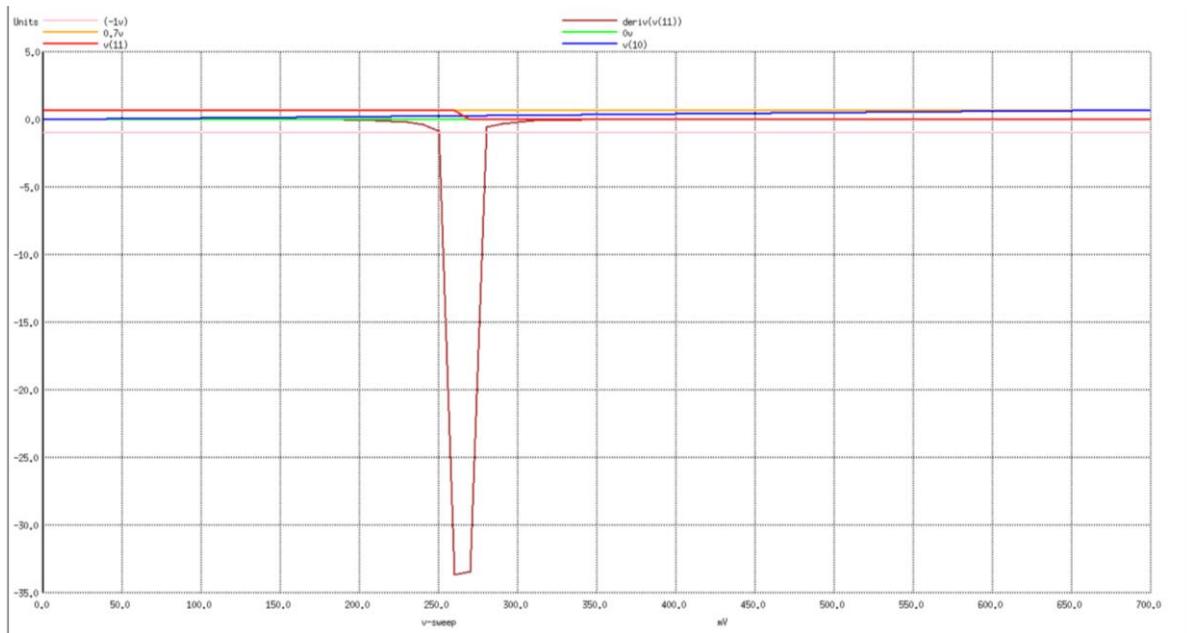
$V_{IL}$	0,450897V
$V_{IH}$	0,505828V
$NM_L$	0,450897V
$NM_H$	0,694172V

**$V_{DD} = 0,7V$**

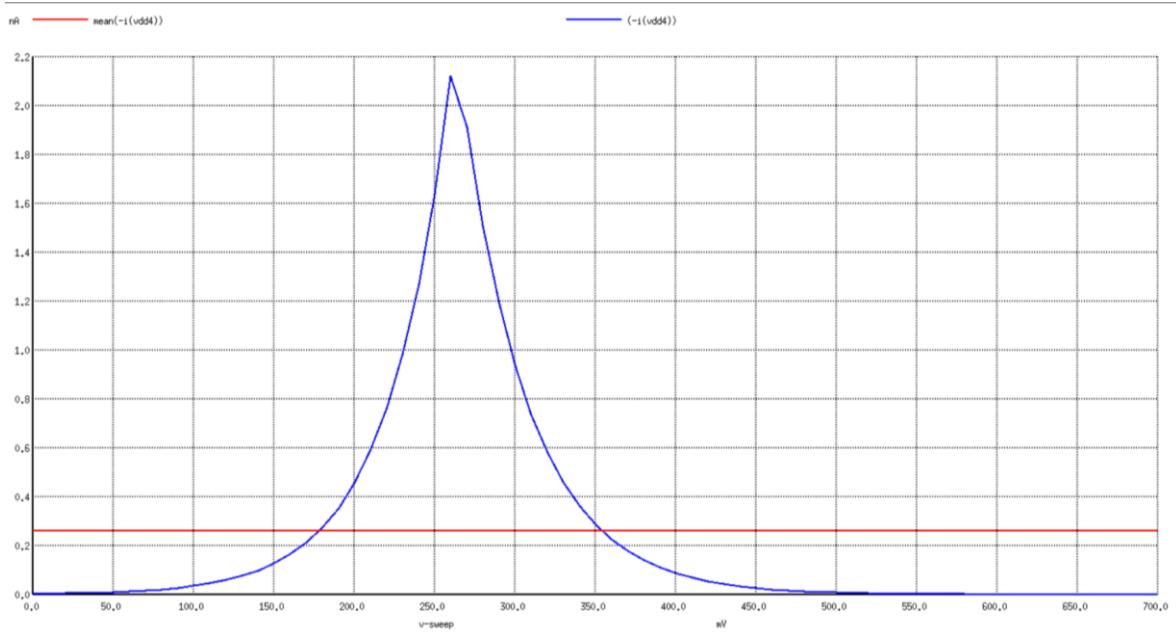
Γραφική παράσταση εξόδου:



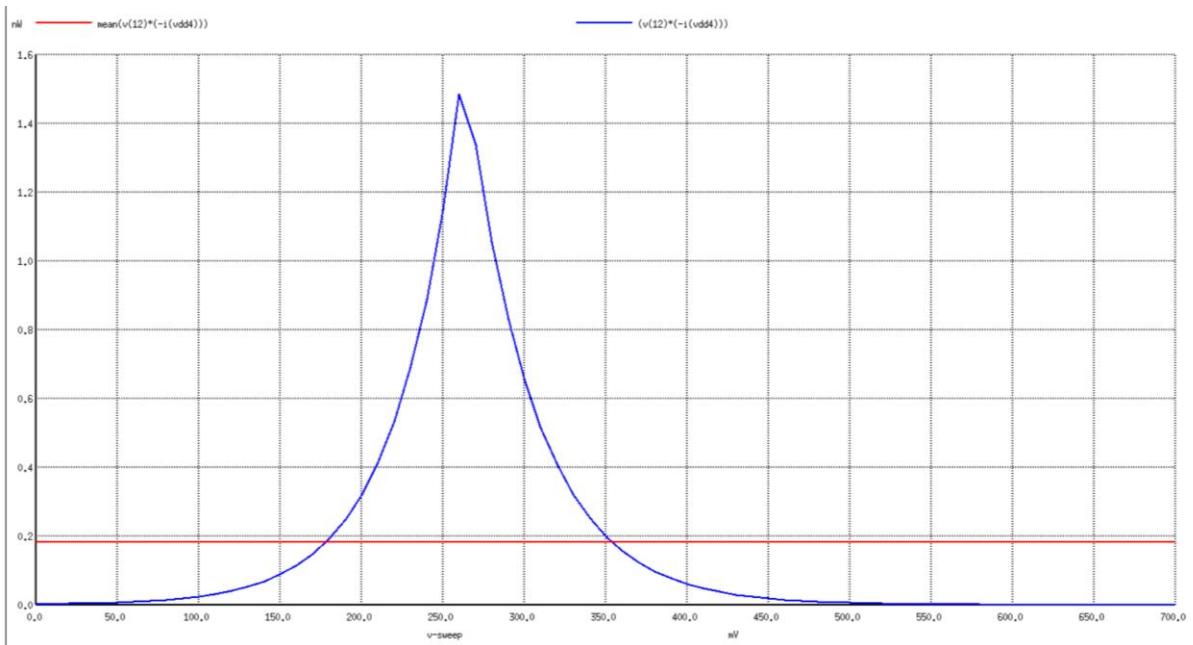
Γραφική παράσταση παραγώγου εξόδου:



Γραφική παράσταση ρεύματος:



Γραφική παράσταση ισχύος:



$V_{IL}$	0,250071V
$V_{IH}$	0,279893V
$NM_L$	0,250071V
$NM_H$	0,420107V

Παρατηρούμε ότι όσο μειώνεται το Vdd τόσο πιο απότομη γίνεται η καμπύλη στην περιοχή μετάβασης, οπότε το κέρδος του αντιστροφέα είναι αντιστρόφως ανάλογο της τάσης τροφοδοσίας.

Επιπλέον, παρατηρώ πως το εύρος της περιοχής μετάβασης, μειώνεται όσο μειώνονται τα Vdd, οπότε υπάρχει βελτίωση των περιθωρίων θορύβου μιας και η περιοχή της εισόδου που δεν αναγνωρίζεται από το CMOS ούτε ως 0 ούτε ως 1 ελαττώνεται ενώ η περιοχές λογικού 0 και 1 αυξάνονται.

Στο κύκλωμα του αντιστροφέα που έχω δημιουργήσει, κάνω plot το ρεύμα συναρτήσει του Vdd και την ισχύ, η οποία είναι  $P = V \cdot I$ . Επίσης υπολογίζω από τον μέσο όρο της ισχύς και του ρεύματος.

V	Iav	$Pav = V \cdot I$
2,5V	6,9uA	17,2uW
1,8V	1,71uA	3,07uW
1,2V	81,6pA	98nW
0,7V	260pA	182pW

Φαίνεται πως η μικρότερη τροφοδοσία μας δίνει μικρότερο στατικό ρεύμα.

Τέλος, όσο η Vdd μειώνεται, η ισχύς και η κατανάλωση μειώνονται. Ενώ ο αντιστροφέας, μπορεί και διατηρεί ακόμα την ιδιότητα της αντιστροφής του.