ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ VLSI

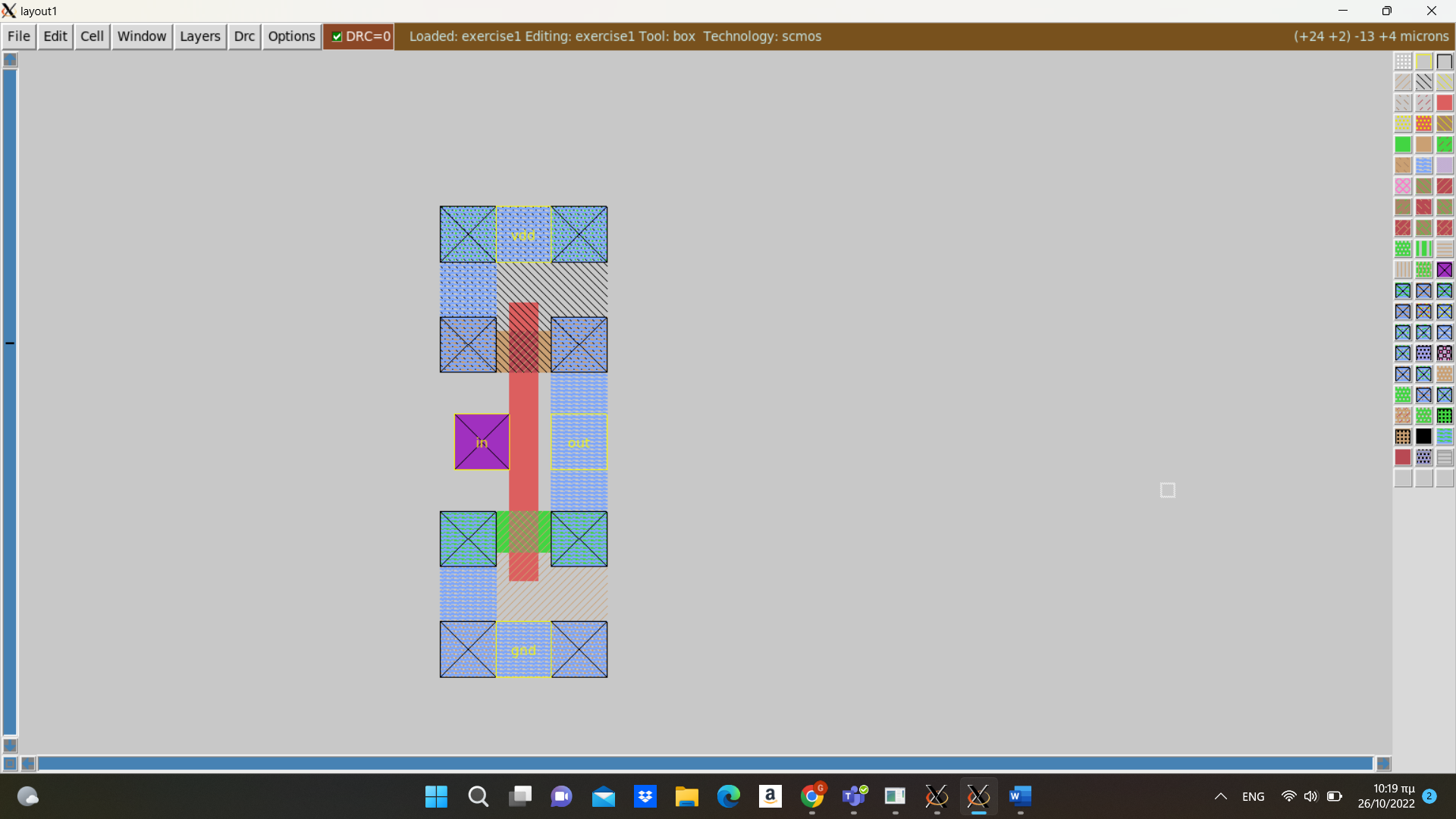
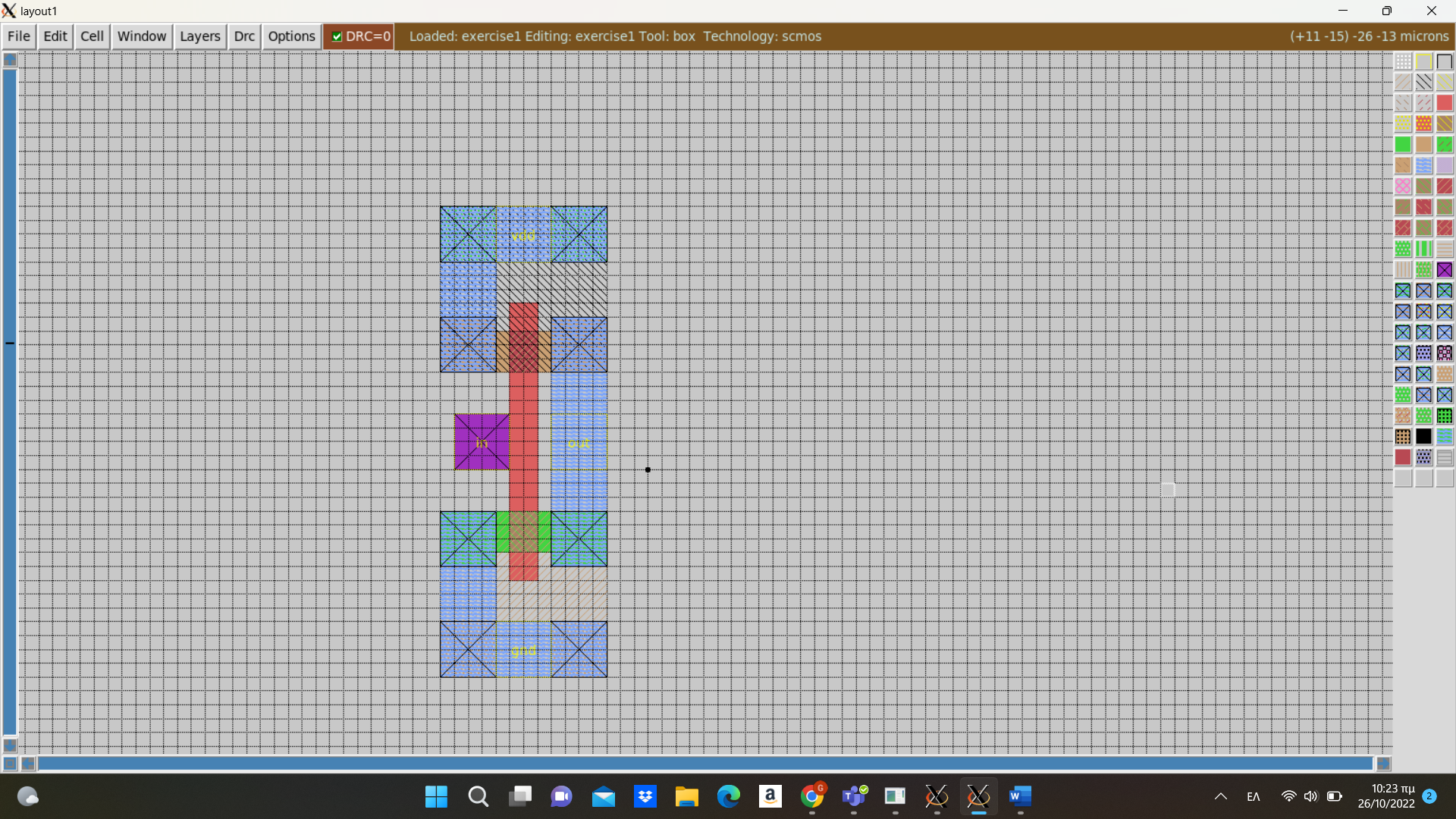
1o ΣΥΝΟΛΟ ΑΣΚΗΣΕΩΝ

ΟΝΟΜΑ: ΚΑΠΑΚΟΣ ΓΕΩΡΓΙΟΣ

ΑΕΜ: 03165

ΑΣΚΗΣΗ 1:

ΣΧΗΜΑ CMOS INVERTER:

Αρχικά το .spice αρχείο:

Αφού κάνω extract παίρνω το παρακάτω αρχείο.

Το αρχείο αυτό, δεν γίνεται να τρέξει στο ngspice, οπότε το τροποιούμε.

Από τον παρακάτω κώδικα συμπεραίνουμε ότι οι ακροδέκτες των τρανζίστορ έχουν τις ορθές συνδέσεις. Το nMOS(M1000), συνδέει το drain με την έξοδο το gate με την είσοδο και τα source, bulk με το vdd. Ενώ το pMOS(M1001), συνδέει το drain με την έξοδο το gate με την είσοδο και τα source, bulk με το ground.

exercise1.spice:

Εικόνα που περιέχει κείμενο, ηλεκτρονικές συσκευές, οθόνη, στιγμιότυπο οθόνης

Περιγραφή που δημιουργήθηκε αυτόματα

ΑΣΚΗΣΗ 2:

Το επεξεργασμένο .spice αρχείο:

Για να μετρήσω τις τιμές των καθυστερήσεων tphl, tplh, όπως και τους χρόνους trise και tfall, όπως φαίνεται ότι έχουμε τροποποιήσει τα μοντέλα παρακάτω προσθέτουμε και εντολές για την .tran ανάλυση του κυκλώματος μας, μετρώντας το στους ζητούμενους

χρόνους με την εντολή .meas.

exercise1.spice:

ΜΕΤΡΗΣΕΙΣ ΤΙΜΩΝ:

Για να βρω τις τιμές των σημείων στον χχ’ στο trise:

x2 = 300, x1 = 100, y2 = 2,25, y1 = 0,25

λ1 = (y2 – y1) / (x2 – x1) = 2/200 = 0,01

(ε): y = 0,01x – 0,75

Για y = 0 => x = 75ps, χρόνος ανόδου στο 10% του vdd(0,25V)

Για y = 2,5 => x = 325ps, χρόνος ανόδου στο 90% του vdd(2,25V)

Για την μέτρηση του trise, χρειαζόμαστε τον χρόνο ανόδου της εξόδου από το 0.1 \* 2.5 = 0.25V ως το 0.9 \* 2.5 = 2.25V την πρώτη φορά που η καμπύλη του αντιστροφέα “ανεβαίνει” (rise = 1).

Για να βρω τις τιμές των σημείων στον χχ’ στο tfall:

x2 = 1150, x1 = 950, y2 =0,25, x1 = 2,25

λ1 = (y2 – y1) / (x2 – x1) = -2/200 = -0,01

(ε): y = -0,01x + 11,75

Για y = 0 => x = 1175ps, χρόνος καθόδου στο 10% του vdd(2,25V)

Για y = 2,5 => x = 925ps, χρόνος καθόδου στο 90% του vdd(0,25V)

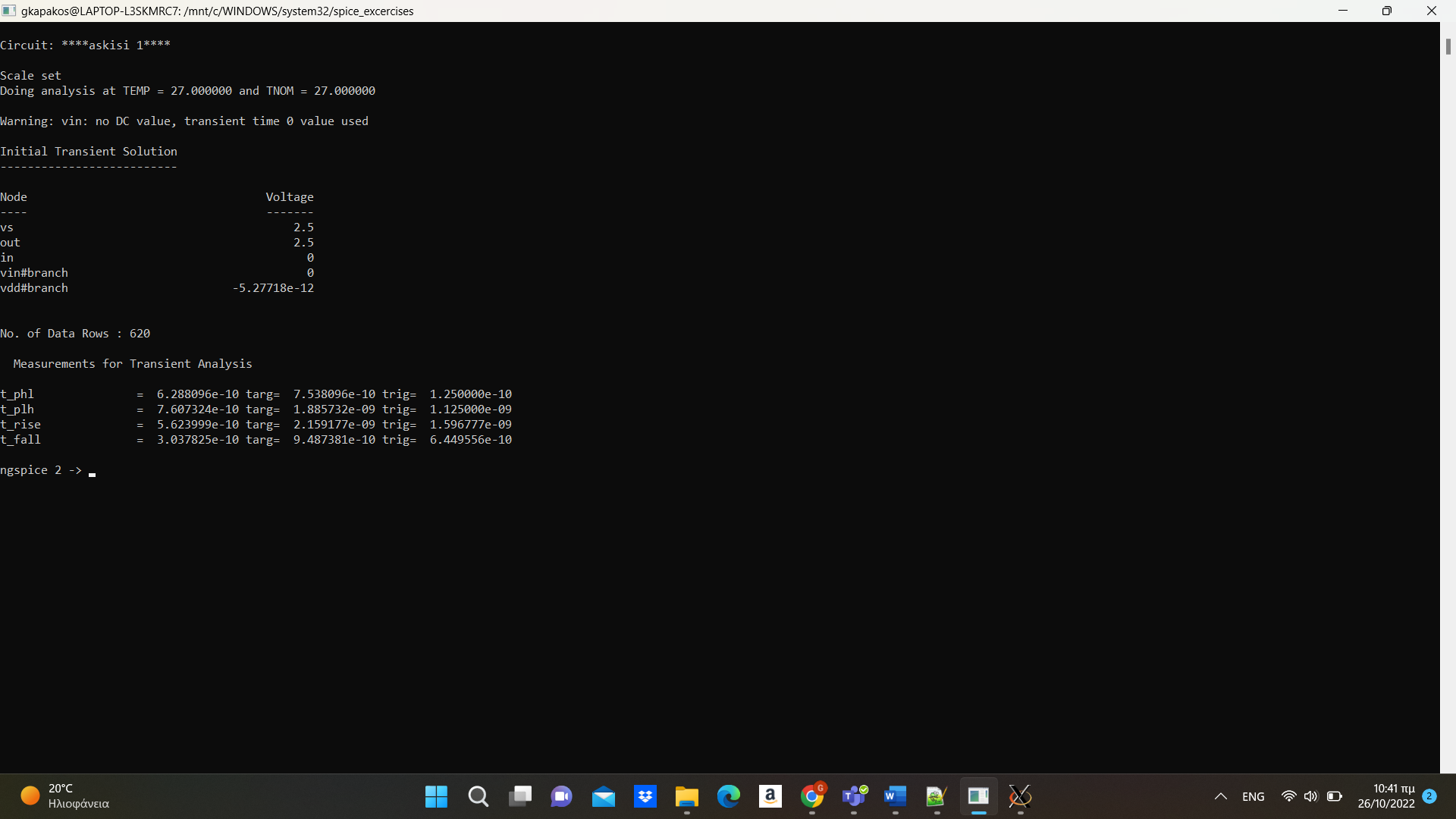
Αντίστοιχα, για το tfall χρειαζόμαστε τον χρόνο καθόδου της εξόδου από το 2.25V ως το 0.25V την πρώτη φορά που η καμπύλη “κατεβαίνει” (fall = 1).

Οι εξισώσεις μου φαίνονται στο παρακάτω σχήμα:

Για να βρω τις καθυστερήσεις tphl & tplh:

Για το tplh μετράω τον χρόνο μεταξύ του 0.5 \* 2.5 = 1.25V στην είσοδο, η οποία κατεβαίνει για πρώτη φορά (fall = 1) και του 1.25V στην έξοδο, η οποία ανεβαίνει για πρώτη φορά (rise = 1)

Για το tphl μετράω τον χρόνο μεταξύ του 0.5 \* 2.5 = 1.25V στην είσοδο, η οποία ανεβαίνει για πρώτη φορά (rise = 1) και του 1.25V στην έξοδο, η οποία κατεβαίνει για πρώτη φορά (fall = 1)



ΓΡΑΦΙΚΗ ΠΑΡΑΣΤΑΣΗ CMOS INVERTER:

