

ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
13.12.2014

ΕΡΓΑΣΤΗΡΙΟ ΨΗΦΙΑΚΩΝ
ΚΥΚΛΩΜΑΤΩΝ

LAB3

VGA CONTROLLER_ SPARTAN 3E

ΜΑΡΕΛΑΣ ΓΙΩΡΓΟΣ ΑΕΜ 378

ΠΡΟΛΟΓΟΣ

Στην 3^η εργαστηριακή άσκηση έχουμε ως στόχο την υλοποίηση ενός Ελεγκτή/Οδηγού θύρας οθόνης VGA στην Spartan 3E χρησιμοποιώντας την εσωτερική μνήμη Ram της FPGA για την απεικόνιση στην οθόνη. Η εργασία χωρίστηκε σε 3 μέρη. Στο 1^ο υλοποιήσα την Video Ram του VGA Controller, στο 2^ο τα σήματα συγχρονισμού της οθόνης ,HSYNC / VSYNC, και στο 3ο μέρος πραγματοποιείται η συνένωση των δύο προηγούμενων κυκλωμάτων.

ΕΙΣΑΓΩΓΗ

Η κατανόηση της λειτουργίας του vga controller είναι ο σκοπός της εργασίας. Η απεικόνιση της εικόνας ελέγχου στην οθόνη πρέπει να είναι σταθερή και ευδιάκριτη. Οι προδιαγραφές οδήγησης της οθόνης είναι : Ανάλυση 640x480 pixel και ρυθμός ανανέωσης 60 Mhz. Τα συνολικά bits που χρειάζεται να απεικονίσουμε είναι 307200 για κάθε μονόχρωμο pixel και θα χρησιμοποιήσουμε ως Ram την Block Ram της FPGA. Το μέγεθος της VRam θα πρέπει να είναι το 1/5 σε κάθε διάσταση, δλδ, 128x96 και να υποστηρίζει 8 χρώματα. Η μεγένθυση της ανάλυσης θα γίνεται απο τον Ελεγκτή κατά την έξοδο των σημάτων. Με την παραπάνω ανάλυση θα χρειαστούμε 12288 bits που συνεπάγεται ότι θα χρησιμοποιήσουμε 3 block ram των 16Kx1. Για τα σήματα χρονισμού ανέλυσα τους χρόνους σε κύκλους ρολογιού των 25Mhz (διαιρεμένο ρολοϊ της fpga) και με την χρήση μετρητών κατάφερα να χρονίσω την οριζόντια και κάθετη συντεταγμένη της οθόνης. Η μετατροπή του χρόνου σε κύκλους ρολογιού έγινε με την πράξη (επιθυμητός χρόνος) / (περίοδος ρολογιού).

Η εργασία περιλαμβάνει τα παρακάτω modules

Vram.v

Vga_Sync.v

Debounce.v

Vga_controller.v

ΜΕΡΟΣ Α : VRAM

Υλοποίηση

Λόγω των περιορισμών των συσκευών FPGA σε προσπελάσιμη μνήμη BRAM, η VRAM υλοποιείται με την χρήση συγκεκριμένων block ram. Συγκεκριμένα χρησιμοποιήσα 3 block ram των 16x1 από τα διαθέσιμα πρότυπα που υπάρχουν στην BRAM της Spartan 3 E(Single Port Block) για την υλοποίηση του χρώματος σε κάθε pixel. Σε κάθε μνήμη για συγκεκριμένη διεύθυνση αποθηκεύουμε το ψηφίο Red(1η BRAM), Green (2η BRAM, Blue (3η BRAM). Ο συνδιασμός τους αντιστοιχεί σε 8 διαφορετικά χρώματα :

Κόκκινο (R)	Πράσινο (G)	Μπλέ (B)	Συνισταμένη Χρώματος
0	0	0	Μαύρο
0	0	1	Μπλέ
0	1	0	Πράσινο
0	1	1	Κυανό
1	0	0	Κόκκινο
1	0	1	Μώβ
1	1	0	Κίτρινο
1	1	1	Άσπρο

Το module παίρνει ως είσοδο το διαιρεμένο ρολόι, το φιλτραρισμένο σήμα reset, την διεύθυνση ενός pixel καθώς και το σήμα ενεργοποίηση της οθόνης, ενώ ως έξοδο μας δίνει τις τιμές των χρωμάτων που υπάρχουν στην συγκεκριμένη διεύθυνση και αποτελούν τον χρωματισμό του αντίστοιχου pixel. Επίσης οδηγούμε κατάλληλα τα σήματα εισόδου και εξόδου του module vram στις εμφανίσεις των brams. Το σήμα video_on είναι αυτό που παίρνει την τιμή 1 και ενεργοποιεί τα block μνήμης, ενώ την τιμή 0 την δίνουμε στο σήμα wen που αφορά την εγγραφή στην μνήμη, καθώς οι μνήμες αρχικοποιούνται με σταθερές τιμές.

ΕΠΑΛΗΘΕΥΣΗ

Για την επαλήθευση δημιουργήσα ένα test bench με ρολόι των 50Mhz(Tclk=20ns) στο οποίο έδωσα κάθε 100ns διαφορετικές τιμές διευθύνσεων ώστε να ενεργοποιούνται και τα 3 σήματα εξόδου (RGB).

ΠΕΙΡΑΜΑΤΑ/ΥΛΟΠΟΙΗΣΗ

Δεν πραγματοποιήθηκε δοκιμή στην FPGA

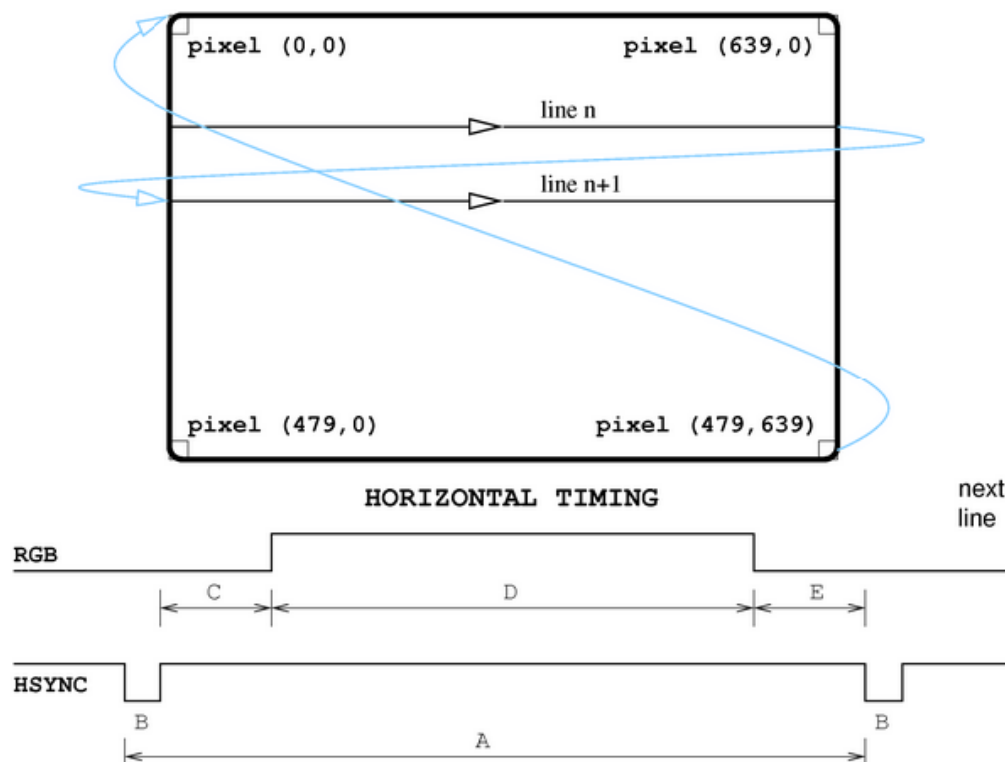
ΜΕΡΟΣ Β : ΥΛΟΠΟΙΗΣΗ ΟΡΙΖΟΝΤΙΟΥ ΚΑΙ ΚΑΘΕΤΟΥ ΣΥΓΧΡΟΝΙΣΜΟΥ

Στο module ως είσοδο παίρνουμε το διαιρεμένο ρολόι και το φιλτραρισμένο reset. Στην έξοδο έχουμε τα 2 σήματα χρονισμού horizontal_synchronization (h_sync) και vertical_synchronization (v_sync) των οποίων η συχνότητα τους καθορίζει την λειτουργία της οθόνης στην επιθυμητή ανάλυση.Επίσης έχουμε το video_on το οποίο ενεργοποιείται όταν βρισκόμαστε στο ορατό πεδίο της οθόνης.

Για τον υπολογισμό της διεύθυνσης στην Vram και τον χρονισμό της vga λειτουργήσα ως εξής : Δίνουμε ως έξοδο επιπλέον τα σήματα **x_pixel** και **y_pixel** τα οποία κάθε χρονική στιγμή καθορίζουν σε ποιο pixel βρισκόμαστε και αποτελούν τις τιμές για τον προσδιορισμό της διεύθυνσης για το **module vram**. Τα δύο αυτα σήματα υπολογίζονται με την χρήση μετρητών των 7bits, οι οποίοι αυξανονται αναλογικά με τους μετρητές **c_pixel** και **r_pixel**. Οι **column_pixel** και **vertical_pixel** είναι οι 2 counters που διατρέχουν το συνολο της οθόνης παίρνοντας τιμές έως 799 pixels και 479 pixels αντίστοιχα. Δύο βοηθητικοί μετρητές **divide_x** , **divide_y** δημιουργούν μία καθυστέρηση των 5 pixels, ώστε ανά 5 pixels των c_pixel και r_pixel να αυξάνονται κατά 1 οι x_pixel (max 126) και y_pixel (max95). Χρησιμοποιούμε την υποπενταπλάσια ανάλυση (128*96) ουσιαστικά και είναι αυτές οι τιμές οι οποίες χρησιμοποιούνται για τον υπολογισμό της διεύθυνσης στην VRAM.

Συγκεκριμένα χρησιμοποιώντας το διαιρεμένο ρολόϊ των 25Mhz υπολογίζουμε, σύμφωνα με τους αντίστοιχους χρόνους, τον αριθμό των pixels και ορίζουμε τις παραμέτρους που θα χρησιμοποιήσουμε. Για το ορατό μέρος των γραμμών (H_PIXEL 640pixel), το front porch(16pixels), το sync pulse (96 pixels), το back porch (48 pixels) και τον μέγιστο αριθμό των pixels ως 799. Αντίστοιχα οι παράμετροι για τον κάθετο συγχρονισμό έχουν ως εξής : το ορατό κομμάτι (480 pixels), front porch(10 pixels), sync pulse (2 pixel), back porch(33 pixels) με συνολικό frame 525 pixels. Παραθέτω παρακάτω την λειτουργία χρονισμού της οθόνης και ένα πίνακα με τους αντίστοιχους χρόνους. Οι αλλαγές που υπάρχουν για το front porch στον κάθετο και οριζόντιο συγχρονισμό έγιναν γιατί στην προσομοίωση υπήρχαν μικρές αποκλίσεις και έπρεπε να τροποποιήσω τους χρόνους ανάλογα ώστε να έχω σωστό αποτέλεσμα.

Τα σήματα h_sync και v_sync ενεργοποιούνται σύμφωνα με τους μετρητές των c_pixel και r_pixel αντίστοιχα. Το σήμα video on είναι αυτό το οποίο με την ενεργοποίηση του εμφανίζει στην οθόνη το περιεχόμενο της vram. Γίνεται enable μόνο όταν οι δύο μετρητές c_pixel και r_pixel είναι εντός της ορατής περιοχής που έχει οριστεί από τις παραμέτρους.



General timing

Screen refresh rate	60 Hz
Vertical refresh	31.46875 kHz
Pixel freq.	25.175 MHz

Horizontal timing (line)

Polarity of horizontal sync pulse is negative.

Scanline part	Pixels	Time [μ s]
Visible area	640	25.422045680238
Front porch	16	0.63555114200596
Sync pulse	96	3.8133068520357
Back porch	48	1.9066534260179
Whole line	800	31.777557100298

Vertical timing (frame)

Polarity of vertical sync pulse is negative.

Frame part	Lines	Time [ms]
Visible area	480	15.253227408143
Front porch	10	0.31777557100298
Sync pulse	2	0.063555114200596
Back porch	33	1.0486593843098
Whole frame	525	16.683217477656

ΜΕΡΟΣ Γ : ΥΛΟΠΟΙΗΣΗ VGA CONTROLLER

Μέσα στο module πραγματοποιείται η διαίρεση του ρολογιού της FPGA από τα 50MHz της κανονικής της λειτουργίας στα 25 MHz. Ο σκοπός της διαίρεσης του ρολογιού είναι η διευκόλυνση μας στον υπολογισμό των κατάλληλων τιμών που απαιτούνται για τον χρονισμό της οθόνης σε ανάλυση 640x480.

Απαραίτητο module για την σωστή λειτουργία του reset είναι το debouncer. Υλοποιείται για την εξάλειψη του θορύβου που προκαλούν τα εξωτερικά κουμπιά. Δέχεται σαν είσοδο το διαιρεμένο ρολόι, το reset και το σήμα του κουμπιού με το αντίστοιχο jitter. Κατά την είσοδο του φιλτράρεται το σήμα, δειγματοληπτείται και δίνει ως έξοδο την σωστή τιμή του σήματος (button).

Υλοποιείται η συνένωση των modules Vram , Vga_Sync και debounce στο module Vga_Controller. Υλοποιείται η συνένωση του y_pixel με το x_pixel σε ένα σήμα addr το οποίο το στέλνουμε ως είσοδο στο module Vram. Η συνένωση έχει την εξής μορφή : address = { y_pixel , x_pixel } να επιτύχουμε την μεγένθυση της αναλυσης που επιθυμούμε, καθώς ο μετρητής x_pixel είναι αυτός με την που αυξάνεται ταχύτερα.

ΥΛΟΠΟΙΗΣΗ : Δημιούργησα ένα test bench αρχείο και παρακάτω φαίνεται η λειτουργία όλων των σημάτων

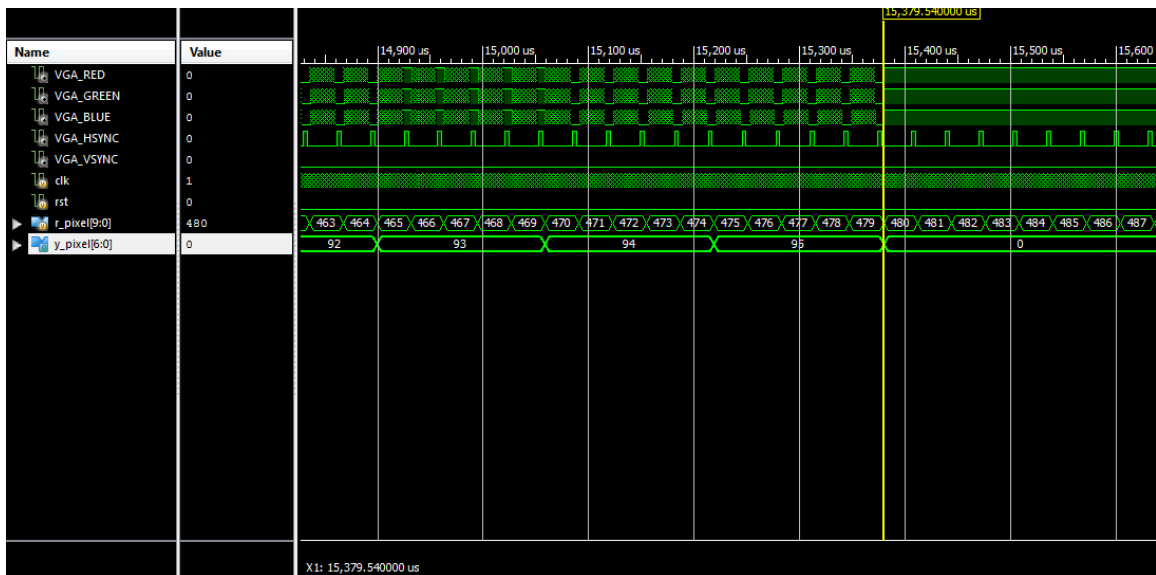


figure 1.1 : computation of y_pixel via r_pixel

ΠΕΙΡΑΜΑΤΑ/ΤΕΛΙΚΗ ΥΛΟΠΟΙΗΣΗ

Δοκιμάστηκε στην πλακέτα FPGA όπου λειτούργησε αρχικά με μικροπροβλήματα στην σωστή μεγένθυση των pixels αρχικώς.Επιλύθηκαν με την δημιουργία της καθυστέρησης όπως ανέφερα κατα 5 pixel ώστε να επιτευχθεί ο υποπολλαπλασιασμός της ανάλυσης. Ο χρονισμός της οθόνης ήταν σταθερός.Το πρόβλημα που δεν επιλύθηκε μέχρι και την παράδοση της εργασίας ήταν η μη σωστή απεικόνιση των χρωμάτων στην δημιουργία των παράλληλων γραμμών.Η μορφή ήταν η επιθυμητή αλλά το πρόβλημα του σωστού χρώματος παρόλα τα πειράματα παρέμεινε.

Παρακάτω βλέπουμε τις κύριες δομικές μονάδες/υπομονάδες που συναποτελούν τον Vga Controller:

