

# 其他院校考研组成原理部分

课程基于

《计算机组成与设计：硬件/软件接口》5e

Patterson & Hennesy 著

B站 翼云图灵

## 第一部分

### 判断、填空、选择题

B站 翼云图灵

# 清华大学2019-2020

判断:

- (1) 整数 $\text{int } x < 0$ , 则必有 $-x > 0$
- (2) CPI越小, 程序执行能力越快
- (3) 缓存原理利用了程序的局部性
- (4) MIPS五级流水线中, 充分设置功能单元可改善结构冲突
- (5) 冯诺依曼体系计算机把程序当作数据保存在内存中

填空:

- (1) 单精度浮点数-27.625在IEEE 754下表示为\_\_\_\_\_ (HEX表示)
- (2) MIPS处理数据冲突的技术有\_\_\_\_\_, \_\_\_\_\_, \_\_\_\_\_ (任写三个)
- (3) 缓存的缺失类型有\_\_\_\_\_, \_\_\_\_\_, \_\_\_\_\_ (任写三个)

# 清华大学2019-2020

选择：

(1) 下列表述中正确的是

A 指令必须给出操作码

B 指令必须给出操作数

C 指令长度必须相同

D 指令操作数个数都一样多

(2) 解决流水线数据冲突不可以采用

A 暂停流水线

B 数据旁路

C 分支预测

D 静态调度

(3) 下列关于静态存储器和动态存储器的描述正确的是

A 静态存储器使用触发器，需要定期刷新

B 静态存储器使用电容，不需要定期刷新

C 动态存储器使用触发器，不需要定期刷新

D 动态存储器使用电容，需要定期刷新

(4) 下列哪个说法是对的

A 虚拟内存空间比实际地址空间大

B 虚拟内存空间比实际地址空间小

C 虚拟内存空间连续存放，实际内存一定连续存放

D 虚拟内存空间不连续存放，实际内存可能连续存放

## 第二部分

### 处理器分析计算题

B站 翼云图灵

## 清华大学2020

假设寄存器输入延迟为10ps，寄存器输出延迟为10ps，各阶段的延迟如下（其中ID段算入了通用寄存器的读取时间，其余未算入）

指令阶段	IF	ID	EX	MEM	WB
时间 (ps)	250	180	150	300	200

实现如下指令序列：

addu rd, rs, rt

lw rs, rt, imm

j target

- (1) 按照单周期、多周期、流水线设计，最短的时钟周期为？请写出计算过程
- (2) 按照单周期、多周期、流水线设计，最短的指令延迟为？

## 重庆大学2022

32. 下表给出了两种 MIPS 处理器数据通路中指令执行不同阶段的延迟, 请根据这两种 MIPS 处理器的指令执行延迟, 分别回答下列问题:

	IF(取指)	ID(译码)	EX(执行)	MEM(访存)	WB(写回)
P1	250ps	300ps	280ps	400ps	100ps
P2	150ps	200ps	220ps	280ps	120ps

(1) 采用经典 5 段 MIPS 流水线处理器和 MIPS 单周期非流水线处理器的时钟周期时间分别是多少? (包括 P1 流水线, P1 非流水线, P2 流水线, P2 非流水线, 单位:ps)

(2) LW(取数)指令在经典 5 阶段 MIPS 流水线处理器和 MIPS 单周期非流水线处理器中的总延迟分别是多少? (包括 P1 流水线, P1 非流水线, P2 流水线, P2 非流水线, 单位:ps)

# 北京航空航天大学

科目: 061 计算机基础综合

六、一个具有五级流水线的 MIPS 处理器执行以下指令

```
11: lw $t1 4($t2)
12: sw $t2 8($t1)
13: addi $t1 $t1 1
14: lw $t3 12($t4)
15: sw $t3 16($t4)
16: subi $t3 $t3 1
17: lw $t5 20($t6)
18: addi $t5 $t5 1
19: sw $t5 24($t6)
```

(1) 假设流水线处理器没有转发(有寄存器堆内部的转发), 指出上述指令序列存在的冒险并加入 nop 以消除冒险。

(2) 假设流水线存在充分的转发, 指出指令序列存在的冒险并加入 nop 指令以消除冒险。

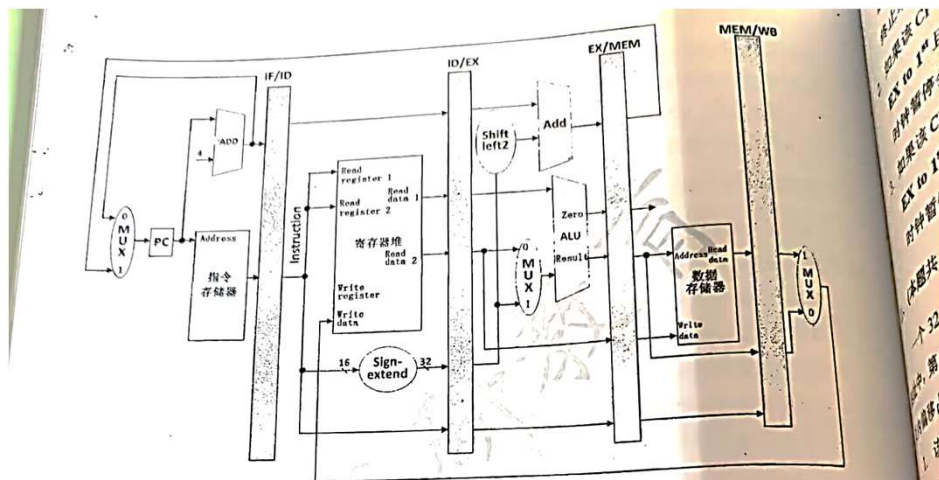
(3) 现在有三种情况: 无转发, 仅 MEM/WB 寄存器前的 MEM 结果到 ALU 的转发, MEM/WB 寄存器后的 WB 到 ALU 的转发。 有三个时间: A 180ps B 300ps C 500ps, 请将相应的时间对应到相应的情况。

(4) 针对最上面的指令序列, 计算上述两种转发相对于无转发的加速比。

B站 翼云图灵



# 北京航空航天大学



题六图 1 五级流水线 MIPS CPU 结构示意图

假定该 MIPS CPU 在执行某一程序时，指令之间各类型 RAW 数据冒险的比例如题六图 2 所示。在题六图 2 中，EX to 1<sup>st</sup> 表示某指令后第一条紧邻指令使用该指令 EX 阶段产生的结果(如指令序列: add r1, r2, r3; sub r4, r1, r3)，MEM to 1<sup>st</sup> 表示某指令后第一条紧邻指令使用该指令 MEM 阶段产生的结果(如指令序列: lw r1, 0(r2); sub r4, r1, r3)，EX to 2<sup>nd</sup> 表示某指令后第二条紧邻指令使用该指令 EX 阶段产生的结果(如指令序列: add r1, r2, r3; add r6, r7, r8; sub r4, r1, r3)，MEM to 2<sup>nd</sup> 表示某指令后第二条紧邻指令使用该指令 MEM 阶段产生的结果(如指令序列: lw r1, 0(r2); add r6, r7, r8; sub r4, r1, r3)，EX to 1<sup>st</sup> 且 EX to 2<sup>nd</sup> 表示某指令后第一条和第二条紧邻指令均使用该指令 EX 阶段产生的结果(如指令序列: add r1, r2, r3; sub r4, r1, r3; sub r6, r1, r7)。

RAW 数据冒险类型	只有 EX to 1 <sup>st</sup>	只有 MEM to 1 <sup>st</sup>	只有 EX to 2 <sup>nd</sup>	只有 MEM to 2 <sup>nd</sup>	EX to 1 <sup>st</sup> 且 EX to 2 <sup>nd</sup>	其他 RAW 数据冒险
数据冒险比例	20%	15%	10%	10%	5%	0%

题六图 2 各类型 RAW 数据冒险比例

假定在时钟的前半周期写寄存器，时钟的后半周期读寄存器，因此某指令 EX 级或 MEM 级产生的结果到其后的第三条紧邻指令就不会存在 RAW 数据冒险。同时假定在没有数据冒险的条件下，该程序执行的 CPI(Clock Per Instruction)为 1。

- 为使得执行 R 型指令和 LW 指令回写寄存器时能够给出正确的写寄存器编号，需在题六图 1 中添加一根连线。请用文字描述该连线的起始端和终止端。(起始端需指明哪一级流水线寄存器、哪一个寄存器及寄存器域，例如：IF/ID 级上指令寄存器的 RS 域；终止端需指明寄存器堆的哪一个端口)。
- 如果该 CPU 完全没有采用数据转发，EX to 1<sup>st</sup>、EX to 2<sup>nd</sup>、MEM to 1<sup>st</sup>、MEM to 2<sup>nd</sup>、EX to 1<sup>st</sup> 且 EX to 2<sup>nd</sup> 型数据冒险分别会导致多少个时钟暂停？由于数据冒险产生的时钟暂停会导致该程序执行的 CPI 增大到多少？
- 如果该 CPU 采用全部可能的数据转发，EX to 1<sup>st</sup>、EX to 2<sup>nd</sup>、MEM to 1<sup>st</sup>、MEM to 2<sup>nd</sup>、EX to 1<sup>st</sup> 且 EX to 2<sup>nd</sup> 型数据冒险分别会导致多少个时钟暂停？由于数据冒险产生的时钟暂停会导致该程序执行的 CPI 增大到多少？

## 第三部分

### 存储器分析计算题

B站 翼云图灵

# 华东理工大学

4.cache 为处理器提供了一个高性能的存储器层次结构，因此十分重要。下面是一个个 32 位存储器地址引用的列表，给出的是字地址。

3, 180, 43, 2, 191, 88, 190, 14, 181, 44, 186, 253

已知一个直接映射的 cache，有 16 个块，块大小为 1 个字。对于每次访问，请表示出二进制地址、标记、以及索引。假设 cache 最开始为空，那么请列出每次访问缺失是命中还是缺失。

# 重庆大学2022

重庆大学 2022 年硕士研究生招生考试试题

33. Cache 的访问时间与 Cache 容量呈正相关性。假设访问主存储器需要 80ns，并且在所有指令中，有 35% 的指令需要访存。下表是 P1 和 P2 两个处理器各自的一级 Cache 相关性能数据。

	一级 Cache 容量	一级 Cache 缺失率	一级 Cache 命中时间
P1	16KB	10%	0.55ns
P2	32KB	8%	0.60ns

(1) 假设一级 Cache 命中时间决定了 P1 和 P2 的周期时间。P1 和 P2 各自的 AMAT (平均存储器访问时间) 分别是多少 (单位:ns) ?

(2) 假设基本的 CPI 为 1, P1 和 P2 各自的总 CPI 是多少?

(3) P1 一级 Cache 性能设定同上表, 考虑为 P1 增加二级 Cache 来优化一级 Cache 容量的限制。下表是二级 Cache 的相关性能数据, 其中二级 Cache 的缺失率是它的局部缺失率。增加二级 Cache 后, P1 的 AMAT 是多少? (单位:ns)

二级 Cache 容量	二级 Cache 局部缺失率	二级 Cache 命中时间
512KB	95%	3.5ns

(4) 假定基本 CPI 为 1, 增加参数如上表的二级 Cache 后, P1 的总 CPI 是多少?

# 华东理工大学

5. 在一个页式虚拟存储系统中，有 32 个页面，每页大小为 1KB，主存块大小为 16KB，对给出的两个虚拟地址 0A5C, 1A5C，回答下面问题。

(1) 计算物理地址

页号	页框号
0	4
1	2
2	1
3	3
4	6
5	10
6	8
7	7
8	5
无效	

(2) 假设页面 1, 3, 5, 6 在内存中，并且一次访问内存的时间是 1.5us，访问 TLB 的时间为 0 (忽略)，求实现上面两个地址访问共需要多少时间？