

1、选择题

以下关于冯·诺伊曼计算机工作方式描述错误的是_____。

- A. 计算机由五大部件组成
- B. 指令和数据都以二进制方式存储在存储器内，按地址访问
- C. 指令由操作码和地址码组成
- D. 指令按顺序存放，乱序执行

在取指周期的第一个节拍内，PC 寄存器寄存的是_____。

- A. 下一条要执行的指令
- B. 下一条要执行的指令地址
- C. 正在执行的指令
- D. 正在执行的指令地址

下列浮点数表示位数不属于 IEEE754 标准中常见的是_____。

- A. 128bit
- B. 80bit
- C. 64bit
- D. 32bit

在串行进位的并行加法器中，影响加法器运算速度的关键因素是_____。

- A. 各位全加器速度的不同
- B. 进位传递延迟
- C. 门电路的级延迟
- D. 元器件速度

下面关于总线通信方式，描述错误的是_____。

- A. 同步通信需要由统一时钟控制数据传送
- B. 异步通信无需公共时钟标准
- C. 半同步通信是同、异步通信的结合
- D. 分离式通信划分出的周期 1 供高速设备通信，周期 2 供低速设备通信

关于汉明码的纠检错能力说法正确的是_____。

- A. 只能纠错 1 位
- B. 检错位数少于纠错位数
- C. 纠错位数随信息长度不同而变化
- D. 可以检错 3 位

下面关于存储器层次结构说法错误的是_____。

- A. Cache 的出现是价格与性能的折衷
- B. 虚存的出现有利于程序员简化程序设计
- C. 存储器结构中不包括磁带等慢速设备
- D. Cache 不仅仅存在于 CPU 中

128x128 的 DRAM 中采用分散刷新方式，存储单元的刷新和读取周期均为 $0.5\mu\text{s}$ ，其死区时间和存取周期分别为_____。

- A. $0\mu\text{s}$, $1\mu\text{s}$
- B. $0.5\mu\text{s}$, $0.5\mu\text{s}$
- C. $1\mu\text{s}$, $1\mu\text{s}$
- D. $0\mu\text{s}$, $0.5\mu\text{s}$

一个二路组相联的 Cache 容量为 $4\text{K} \times 16\text{bit}$ ，主存共有 $512\text{K} \times 16\text{bit}$ 块，每块 $4 \times 16\text{bit}$ ，则按字编址的主存地址中的主存字块标记和组地址分别为_____位。

- A. 8, 9
- B. 8, 4
- C. 9, 4
- D. 9, 9

在磁表面存储器的记录方式中不常见的是_____。

- A. NRZ1
- B. FM
- C. AM
- D. PM

在关于 DMA 与中断的比较描述中不正确的是_____。

- A. 中断依赖软件实现而 DMA 则依赖专用存储器到外设的专用线路
- B. 中断可以处理异常情况而 DMA 则不能
- C. 中断不包含 DMA 而 DMA 过程中包含中断
- D. 中断的优先级比 DMA 低

关于 RISC 与 CISC 技术的描述, 不正确的是_____。

- A. x86 架构支持的是 CISC
- B. RISC 一般不采用流水技术, 但在一个时钟周期内完成一条指令
- C. RISC 只有 LOAD 和 STORE 指令访存
- D. CISC 更容易实现系统兼容

CPU 检测中断信号通常_____周期, 处理中断在_____周期。

- A. 取指、间址
- B. 执行、中断
- C. 取指、执行
- D. 间址、中断

编制循环程序中常用到的寻址方式是_____。

- A. 变址寻址
- B. 寄存器间接寻址
- C. 相对寻址
- D. 堆栈寻址

下列不会引起指令流水阻塞的是_____。

- A. 数据旁路
- B. 数据相关
- C. 资源冲突
- D. 条件转移

某 CPU 具有 5 级流水线, 当有 10 条指令通过该流水线时其加速比为_____, 吞吐率为_____条指令/秒。

- A. 3.57、 7.14×10^6
- B. 3.57、 8.33×10^6

C. 4.17、8.33 x 106

D. 4.17、7.14 x 106

在使用硬件向量法寻找中断服务程序入口地址的过程中，中断向量地址形成部件产生的信号用来_____。

A. 寻找中断服务程序入口地址所在位置 B. 寻找中断服务程序入口地址

C. 触发中断隐指令 D. 触发断点自动保护部分

某 PC 采用同步通信方式从某移动设备读入数据，PC 总线工作频率 800MHZ，移动设备支持的最大传输频率为 100MHZ，双方的通信总线位宽为 32 位，在不考虑通信建立、数据校验开销等额外开销的情况下，传输一部 4.4GB 蓝光高清数字影片大致需要_____。

A. 3200s

B. 3600s

C. 4000s

D. 4400s

下列时间概念中时间最长的是_____。

A. 机器周期

B. 指令周期

C. 总线周期

D. 时钟周期

下列叙述中_____是正确的。

A. 微指令的直接编码方式要注意选择互斥信号

B. 微指令的字段间编码方式不用考虑互斥问题

C. 水平型微指令比垂直型微指令好

D. 垂直型微指令采用类似机器指令操作码的方式

2、设有两个浮点数 $N_1=2^{j_1} \times S_1$, $N_2=2^{j_2} \times S_2$, 其中阶码 2 位，阶符 1 位，尾数四位，数符一位。

设： $j_1=(-10)_2$, $S_1=(-0.1101)_2$ $j_2=(+11)_2$, $S_2=(+0.1011)_2$

求： $N_1 \times N_2$ ，写出运算步骤及结果，积的尾数占八位，给出浮点数乘法基本公式，并计算步骤和竖式，

其中尾数乘积用 Booth 算法计算，并按照 IEEE754 标准规格化结果给出二进制表示式。

3、CPU 对内存空间进行访问，设开始时 Cache 为空，采用二路组相联方式装载，内存被分为 128 块，Cache 为 4 组；

访问情况如下表

块 1	块 2	块 5	块 5	块 1	块 9	块 9	块 3	块 9	块 1	块 5
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

- (1) 列表法计算求 FIFO 替换算法时命中率是多少？
- (2) 如果 Cache 改为 4 块，全相联时 FIFO 算法命中率是多少？并简要对比分析全相联与组相联区别。（成本、块冲突、运算量）
- (3) 常见替换算法还有哪些？试举 2 种以上，并简要说明算法内容。

4、某采用微程序方式设计的机器能够实现 IN、OUT、ADD、JMP、HLT 五条指令，其代码及程序流程图如下，现要求根据给出的条件，仅仅通过修改微程序指令，在不增加指令条数的前提下，实现将其改造为可以实现两个不同数进行与运算，且最后跳转至停机的机器。

- (1) 给出修改后的指令代码，微指令代码。（仅给出修改部分即可，如有删除需要标注。）
- (2) 给出修改后的流程图。
- (3) 对修改部分进行简要说明。
- (4) 说明修改后的 HLT 与空指令的区别，以及该 HLT 是否被中断及其原因。

指令代码

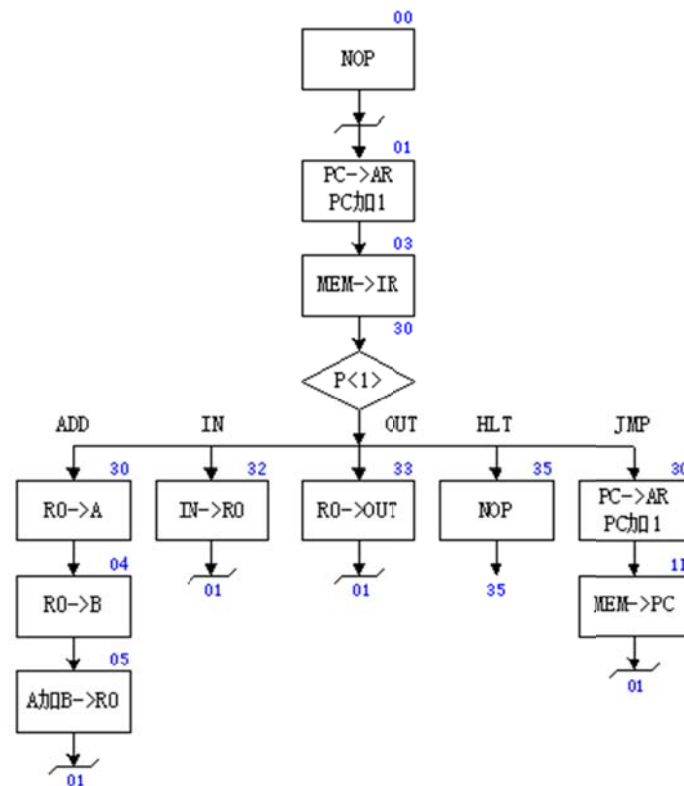
地 址	内 容	助记符	说 明
00000000	00100000	; START: IN R0	从 IN 单元读入数据送 R0
00000001	00000000	; ADD R0, R0	R0 和自身相加，结果送 R0
00000010	00110000	; OUT R0	R0 的值送 OUT 单元显示
00000011	11100000	; JMP START	双字节指令， 跳转至 00H 地址
00000100	00000000	;	
00000101	01010000	; HLT	停机

运算器逻辑功能表

运算类型	S3S2S1S0	功 能
逻辑运算	0000	F=A（直通）
	0001	F=B（直通）
	0010	F=AB
	0011	F=A+B
	0100	F=¬A

二进制微指令代码表

地址	十六进制	高五位	S3-S0	A 字段	B 字段	C 字段	MA5-MA0
00	00 00 01	00000	0000	000	000	000	000001
01	00 6D 43	00000	0000	110	110	101	000011
03	10 70 70	00010	0000	111	000	001	110000
04	00 24 05	00000	0000	010	010	000	000101
05	04 B2 01	00000	1001	011	001	000	000001
1D	10 51 41	00010	0000	101	000	101	000001
30	00 14 04	00000	0000	001	010	000	000100
32	18 30 01	00011	0000	011	000	000	000001
33	28 04 01	00101	0000	000	010	000	000001
35	00 00 35	00000	0000	000	000	000	110101
3C	00 6D 5D	00000	0000	110	110	101	011101



5、某计算机的主存地址空间中，地址 0x0000 到 0x3FFF 为系统程序存储区域，地址 0x4000 到 0x5FFF 为保留地址区域（暂不使用），地址 0x6000 到 0xFFFF 为用户程序地址区域。RAM 的控制信号为 CS 和 WE，CPU 的寻址范围是 64K，数据线为 8 位，控制信号有读写控制 R/W 和访存请求 MREQ（区别访问的是存储器还是外设，在此可以理解为片选信号），求：

- （1） 现有 8K×8bit 的 ROM 芯片，和 4K×8bit 的 RAM 芯片，试画出存储器与 CPU 的连接图。
- （2） 如作为 RAM 存储器的 DRAM 芯片，组成 512 行列的阵列，行刷新时间为 0.5 μs，应选用刷新闻隔为何种条件的 DRAM 芯片才能采用异步刷新机制。

冯·诺伊曼计算机工作方式的基本特点是_____。

- A. 堆栈操作
- B. 多指令流单数据流
- C. 存储器按内容选择地址
- D. 按地址访问并顺序执行指令

指令寄存器寄存的是_____。

- A. 下一条要执行的指令
- B. 已执行完了的指令
- C. 正在执行的指令
- D. 要转移的指令

在浮点数中，判断补码规格化形式的原则是_____。

- A. 尾数的符号位与第一数位不同
- B. 尾数的符号位与第一数位相同
- C. 尾数的第一位为 1，数符任意
- D. 阶符与数符不同

在串行进位的并行加法器中，影响加法器运算速度的关键因素是_____。

- A. 门电路的级延迟
- B. 进位传递延迟
- C. 各位全加器速度的不同
- D. 元器件速度

设 $C(x)$ 的 CRC 码为 7 位，其中 4 位为信息码，若生成多项式 $G(x)=x^3+x+1$ ，则 $C(x)=1101$ 的 CRC 码为_____。

- A. 1101000
- B. 1101001
- C. 1101010
- D. 1101100

IEEE754 标准 64 位浮点数格式中，符号位为 1 位，阶码为 11 位，尾数为 52 位，则它所能表示的最小规格化负数为_____。

- A. $-(2-2^{-52}) \times 2^{-1023}$
- B. $-(2-2^{-52}) \times 2^{+1023}$
- C. -1×2^{-1024}
- D. $-(1-2^{-52}) \times 2^{+2047}$

一个四路组相联的 Cache 共有 64 块，主存共有 8192 块，每块 32 个字，则按字节编址的主存地址中的主存字块标记和组地址分别为_____位。

- A. 13, 5 B. 13, 4
C. 9, 4 D. 9, 5

浮点乘法判溢出的时刻是_____。

- A. 在没做乘法之前 B. 在阶码求和之后尾数相乘之前
C. 在尾数相乘之后阶码求和之前 D. 阶码求和之后尾数相乘并规格化之后

关于 RISC 技术的描述，正确的是_____。

- A. 采用 RISC 技术后，计算机的体系结构又恢复到早期的比较简单情况
B. 为实现兼容，新设计的 RISC 是从原来的 CISC 系统的指令中挑选一部分实现的
C. RISC 的主要目的是减少指令数
D. RISC 设有乘、除法指令和浮点运算指令

计算机操作的最小时间单位是_____。

- A. 机器周期 B. 指令周期 C. 存储周期 D. 时钟周期

在微程序控制器设计中，假定微命令采用最短字长编码，需产生 N 种微操作，则微命令控制字段要设置的位数是_____。

- A. $\lceil \log_2(N+1) \rceil$ B. $\lceil \log_2(N-1) \rceil$ C. $\lceil \log_2 N \rceil$ D. $\lceil \log_2 N \rceil + 1$

计算机中存放微指令的存储器包含在_____中。

- A. 主存储器 B. CPU C. 高速缓冲存储器 D. 外存储器

某计算机的内存系统采用一级 cache、二级 cache 和主存三级分层结构。访问第 1 级时命中率为 95%，访问第 2 级时命中率为 50%，其余 50% 访问主存。假定访问一级 cache 需要 1 个时钟周期 T，访问二级 cache 和主存分别需要 10T 和 100T，则该三级存储系统的平均访问时间为_____。

- A. 1T B. 3.2T C. 4T D. 5T

已知一浮点向量加法流水线由阶码比较、对阶、尾数相加和规格化 4 段流水构成，每个段所需的时间（包括缓冲寄存器时间）分别为 30ns、25ns、55ns 和 50ns，则其最大加速比约为_____。

- A. 2.9 B. 3.2 C. 5.3 D. 6.4

采用 8 体并行低位交叉存储器，设每个体的容量为 $32K \times 16$ 位，存取周期为 400ns，在下列说法中正确的是_____。

- A. 在 400ns 内，存储器可以向 CPU 提供 27 位二进制信息
B. 在 400ns 内，存储器可以向 CPU 提供 28 位二进制信息
C. 在 100ns 内，存储器可以向 CPU 提供 27 位二进制信息
D. 在 100ns 内，存储器可以向 CPU 提供 28 位二进制信息

假设某系统总线在一个总线周期中并行传输 8 字节信息，一个总线周期占用 2 个时钟周期，总线时钟频率为 66MHz，则在 2-1-1-1 猝发式读取时的总线带宽为_____。

- A. 105.6 MB/s B. 264 MB/s C. 422.4 MB/s D. 528 MB/s

下列叙述中_____是正确的。

- A. 水平型微指令能充分利用数据通路的并行结构
B. 垂直型微指令能充分利用数据通路的并行结构
C. 采用微程序控制器的处理器称为微处理器
D. 在一个 CPU 周期中，可以并行执行的微操作称为互斥型微操作

在 DMA 方式中，DMA 与 CPU 交替访问适合于_____。

- A. 数据传输率很高的 I/O 设备实现成组数据的传送
B. I/O 设备的读写周期大于主存周期的情况
C. CPU 的工作周期比主存存取周期短的情况

D. CPU 的工作周期比主存存取周期长的情况

磁盘驱动器向盘片磁层记录数据时采用_____方式写入。

- A. 并行 B. 串行 C. 并一串行 D. 串一并行

下列操作不是中断隐指令完成的是_____。

- A. 保护程序断点 B. 寻址中断服务程序的入口地址 C. 开中断 D. 关中断

2、已知 $X=2^{-5} \times \frac{51}{128}$, $Y=2^3 \times \left(-\frac{57}{64}\right)$ 。试按规格化浮点乘法规则, 求 $[X \times Y]_{\text{移,补}}$ 。要求: 阶码用移码 4 位 (含 1 位符号) 表示, 尾数用

补码 8 位 (含 1 位符号) 表示。给出计算步骤和竖式, 其中尾数乘积用 Booth 算法计算。

3、某程序对页面要求的序列为 P1、P2、P3、P4、P1、P2、P5、P1、P2、P3、P4、P5, 设开始时主存为空。要求用列表法计算:

(1) 设主存容量为 3 个页面, 求 FIFO 和 LRU 替换算法时各自的命中率是多少?

(2) 当主存容量增加到 4 个页面时, 两替换算法各自的命中率又是多少?

4、假设 CPU 在中断周期用堆栈保存程序断点, 而且进栈时指针减 1, 出栈时指针加 1。分别写出组合逻辑控制和微程序控制在完成中断返回指令时, 取指阶段和执行阶段所需的全部微操作命令及节拍安排。

5、已知地址总线为 $A_{15} \sim A_0$, 数据总线为 $D_{15} \sim D_0$ 。用 1 片 $16K \times 8\text{bit}$ 的 SRAM 芯片 (地址从 0000H 开始)、2 片 $8K \times 8\text{bit}$ 的 SRAM 芯片

(地址从 4000H 开始)、4 片 $2K \times 4\text{bit}$ 的 SRAM 芯片 (地址从 8000H 开始), 将上述芯片结成一个存储器, 片选信号均为低电平有效, 该存储器按字节编址, 假设读写信号为 R/\overline{W} 。

- (1) 为各芯片分配地址空间;
- (2) 说明各芯片需要多少条地址线;
- (3) 写出各芯片的片选信号逻辑表达式;
- (4) 画出存储器的逻辑电路框图。