

5.1.1.1

虚拟地址	虚拟页	TLB H/M	有效值	TLB 标志	物理页
4669	1	TLB miss PT Hit	PF	(last access 0)	12 4 6 13 5 4 6 13
2227	0	TLB miss PT Hit		(0)	12 4 6 13
13916	3	TLB hit		(1)	12 4 6 13
34587	8	TLB hit PT hit		(1)	12 4 6 13
48870	11	TLB miss PT hit		(1)	12 4 6 13
12608	3	TLB hit		(1)	12 4 6 13
49225	12	TLB miss		(1)	12 4 6 13

5.11.2 更大的页面可以减少TLB缺失率,但会导致更高碎片化和物理内存低利用率

虚拟地址	虚拟页	TLB H/M	有效值	TLB 标志	物理页
4669	0	TLB miss PT hit		(0)	12 4 6 13
2227	0	TLB hit		(1)	12 4 6 13
13916	0	TLB hit		(2)	12 4 6 13

0011416

34587	2	TLB miss	1(13)	11	2730	11	1245
		PI hit	1(12)				1345
48870	2	TLB hit	1(12), 1(14)		2730		1345
12608	0	TLB hit	1(14)		2730		1345
49225	3	TLB hit	1(15), 1(14), 1(12)		2730		1345

5.11.3

所有的内存引用必须对照页表进行交叉引用, TLB允许在不访问片外内存的情况下引用(普通情况下) 如果没有TLB, 内存访问时间大大增加

5.11.4

只用了一半的内存, 那么使用中的页表就只占总页表的一半, 好差是

$$32 - \log_2(8192) = 32 - 13 = 19 \text{ bits}, 5 \text{ 个页表就需要 } 5 \times (5^{19/20}) = 5 \text{ MB}$$

5.11.5

采用两级, 每个二级表包含 $2^{(19-8)} = 2048$ 个条目, 每个条目 $2048 \times 4 = 8 \text{ KB}$, 覆盖 $2048 \times 8 \text{ KB} = 16 \text{ MB}$ 虚拟地址空间

如果假设一半内存 2^{31} 字节, 最小二级表所需内存 $5 \times (2^{31}/2^{24}) \times 8 \text{ KB} = 5 \text{ MB}$

第一级表 $5 \times 128 \times 6 = 3840$ 字节, 最大为 256 段, 将需要 $5 \times 256 \times 8 \text{ KB} = 10 \text{ MB}$ 在二级表, 7680 字节在一级表

5.13.1 0次命中

5.13.2 1次命中

5.13.3 1次命中或更少

5.13.4 1次命中。只要命中数正确,任何地址序列都是可以的

5.13.5 要驱逐的最佳区块是未引起最少缺失的区块。

不幸的是,缓存控制器不能预知未来!我们最好的办法是进行良好预测

5.13.6 如果你知道一个地址的时间局部性很差,并与缓存中另一个区块发生冲突,那么通过不缓存该块就会降低冲突不命中率,另一方面选择不缓存的块不正确也会导致更高缺失率

5.15.1

$$CPI = 1.5 + 120/10000 \times (15 + 175) = 3.78$$

$$1.5 + 120/10000 \times (15 + 350) = 5.88$$

$$1.5 + 120/10000 \times (15 + 87.5) = 2.73$$

5.15.2 $1.5 + 30/10000 \times 160 = 4.80$

$$1.5 + 120/10000 \times (15 + 175) + 30/10000 \times (1100 + 175) = 7.60$$

$$1.5 + 120/10000 \times (15 + 175) + 15/10000 \times (1100 + 175) = 5.69$$

I/O 陷阱通常需要很长执行时间,这些时间可在客户机 OS 中进行,其中只有一小部分时间花在 VMM 中,因此虚拟化对 I/O 绑定应用程序影响较小

5-15-3 虚拟内存旨在为每个应用程序提供机器整个地址空间的^{虚拟地址}感觉。虚拟地址
虚拟机为每个操作系统提供整个机器镜像。因此都服务于相似目的。提
高安全性，虚拟内存可允许在相同内存空间运行许多应用，不必内存分离
5-15-4 仿真不同ISA需对该ISA的API特殊处理每个都有指定地址在
指令执行中断捕获内拉时发生。因此必须仿真。需要执行更多指令
模拟每个指令而它们在同标ISA中原本必要，对性能有很大影响
和难以与外部设备通信。若仿真代码可动态检查优化，可能比本地ISA更快

5-19-1 scrIP和 refTime 2次

5-19-2 将 scrIP和 refTime 放在同一数组

5-19-3 给定状态组 scrIP、重新显示时间和状态一起的峰值时间

5-19-4 答案将根据所使用数据集有所不同。^{冲突检测缺失} ~~冲突检测缺失~~ 在全相联，
全启动缺失不受相关性影响。缺失率是总错过率减强制全相联错过
通信错过率是总错过率减冷错过率和新容量错过率。报告是每个指令错过率

5-19-8 解] 快缓存直接映射，2路 LRU 参考 [1226]

6-6 加速结果应接近了4，4个内核映射到同一缓存，每次更新都减少缓存有效，
因此将减少丢失的成本的3倍，解决错误共享问题最简单方法是跨
列而不是行遍历矩阵，这些元素被映射到不同高速缓存行。我们
只需确保处理在同一核上计算的 (i, j) 和 $(i+1, j)$ 的矩阵索引