年 月 日第 页

4.17.1

指令1：Invalid target address(无效目的地址) ：EX 指令2：MEM 无效数据地址

4.17.2

选择下一台的PC的Mux必须有输入。每个输入是一个异常处理程序的固定地址。异常检测器必须添加到适当的流水线阶段，这些检测器的输出必须被用来控制前PC Mux，也可将已在异常触发指令后面的流水线中的指令转换为NOP

4.17.3

在检测到异常之前，指令是正常获取的，当检测到异常时，所有第一条指令之后的流水线上的指令必须被转换为NOP。因此，第二条指令永远不会完成，也不会影响流水线的状态。在紧接着检测到异常的周期中，处理器将获取异常处理的第一条指令

4.17.4

这种方法要求我们在内存中获取处理程序的地址。我们须将异常代码添加到异常向量表的地址中，从内存中读取处理程序的地址，然后跳转到该地址，一种方法是把它作为一条特殊指令，在EX中计算地址，在MEM中加载处理程序的地址，并在WB中设置PC

4.17.5

我们需要一条特殊指令，允许我们将一个异常值从原因寄存器移到一个通用寄存器中，我们必须首先保存通用寄存器（这样以后可以恢复）将Cause寄存器加载其中，将向量表的地址加到其中，将结果作为加载的地址，从内存中获取正确的异常处理程序地址，最后跳转到该处理程序

第6章 环与域 149

当于初等数论中整数的带余除法，又称为多项式的欧几里得除法．我们
中可以用辗转相除法求两个整数的最大公因子，这种方法同样可以用于
大公因式．

4.16.2 年 月 日 第 页

4.18.1

```
Add r5,r0,r0      IF ID EX ME WB
Again: beq r5,r6,end   IF ID xx EX ME WB
       add r10,r5,r1     IF xx ID EX ME WB
       lw r11,0(r10)     IF xx ID xx EX ME WB
       lw r10,1(r10)        IF xx ID EX ME WB
       sub r10,r11,r10      IF xx ID xx xx EX ME WB
       add r11,r5,r2           IF xx xx ID EX ME WB
       sw r10,0(r11)           IF xx xx ID xx EX ME WB
       addi r5,r5,2               IF xx ID EX ME WB
       beq r0,r0,Again            IF xx ID xx EX ME WB
end:   beq r5,r6,end                  IF xx ID ...
       add r10,r5,r1                  IF xx ID xx ...
       lw r11,0(r10)      IF xx ID EX ME WB
       lw r10,1(r10)         IF xx ID xx EX ME WB
       sub r10,r11,r10          IF xx ID xx EX ME WB
```

4.18.3 完全并行执行两条指令的唯一方法是让一条加载/存储指令与另一条指令一起执行，为了达到这个目的，在每条加载/存储指令周围，我们尝试放置一些与加载/存储指令没有依赖关系的非加载/存储指令

```
add r5,r0,r0          lw r10,1(r10)
Again: add r10,r5,r1  addi r5,r5,2
       beq r5,r6,end  sub r10,r11,r10
       lw r11,0(r10)  sw r10,0(r12)
       add r12,r5,r2  beq r0,r0,Again
                      end
```

年 月 日 第 页

4.18.4 addd r5,r0,r0 IF ID EX ME WB

addd r10,r5,r1 IF ID xx EX WB

beq r5,r6,end IF xx ID EX ME WB

lw r11,0(r10) IF xx ID EX ME WB

addd r12,r5,r2 IF ID EX ME WB

lw r10,1(r10) IF ID EX ME WB

addi r5,r5,2 IF ID EX ME WB

sub r10,r11,r10 IF ID xx EX ME WB

sw r10,0(r12) IF xx ID EX ME WB

beq r0,r0,Again IF xx ID EX ME WB

addd r10,r5,r1 IF xx ID EX ME WB

beq r5,r6,end IF xx ID xx EX ME WB

lw r11,0(r10) IF xx ID EX ME WB

addd r12,r5,r2 IF xx ID EX ME WB

4.18.5

CPI 单发射处理：$\frac{10}{9}$ CPI 双发射处理：$\frac{19}{18}$

加速比：1.05

4.18.6

CPI 单发射处理器：$\frac{10}{9}=1.11$ CPI 双发射处理器 $\frac{18}{15}=0.83$

加速比

0011416

第6章 环与域 149

初等数论中整数的带余除法，又称为多项式的欧几里得除法．我们以用辗转相除法求两个整数的最大公因子，这种方法同样可以用于因式．

年 月 日 第 页

4.19.1

两种设计产生的能量一样，1-MEM被读取，一个寄存器被写，所以

140pJ+2x70pJ+60pJ=340pJ

4.19.2

每种指令都需要读取指令存储器，都会读取两个（即使其中只有一个值被使用）一条load指令，需要读一次存储器；写一次寄存器。一条sw指令需要写一次寄存器，~~一条sw指令~~其它指令需写一条个寄存器或不写。因为读一次存储器和写一次寄存器需要的能量大于写一次寄存器，所以最高耗能量的指令为load

140pJ+2x70pJ+60pJ+140pJ=480pJ

4.19.3

每条指令都会读寄存器存储器，然而我们可以让不必要的寄存器读，所以我们可以加两个信号RegRead1，RegRead2到寄存器堆的输入，去控制是否读取一个寄存器，我们必须快速生成控制信号以避免增长时钟周期。有了控制信号一个lw指令只需一个寄存器读（读取一个寄存器值以生成内存地址）

改变前：140pJ+2x70pJ+60pJ+140pJ=480pJ 节省能量70pJ，节省比例：14.6%

4.19.4

改进之前，控制单元解码指令和寄存器读可以并行进行，改进后则不能，这会延长ID阶段的延迟，而且如果ID阶段成长为最长延迟的阶段，将会影响处理器的时钟周期长度

改变之前时钟周期：250ps 改变之后没有改变：150+90<250

4.19.5 如果每条指令都会进行寄存器读，要被读取值会被使用（lw指令），或者读取值不会通过WB Mux多选器（一条非lw指令）或者该指令不会写任何寄存，这个改变不会改变时钟周期长度，应为现有时钟周期长度已经能容纳最长延迟的阶段了，但的确会影响功耗；因为正常情况下一个内存读只发生在lw指令Mem阶段