**组成原理实验课程第 一 次实报告**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 实验名称 | 数据运算：实现8位加法器转32位加法器的定点加法 | | | 班级 | 李涛 |
| 学生姓名 | 艾明旭 | 学号 | 2111033 | 指导老师 | 董前琨 |
| 实验地点 | A306 | | 实验时间 | 2023年3月14日 | |

1. **实验目的**

**1）熟悉 LS-CPU-EXB-002 实验箱和软件平台。**

**2）掌握利用该实验箱各项功能开发组成原理和体系结构实验的方法。**

**3）理解并掌握加法器的原理和设计。**

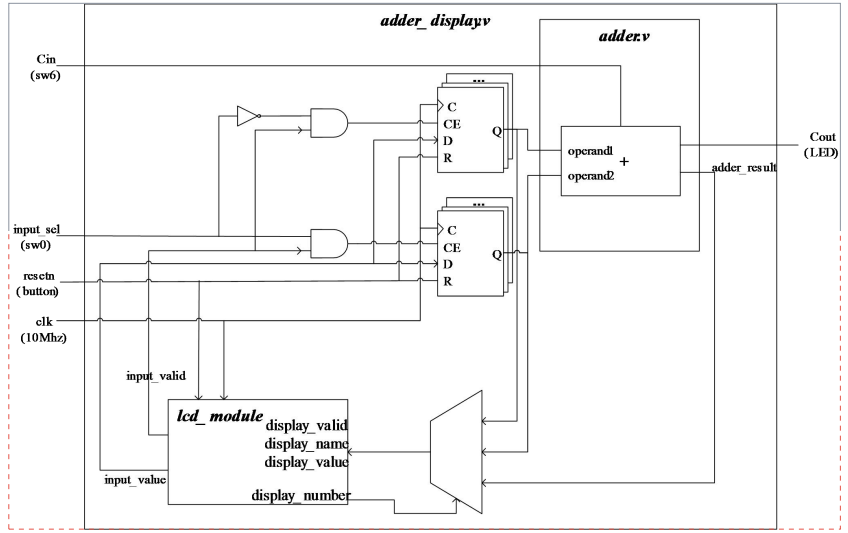
**4）熟悉并运用 verilog 语言进行电路设计。**

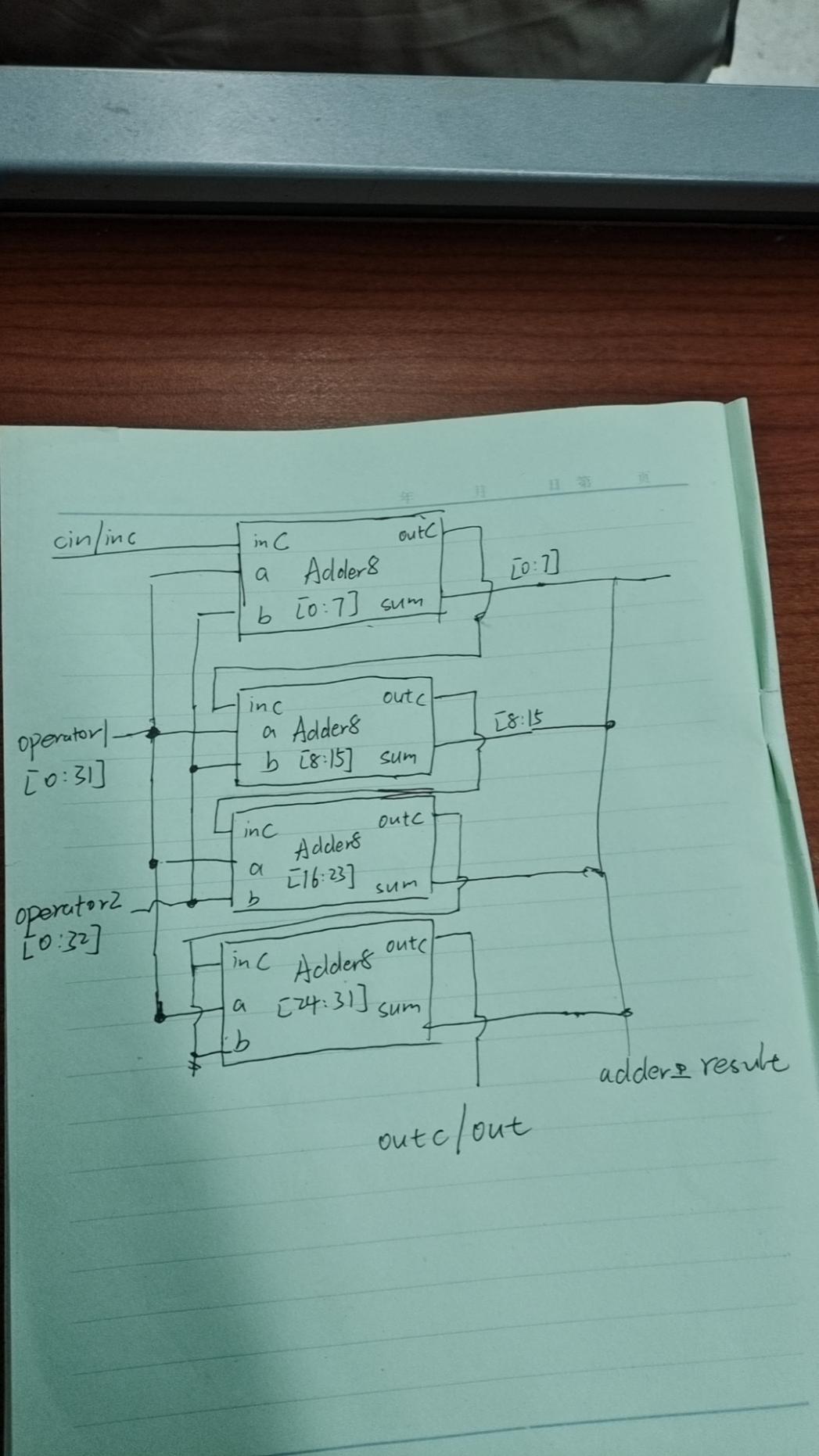
**5）为后续设计 cpu 的实验打下基础。**

1. **实验内容说明**

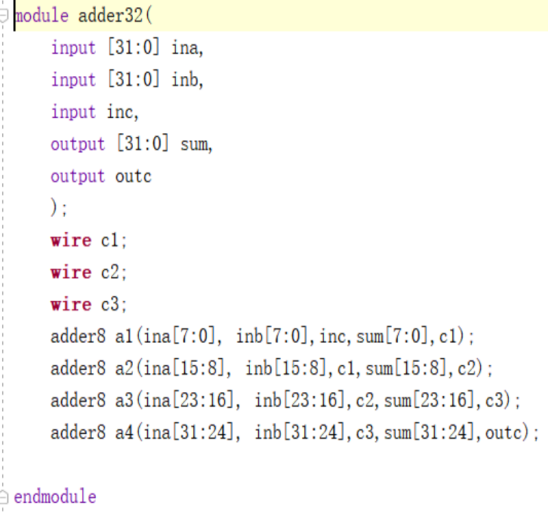
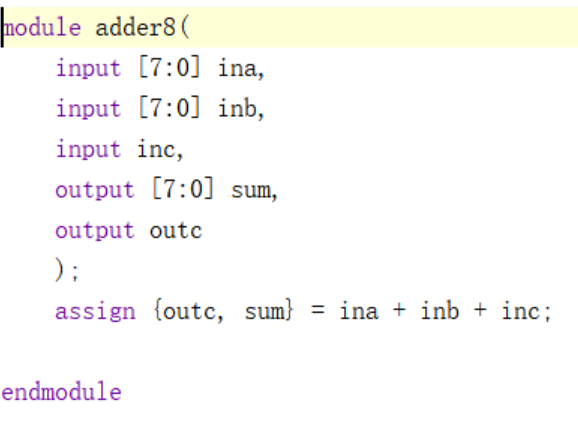
在理解定点加法与全加器的工作原理后，将其在Vivado软件上编写八位全加器verilog代码，并实现四位全加器改位32位全加器，并对代码模块进行仿真实验，得到正确的波形来验证实验，最后将代码综合布局下载在试验箱的FGPA板上验证，验证时要理解引脚的对应关系与输入输出方式，在触摸屏上进行验证得到正确结果。

1. **实验原理图**



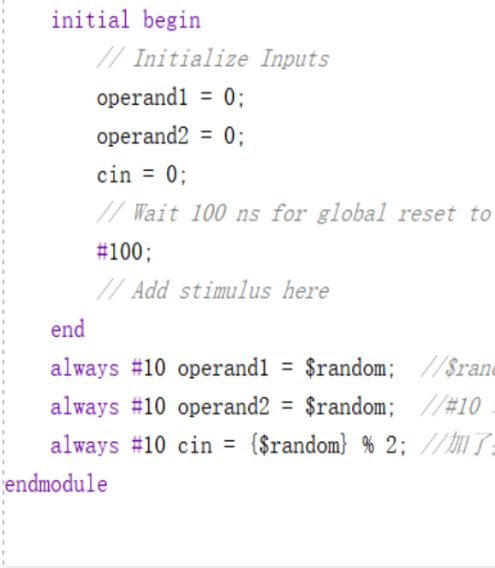
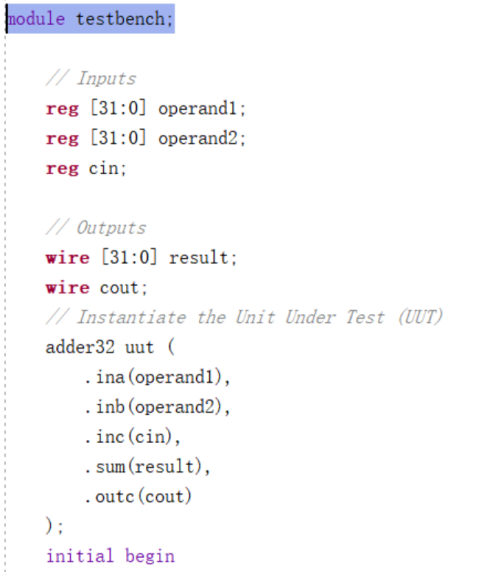


1. **实验步骤**
2. 在创建Vivado项目后，仿照样例代码写出8位全加器代码，在使用四个8位全加器构造32位全加器，如下图：

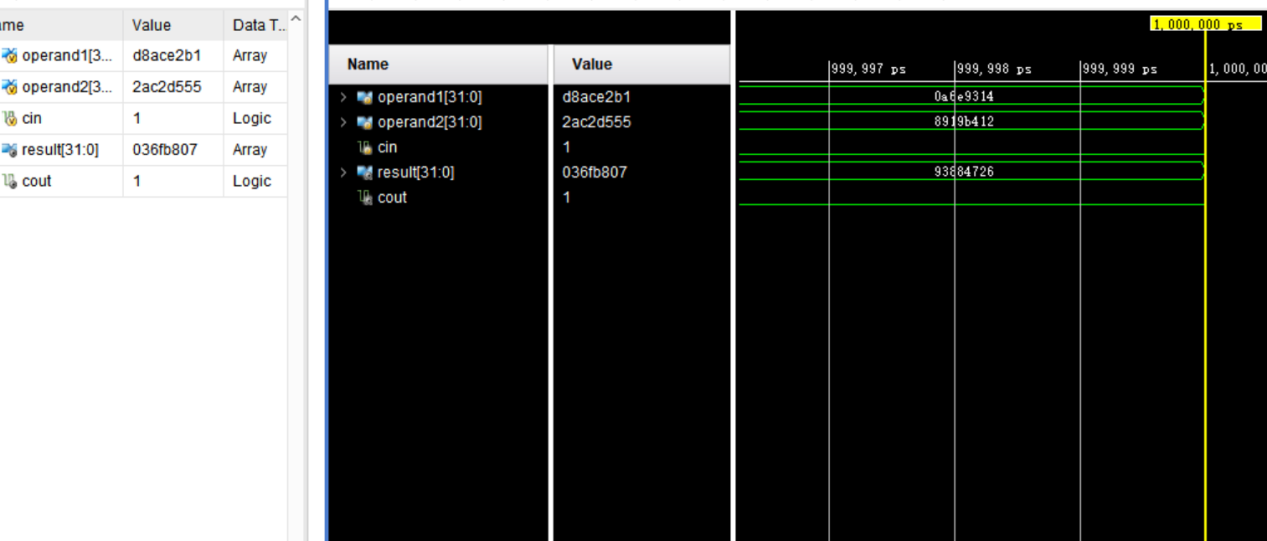
右图实现一个八位全加器的verilog代码，两个8位输入ina、inb和一个上一级进位inc，以及两个输出sum和进位outc，再左图中adder32中，将每个adder8的进位outc传入下一个adder8的进位inc，32位输入则分为四段分段让四个八位adder，从而实现8位全加器级联成32位。

1. 添加测试平台testbench模块，并将自己的adder32写入测试平台。



这里仅需要将左图的全加器实例使用自己的即可，我的实例32位全加器为adder32。

1. 将上述代码综合实现，并观察测试平台产生的激励下的波形图。

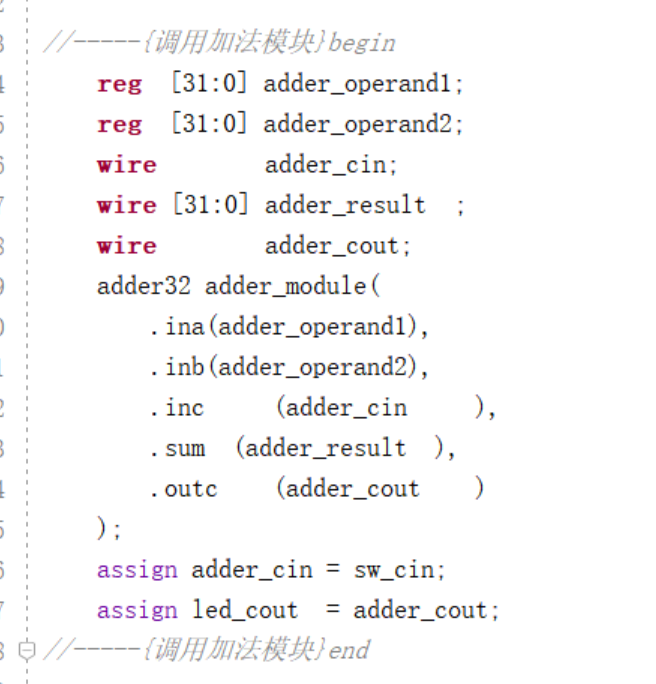
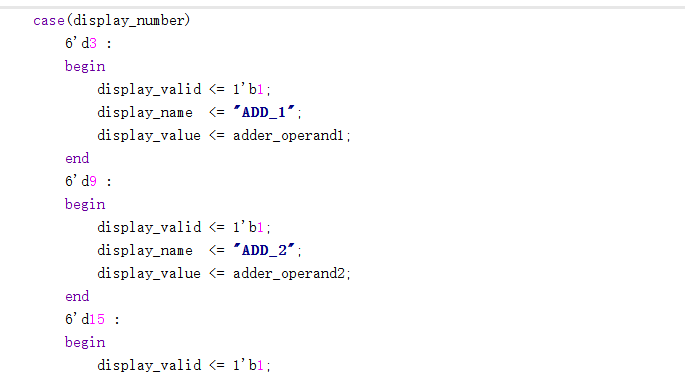


1. 实现触摸屏外围模块的代码，根据样例代码实现后，将自己的adder32实例化改入触摸屏模块（adder\_display.v）即可，如下图：

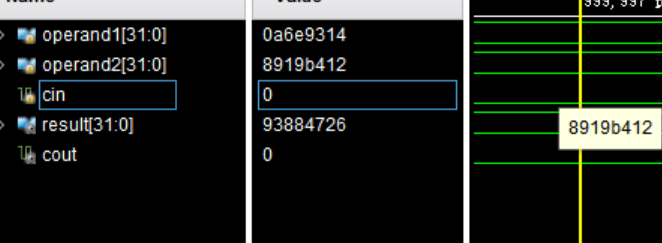
这里改动有两个：

一是使用自己实例化的32位全加器，将模块名称写自己的，输入参数写自己模块中的即可；

二是改动触摸屏上的显示位置，即将触摸屏显示位置相关的函数进行改动，我下面将display\_number在15、16、17时进行文字的显示，即将显示的三个区域定位在15、16、17。

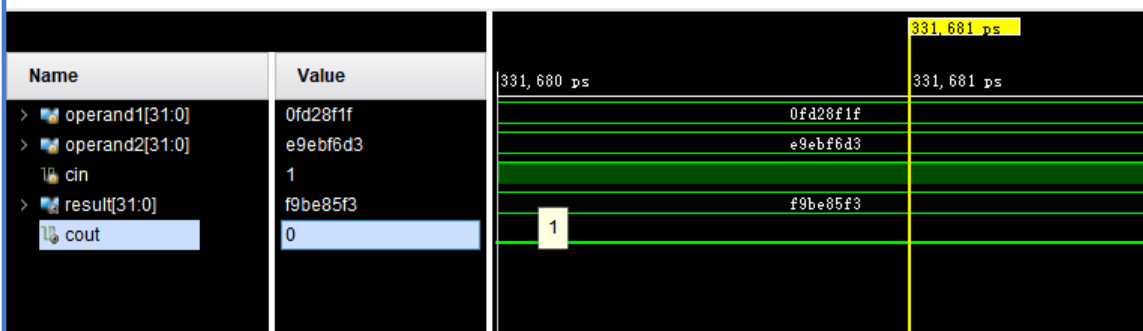
 

1. 板上验证，添加约束文件绑定引脚，之后按照流程手册上进行打开FPGA实验板，打开电源、连接电脑，烧制bit文件在触摸屏上实验，没有需要自己改动的地方。
2. **实验结果分析**
3. 仿真结果：



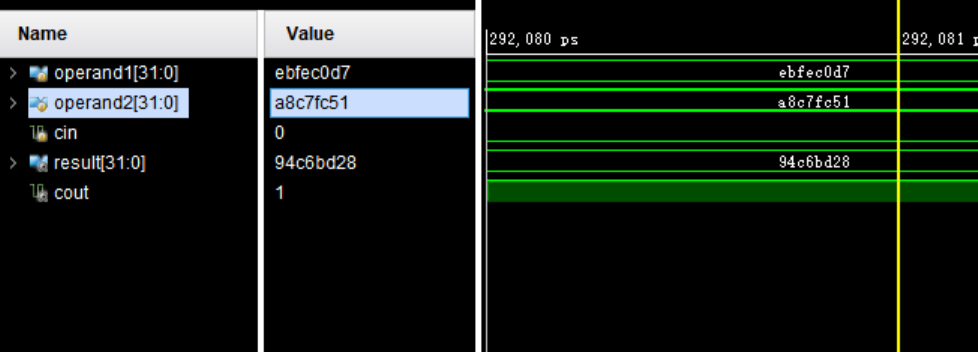
输入进位为0时，输入为0a6e9314 和 5919b412

输出进位为0, result为93884726



输入进位为1时，输入为0fd28f1f和e9ebf6d3

输出进位为0，result为f9be85f3



输入进位为0，输入为ebfec0d7和a8c7fc51

输出进位为1，result为94c6bd28

修改adder\_display.v的触摸屏显示位置让其显示在3、9、15的位置，**故展示会让三个数字出现在3、9、15的位置**。

1. 实验箱运行结果：

A.



将实验箱的进位默认，即1（坐下开关第二个向下）

输入为000003E5 和00000123，进位为1

结果：00000509，且没有溢位 （左上角灯亮）

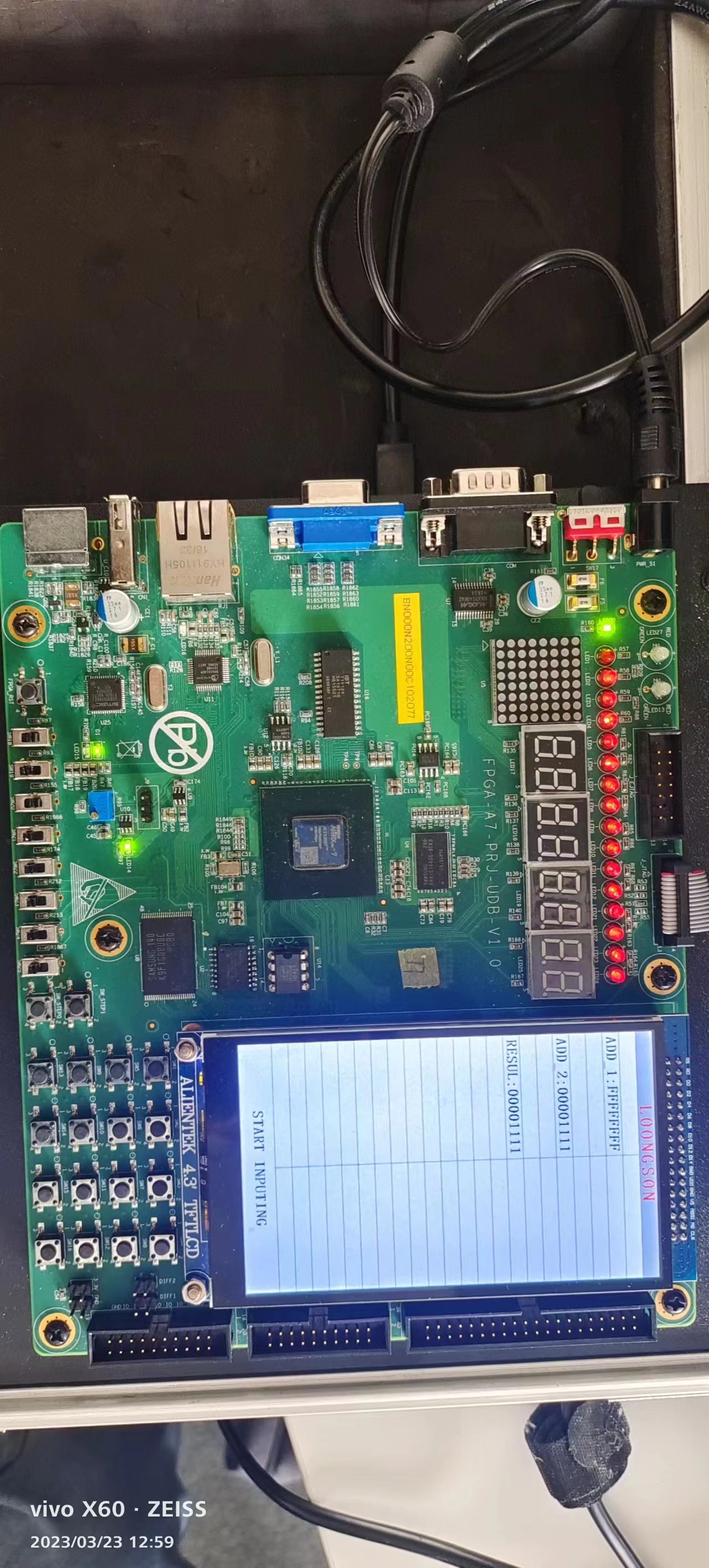
B.

将实验箱的进位设置0，（坐下开关第二个向上）

输入为000005EA 和00000123，进位为0

结果：0000070D，且没有溢位 （左上角灯亮）

C.



将实验箱的进位设置0，（坐下开关第二个向上）

输入为FFFFFFFF 和00001111，进位为1

结果：00001111，且有溢位 （左上角灯灭）

（3）综上：**由仿真和实验箱的上述各四种情况的分别验证可知——该32位全加器实验非常成功，做到了完美的实现。**

1. **总结感想**
2. 作为计算机组成原理的第一次实验，让我对这个之前从未接触过**Verilog语言有了初步的认识和了解，对其中的一些简单语法进行了学习，有了通过编程即设计硬件描述语言来实验的经历**。未来我会更加努力学习该语言，争取能够熟练掌握。
3. 初次使用**Vivado软件平台，熟悉了其许多相关功能，有了实践认识，感受到硬件编译过程的复杂性。同时也对组成原理LS-CPU-EXB-00实验箱的相关功能有了初步的了解。**

本实验实现了通过先编写8位全加器模块，将四个8位全加器级联为一个32位全加器，**核心思想是通过我们所学习过去的数字逻辑的知识，实现用位数较低的全加器级联为位数较高的全加器，将高数位的全加器的输入和输出结果进行分割，对输入结果进行不断的迭代处理。本次实验加强了我对加法器的相关原理有了更深的理解，从而从更深层次地了解计算机组成的底层知识。**