

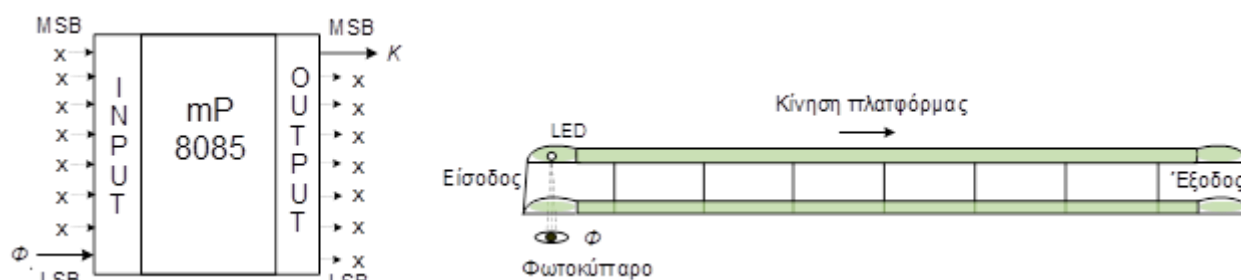
ΓΡΑΠΤΗ ΕΞΕΤΑΣΗ ΣΤΟ ΜΑΘΗΜΑ "Συστήματα Μικροϋπολογιστών"

(ΘΕΜΑ 1^ο – ΣΥΝΟΛΟ 3.5 Μονάδες)

Έναρξη 11:30 - ΔΙΑΡΚΕΙΑ 50' + 10' Παράδοση: 12:30'

ΟΝΟΜΑΤΕΠΩΝΥΜΟ: Κυριακόπουλος Γεώργιος – el 18153

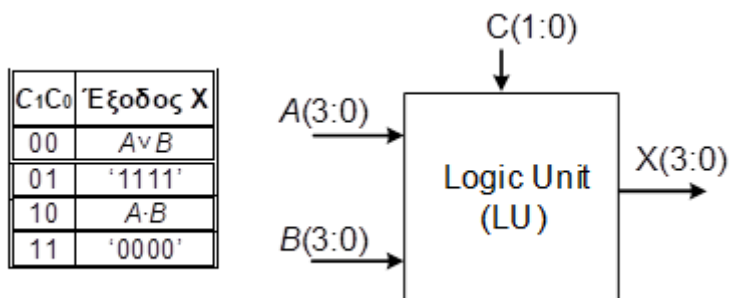
ΘΕΜΑ 1α: (2 ΜΟΝΑΔΕΣ): Δίνεται μΥ-Σ που διαθέτει δύο 8-bit θύρες: μία εισόδου (διεύθ. 20^{HEX}) και μία εξόδου (διεύθ. 30^{HEX}). Να γραφεί πρόγραμμα assembly σε 8085 που να υλοποιηθεί ένα σύστημα οδήγησης κυλιόμενης πλατφόρμα μονής κατεύθυνσης η οποία να ενεργοποιείται από το φωτοκύτταρο Φ . Συγκεκριμένα, αν ένας επιβάτης εισέρχεται στην πλατφόρμα, όταν είναι ακίνητη, διακόπτει δέσμη φωτός (γίνεται $\Phi=0$) και τότε τίθεται σε κίνηση η πλατφόρμα με το σήμα εξόδου K (για $K=1$ έχουμε κίνηση). Η κίνηση να σταματά ~10 sec μετά την τελευταία διακοπή του φωτοκυττάρου Φ (χρόνος ικανός για να αδειάσει η πλατφόρμα από επιβάτες). Μπορείτε να κάνετε χρήση της ρουτίνας χρονοκαθυστέρησης DSEC των 50 msec.



ΘΕΜΑ 1β: (0.8 ΜΟΝΑΔΕΣ): Απαντήστε στα παρακάτω ερωτήματα (σύντομα και αιτιολογημένα):

- Δώστε τη μακροεντολή MIN που μετακινεί τον ελάχιστον των καταχωρητών B, D, E στον καταχωρητή A , χωρίς να επηρεάζεται η τιμή των καταχωρητών (πλην φυσικά του A). (0.4 ΜΟΝΑΔΕΣ)
- Εξηγήστε τη λειτουργική διαφορά των καθυστερήσεων που προκαλούνται μέσω ρουτινών χρονοκαθυστέρησης και μέσω μετρητών-χρονιστών (πλεονεκτήματα, μειονεκτήματα). (0.2 ΜΟΝΑΔΕΣ)
- Πώς λειτουργούν οι εντολές σχετικού άλματος και κλήσης ρουτίνας; Εξηγήστε την χρησιμότητά τους. (0.2 ΜΟΝΑΔΕΣ)

ΘΕΜΑ 1γ: (0.7 ΜΟΝΑΔΕΣ): Να δοθεί το κύκλωμα (σηματικό διάγραμμα) και η δομική περιγραφή σε Verilog της μονάδας LU που η λειτουργία της φαίνεται στο διπλανό πίνακα και σχήμα. Μπορείτε να κάνετε χρήση των βασικών πυλών: $XOR(x, a, b)$, $OR(x, a, b)$, $AND(x, a, b)$ και $INV(x, a)$ θεωρώντας τις μεταβλητές a και b ως εισόδους. Το σύμβολο ' \vee ' δηλώνει την πράξη OR ενώ το ' \cdot ' την πράξη AND. Υποθέτουμε ότι οι μεταβλητές A, B και X είναι των 4-bit. Η λέξη ελέγχου $C(1:0)$ είναι των 2-bit. Επίσης να δοθεί η περιγραφή Verilog του ίδιου κυκλώματος σε μορφή ροής δεδομένων ή σε μοντελοποίηση συμπεριφοράς.



Θέμα 1α:

```
START:
    IN 20H
    ANI 01H
    CPI 01H
    JZ START

    MVI A,80H
    OUT 30H

INITIALIZE:
    MVI B,C8H

LOOP:
    CALL DSEC

    IN 20H
    ANI 01H
    CPI 00H
    JZ INITIALIZE

    DCR B
    JNZ LOOP

    MVI A,00H
    OUT 30H
    JMP START
```

Θέμα 1β1:

```
MIN MACRO
    PUSH PSW
    PUSH C
    MOV A,B
    CMP D
    JC CMPBE
    MOV A,E
    CMP D
    JC FINALE
    MOV C,D
    JMP END

CMPBE:
    CMP E
    JC FINALB
    MOV C,E
    JMP END

FINALB:
    MOV C,B
    JMP END

FINALE:
    MOV C,E

END:
    POP PSW
    MOV A,C
    POP C
```

Θέμα 1γ:

```
module mux2x1 (  
    output [3:0] out,  
    input [3:0] C, D,  
    input select  
);  
  
tri out;  
bufif0(out, C, select);  
bufif1(out, D, select);  
  
endmodule  
  
module LU (  
    output [3:0] X,  
    input [3:0] A, B,  
    input [1:0] C  
);  
wire w1, w2, w3, w4;  
  
or G1(w1, A, B);  
and G2(w2, A, B);  
mux2x1 C1(w3, 4'b1111, 4'b0000, C[1]);  
mux2x1 C2(w4, w1, w2, C[1]);  
mux2x1 C3(X, w3, w4, C[0]);  
endmodule
```