AΘHNA 25. 6. 2021

## ΓΡΑΠΤΗ ΕΞΕΤΑΣΗ ΣΤΟ ΜΑΘΗΜΑ "Συστήματα Μικροϋπολογιστών"

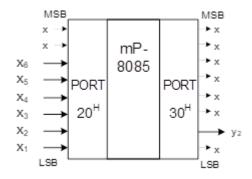
(ΘΕΜΑ 1° – ΣΥΝΟΛΟ 3.5 Μονάδες)

Έναρξη 11:30 - ΔΙΑΡΚΕΙΑ 50' + 10' Παράδοση: 12:30'

### 

## **ΘΕΜΑ 1α:** (1.5 MΟΝΑΔΕΣ):

Δίνεται μΥ-Σ που διαθέτει δύο 8-bit θύρες: μία εισόδου (διεύθ.  $20^{\text{HEX}}$ ) και μία εξόδου (διεύθ.  $30^{\text{HEX}}$ ). Να γραφεί πρόγραμμα assembly σε 8085 που να υπολογίζει τη λογική συνάρτηση  $y_2 = x_1 \cdot x_2 \cdot x_3 \cdot x_4 + x_5 \cdot x_6$ .



#### ΘΕΜΑ 1β: (1.3 ΜΟΝΑΔΑ): Απαντήστε στα παρακάτω ερωτήματα (σύντομα και αιτιολογημένα):

- (i) Δώστε τη μακροεντολή MOVING n που μετακινεί το περιεχόμενο ενός εκ των καταχωρητών B, C, D, E στον καταχωρητή A, για n=0,1,2,3 αντίστοιχα. Για άλλη τιμή του n να μην κάνει καμία λειτουργία. (0.5 ΜΟΝΑΔΕΣ)
- (ii) Να αναφέρετε τα πλεονεκτήματα που παρέχουν οι διακοπές στα μΥ-Σ. Τί πρόβλημα μπορεί να προκύψει αν μια διακοπή προκαλείται από παλμό μεγάλης ή και μικρής διάρκειας και γιατί; Να προτείνετε λύσεις για την αποφυγή των ενδεχόμενων προβλημάτων.(0.4 ΜΟΝΑΔΕΣ)
- (iii) Εξηγήστε τη λειτουργική διαφορά των καθυστερήσεων που προκαλούνται μέσω ρουτινών χρονοκαθυστέρησης και μέσω μετρητών-χρονιστών (πλεονεκτήματα, μειονεκτήματα). (0.2 ΜΟΝΑΔΕΣ)
- (iv) Πότε είναι χρήσιμη και πλεονεκτική η χρήση των Μακροεντολών σε σχέση με τις Ρουτίνες; (0.2 ΜΟΝΑΔΕΣ)

# **ΘΕΜΑ 1** $\gamma$ **:** (0.7 MONAΔΕΣ):

Δώστε την περιγραφή Verilog του παρακάτω κυκλώματος σε επίπεδο πυλών και σε μορφή ροής δεδομένων.

