

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«Вятский государственный университет»
Факультет автоматики и вычислительной техники
Кафедра электронных вычислительных машин

РАЗРАБОТКА МИКРОПРОГРАММЫ ДЛЯ ВЫЧИСЛИТЕЛЬНОГО УСТРОЙСТВА

Отчет по лабораторной работе №3 по дисциплине
«Организация ЭВМ и систем»
Задание 8

Выполнил студент группы ИВТ-21 _____/Рзаев А. Э./
Проверил преподаватель _____/Гагарский К. Н./

Киров 2017

1 Задание

Выполнить сдвиг 8-разрядного двоичного кода X на N разрядов в сторону младших разрядов (сдвиг логический)

2 Распределения ячеек ЗУ и регистров микропроцессора

Распределение ячеек запоминающего устройства представлено в таблице 2.1

Таблица 2.1 – Распределение ячеек ЗУ

Адрес	Код	Мнемоника	Комментарий
00	0000	КОП	код операции
01		X	исходное число
02		N	количество разрядов для сдвига
03		Z	результат сдвига

Распределение регистров микропроцессора представлено в таблице 2.2

Таблица 2.2 – Распределение регистров микропроцессора

	РЗУ(R0-R7)		РЗУ(R8-R15)
0	Регистр числа X	8	
1	Регистр сдвигов N	9	
2	Регистр счетчика	A	
3		B	
4		C	
5		D	
6		E	
7		F	Счетчик адреса ЗУ
RA	Адрес ЗУ	RQ	

3 Разработка микропрограммы для устройства без конвейерного выполнения микрокоманд

Распределение ячеек преобразователя начального адреса представлено в таблице 3.1.

Таблица 3.1 – Распределение ячеек ПНА

КОП (адрес)	Начальный адрес МП	Комментарий
00	00001011	0В – адрес микропрограммы логического сдвига

4 Граф-схема логического сдвига

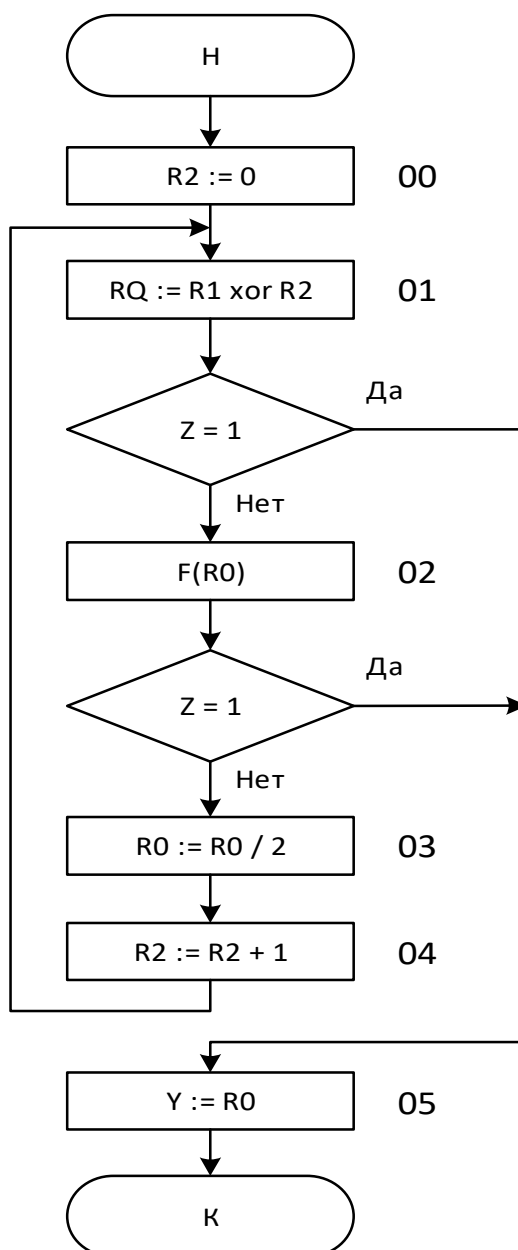


Рисунок 4.1 – Граф схема логического сдвига

5 Граф-схема микропрограммы выполнения операции в ВУ

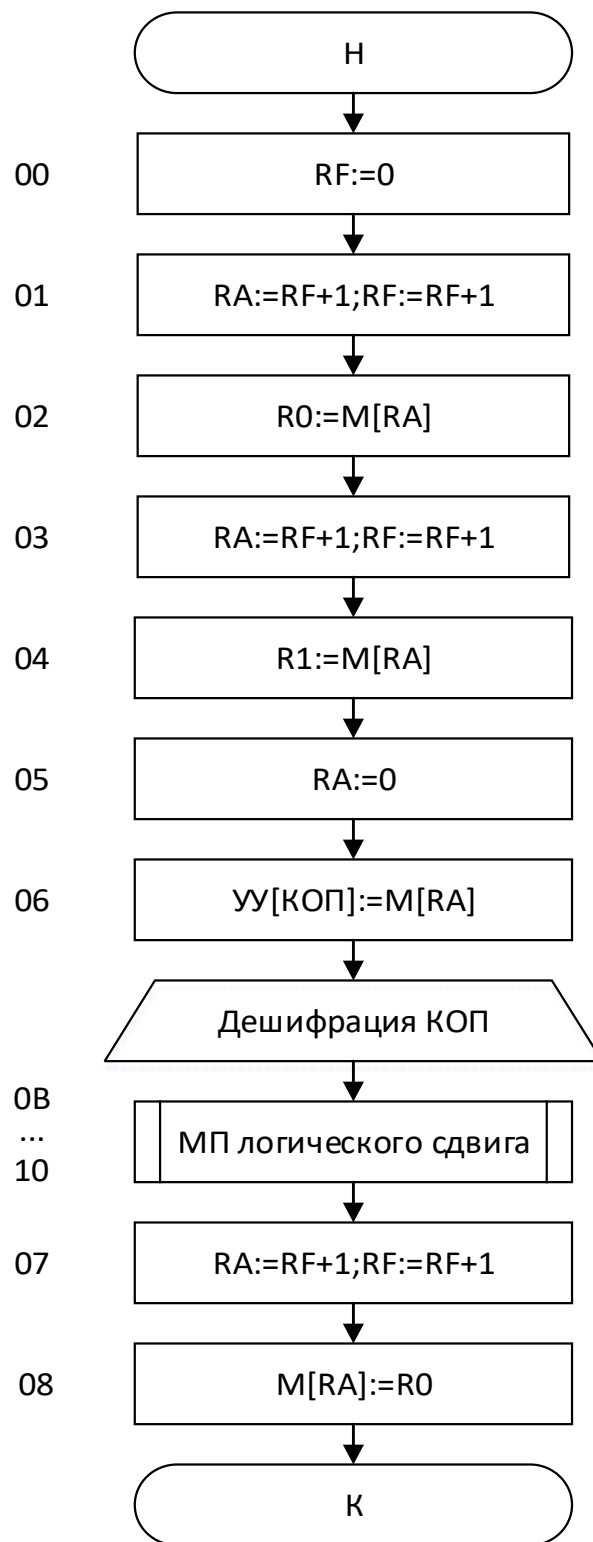


Рисунок 5.1 – Граф-схема микропрограммы

6 Диаграмма распределения ячеек блока памяти микропрограмм

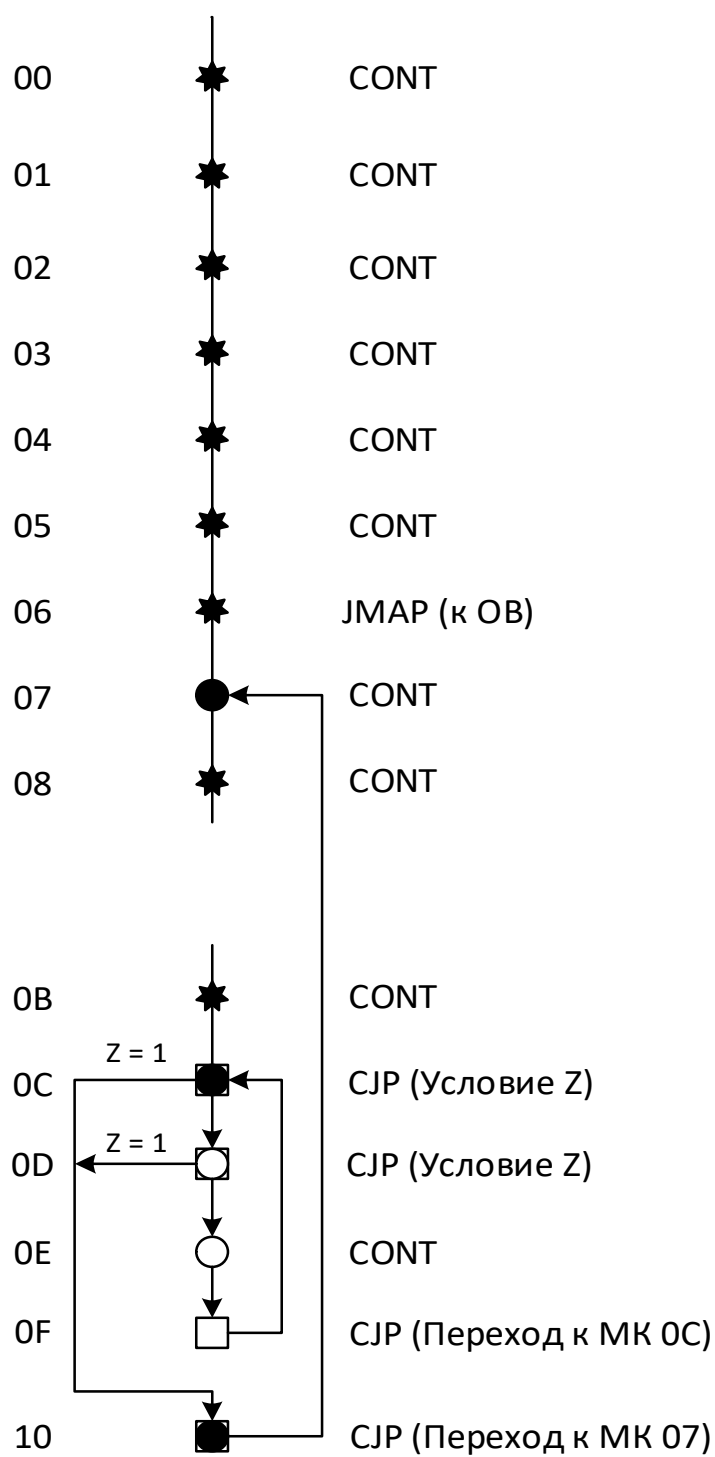


Рисунок 6.1 - Диаграмма распределения памяти микропрограмм

7

Текст отлаженной микропрограммы

№	МИ	РЗУ		Упр. АЛУ			Упр. ОЗУ			Шина	МИ	Упр. усл.			Упр. УУ		
	18-0	A	B	C0	^OE	SC	^CS	^W	^EA	D11-0	I3-10	A	U	^CCE	C0	^RLD	^OE
00	244	F	F	0	1	00	1	0	1	000	E	00	0	0	1	1	0
RF:=0																	
01	304	F	F	1	0	00	1	0	0	000	E	00	0	0	1	1	0
RA:=RF + 1; RF:=RF + 1;																	
02	237	0	0	0	1	00	0	1	1	000	E	00	0	0	1	1	0
R0:=M[RA] (Считывание X из ЗУ)																	
03	304	F	F	1	0	00	1	0	0	000	E	00	0	0	1	1	0
RA:=RF + 1; RF:=RF + 1;																	
04	237	1	1	0	1	00	0	1	1	000	E	00	0	0	1	1	0
R1:=M[RA] (Считывание N из ЗУ)																	
05	144	E	E	0	0	00	1	0	0	000	E	00	0	0	1	1	0
RA:=0																	
06	237	0	E	0	1	00	0	1	1	000	2	00	0	0	1	1	0
Переход на КОП																	
07	304	F	F	1	0	00	1	0	0	000	E	00	0	0	1	1	0
RA:=RF + 1; RF:=RF + 1;																	
08	134	0	0	0	0	00	0	0	1	000	0	00	0	0	1	1	0
M[RA]:=R0 (Запись результата)																	
...																	
0B	244	2	2	0	1	00	1	0	1	000	E	00	0	0	1	1	0
R2:=0																	
0C	161	1	2	0	1	00	1	0	1	010	3	00	1	0	1	1	0
RQ:=R1 xor R2; Если Z = 1, то переход к МК 10																	
0D	134	0	0	0	1	00	1	0	1	010	3	00	1	0	1	1	0
F(R0); Если Z = 1, то переход к МК 10																	
0E	431	0	0	0	1	00	1	0	1	000	E	00	0	0	1	1	0
R0:=R0 / 2																	
0F	204	2	2	1	1	00	1	0	1	00C	3	00	1	1	1	1	0
R2:=R2 + 1; Безусловный переход к МК 0C																	
10	100	0	0	0	1	00	1	0	1	007	3	00	1	1	1	1	0
Безусловный переход к МК 07																	

8 Разработка микропрограммы для устройства с конвейерным выполнением команд

Распределение ячеек ПНА для устройства с конвейерным выполнением команд аналогично распределению для устройства без конвейерного выполнения команд. Распределение ячеек ПНА представлено в таблице 3.1.

9 Граф-схема логического сдвига

Граф-схема представлена на рисунке 9.1.

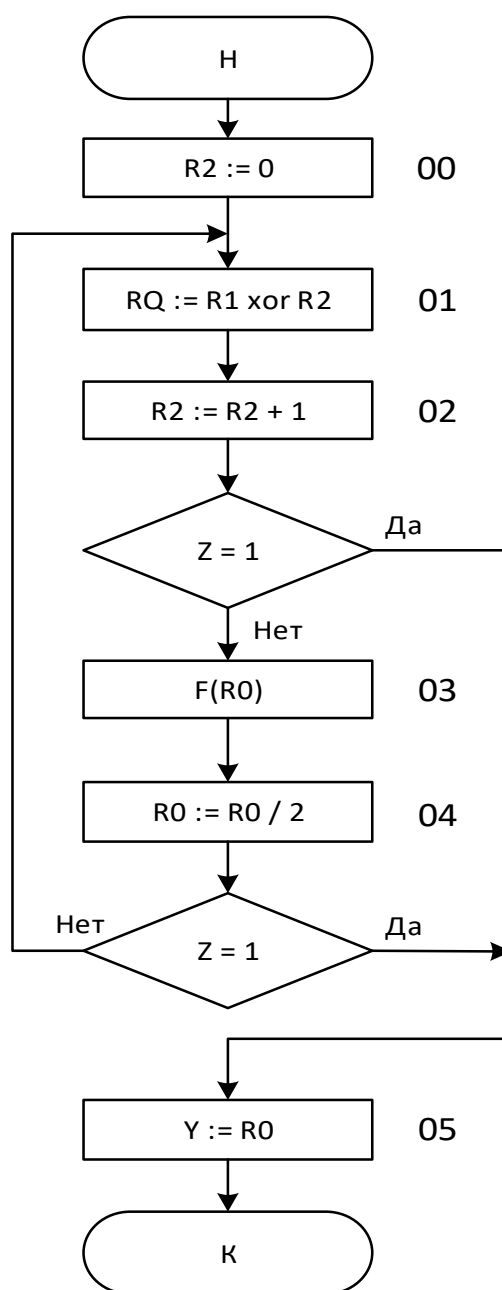
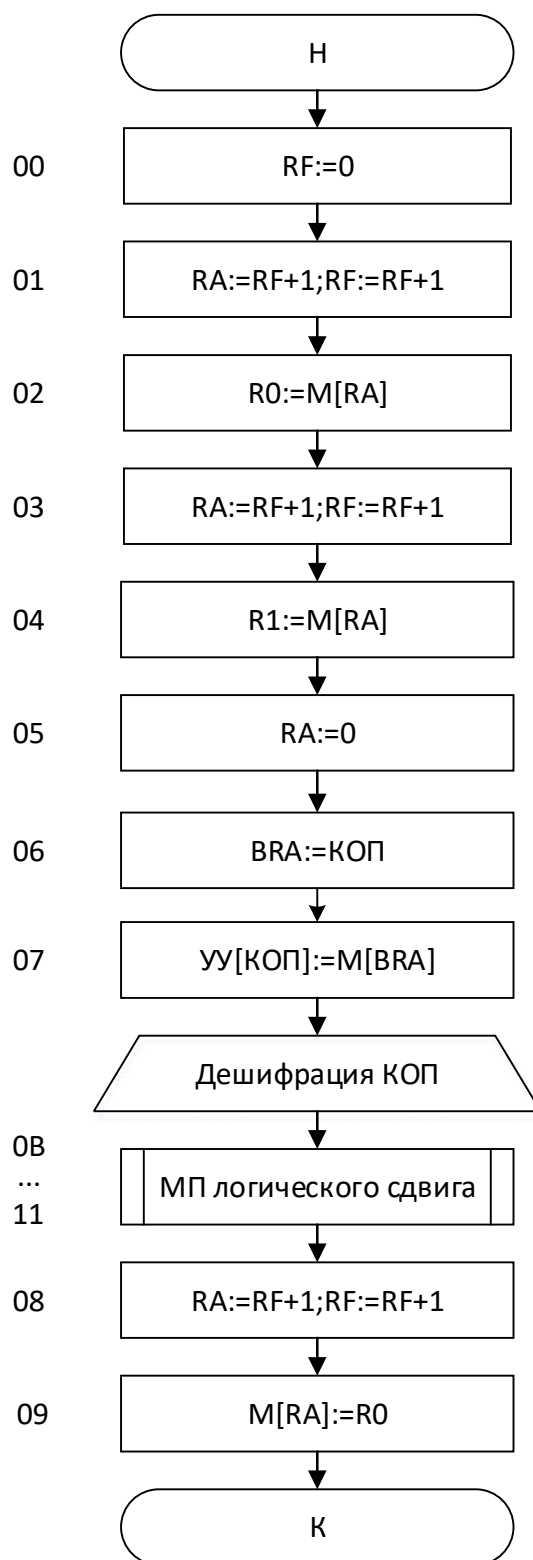
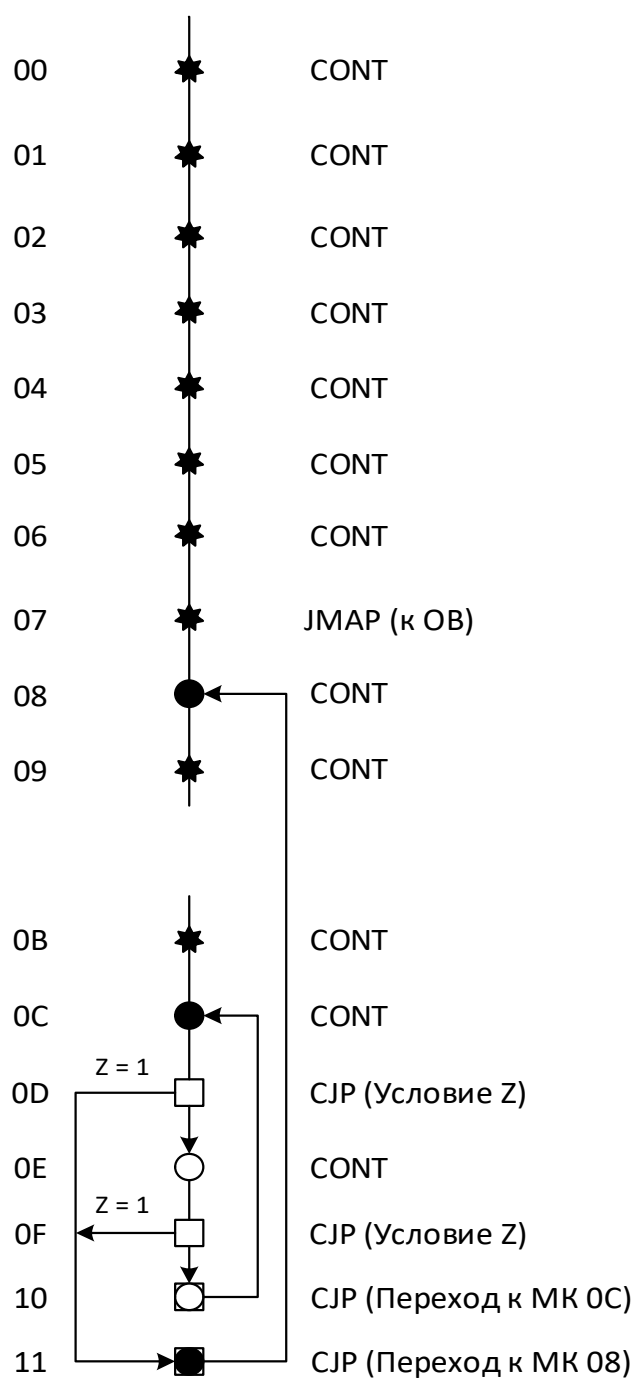


Рисунок 9.1 – Граф схема логического сдвига

10 Граф-схема микропрограммы выполнения операции в ВУ



11 Диаграмма распределения ячеек блока памяти микропрограмм



12 Текст отлаженной микропрограммы

№	МИ	РЗУ		Упр. АЛУ			Упр. ОЗУ			Шина	МИ	Упр. усл.			Упр. УУ		
	18-0	A	B	C0	^OE	SC	^CS	^W	^EA	D11-0	I3-10	A	U	^CCE	C0	^RLD	^OE
00	244	F	F	0	1	00	1	0	1	000	E	00	0	0	1	1	0
RF:=0																	
01	304	F	F	1	0	00	1	0	0	000	E	00	0	0	1	1	0
RA:=RF + 1; RF:=RF + 1;																	
02	237	0	0	0	1	00	0	1	1	000	E	00	0	0	1	1	0
R0:=M[RA] (Считывание X из ЗУ)																	
03	304	F	F	1	0	00	1	0	0	000	E	00	0	0	1	1	0
RA:=RF + 1; RF:=RF + 1;																	
04	237	1	1	0	1	00	0	1	1	000	E	00	0	0	1	1	0
R1:=M[RA] (Считывание N из ЗУ)																	
05	144	E	E	0	0	00	1	0	0	000	E	00	0	0	1	1	0
RA:=0																	
06	237	0	E	0	1	00	0	1	1	000	E	00	0	0	1	1	0
BRA:=КОП																	
07	144	E	E	0	1	00	1	0	0	000	2	00	0	0	1	1	0
Переход на КОП																	
08	304	F	F	1	0	00	1	0	0	000	E	00	0	0	1	1	0
RA:=RF + 1; RF:=RF + 1;																	
09	134	0	0	0	0	00	0	0	1	000	E	00	0	0	1	1	0
M[RA]:=R0 (Запись результата)																	
...																	
0B	244	2	2	0	1	00	1	0	1	000	E	00	0	0	1	1	0
R2:=0																	
0C	161	1	2	0	1	00	1	0	1	000	E	00	0	0	1	1	0
BRA:=R1 xor R2																	
0D	304	2	2	1	1	00	1	0	1	011	3	00	1	0	1	1	0
R2:=R2 + 1; BRA, если Z=1, то переход к МК 011																	
0E	134	0	0	0	1	00	1	0	1	000	E	00	0	0	1	1	0
BRA:=F(R0)																	
0F	431	0	0	0	1	00	1	0	1	011	3	00	1	0	1	1	0
R0:=R0 / 2; BRA, если Z=1, то переход к МК 011																	
10	131	0	0	0	1	00	1	0	1	00C	3	00	0	1	1	1	0
Безусловный переход к МК 00C																	
11	034	E	E	0	1	00	1	0	1	008	3	00	0	1	1	1	0
Безусловный переход к МК 008																	

13 Сравнение микропрограмм

Без конвейерного выполнения микрокоманд:

$$M = 1 + (1 + 0.5 * (1 + 0.5 * 2)) / 0.5 + 1 = 6$$

$$T = M * \tau = 6\tau$$

$$V = N * n = 14 * 47 = 658 \text{ бит}$$

С конвейерным выполнением микрокоманд:

$$M = 1 + (2 + 0.5 * 2) / 0.5 + 1 = 8$$

$$T = M * k * \tau = 8 * 0.7 * \tau = 5.6\tau$$

$$V = N * n = 15 * 47 = 752 \text{ бит}$$

Вывод

Таким образом, конвейерная обработка микрокоманд позволила уменьшить время вычислений, но привела к увеличению объема памяти, необходимого для размещения микропрограммы.