

Основные виды задач

для подготовки к экзамену по дисциплине «Организация ЭВМ и систем»

1. Микропрограмма, состоящая из 200 микрокоманд и содержащая 10 логических условий и 10 различных микроопераций, при размещении в памяти микропрограмм использующая формат микрокоманды, который включает поля: адреса следующей микрокоманды, логического условия, операционной части с горизонтальным кодированием микроопераций имеет объем ? бит.
2. Дополнительный дешифратор, подключенный к регистру адреса ПЗУ емкостью 2048 8-разрядных слов, построенного из интегральных микросхем памяти емкостью 256 4-разрядных слов, имеет ? входов.
3. После введения в вычислительное устройство конвейера микрокоманд число выполняемых микрокоманд увеличилось на 10%, а время выполнения микрокоманды сократилось на 40%, при этом время выполнения микропрограммы (с точностью до десятых) уменьшилось в ? раза.
4. Сокращение аппаратных затрат за счет функциональной интеграции (функционального совмещения) при построении вычислительного устройства, в котором из 100 единиц оборудования, необходимого для умножения 40 единиц – это оборудование, используемое для сложения, содержащее 80% оборудования, используемого для вычитания, составляет (с точностью до десятых) ? %.
5. После выполнения двухадресной команды суммирования целых двоичных чисел с записью результата в аккумулятор, в первом адресном поле которой используется непосредственная адресация и указан код 0111, а во втором – косвенная регистровая адресация и указан код 1000, при условии, что в регистре с номером 8 находится код 1001, а в ячейке памяти с адресом 8 находится код 0010, а с адресом 9 – 0011 в аккумулятор будет записан двоичный код ?.
6. После выполнения одноадресной команды конъюнктивного умножения содержимого аккумулятора, где первоначально записан двоичный код 1001, и операнда, определяемого адресной частью команды, в которой используется косвенная регистровая автодекрементная адресация и указан код 1000, при условии, что в регистре с номером 8 находится код 1001, в ячейке памяти с адресом 8 находится код 1011, с адресом 9 – 1010 в аккумулятор будет записан двоичный код ?.
7. Показатель «Ускорение вычислений» при конвейеризации обработки входного потока из $N=1\ 000$ значений на конвейере с $K=10$ ступенями и тактовым периодом $t=10$ нс равен ?.
8. Последовательность из шести цифр, каждая из которых соответствует одному из этапов выполнения команды: 1 – исполнение операции, указанной в команде; 2 – запись результата в память; 3 – выборка операндов из памяти; 4 – формирование адресов операндов; 5 – декодирование команды (определение кода операции и способов адресации); 6 – выборка команды, причем цифры располагаются в порядке выполнения этапов, имеет следующий вид: ?.
9. Минимальное число различных указателей (источников операндов и приемников результатов) в командах, выполняющих двухместные операции (*) вида: $A=B*C$ (здесь B и C различные числа), равно ?.
10. Минимальное число различных указателей (источников операндов и приемников результатов) в командах, выполняющих одноместные операции (#) вида: $A=\#B$, равно ?.
11. Результатом выполнения команды `add cs: [bp+di+100h], 77h` процессора с архитектурой Intel IA-32, по первому адресу которой находится число 13h (13 в шестнадцатеричной системе счисления) является следующее число в шестнадцатеричной системе счисления ?.
12. Число префиксов в команде `lock add cs: [bp+di+100h], 77h` процессора с архитектурой Intel IA-32 равно ?.
13. Принято считать ЭВМ суперконвейерной, если число ступеней конвейера в процессоре более ?.
14. Число двухадресных команд в программе, приведенной на рисунке, равно ?.

Подпрограмма деления чисел нацело			
20	0320	PUSH r2	Сохранение содержимого регистра rQ
21	0222	SUB r2 r2	Очистка регистра для частного Z
22	0201	SUB r0 r1	Вычитание из делимого X делителя Y
23	0726	BMI m1	Если PS=1, то переход на метку m1
24	9201	AD r2 "1"	Увеличение на единицу частного Z
25	0522	BR m2	Переход на метку m2
26	0211	SUB r1 r1	Очистка регистра rY
27	0112	ADD r1 r2	Запись частного Z в регистр r1
28	0420	POP r2	Восстановление содержимого регистра rQ
29	0460	POP r6	Возврат из подпрограммы

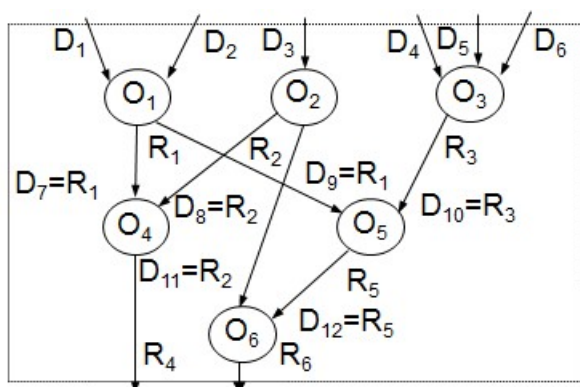
15. Слагаемое, которое при формировании линейного адреса в процессоре с архитектурой Intel IA-32 поступает из дескрипторного регистра и суммируется с эффективным адресом имеет название ?.

16. Номер незамаскированного запроса с наивысшим приоритетом при условии, что регистр запросов содержит двоичный код запросов 11110111, регистр маски – двоичный код маски 01110011 (единица в разряде маски маскирует одноименный разряд регистра запросов) и младший – нулевой разряд имеет наивысший приоритет, равен ?.

17. Последовательность из пяти цифр, каждая из которых соответствует одной из фаз процесса прерывания программ: 1 – выполнение прерывающей программы, 2 – выделение запроса на прерывание с наивысшим приоритетом, 3 – переключение процессора на выполнение прерывающей программы, 4 – прекращение выполнения текущей программы и сохранение состояния процессора, 5 – возврат из прерывающей программы и восстановление состояния процессора, причем цифры располагаются в порядке выполнения фаз, имеет следующий вид: ?.

18. Последовательность из трех цифр, каждая из которых соответствует одному из способов организации обмена: 1 – программный, 2 – с прямым доступом в память, 3 – с использованием системы прерывания программ; причем цифры располагаются в порядке увеличения времени обмена, имеет следующий вид: ?.

19. Число рабочих циклов потоковой ЭВМ при достаточном количестве обрабатывающих устройств для выполнения алгоритма, представленного информационным графом, приведенным на рисунке, где O1–O6 – операции, D1–D12, исходные данные, R1–R6 – результаты, равно ?.



20. Фрагмент ассемблерной программы процессора Intel Itanium с командами «под предикатами»:

```
cmp.eq p3,p4=r4,r5;;
```

```
(p3) add r6=r6,r0,1;
```

```
(p4) sub r6=r6,r0,1;
```

после выполнения при начальных значениях регистров: r4=5, r5=5, r6=6, сформирует в регистре r6 число ?.