Схемотехника ЭВМ

Введение

Сведения о дисциплине

Название дисциплины

Семестры: 4

«Схемотехника ЭВМ»

Трудоемкость: 3 ЗЕТ

Преподаватель

Томчук

Аттестация: **Зачет**

Максим Николаевич

Цикл: Б3

(Профессиональный цикл)

Базовая часть

ПК-3: «разрабатывать интерфейсы "человек - электронно-вычислительная машина"»

Знает:

- О принципы организации и функционирования элементов и узлов ЭВМ, их номенклатуру;
- О методы расчёта и конструирования основных подсистем ЭВМ;
- О особенности организации подсистем ЭВМ с учётом требований быстродействия, аппаратурных затрат;
- О основные направления научно-технического развития аппаратных средств ЭВМ;

ПК-3: «разрабатывать интерфейсы "человек - электронно-вычислительная машина"»

Знает:

О современные пакеты прикладных программ для проектирования и моделирования узлов и блоков цифровых устройств.

ПК-3: «разрабатывать интерфейсы "человек - электронно-вычислительная машина"»

Умеет:

- О обосновывать принимаемые проектные решения;
- О осуществлять выбор элементной базы при проектировании устройств;
- О выполнять расчет параметров проектируемого устройства, расчет параметров входящих в его состав компонентов.
- О Пользоваться современными пакетами прикладных программ для проектирования и моделирования узлов и блоков цифровых устройств.

ПК-3: «разрабатывать интерфейсы "человек - электронно-вычислительная машина"»

Владеет:

- О навыками проектирования аппаратных средств ЭВМ;
- О разработки средств гальванической развязки сигнальных цепей и защиты устройств от воздействия помех;
- О разработки моделей и структур подсистем ЭВМ;
- О тестирования подсистем ЭВМ на соответствие требованиям правильности функционирования;

ПК-3: «разрабатывать интерфейсы "человек - электронно-вычислительная машина"»

Владеет:

- О Навыками использования современных инструментов автоматизации проектирования средств вычислительной техники;
- О навыками составления и чтения электрических схем цифровых устройств.

ПК-6: «обосновывать принимаемые проектные решения, осуществлять постановку и выполнять эксперименты по проверке их корректности и эффективности»

Знает:

- О принципы построения, параметры и характеристики цифровых и аналоговых элементов ЭВМ;
- О современные технические средства взаимодействия с ЭВМ.

ПК-6: «обосновывать принимаемые проектные решения, осуществлять постановку и выполнять эксперименты по проверке их корректности и эффективности»

Умеет:

О ставить и решать схемотехнические задачи, связанные с выбором системы элементов при заданных требованиях к параметрам.

ПК-6: «обосновывать принимаемые проектные решения, осуществлять постановку и выполнять эксперименты по проверке их корректности и эффективности»

Владеет:

О методами выбора элементной базы для построения различных устройств.

Цель и задачи дисциплины

Учебная дисциплина «Схемотехника ЭВМ» относится к базовой части профессионального цикла дисциплин.

Предметом изучения курса «Схемотехника ЭВМ» являются элементы, узлы и блоки ЭВМ различных типов.

Целью дисциплины «Схемотехника ЭВМ» является формирование систематизированных теоретических знаний о принципах организации и функционирования аппаратных средств ЭВМ. **Задачей дисциплины** «Схемотехника ЭВМ» является освоение эмпирических и формальных методов эффективной разработки аппаратных средств ЭВМ.

Связанные дисциплины

Для успешного освоения курса дисциплины, студенты должны владеть материалами предшествующих дисциплин:

- •«Информатика»;
- «Дискретная математика»;
- «Теория автоматов»;
- «Электротехника и электроника».

Связанные дисциплины

Изучение дисциплины «Схемотехника ЭВМ» определяет основу для изучения последующих дисциплин учебного плана:

- «Дополнительные главы схемотехники ЭВМ»;
- «Проектирование ЭВМ»;
- «Организация памяти ЭВМ»;
- «Микропроцессорные системы»;
- «Проектирование микропроцессорных систем»;
- •«Интерфейсы периферийных устройств»;
- •«Интерфейсы микропроцессорных систем».

Практические занятия

Лабораторные работы

Практические занятия

Контрольные работы

Подготовка к зачету

Курсовой проект

Лекции

Всего самостоятельной

ИТОГО

работы вне аудитории

Распределение часов			
Вид занятий	Сем. 4	Сем. 5*	Всего
Всего аудиторных часов	72	72	144
Лекции	36	36	68
Лабораторные работы	18	18	34

18

36

12

6

108=33E

18

72

8

15

10

33

34

108

15

17

33

12

144=43E | 252=73E

	Модульный план	ча	C.		
	Содержание раздела		Л	эк.	
1. Л	гические элементы		1	0	
2. T	иггерные устройства		Į	5	

3. Функциональные узлы ЭВМ

Итого в 4 семестре:

5. Вспомогательные элементы и узлы ЭВМ

8. Совместная работа цифровых элементов

Итого в 5 семестре:

ИТОГО за курс

4. Подготовка и сдача зачета

6. Запоминающие устройства

7. БИС программируемой логики

в составе узлов и устройств

9. Разработка операционной части

арифметико-логического устройства

Лаб.

раб.

Сам.

раб.

Пр.

Схемотехника ЭВМ

Логические элементы

Определения

Элемент ЭВМ — простейший в функциональном смысле элемент, выполняющий какую-либо элементарную функцию преобразования сигналов.

Узел ЭВМ — совокупность функционально связанных элементов.

Узлы, функционально связанные между собой, образуют устройство (**блок**).

Дисциплина «**Схемотехника ЭВМ**» изучает элементы, узлы, устройства ЭВМ, а так же вопросы их взаимодействия.

Классификация элементов ЭВМ

По функциональному назначению:

- •**логические** преобразующие логическое содержание информации;
- •элементы памяти осуществляющие хранение информации в течение некоторого промежутка времени;
- •вспомогательные преобразующие электрические величины в электрические;
- •специальные преобразующие неэлектрические величины в электрические и наоборот.

Классификация элементов ЭВМ

По физической реализации:

- •полупроводниковые;
- •магнитные;
- •оптические;
- •электровакуумные;

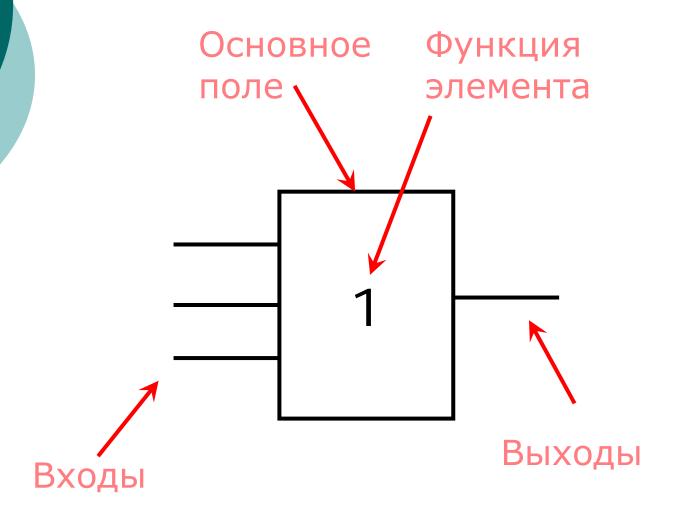
• . . .

Классификация элементов ЭВМ

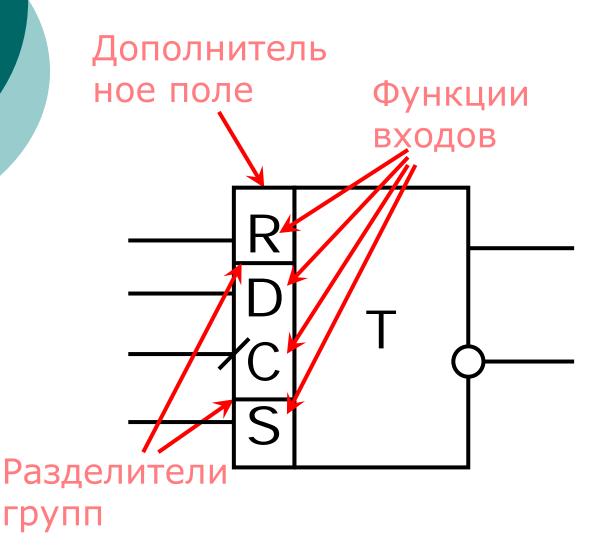
По электрической схеме базового элемента:

- •ТТЛ транзисторно-транзисторная логика;
- •ТТЛШ ТТЛ с диодами Шоттки;
- •**КМОП** на комплементарных МОПтранзисторах;
- • $\mathbf{M}^2\mathbf{\Lambda}$ интегрально-инжекционная логика;
- •ЭСЛ эмиттерно-связная логика;
- •ДТЛ, РТЛ, РЕТЛ, . . .

Обозначения элементов



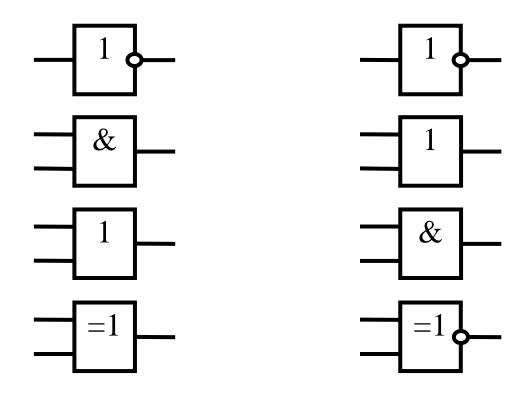
Обозначения элементов



Примеры функций элементов

```
1 - «ИЛИ»
& - «И»
=1 - «исключающее ИЛИ»
== - «исключающее ИЛИ-НЕ»
Т – триггер
RG – регистр
MUX - мультиплексор
```

Положительная и отрицательная логики



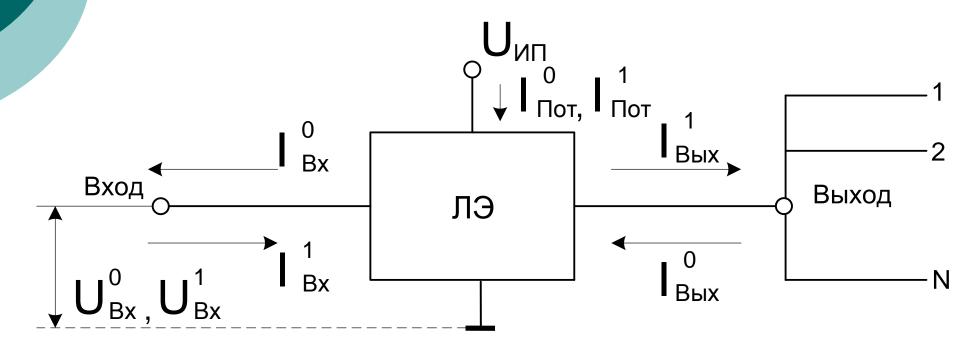
ЛЭ положительной логики

ЛЭ отрицательной логики

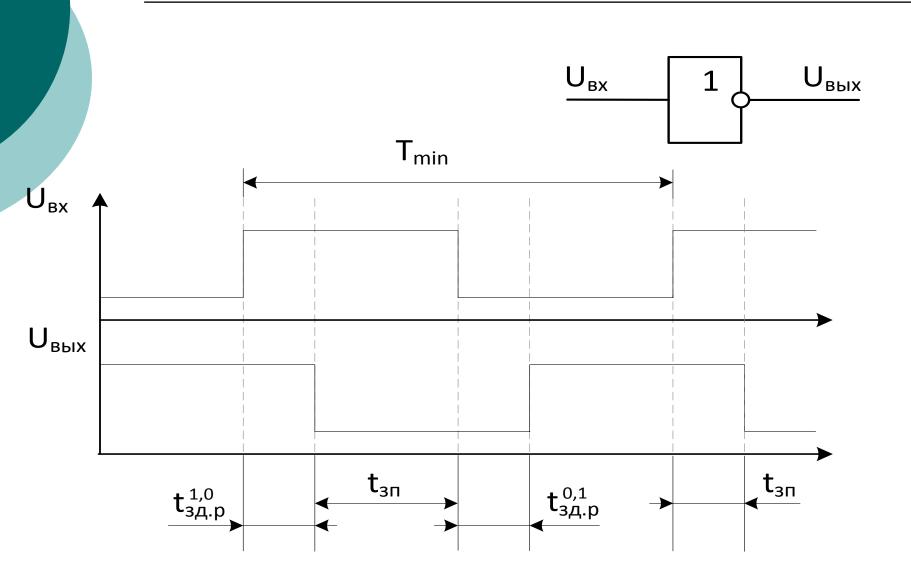
Схемотехника ЭВМ

Характеристики логических элементов

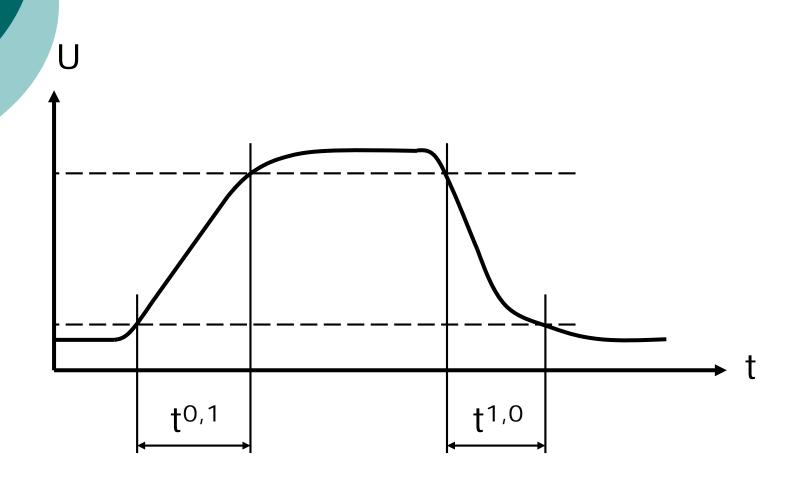
Статические параметры ЛЭ



Динамические параметры ЛЭ



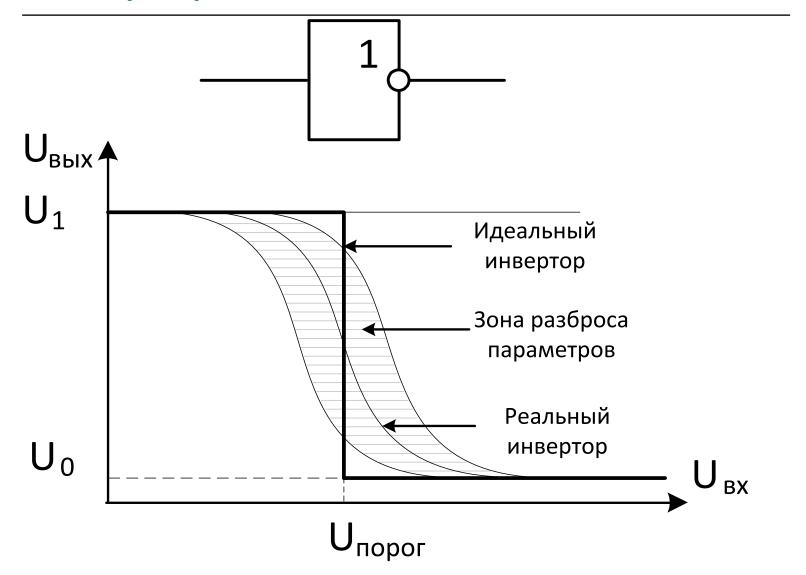
Динамические параметры ЛЭ



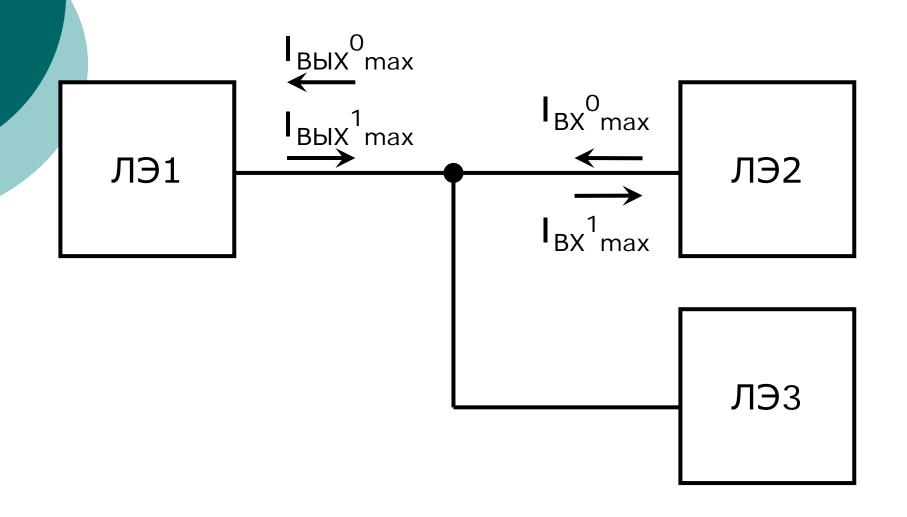
Помехоустойчивость

 $U_{\text{Bx.max}}^1$ Зона помехоустойчивости для «1» **U**Порог. Зона помехоустойчивости для «О»

Передаточная характеристика инвертора



Разветвление



Коэффициент разветвления

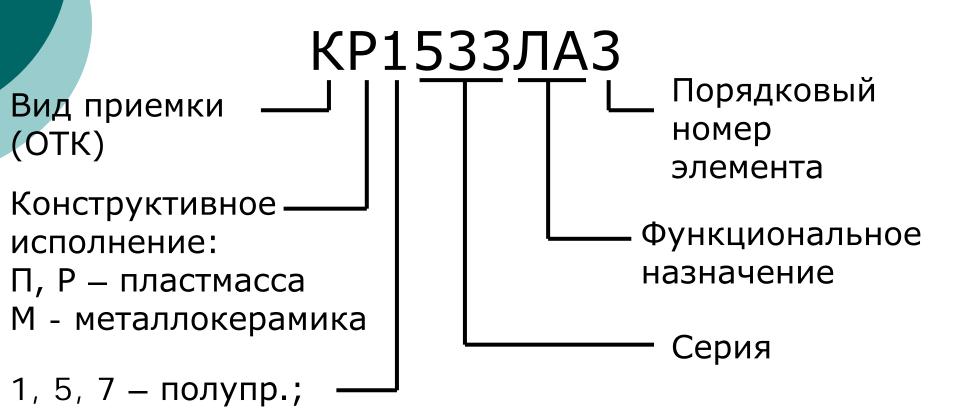
$$N = \min(\frac{I_{BblX}^{0}_{max}}{I_{BX}^{0}_{max}}; \frac{I_{BblX}^{1}_{max}}{I_{BX}^{1}_{max}})$$

1973

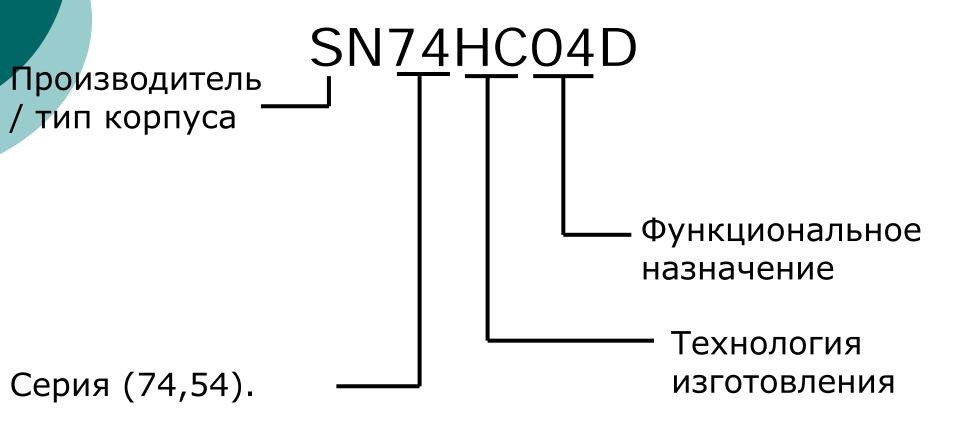
2, 4, 6, 8 – гибридные;

3 — пленочная технология.

Маркировка отечественных микросхем



Маркировка зарубежных микросхем



Соответствие обозначений технологии изготовления

нет	155, 133
S	531
LS	555
AS	533
ALS	1533
F	1531
C	564
AC	1554
ACT	1594
HC	1564

Функциональное назначение

Группа

ЛА _____ L____

Вид элемента

(Л - логические)

ЛА - И-HE

ЛЕ – ИЛИ-НЕ

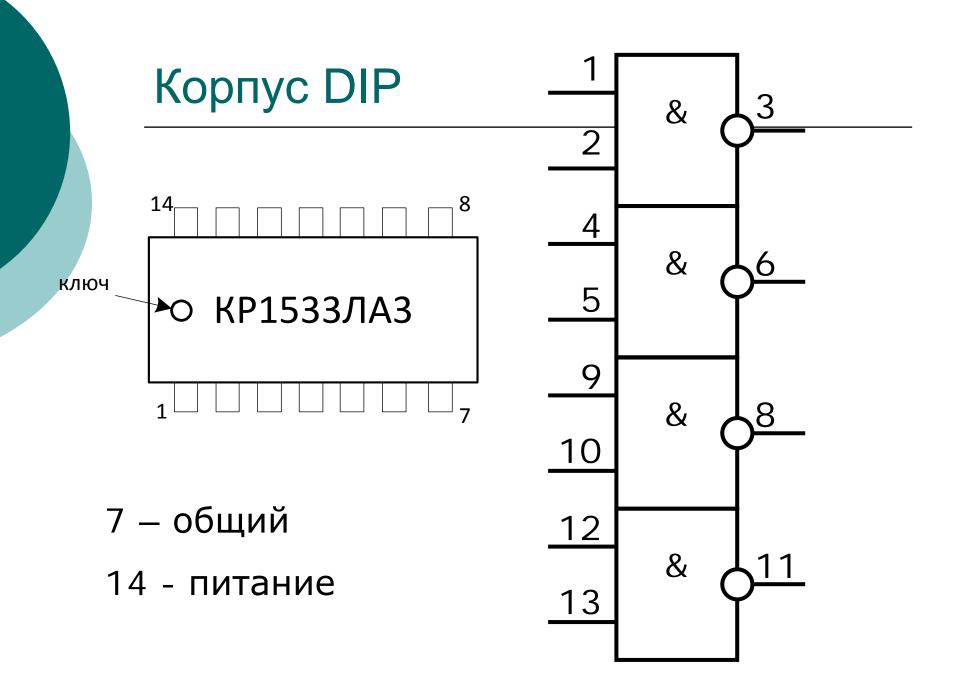
ЛИ – И

ЛЛ – ИЛИ

ЛH — HE

ЛР – И-ИЛИ-НЕ

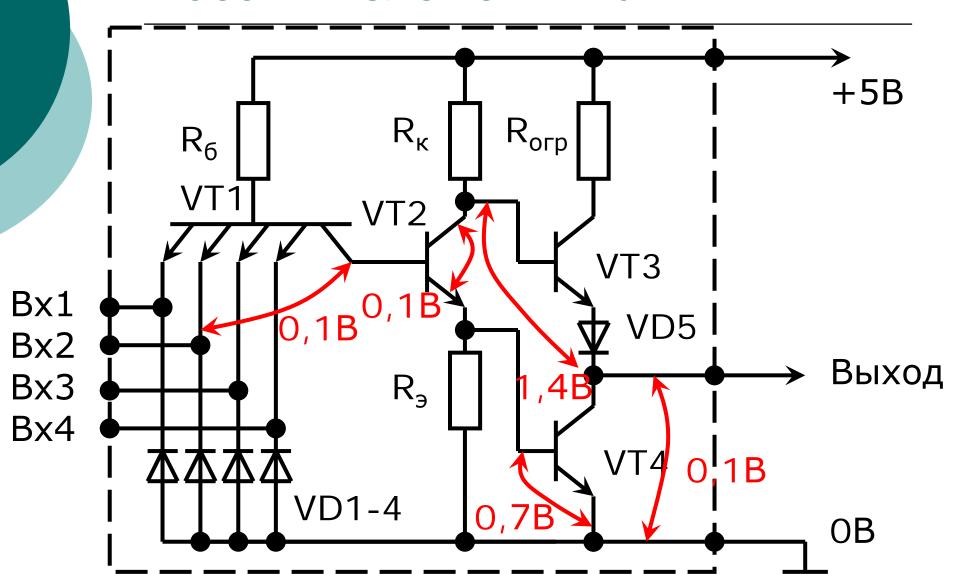
ЛП – Прочие



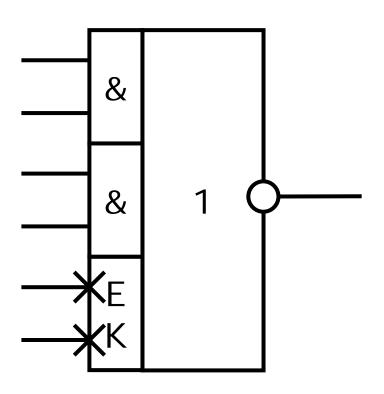
Схемотехника ЭВМ

Элементы TTЛ

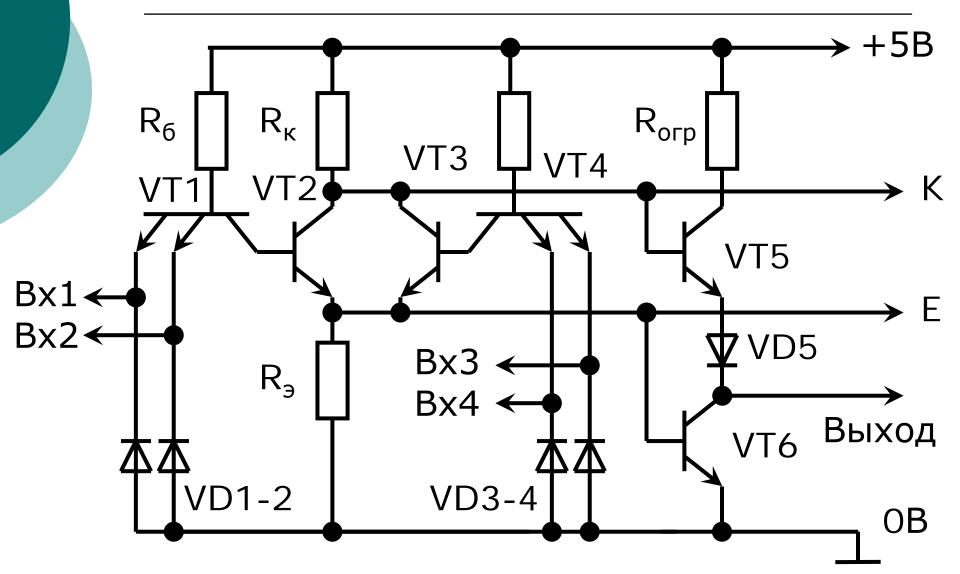
Базовый элемент ТТЛ



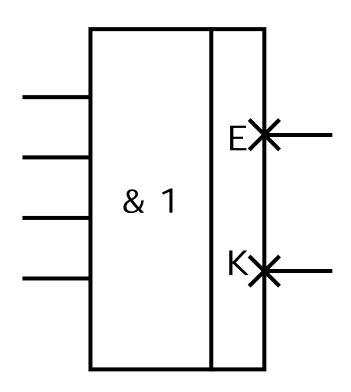
Элемент И-ИЛИ-НЕ с расширением по ИЛИ



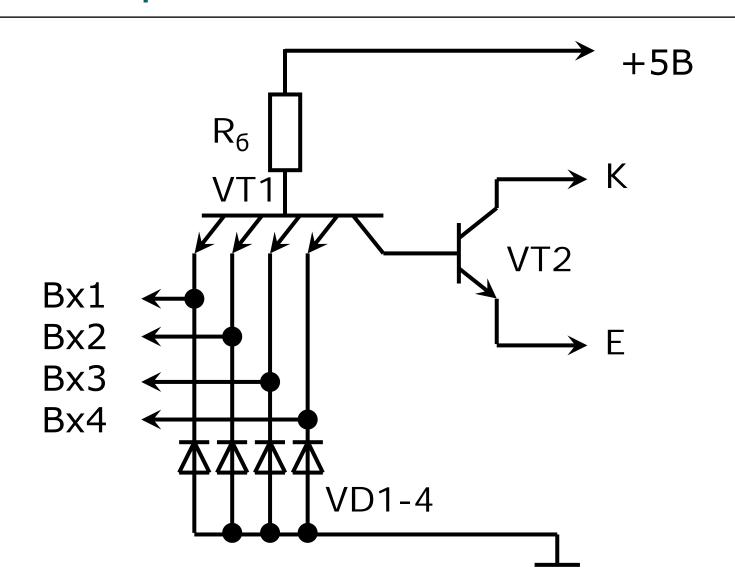
Элемент И-ИЛИ-НЕ с расширением по ИЛИ



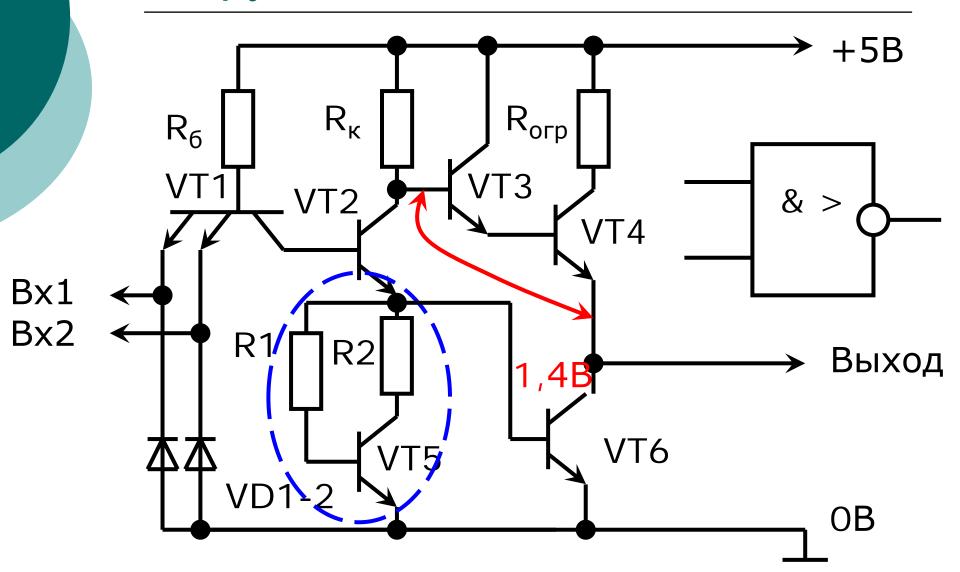
Расширитель



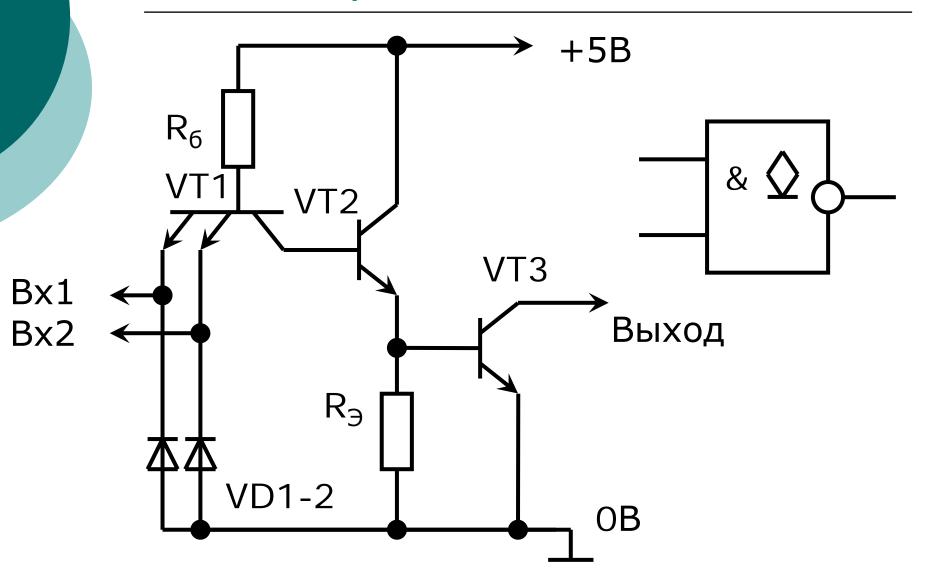
Расширитель



Элемент с повышенной нагрузочной способностью



Элемент с открытым коллектором

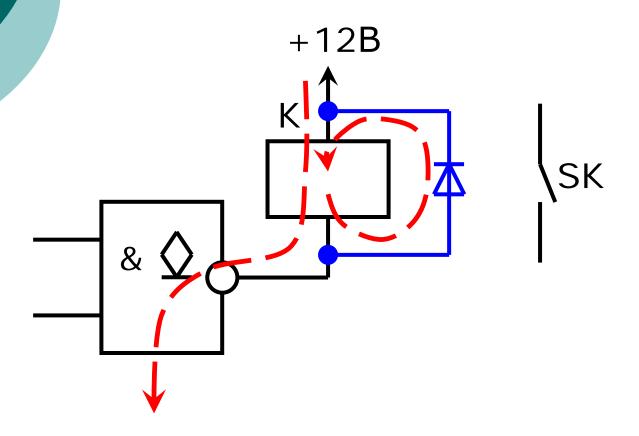


Применение элемента с открытым коллектором

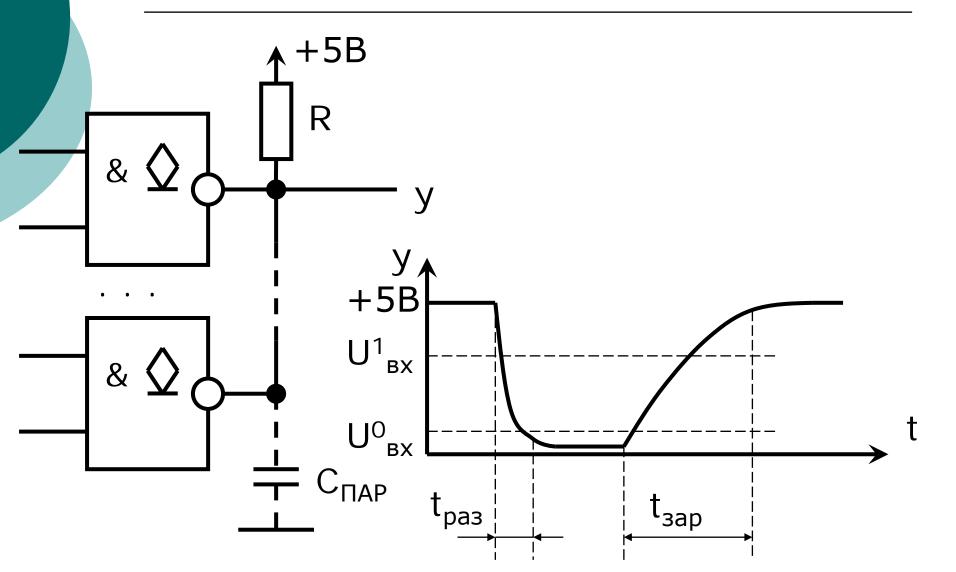




Применение элемента с открытым коллектором



Монтажная логика: И по «1», ИЛИ по «0»

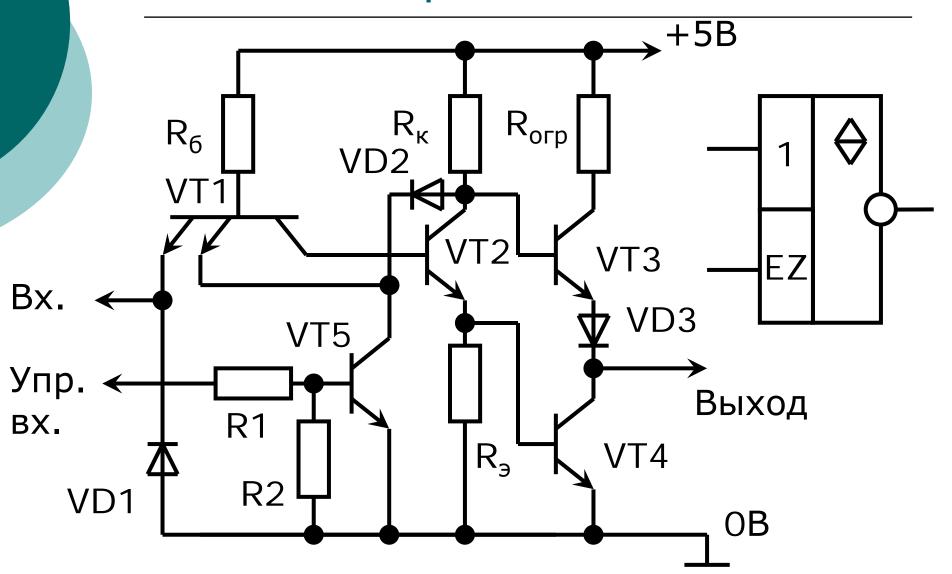


Расчет сопротивления

$$\frac{U_{N\Pi}^{MNH} - U_{1}^{MNH}}{N^{*}I_{yT}^{1+}n^{*}I_{BX}^{1}} > = R > = \frac{U_{N\Pi}^{Makc} - U_{0}^{Makc}}{I_{Bblx}^{0} + (N-1)^{*}I_{yT}^{0} - n^{*}I_{Bx}^{0}}$$

$$t^{0,1} \approx 0.8RC_{\Pi AP}$$

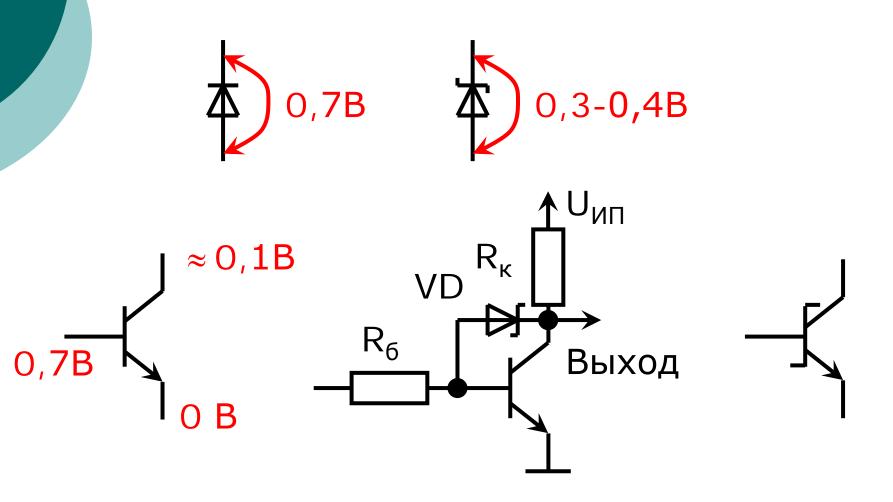
Элемент с тремя состояниями



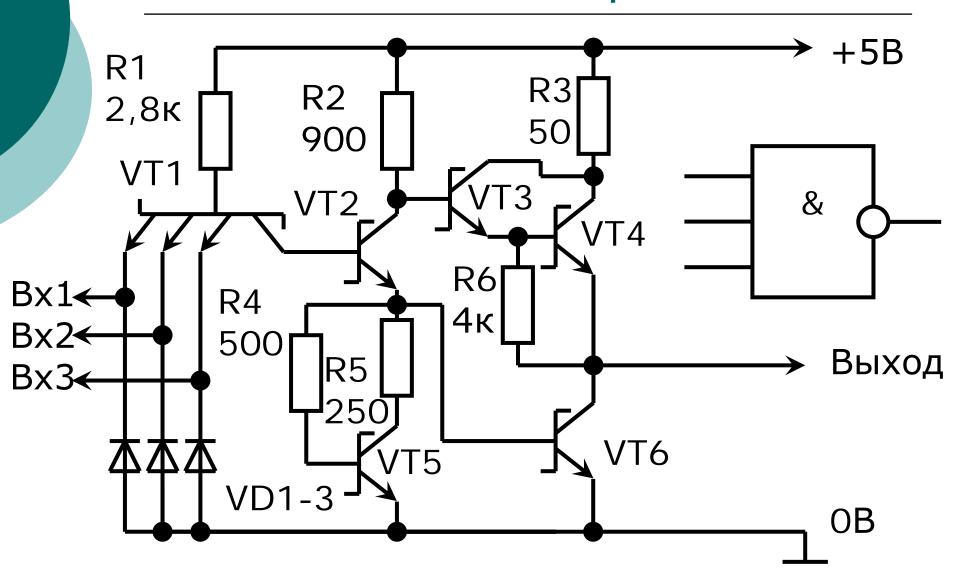
Схемотехника ЭВМ

Элементы ТТЛШ

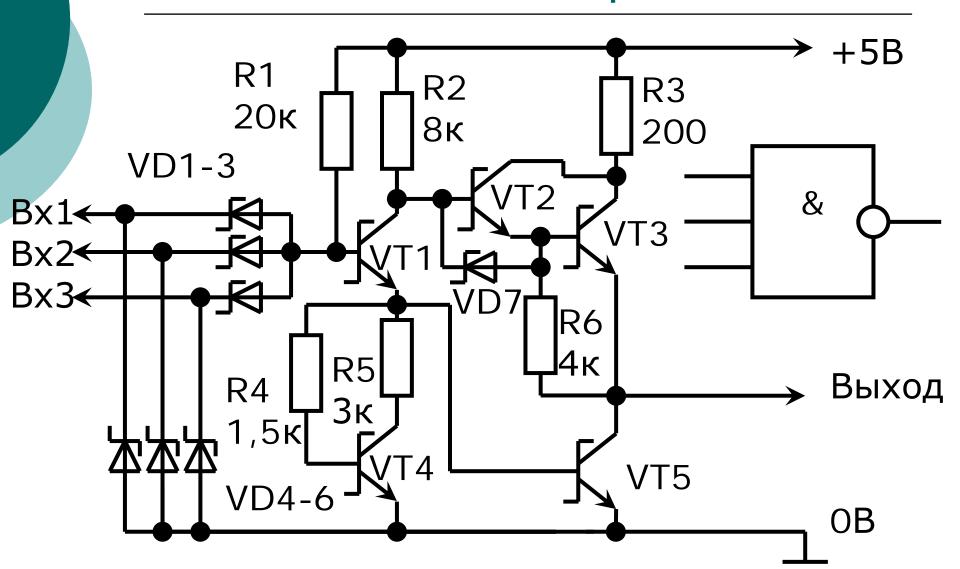
Транзисторный ключ с диодом Шотки



Базовый элемент серии К531



Базовый элемент серии К555



Сравнительная характеристика ИС

0,4

0,28

0,28

ка

N

		ттл (ттлш)							
		Серия ИС		Параметры			Нагрузі		
Отеч.		e4.	Заруб.	t _{зд.р.} ,	Р _{пот.} , мВт	Э, пДж	С _н , пФ	R _н , кОм	

K134

K155

K531

K555

KP1531

KP1533

SN74L

SN74

SN74S

SN74LS

SN74F

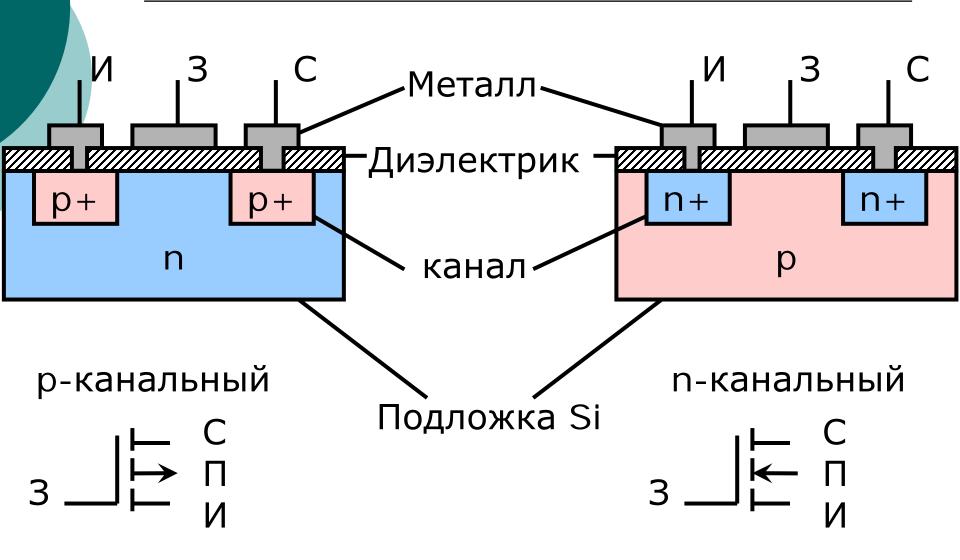
SN74ALS

Расчет сопротивления для формирования логической единицы

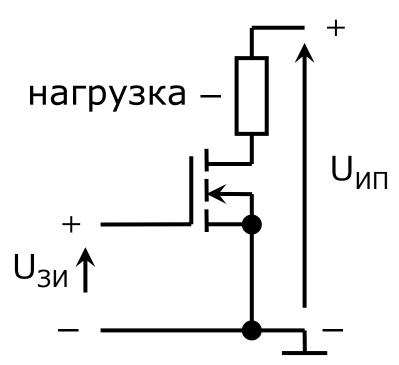
$$\frac{U_{\mathsf{N\Pi}^{\mathsf{MVH}}} - U_{\mathsf{1}^{\mathsf{MVH}}}}{n^* I_{\mathsf{BX}}^{\phantom{\mathsf{1}}}} > = R$$

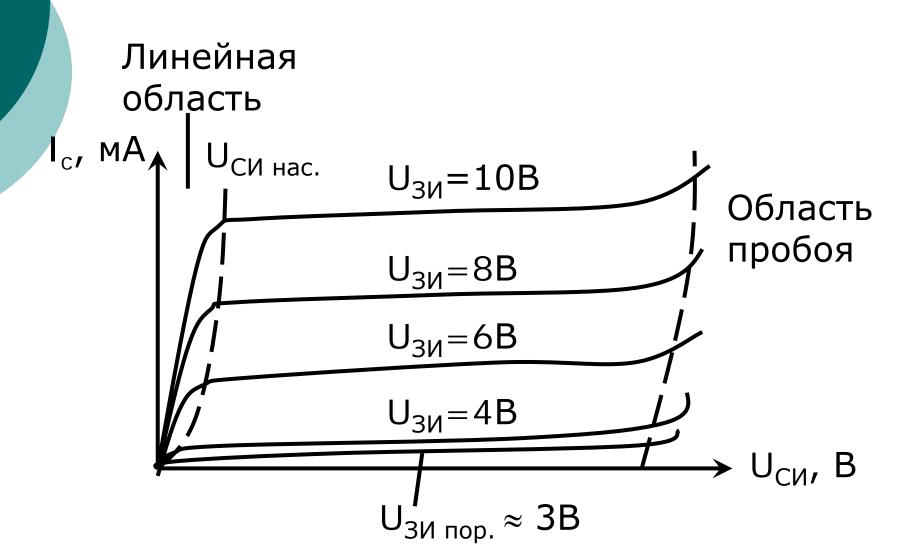
Схемотехника ЭВМ

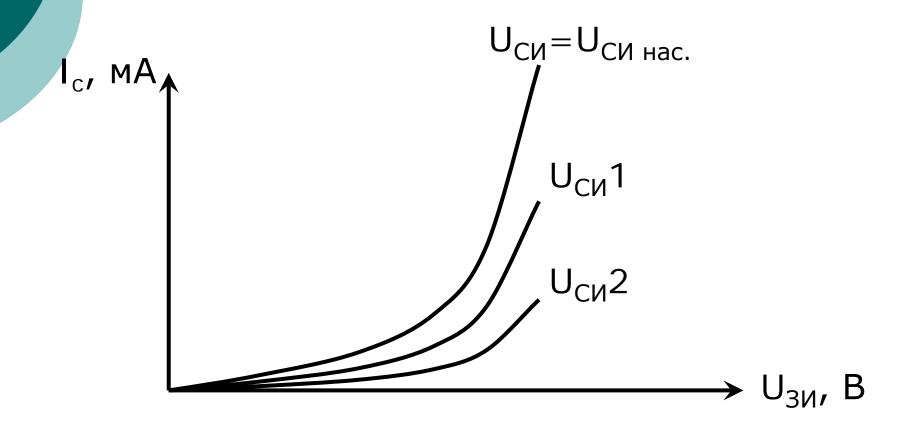
Элементы КМОП



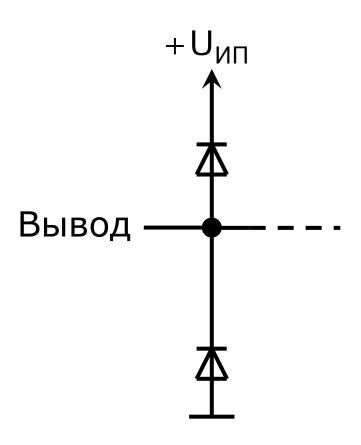
n-канальный



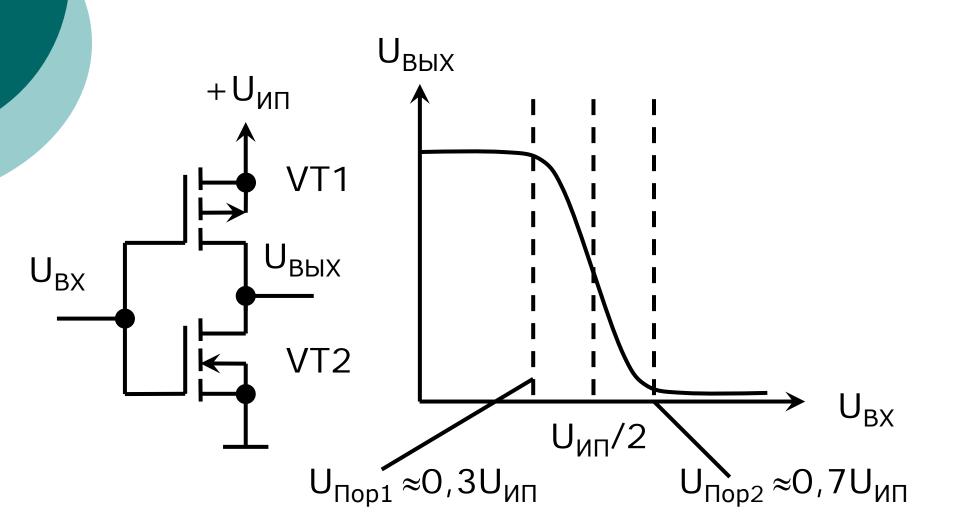




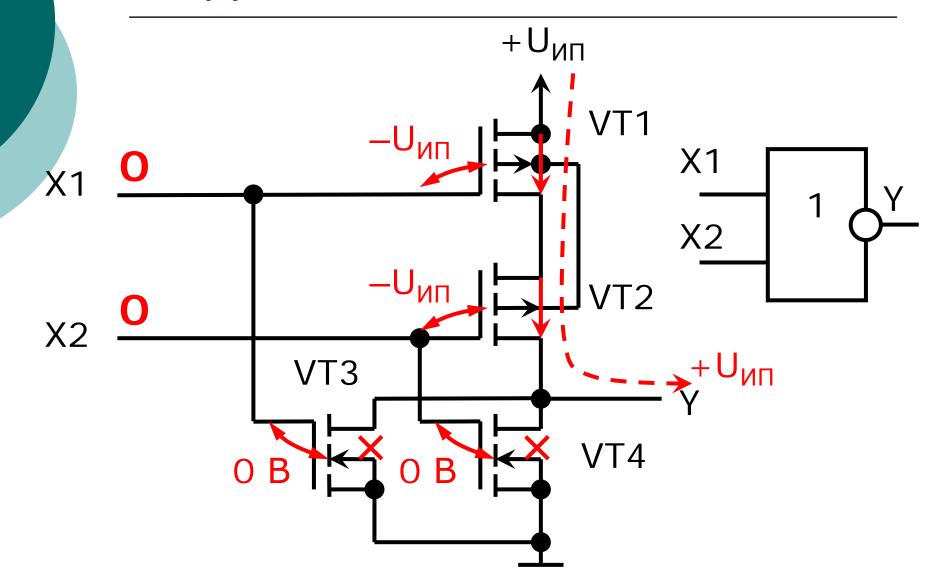
Защита выводов КМДП-микросхем



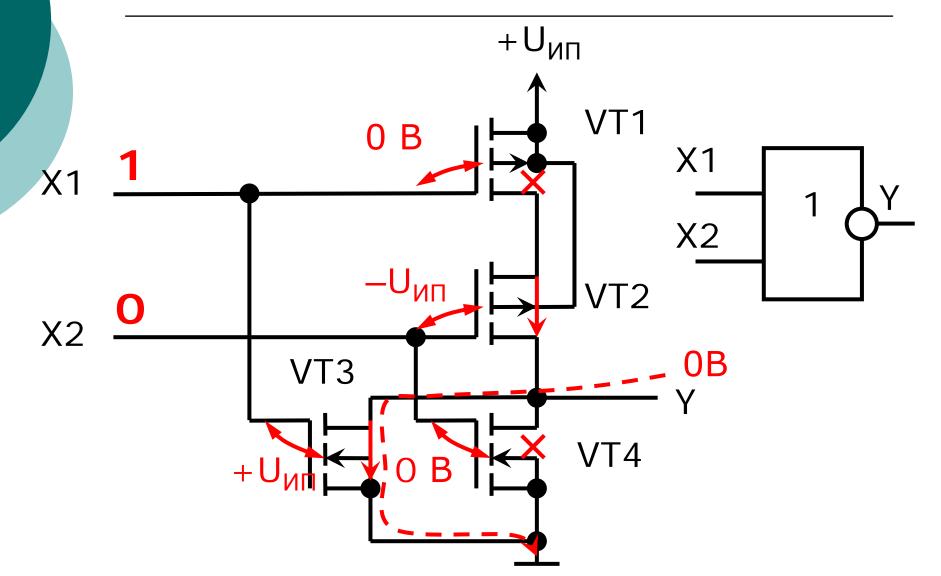
КМДП-инвертор



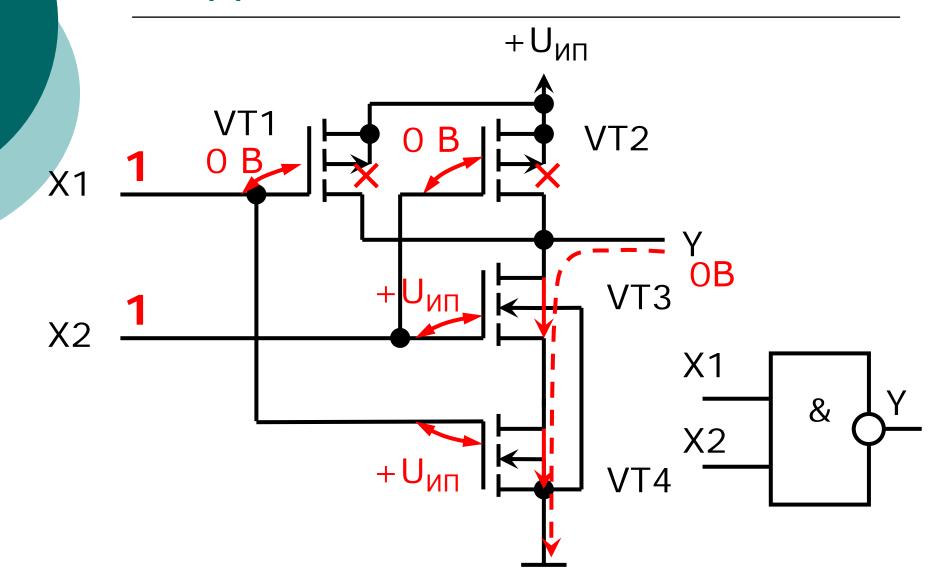
КМДП-элемент ИЛИ-НЕ



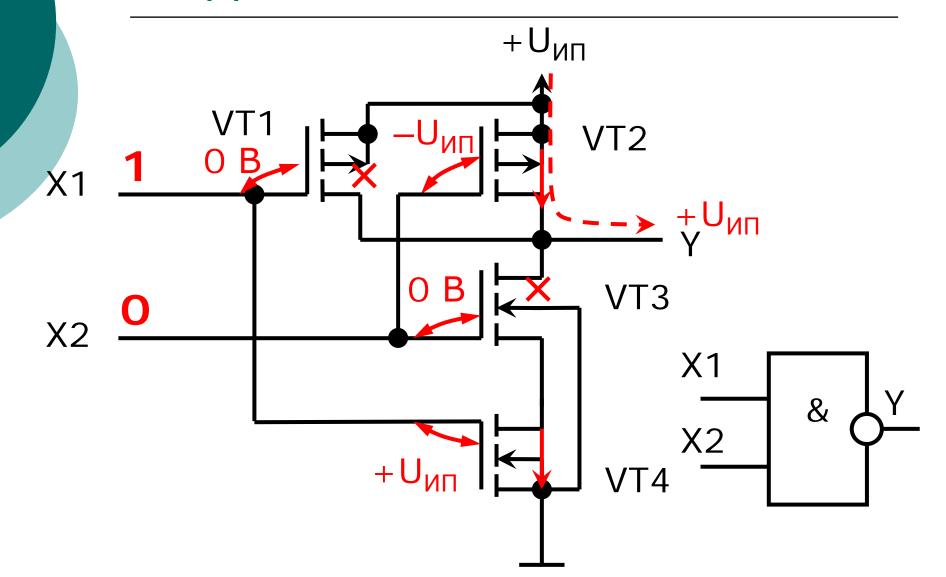
КМДП-элемент ИЛИ-НЕ



КМДП-элемент И-НЕ



КМДП-элемент И-НЕ



Параметры КМОП

$$I_{\rm BX}^{-1} <= 0.05$$
 мкА при $20^{\rm o}$ C

$$I_{\rm BX}{}^{\rm O} <= 0.05$$
 мкА при $20{}^{\rm o}{\rm C}$

$$U_{\mu \Pi}(564, 561) = 3 - 15 B$$

$$U_{M\Pi}(176) = 9 B$$

$$U_{\mu \eta}(1554) = 5 B$$

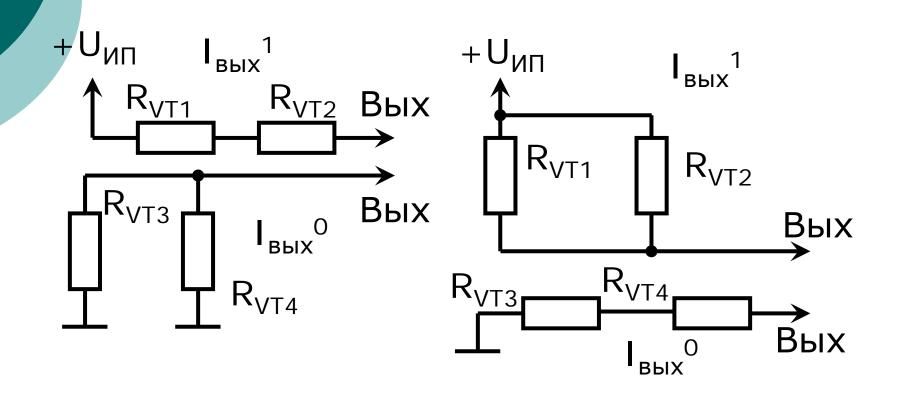
$$U_{BX}^{0} <= 0.3U_{NII}$$

$$U_{BX}^{1} > = 0.7U_{N\Pi}$$

Помехоустойчивость 30%U_{пит}

Выходные токи: ИЛИ-НЕ

И-НЕ



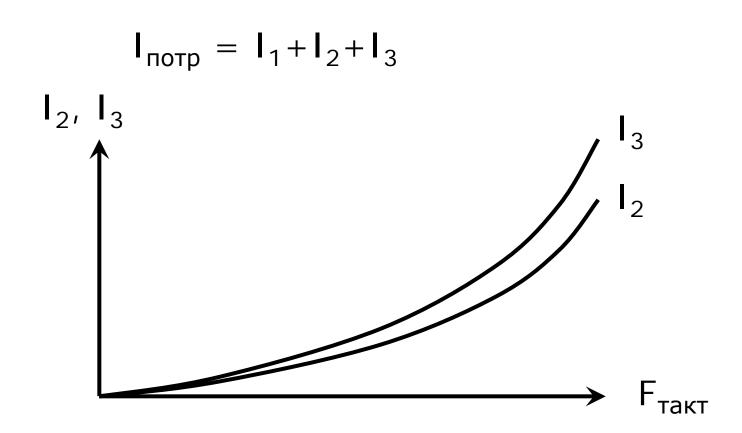
Выходные токи (561, 564, $U_{и\Pi}$ =10В)

Тип ИС	I _{вых} ^О , мА	I _{вых} ¹ , мА
ЛЕ5	0,9	0,5
ЛА7	0,45	0,55
ЛН1	5,3	0,5
ЛН2	8,0	1,25
TM2	0,9	0,6
KT3	7,2	7,2

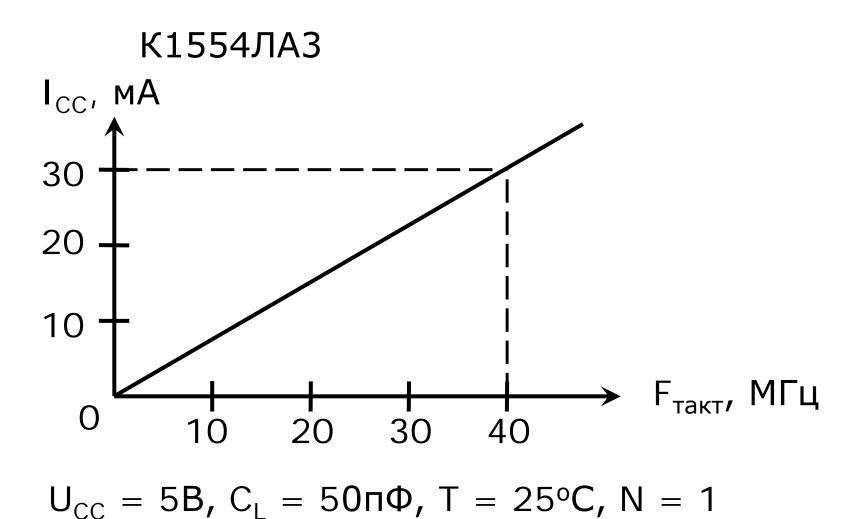
Задержки (561, 564, U_{ИП}=10В)

Тип ИС	t _{зд} ⁰¹ , нс	t _{зд} ¹⁰ , нс
ЛЕ5	90	80
ЛН1	230	180
ИМ1	270	270
TM2	420	420
TB1	250	250
ИР11	300	300

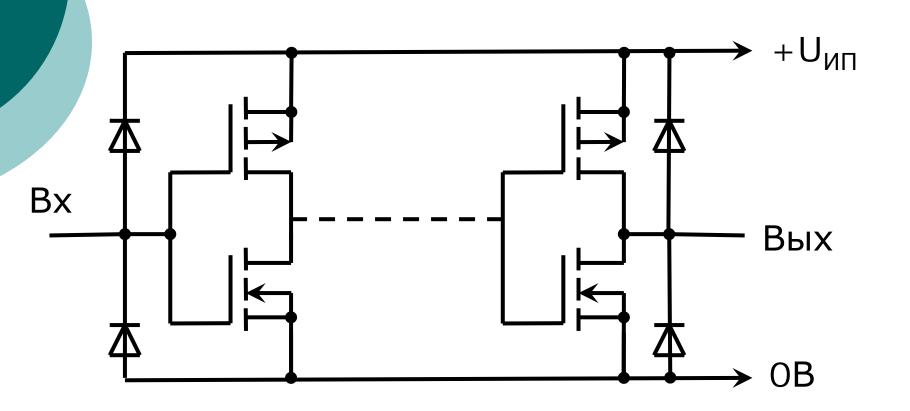
Потребление тока



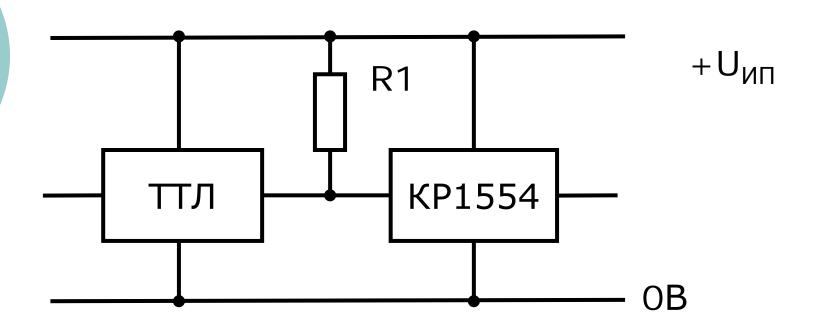
Серия 1554



Серия 1554: входы и выходы



Серия 1554: подключение к ТТЛ

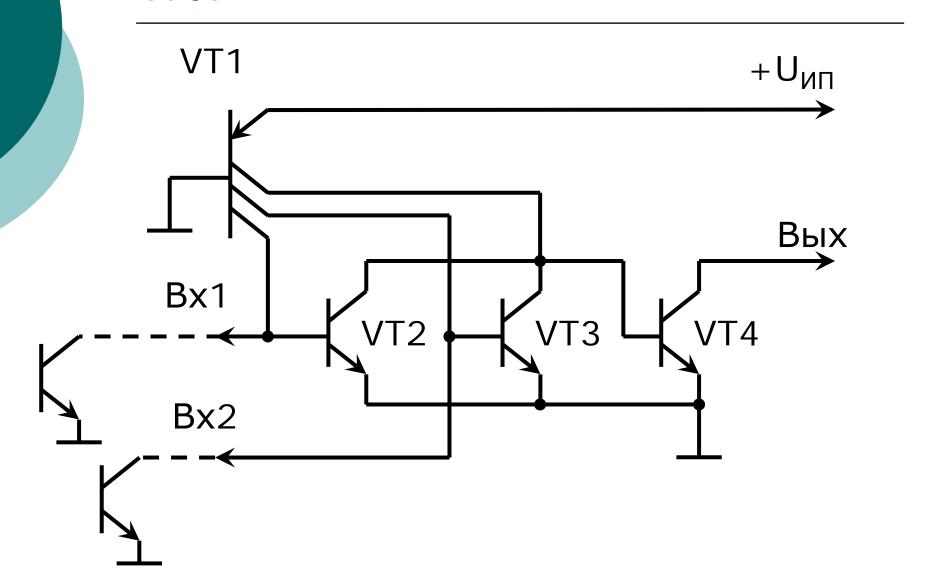


$$R1 = 0.25 - 4.7 \text{ kOm} \pm 5\%$$

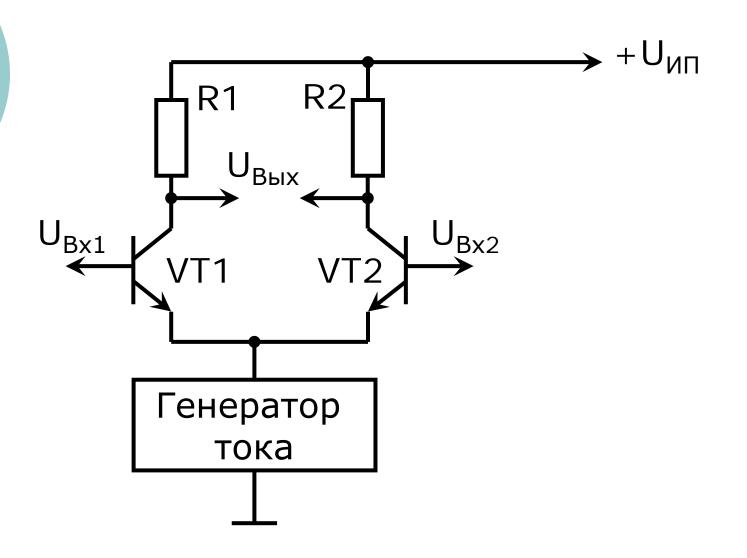
Схемотехника ЭВМ

Элементы И2Л, ЭСЛ

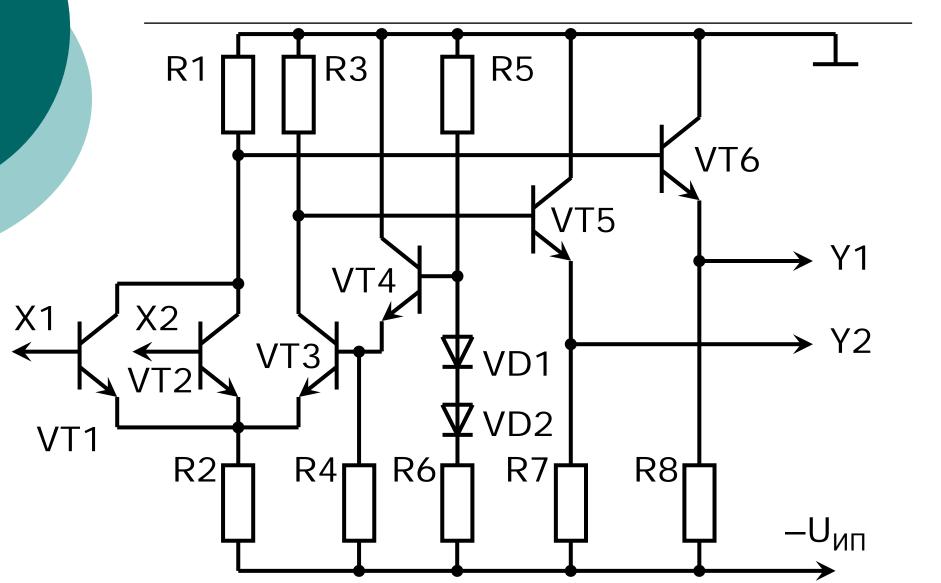
Интегральная инжекционная логика $N^2 \Pi$



Эмиттерно-связная логика



Базовый элемент ЭСЛ К500



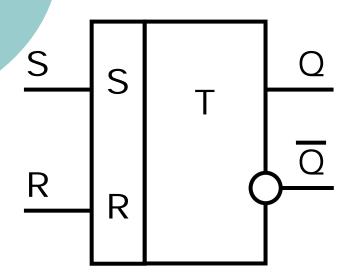
Схемотехника ЭВМ

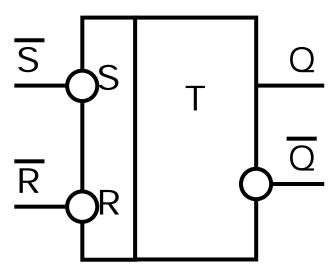
Триггеры

Классификация

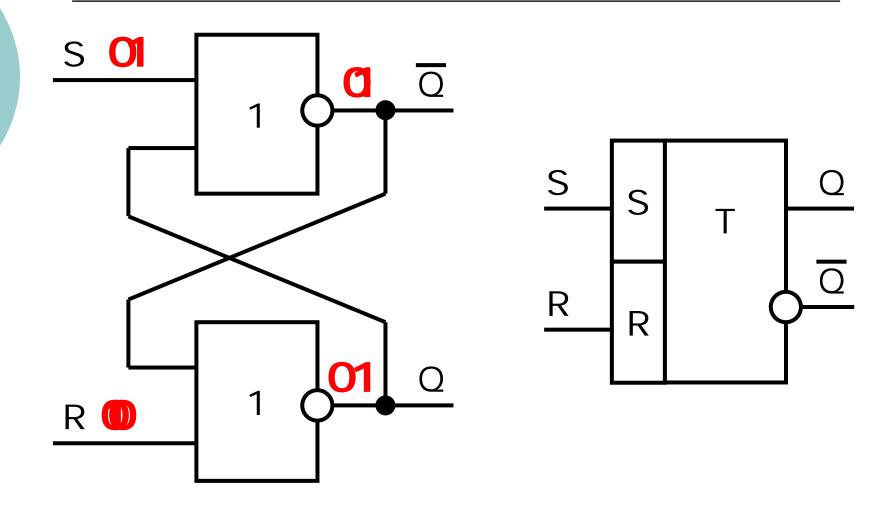
- о Тип триггера
 - RS (R Reset, S Set)
 - D (D-Data)
 - JK (J Set, K Reset, C Clock)
 - T (T Toggle)
- Количество ступеней
 - Одноступенчатый
 - Двухступенчатый
- о Тип синхронизации
 - Отсутствует (асинхронный)
 - Статическая
 - Динамическая
- о Наличие входной логики (есть, нет)

Одноступенчатые асинхронные триггеры





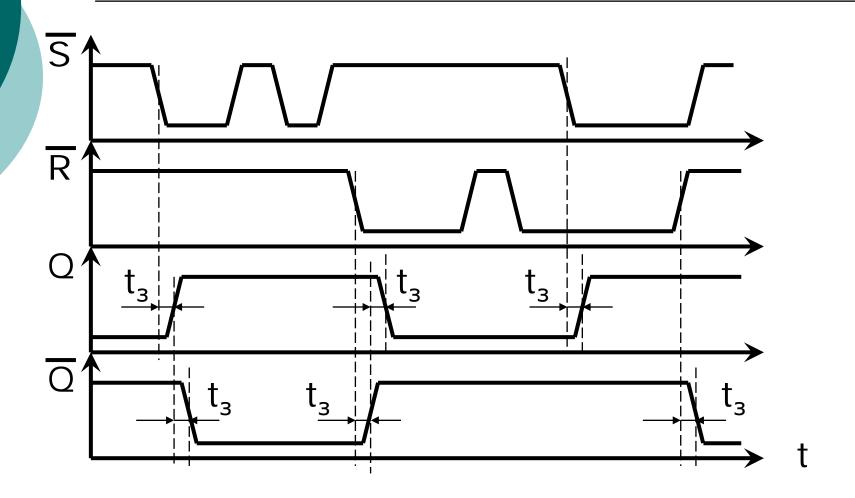
Одноступенчатый асинхронный RS-Триггер



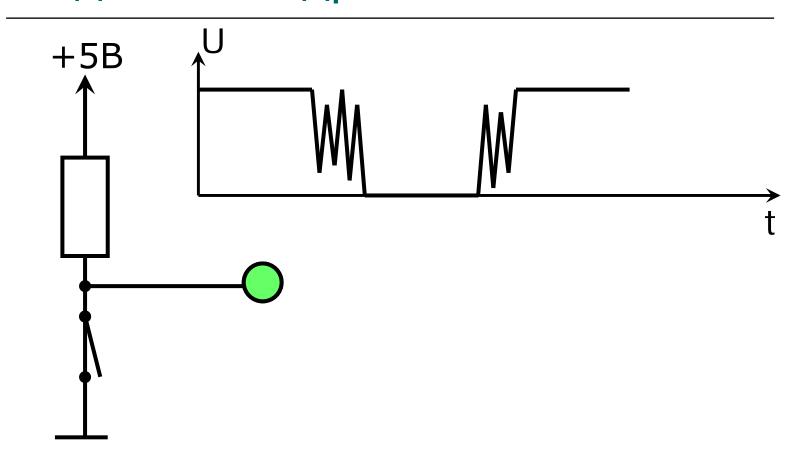
Одноступенчатый асинхронный RS-Триггер

S	R	Q _t	Q_{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	O	1	1
1	1	0	*
1	1	1	*

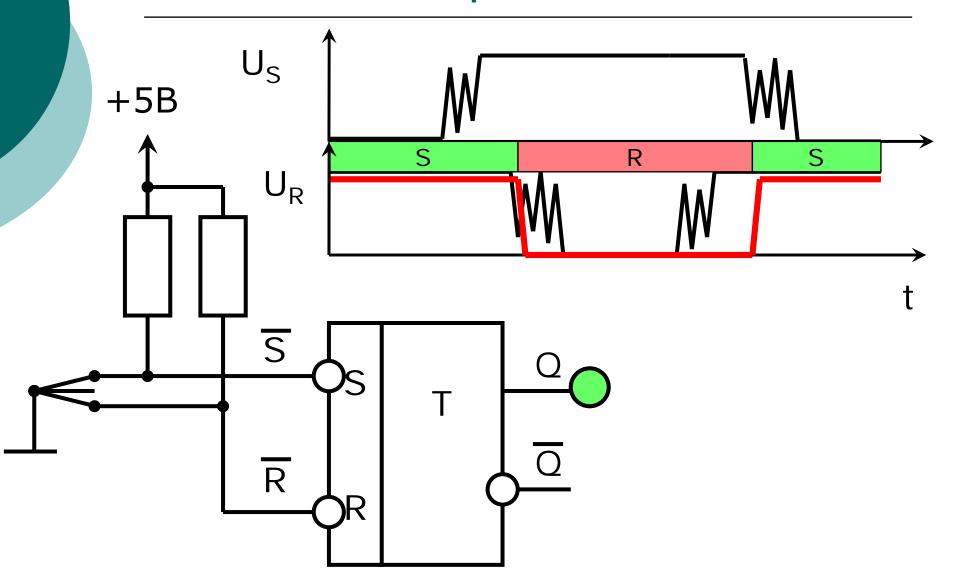
Временная диаграмма (б. Шеффера)



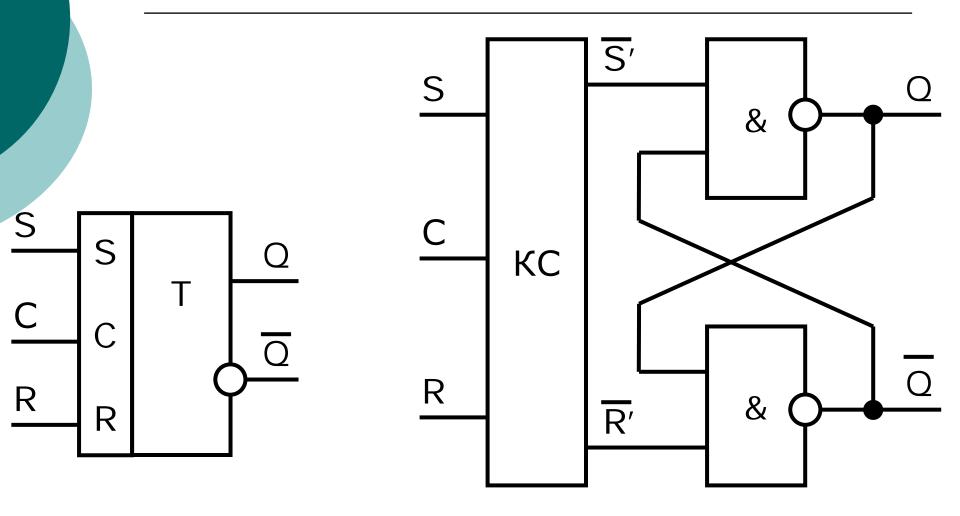
Подавление дребезга контактов



Подавление дребезга контактов



Одноступенчатый синхронный RS-Триггер



Одноступенчатые синхронные триггеры

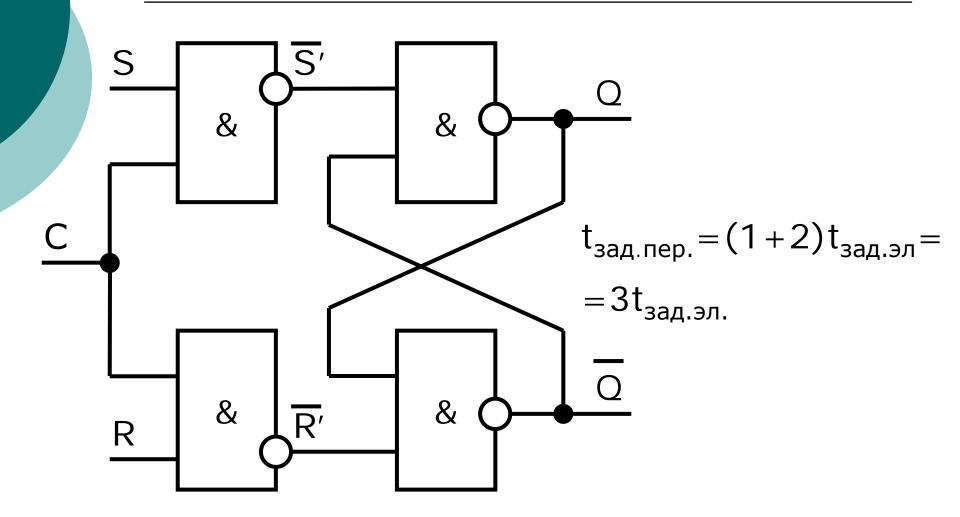
$$S' = S&C$$

$$R' = R&C$$

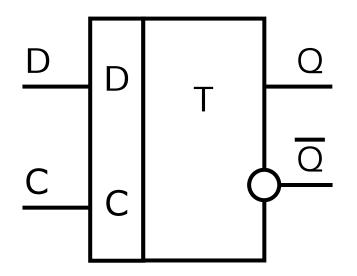
$$\overline{S'} = S | C$$

$$R' = R \mid C$$

Одноступенчатый синхронный RS-Триггер

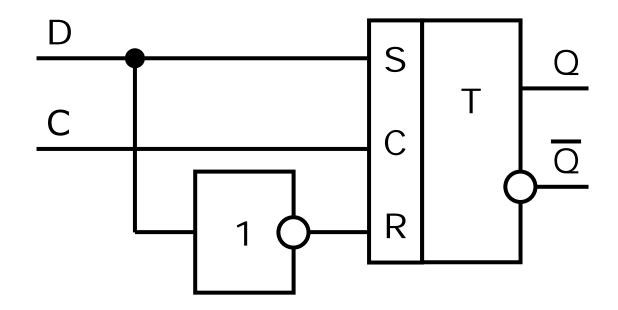


Одноступенчатый D-триггер

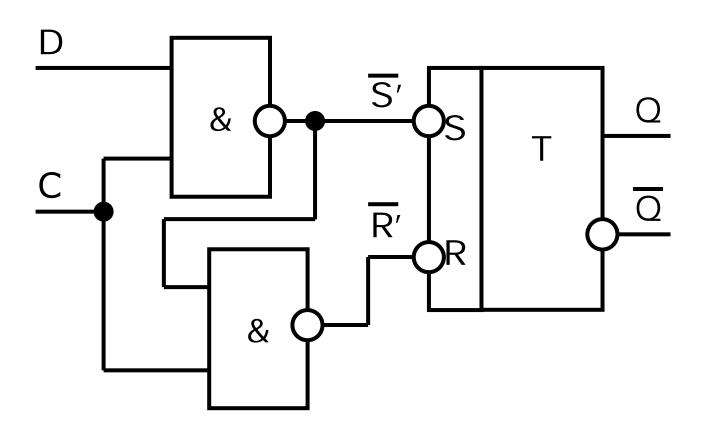


D	С	Q
0	1	O
1	1	1
*	O	O _{t-1}

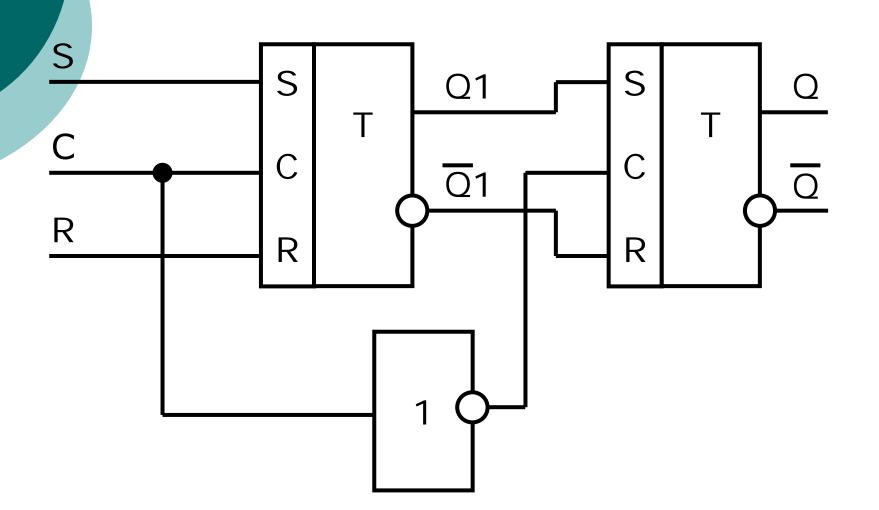
Одноступенчатый D-триггер



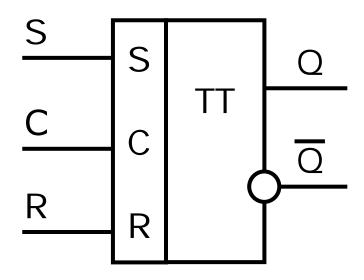
Одноступенчатый D-триггер



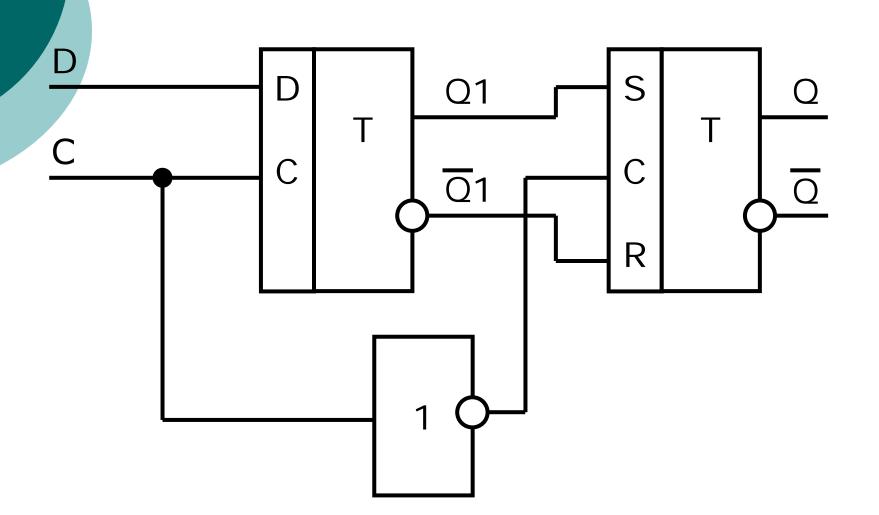
Двухступенчатый RS-триггер



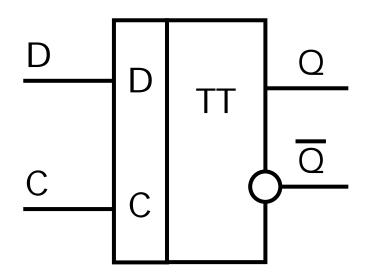
Двухступенчатый RS-триггер



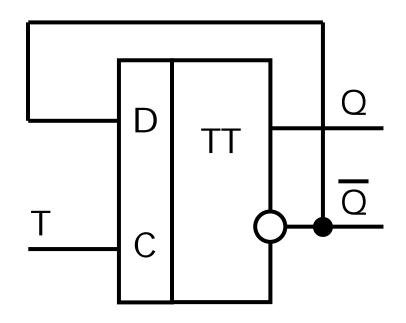
Двухступенчатый D-триггер



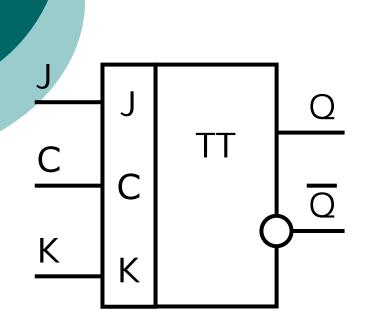
Двухступенчатый D-триггер



Двухступенчатый Т-триггер

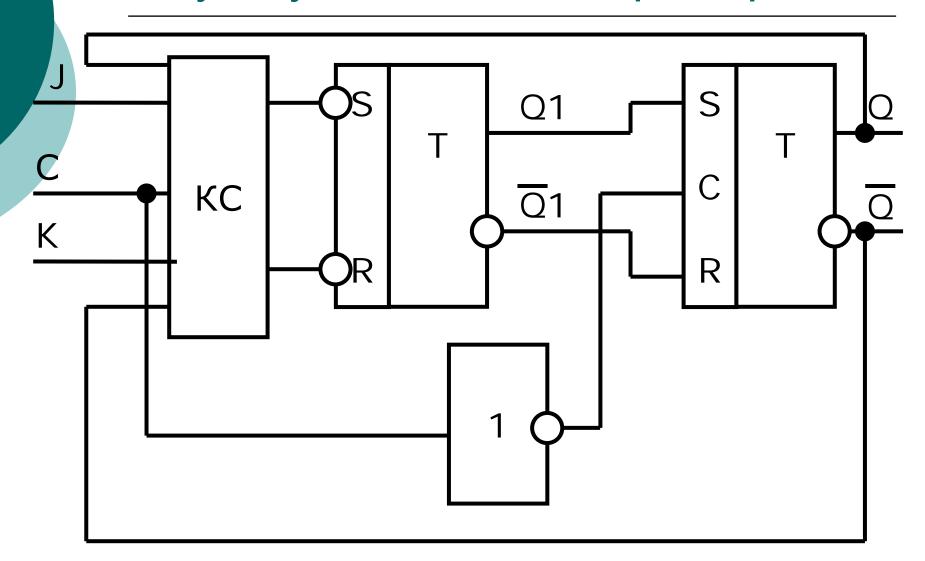


Двухступенчатый ЈК-триггер

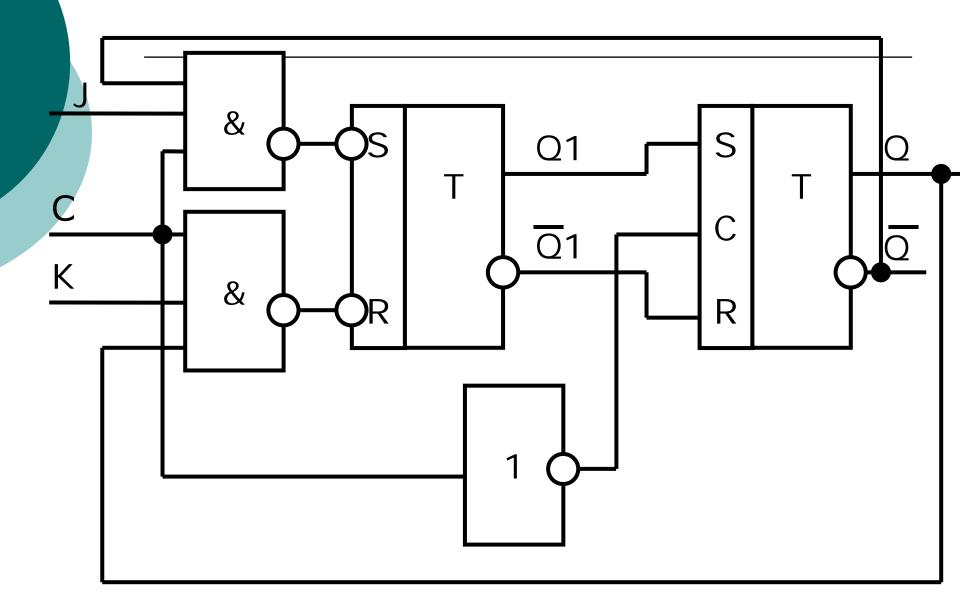


J	K	Q _t	O _{t+1}	Режим
0	0	0	0	Хранение
0	0	1	1	
0	1	0	О	Запись
0	1	1	0	«O»
1	0	0	1	Запись
1	0	1	1	«1»
1	1	0	1	Переклю-
1	1	1	0	чение

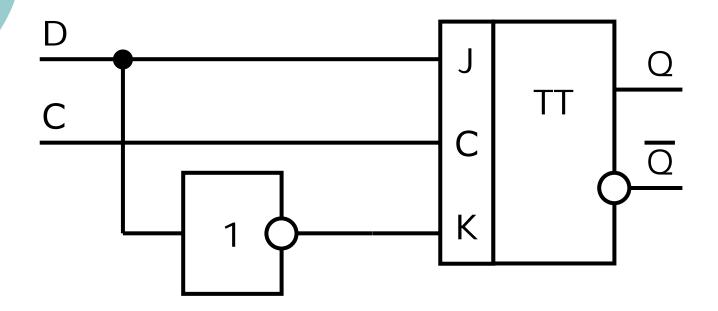
Двухступенчатый ЈК-триггер



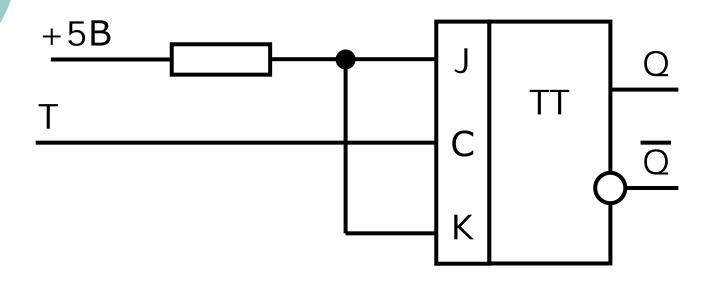
Двухступенчатый ЈК-триггер



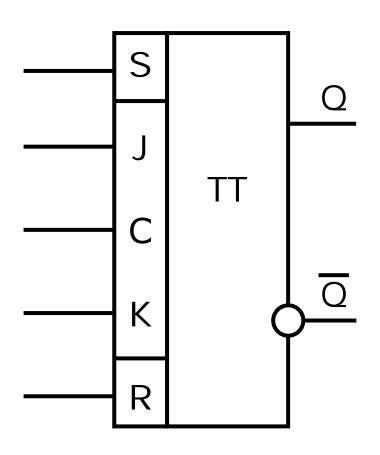
Построение D-триггера на основе JK-триггера



Построение Т-триггера на основе JK-триггера



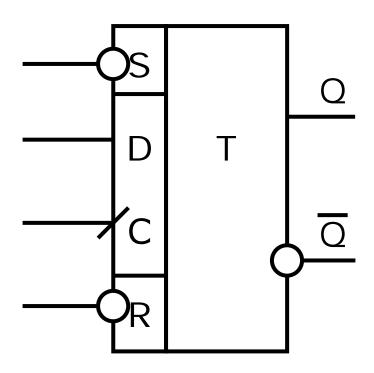
Комбинированный триггер



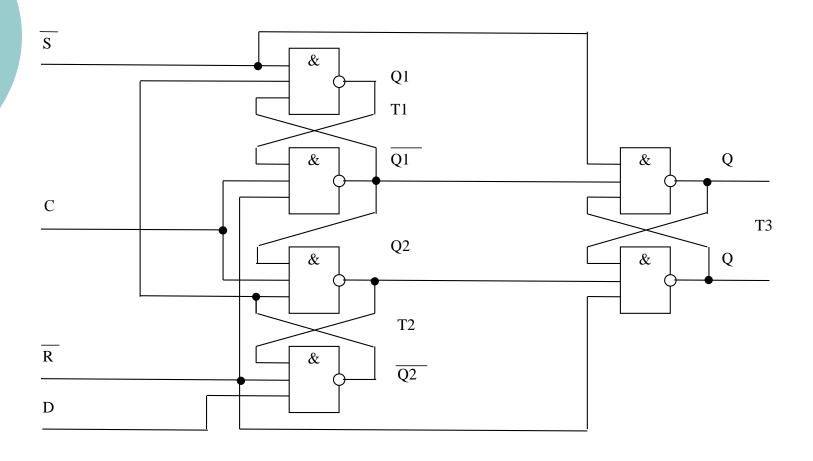
Динамическая синхронизация

По подъему С По спаду С

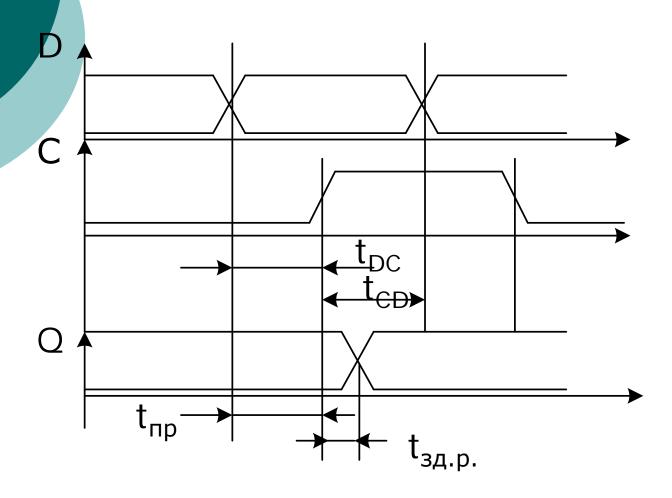
Триггер ТМ2

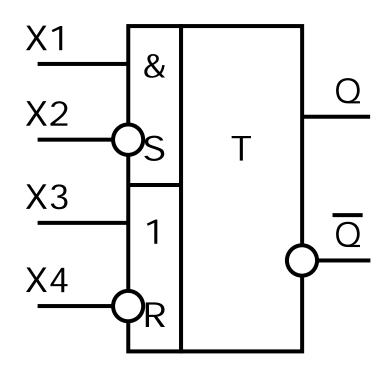


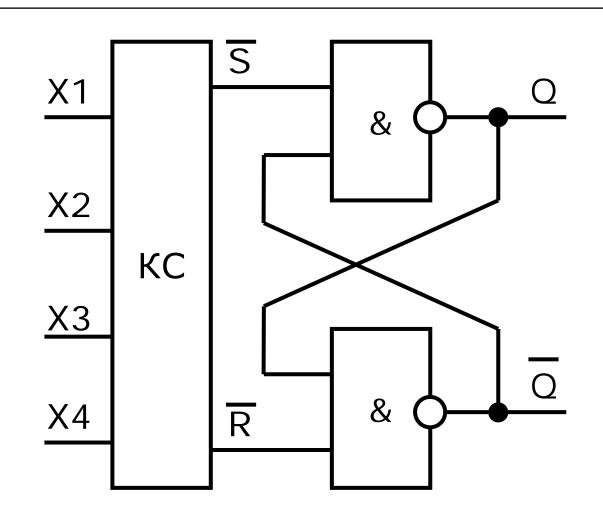
Триггер ТМ2



Триггер ТМ2

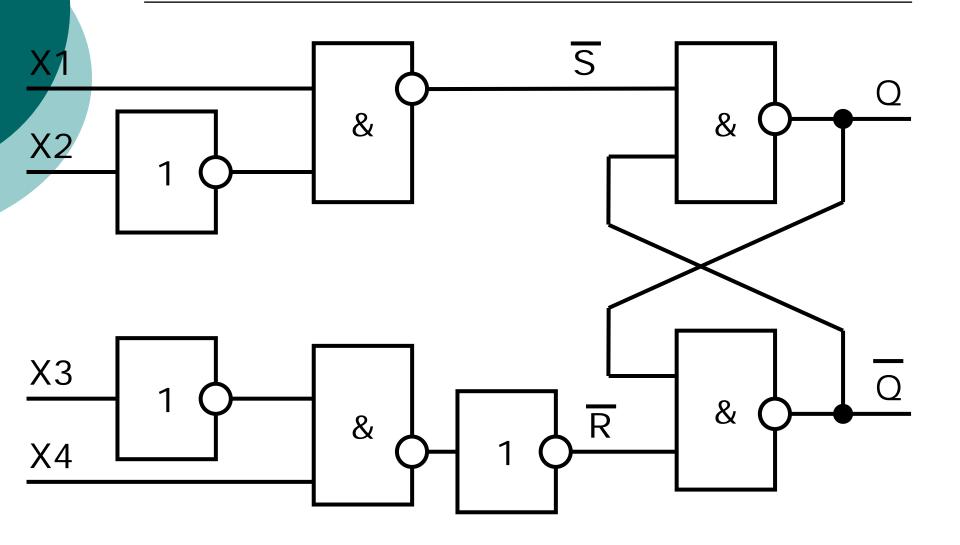




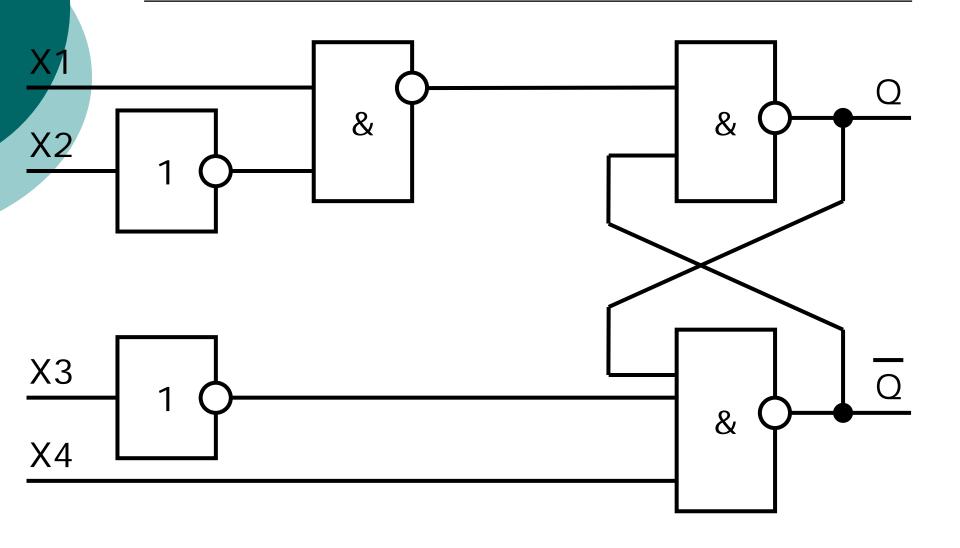


$$\overline{S} = X1 \& \overline{X2} = X1 | \overline{X2}$$

$$R = X3 \lor X4 = X3 \& X4 = X3 | X4$$



$$\overline{Q} = Q \& \overline{R} = Q \& \overline{X3} \& X4$$

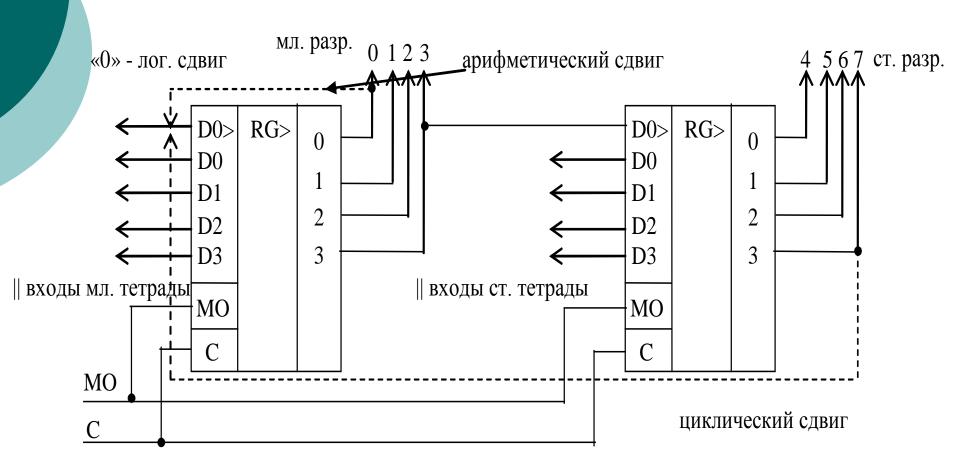


Схемотехника ЭВМ

Регистры

Классификация

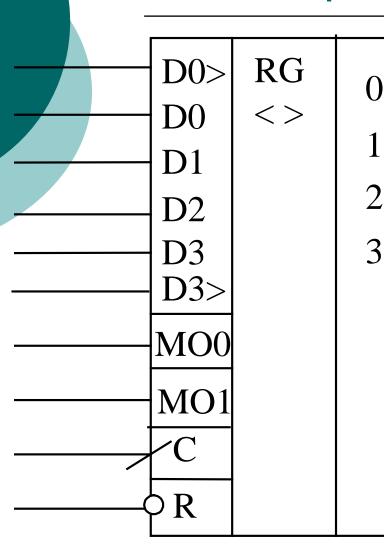
Наращивание разрядности



Формальный метод синтеза регистра

- По заданному условно-графическому обозначению регистра выбирается наиболее подходящий тип триггера, на котором будет реализовываться RG.
- Составляются функции возбуждения, производится их оптимизация и перевод в нужный базис.
- Строятся функциональная, а затем принципиальные схемы.

Синтез резистра

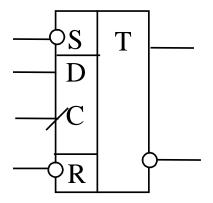


Q_0
\mathbf{Q}_1
$\overline{\mathbf{Q}_2}$
\mathbf{Q}_3

MO0	MO1	Режим
0	0	Хранение
0	1	Сдвиг в ст. мл. р.
1	0	Сдвиг в ст. ст. р.
1	1	Запись инф.

Выбор триггера

Регистр будем реализовывать, используя МСх ТТЛ серии ТМ2 — 2D-триггера с динамическим входом синхронизации и R, S входами.



Составление функций возбкждения

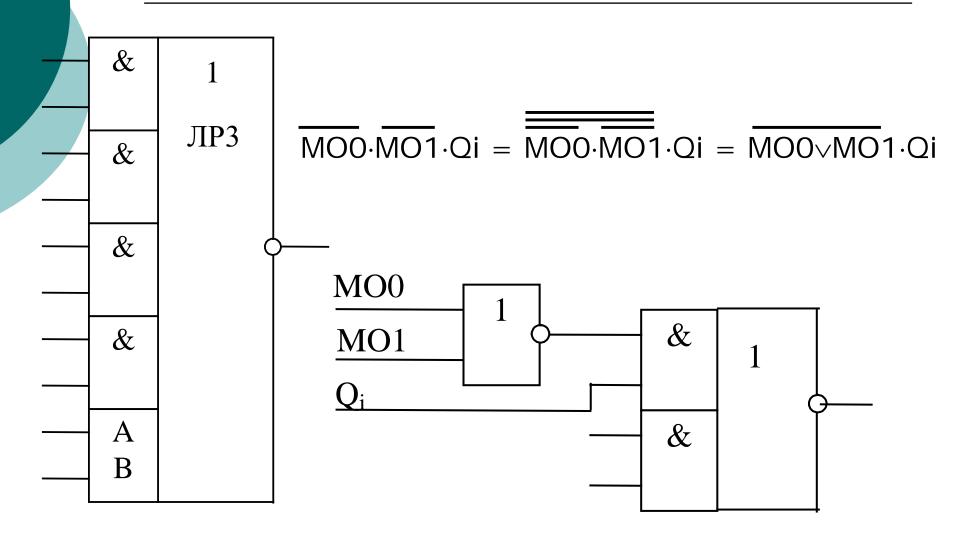
 $D0' = \overline{MO0} \cdot \overline{MO1} \cdot Q0 \vee \overline{MO0} \cdot MO1 \cdot Q1 \vee MO0 \cdot \overline{MO1} \cdot D0 > \vee \\ \vee MO0 \cdot MO1 \cdot D0$

 $D1' = \overline{MO0} \cdot \overline{MO1} \cdot Q1 \vee \overline{MO0} \cdot MO1 \cdot Q2 \vee MO0 \cdot \overline{MO1} \cdot Q0 \vee VMO0 \cdot MO1 \cdot D1$

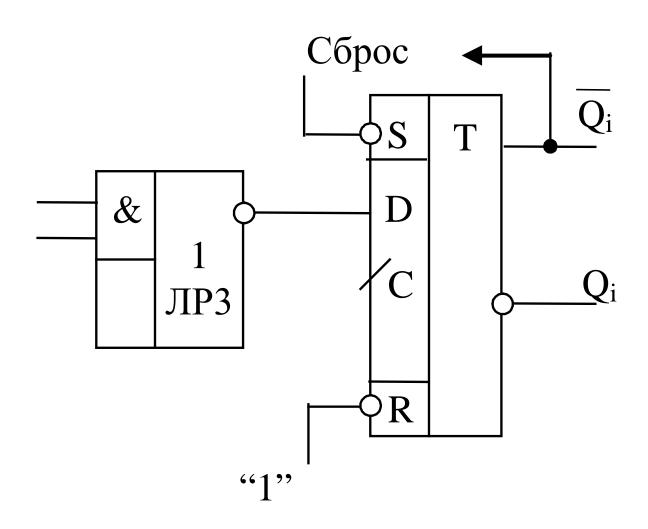
 $D2' = \overline{MO0} \cdot \overline{MO1} \cdot Q2 \vee \overline{MO0} \cdot MO1 \cdot Q3 \vee MO0 \cdot \overline{MO1} \cdot Q1 \vee MO0 \cdot MO1 \cdot D2$

 $D3' = \overline{MO0} \cdot \overline{MO1} \cdot Q3 \vee \overline{MO0} \cdot MO1 \cdot D3 > \vee MO0 \cdot \overline{MO1} \cdot Q2 \vee V$

Выбор микросхем



Нестандартное подключение триггера





Схемотехника ЭВМ

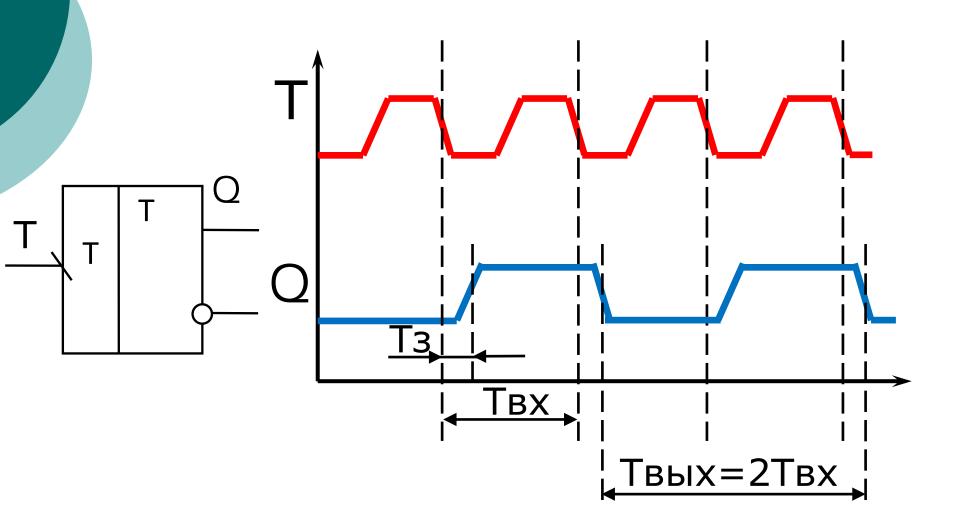
Счетчики

Счетчик – устройство, запоминающее количество импульсов, поступивших на его вход.

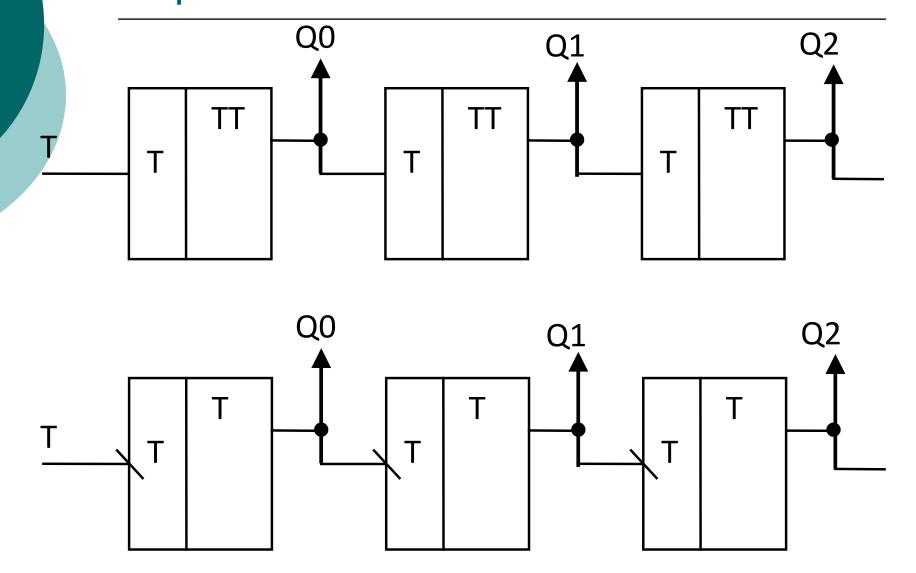
Классификация

- По направлению счета: прямые, обратные, реверсивные
- По организации переноса: с последовательным переносом и с ускоренным переносом
- о По коэффициенту пересчета

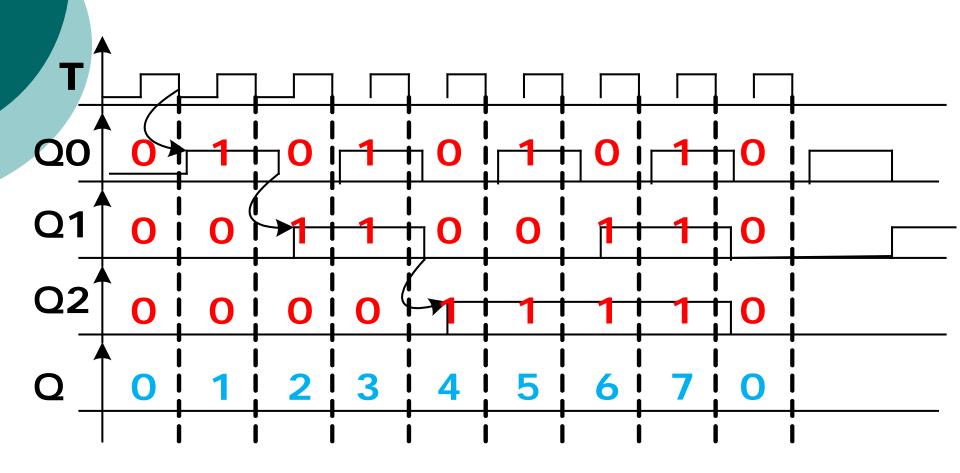
Счетчик строится на основе Т-триггеров



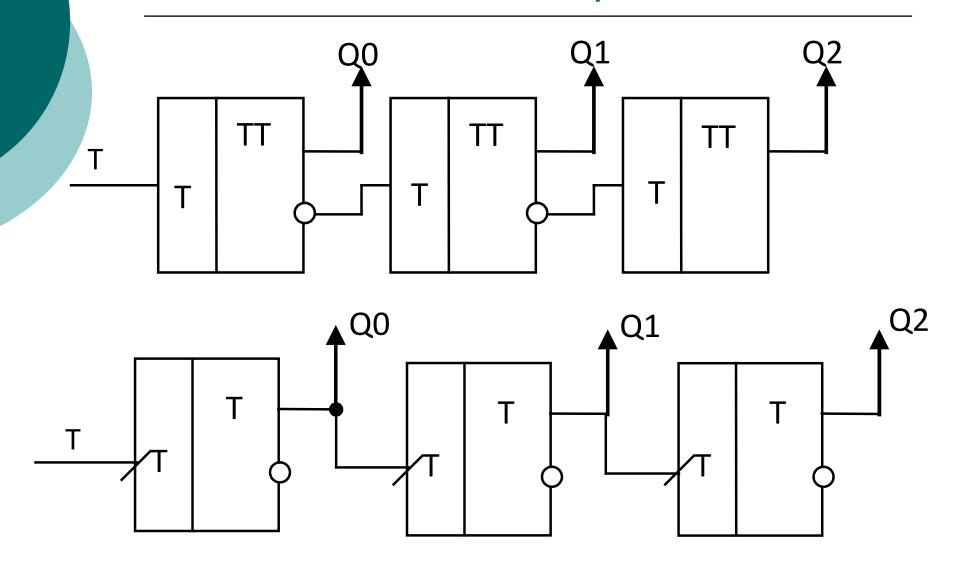
Счетчик с последовательным переносом



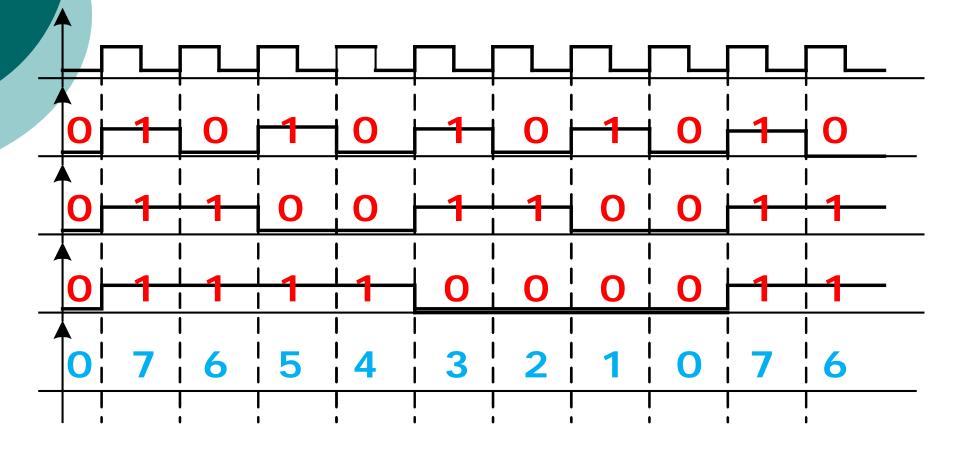
Работа прямого счетчика



Обратный счетчик с последовательным переносом



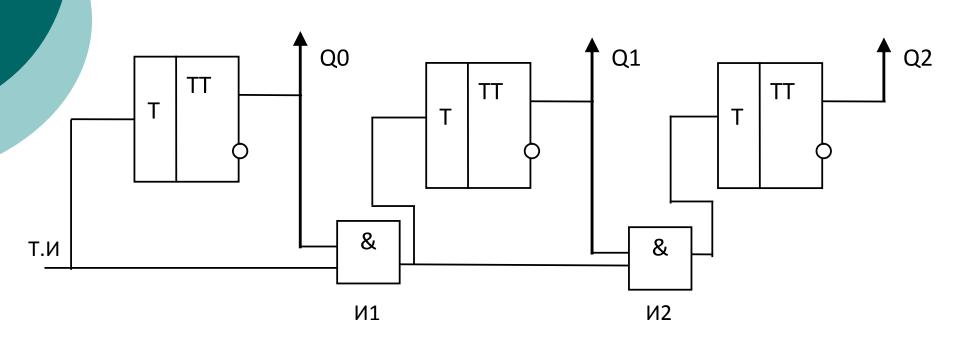
Обратный счет



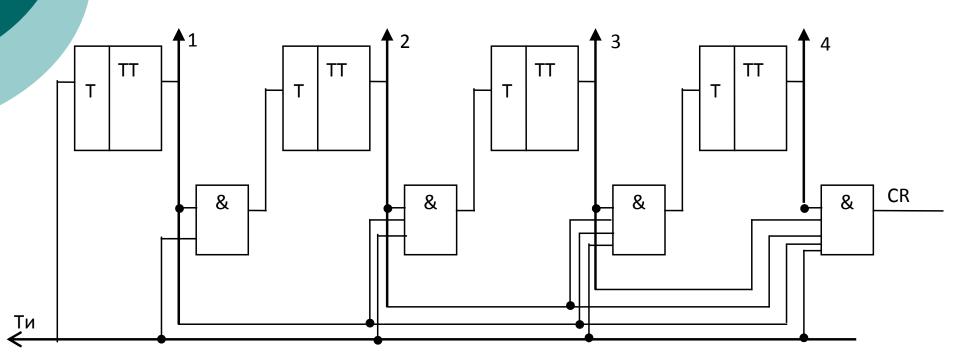
Ускоренный перенос

- о Сквозной
- Параллельный
- о Групповой

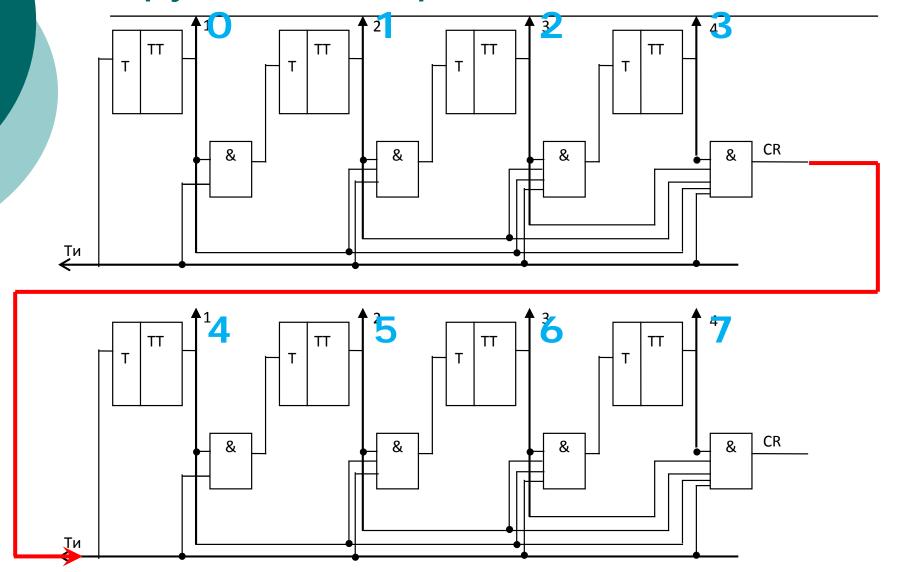
Сквозной перенос



Параллельный перенос



Групповой перенос



Комбинационные схемы

Шифратор - это КС, которая преобразует сигнал, поданный на один из его входов, в двоичный код этого входа

УГО шифратора

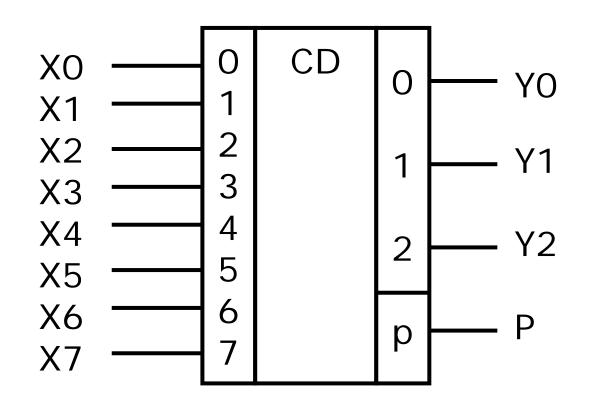


Таблица истинности шифратора

X _o	X ₁	X ₂	X ₃	X ₄	X ₅	X ₆	X ₇	Y ₂	Y ₁	Y ₀	Р
1	0	0	0	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	0	1	1
0	0	1	0	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	0	1	1	1
0	0	0	0	1	0	0	0	1	0	0	1
0	0	0	0	0	1	0	0	1	0	1	1
0	0	0	0	0	0	1	0	1	1	0	1
0	0	0	0	0	0	0	1	1	1	1	1
0	0	0	0	0	0	0	0	0	0	0	0

Шифратор – логическая функция

$$y0 = x1 v x3 v x5 v x7$$

 $y1 = x2 v x3 v x6 v x7$
 $y2 = x4 v x5 v x6 v x7$

$$p = x0 v x1 v x2 v x3 v x4 v x5 v x6 v x7 = x0 v y0 v y1 v y2$$

Табпина истинности приоритетного

шифратора											
X ₀	X ₁	X ₂	X_3	X ₄	X ₅	X ₆	X ₇	Y ₂	Y ₁	Y ₀	Р
1	*	*	*	*	*	*	*	0	0	0	1
0	1	*	*	*	*	*	*	0	0	1	1
0	0	1	*	*	*	*	*	0	1	0	1
0	0	0	1	*	*	*	*	0	1	1	1
0	0	0	0	1	*	*	*	1	0	0	1
0	0	0	0	0	1	*	*	1	0	1	1
0	0	0	0	0	0	1	*	1	1	0	1
0	0	0	0	0	0	0	1	1	1	1	1

Приоритетный шифратор – логическая функция

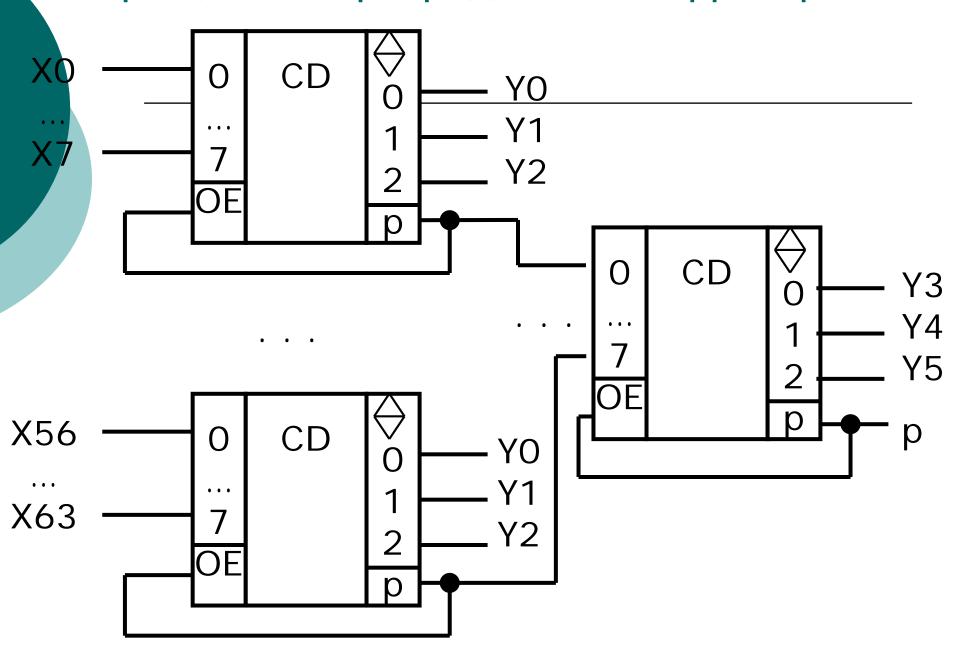
$$y0 = \overline{x0}x1 \ v \ \overline{x0}x2x3 \ v \ \overline{x0}x2\overline{x4}x5 \ v \ \overline{x0}x2\overline{x4}x6$$

$$y1 = ...$$

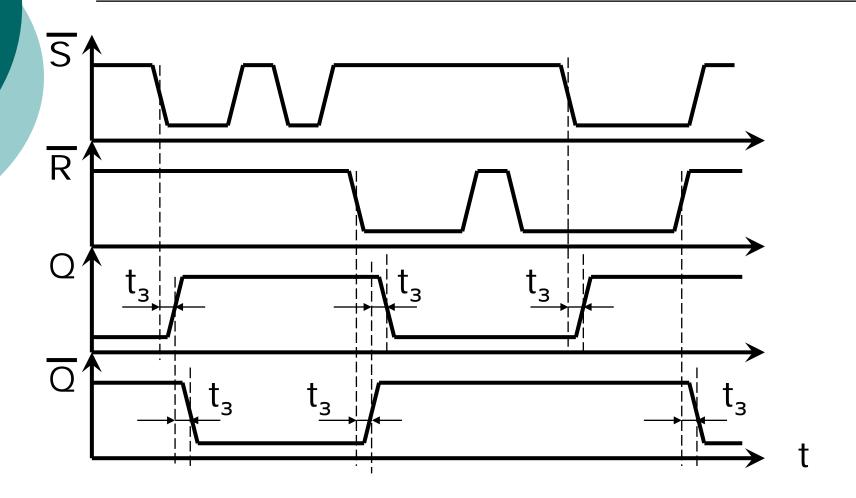
$$y2 = ...$$

$$p = x0 v x1 v x2 v x3 v x4 v x5 v x6 v x7 = x0 v y0 v y1 v y2$$

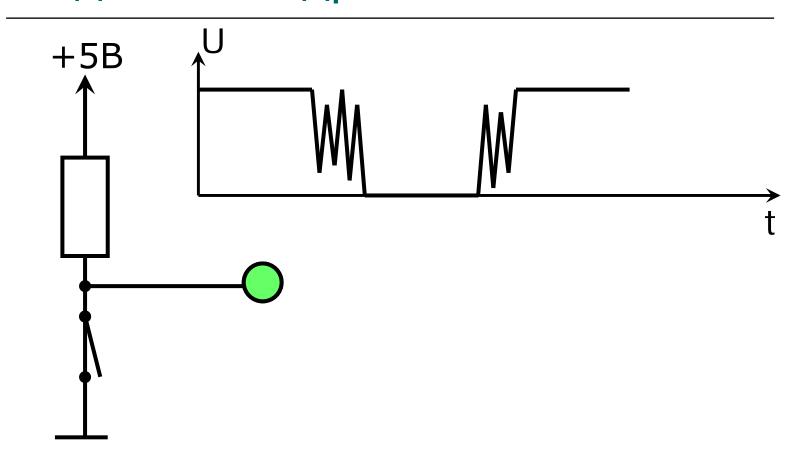
Наращивание разрядности шифратора



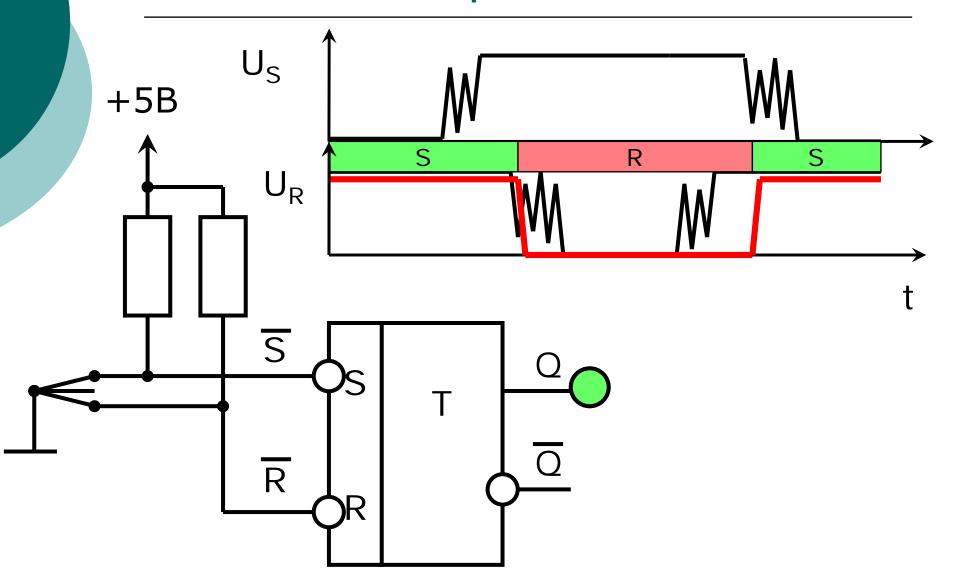
Временная диаграмма (б. Шеффера)



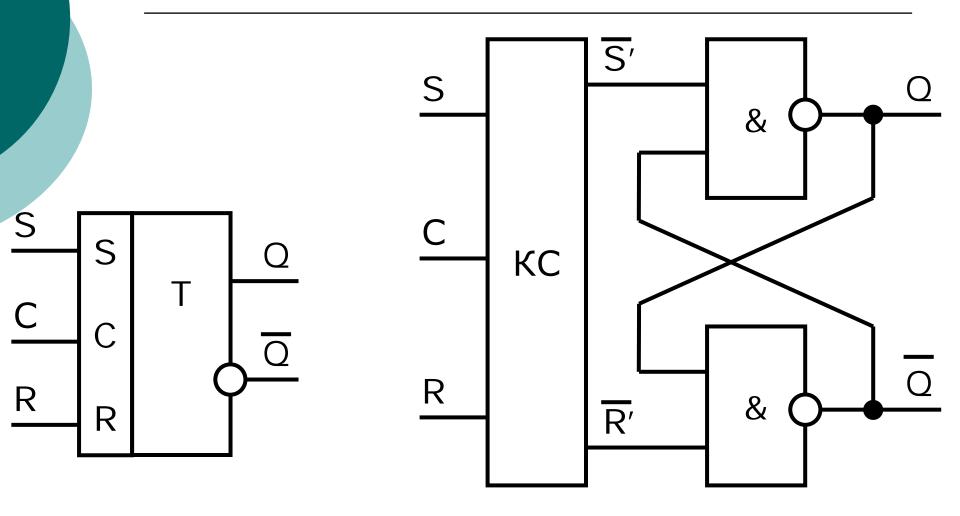
Подавление дребезга контактов



Подавление дребезга контактов



Одноступенчатый синхронный RS-Триггер



Одноступенчатые синхронные триггеры

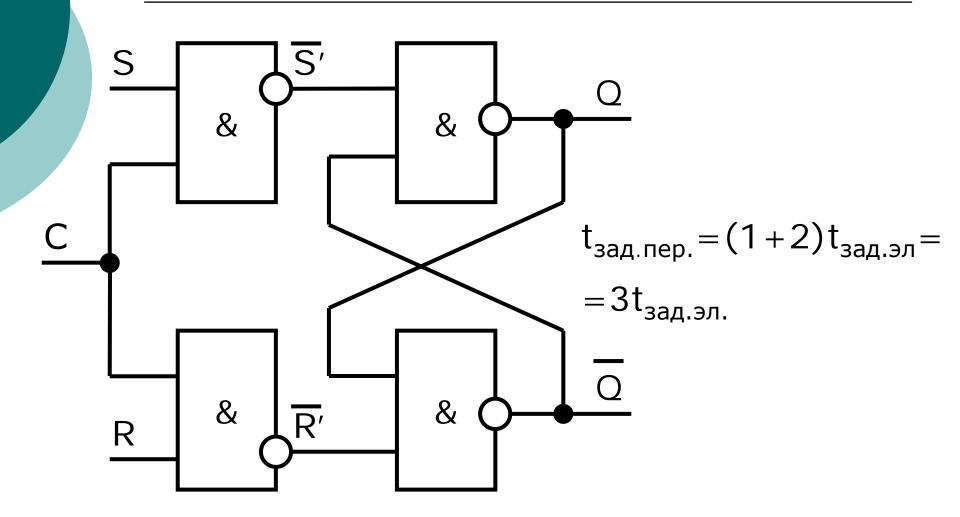
$$S' = S&C$$

$$R' = R&C$$

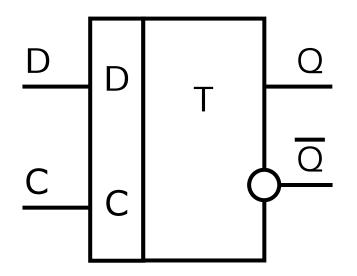
$$\overline{S'} = S | C$$

$$R' = R \mid C$$

Одноступенчатый синхронный RS-Триггер

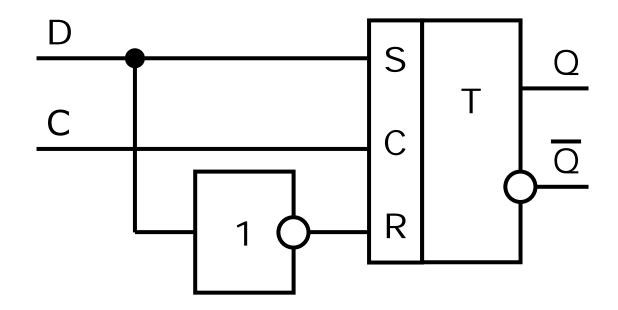


Одноступенчатый D-триггер

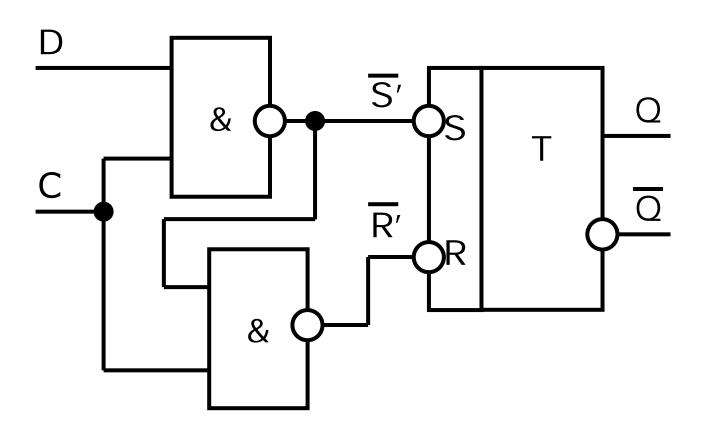


D	С	Q
0	1	O
1	1	1
*	O	O _{t-1}

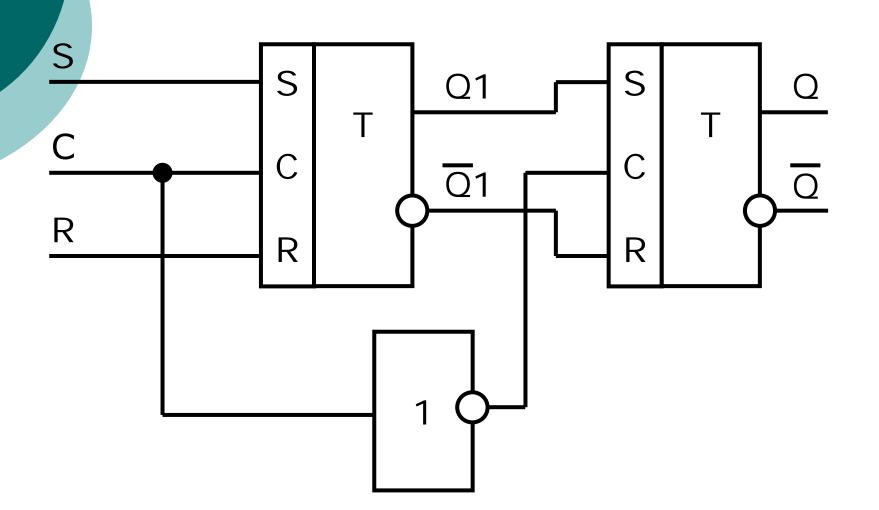
Одноступенчатый D-триггер



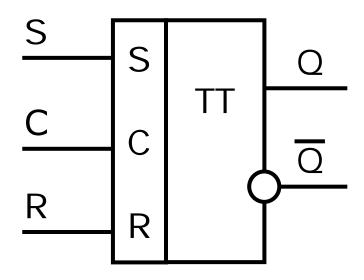
Одноступенчатый D-триггер



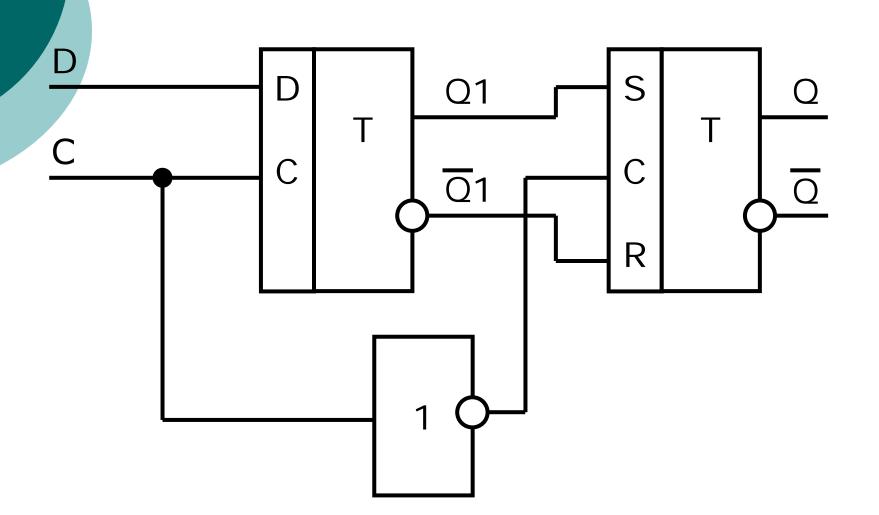
Двухступенчатый RS-триггер



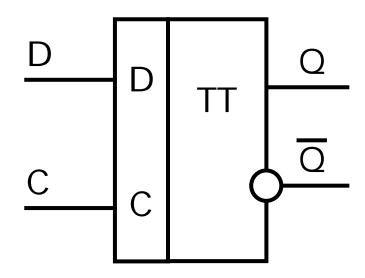
Двухступенчатый RS-триггер



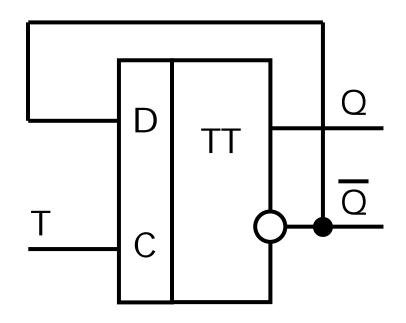
Двухступенчатый D-триггер



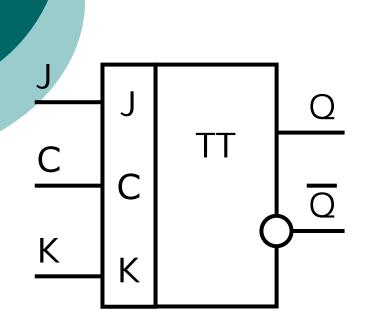
Двухступенчатый D-триггер



Двухступенчатый Т-триггер

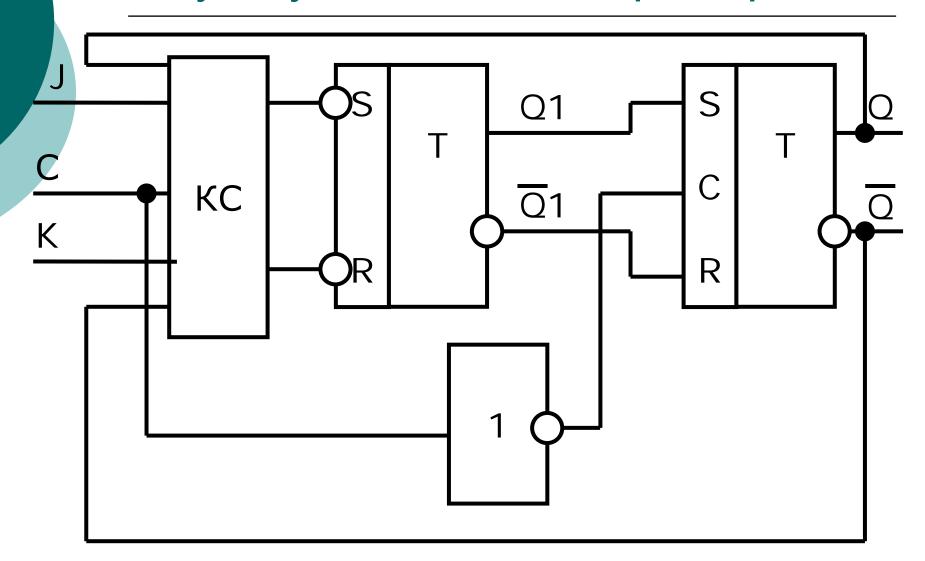


Двухступенчатый ЈК-триггер

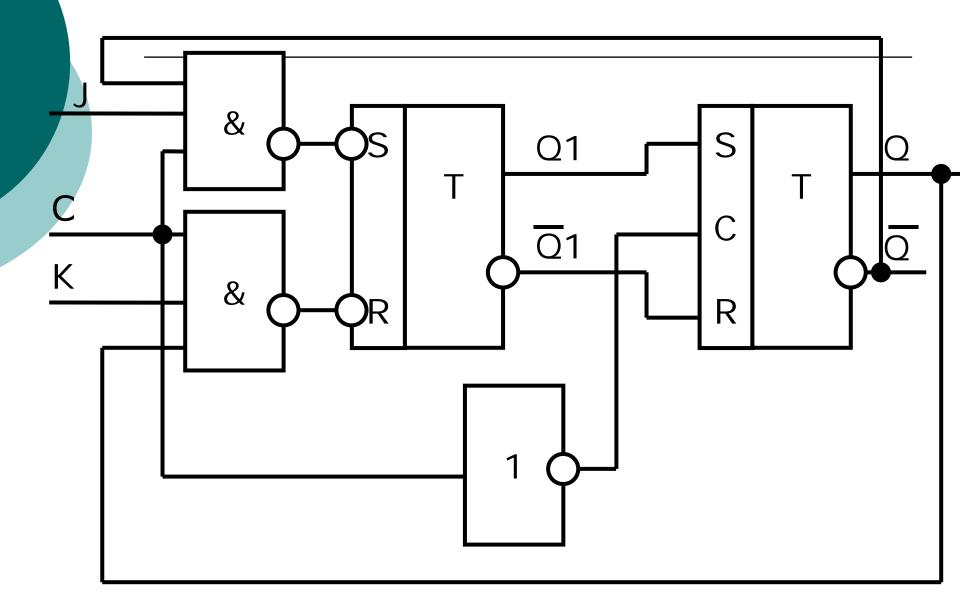


J	K	Q _t	O _{t+1}	Режим
0	0	0	0	Хранение
0	0	1	1	
0	1	0	О	Запись
0	1	1	0	«O»
1	0	0	1	Запись
1	0	1	1	«1»
1	1	0	1	Переклю-
1	1	1	0	чение

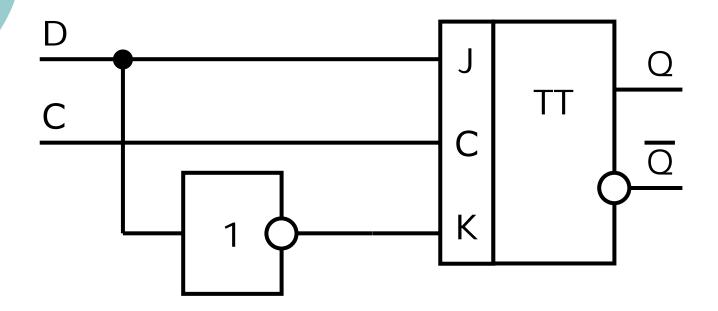
Двухступенчатый ЈК-триггер



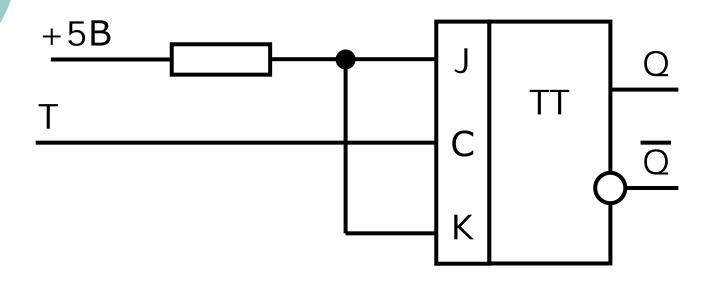
Двухступенчатый ЈК-триггер



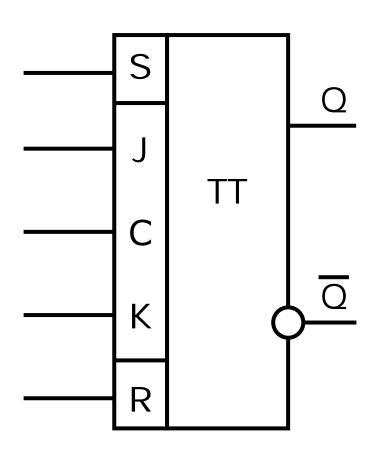
Построение D-триггера на основе JK-триггера



Построение Т-триггера на основе JK-триггера



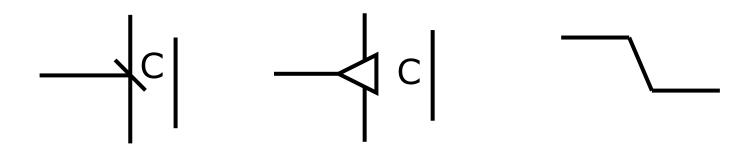
Комбинированный триггер



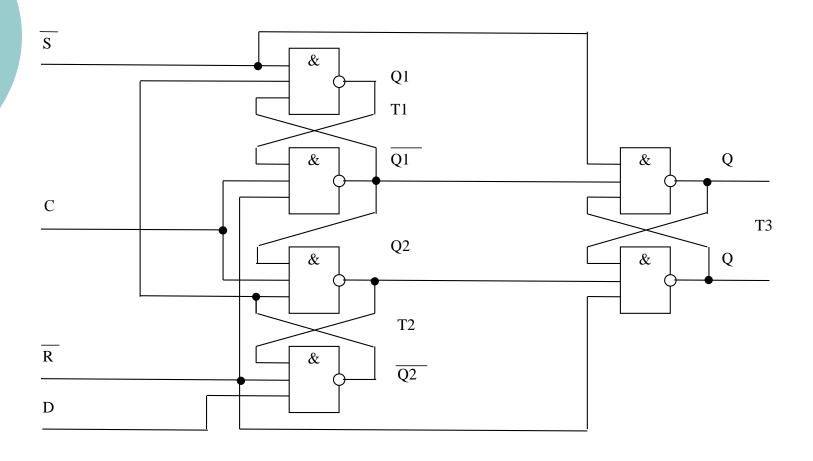
Динамическая синхронизация

По подъему С
c — С

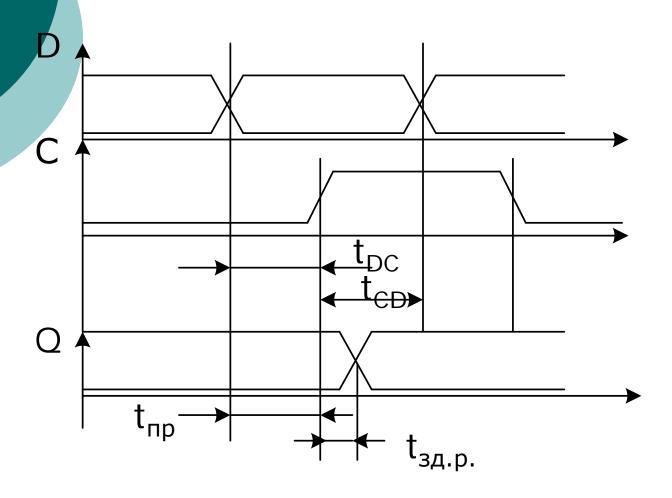
По спаду С

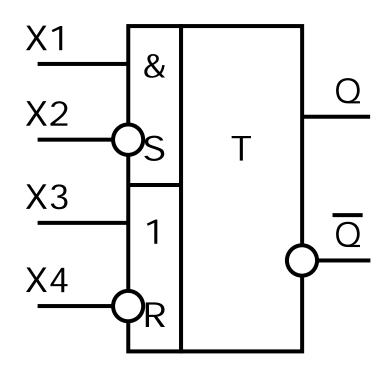


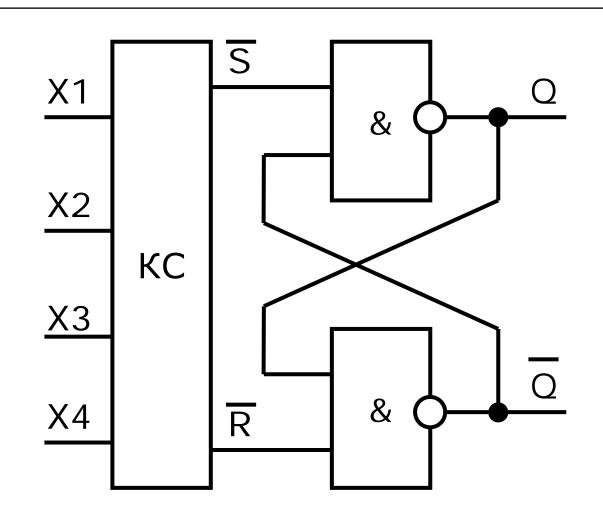
Триггер ТМ2



Триггер ТМ2

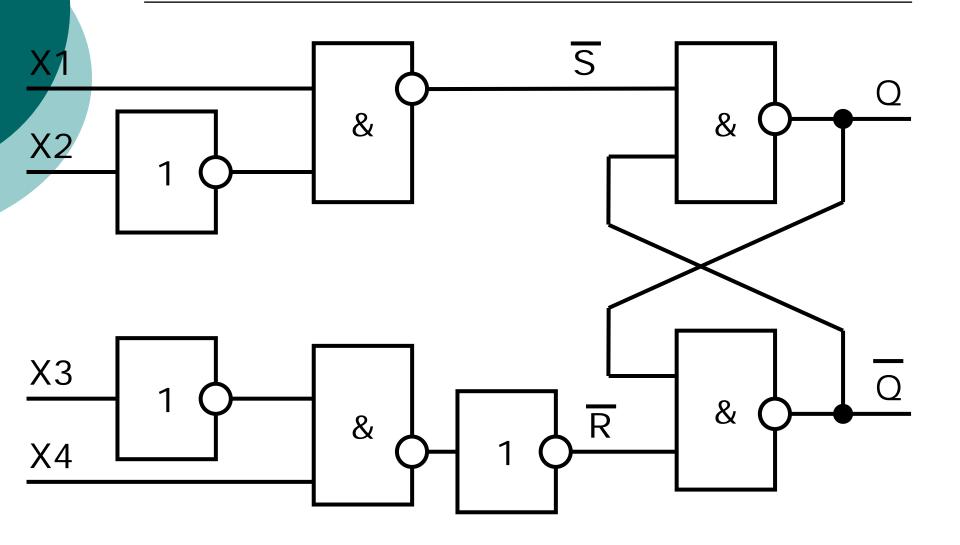




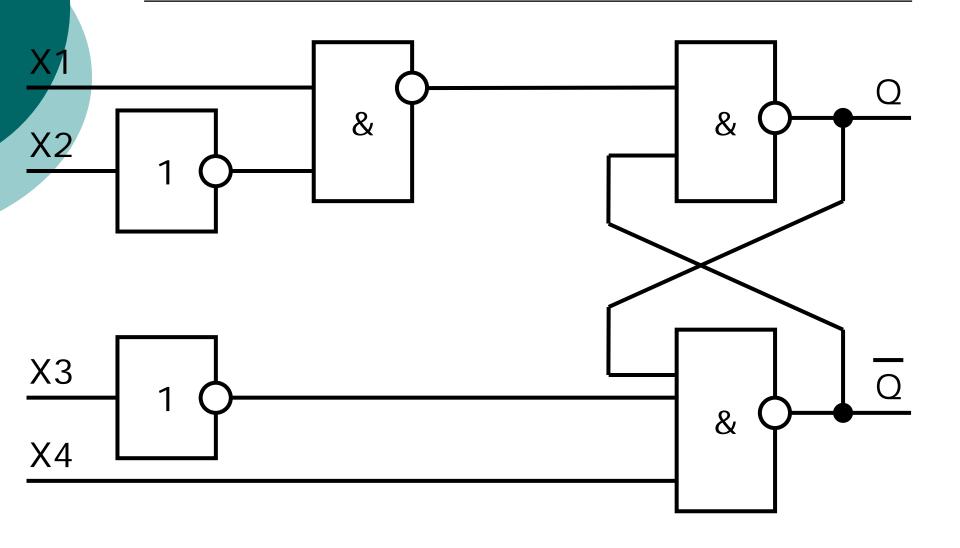


$$\overline{S} = X1 \& \overline{X2} = X1 | \overline{X2}$$

$$R = X3 \lor X4 = X3 \& X4 = X3 | X4$$



$$\overline{Q} = Q \& \overline{R} = Q \& \overline{X3} \& X4$$



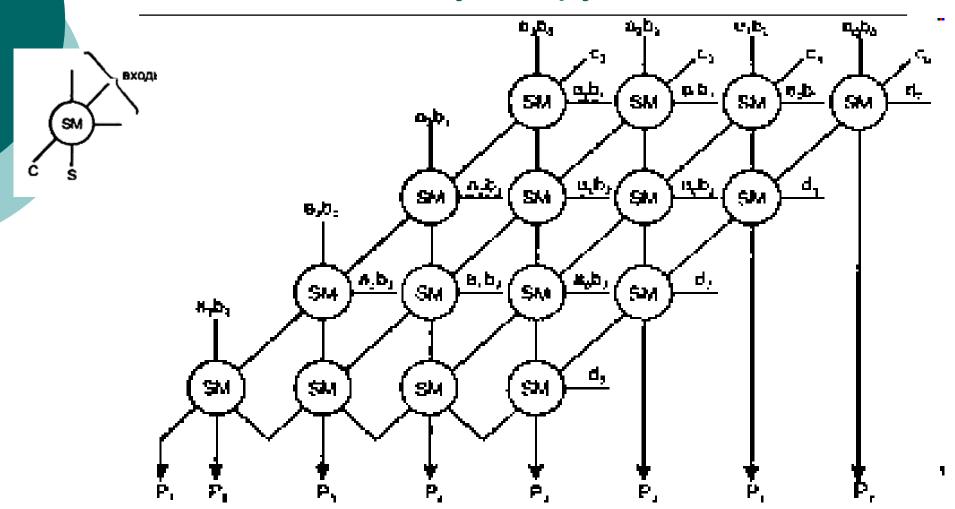
Схемотехника ЭВМ

Матричные умножители

Структура операции умножения

			₩	a,	az	a _l	\mathbf{a}_0
				\mathbf{b}_3		, b ₂	$\mathfrak{b}_{\mathfrak{l}}$
				a ₃ b ₀	a _Z b _C	a ₁ ხ ₀	$a_0 b_0$
+ a ₃ b ₃			a_3b_1	$\mathbf{a}_2\mathbf{b}_1$	a_1b_1	a_0b_1	
		a_1b_2	a_2b_2	a_1b_2	a_0b_2		
	a_3b_3	a)bj	a_1b_3	a ₀ b ₃			
<i>ν</i> ₇	P6	Ps	P4	p,	рį	\mathfrak{p}_1	P ₀

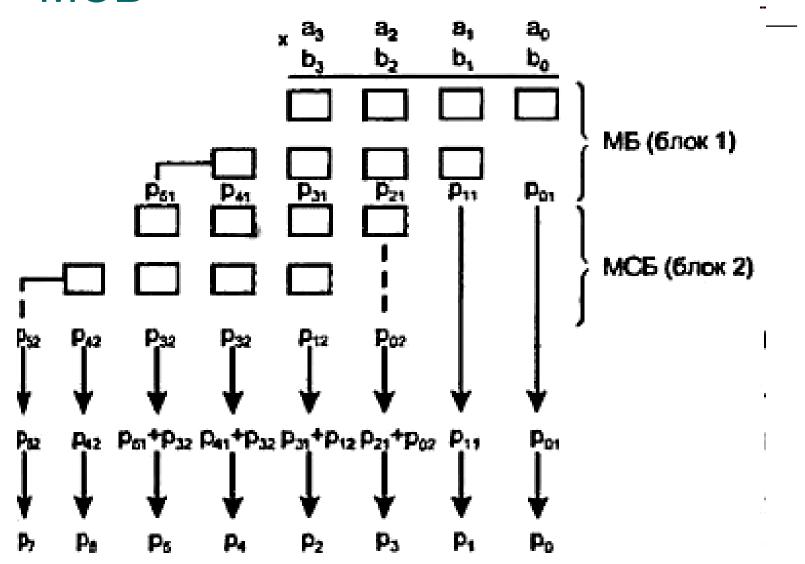
Множительно-суммирующие блоки



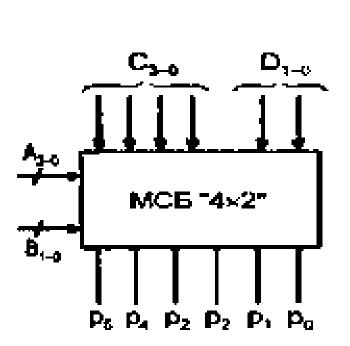
Результат

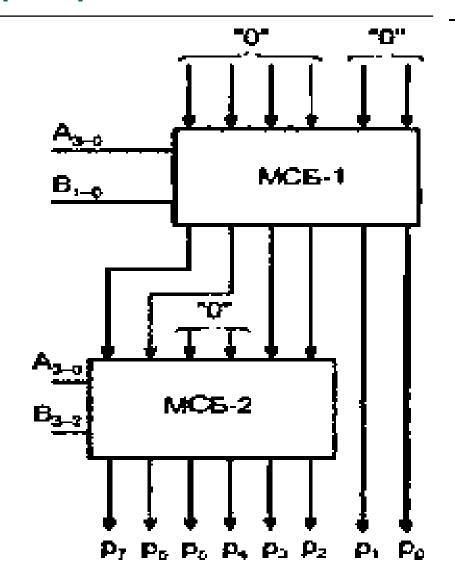
$$P = Am \times Bn + Cm + Dn$$

МСБ



Наращивание разрядности





Задержка

$$tMPL = t\kappa + (2n - 1)tsM$$