

ВОПРОСЫ

для подготовки к экзамену по дисциплине «Организация ЭВМ и систем»

Раздел 1. Основные устройства ЭВМ

1. Задачи и структура курса. Предложения по улучшению содержания и формы проведения лекций, практических занятий, лабораторных работ, организации зачета и экзамена.
2. ОУ: реализация микроопераций и формирование логических условий, организация межрегистровых связей. Базовые структуры ОУ.
3. Повышение быстродействия ОУ. Конвейерные ОУ.
4. Сокращение аппаратных затрат ОУ. Функциональная интеграция как метод сокращения аппаратных затрат ОУ.
5. Устройство управления с программируемой логикой (УУПЛ): структура и микрокомандный цикл.
6. УУПЛ: способы кодирования микроопераций.
7. УУПЛ: формирование адреса микрокоманды с учетом логических условий.
8. Основные виды запоминающих устройств (ЗУ). Адресные ЗУ. ЗУ типа стек и очередь.
9. Ассоциативные ЗУ.
10. Применение ПЗУ для обработки информации.
11. Назначение, классификация и технические параметры вычислительных устройств (ВУ).
12. Дискретный преобразователь как математическая модель ВУ. Структура и рабочий цикл ВУ.
13. ВУ: дешифрация кода операции с помощью преобразователя начального адреса.
14. ВУ: расчет времени выполнения микрокоманды, конвейерное выполнение микрокоманд.
15. ВУ: оценка аппаратных затрат.
16. Проектирование ВУ как оптимизационный процесс. Этапы проектирования ВУ.

Раздел 2. Процессоры ЭВМ

1. Архитектура процессора (ПР): основные определения, набор операций.
2. Архитектура процессора (ПР): основные определения, форматы команд.
3. Архитектура ПР: система адресации.
4. Архитектура процессора: уровни интерпретации алгоритмов.
5. Архитектура процессора: CISC процессоры.
6. Архитектура процессора: RISC процессоры.
7. Базовые структуры ПР.
8. Расчет номинального быстродействия и производительности ПР.
9. Конвейер команд: этапы, ускорение, эффективность, пропускная способность.
10. Конвейер команд: структурный риск, риск по данным, риск по управлению.
11. Конвейер команд: решение проблемы условных переходов.
12. Суперконвейерные процессоры.
13. Суперскалярные процессоры: структура, назначение основных блоков.
14. Суперскалярные процессоры: стратегии выдачи и завершения команд.
15. Суперскалярные процессоры: переименование регистров.
16. Суперскалярные процессоры: переупорядочивание команд (окна команд).

Раздел 3. Системы прерывания программ

1. Основные формы эксплуатации ЭВМ: однопрограммный режим, режим непосредственного доступа, режим реального времени.
2. Основные формы эксплуатации ЭВМ: многопрограммный режим и его особенности в современных персональных ЭВМ и глобальных вычислительных сетях.
3. Особенности структур ЭВМ III и IV поколений.
4. Особенности структур современных ЭВМ.
5. Основные средства реализации многопрограммной работы ЭВМ.
6. Прерывание программ: основные определения, временные характеристики.
7. Прерывание программ: глубина прерываний, насыщение системы прерываний, допустимый момент прерывания.
8. Основные фазы процесса прерывания программ.

9. Пример аппаратуры прерывания с маскированием запросов на прерывание.
10. Краткая характеристика интегральной микросхемы 580BH59.
11. Микропрограммные прерывания.
12. Таймеры.
13. Краткая характеристика интегральной микросхемы 580BI53.
14. Организация ввода-вывода: программный обмен.
15. Организация ввода-вывода: обмен с использованием системы прерываний.
16. Организация ввода-вывода: обмен с прямым доступом в память.

Раздел 4. Организация памяти

1. Многоуровневая организация памяти (виды и характеристики памяти).
2. КЭШ-память: основные определения и характеристика, стратегии записи и замещения, виды.
3. Статическое и динамическое распределение памяти. Фрагментация памяти.
4. Сегментная организация памяти, преобразование математического адреса в физический, использование КЭШ-регистров.
5. Страничная организация памяти, преобразование математического адреса в физический, использование КЭШ-регистров.
6. Концепция виртуальной памяти. Замещение страниц.
7. Защита памяти: метод граничных адресов.
8. Защита памяти: метод ключей.
9. Защита памяти: метод привилегий.
10. Краткая характеристика архитектуры микропроцессоров PENTIUM.
11. Организация памяти в микропроцессоре PENTIUM: преобразование эффективного адреса в линейный.
12. Особенности сегментной организации памяти в микропроцессоре PENTIUM.
13. Организация памяти в микропроцессоре PENTIUM: преобразование линейного адреса в физический.
14. Особенности страничной организации памяти в микропроцессоре PENTIUM.
15. Организация памяти в микропроцессоре PENTIUM: буфер ассоциативной трансляции: назначение и структура.
16. Общая схема преобразования виртуального адреса в физический в процессоре Itanium.

Раздел 5. Вычислительные системы

1. Модель вычислений: тип языка программирования и характер вычислений.
2. Модель вычислений: механизмы управления и передачи данных.
3. Архитектура параллельных ЭВМ: число потоков команд и данных.
4. Особенности организации параллельных ЭВМ.
5. Организация многопроцессорных ЭВМ: виды связи и способы связи.
6. Организация многопроцессорных ЭВМ: состав, управление, синхронизация.
7. Вычислительные системы с явным параллелизмом команд. Архитектура Intel Itanium: основные принципы.
8. Itanium: спекуляция по управлению и данным.
9. Itanium: выполнение команд «под предикатами».
10. Itanium: использование регистрового стека при вызове процедур.
11. Itanium: вращение регистров.
12. Itanium: связки команд и типы функциональных исполнительных устройств.
13. Внешние запоминающие устройства.
14. Мониторы.
15. Принтеры.
16. Устройства ввода информации.