

Resumo - Circuitos somadores e meio somadores são circuitos que realizam operações aritméticas de soma e subtração, dependendo da entrada de bits de cada variável. Devido a construção lógica do circuito ele irá construir uma nova cadeia de números binários que resultam na soma dos dois números inseridos inicialmente. Veremos neste relatório como se dá essa construção do algoritmo do circuito.

Objetivo - O desenvolvimento de plantas gráficas de circuitos somadores e meio somadores tem como objetivo pôr em prática o conhecimento adquirido em aula e além disso e desenvolver a abstração e domínio deste conteúdo para futuras aplicações em projetos de estudo, matérias do ensino superior que tenham como pré-requisito o entendimento do funcionamento de circuitos digitais, ou até mesmo em ambientes de trabalho.

Requisito 1: montar e simular em software (Proteus ou similares) um circuito somador de dois números de 3 bits;

Para montagem e simulação dos circuitos utilizou-se o software: Intel Quartus, versão prime lite edition; Versão grátis. Este software possibilita a criação de circuitos lógicos a partir de portas primitivas e “encapsular em caixa preta” para simplificar o desenho do circuito. Sendo assim foram realizados vários encapsulamentos a partir dos circuitos mais simples para reutilização em circuitos maiores e mais complexos.

Partindo das informações acima, montou-se primeiramente um circuito somador completo conforme figura 01.

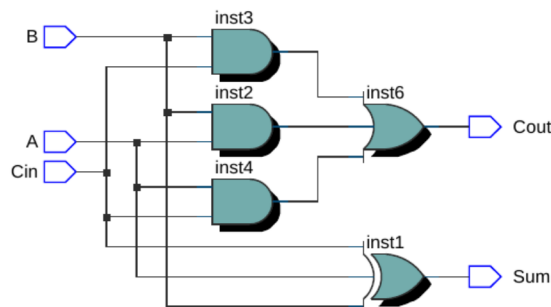


Figura 1

O circuito da figura 1 foi utilizado para gerar um bloco lógico correspondente a figura 02 abaixo:

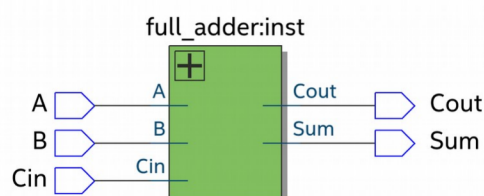


Figura 2

Por fim utilizou-se 3 blocos lógicos apresentado na figura 2 para montar um circuito somador conforme abaixo:

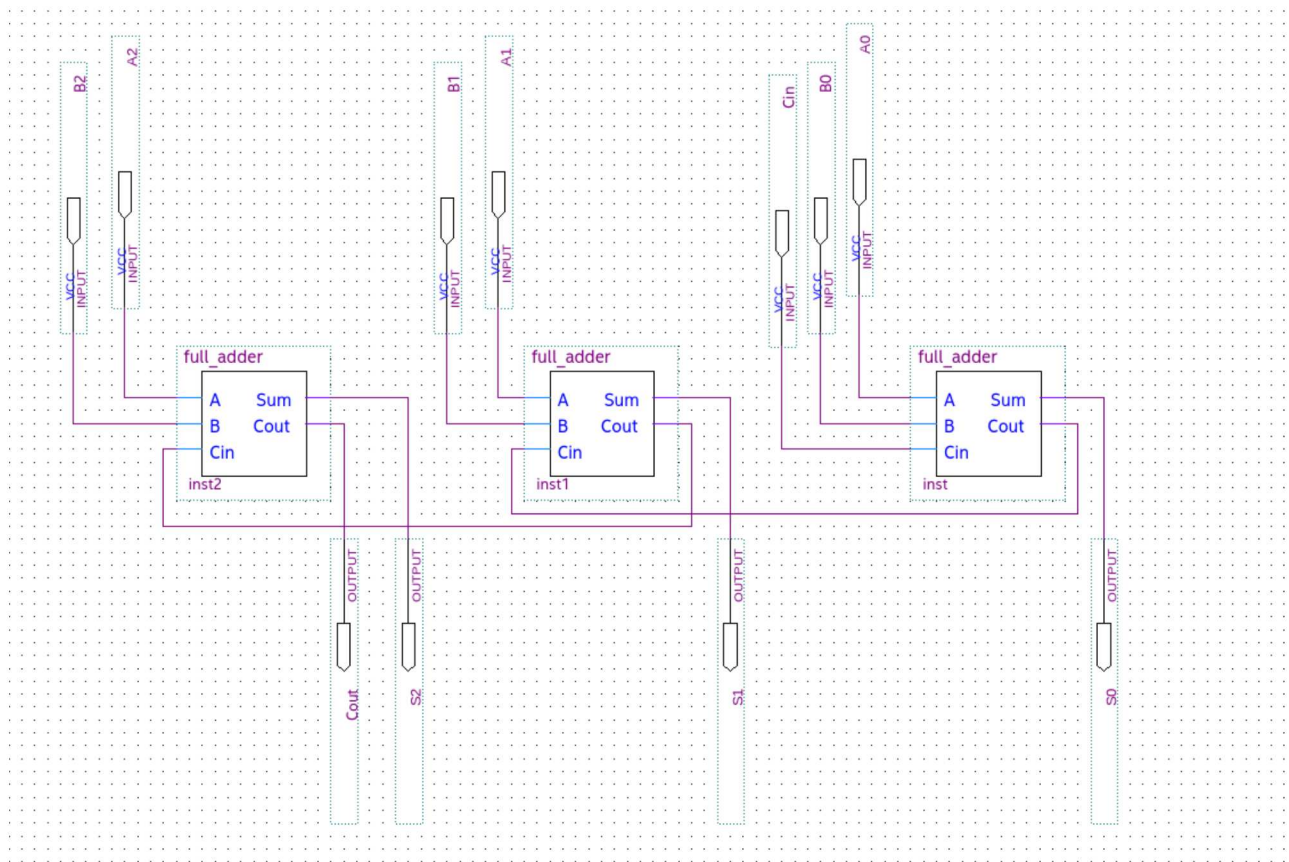


Figura 3

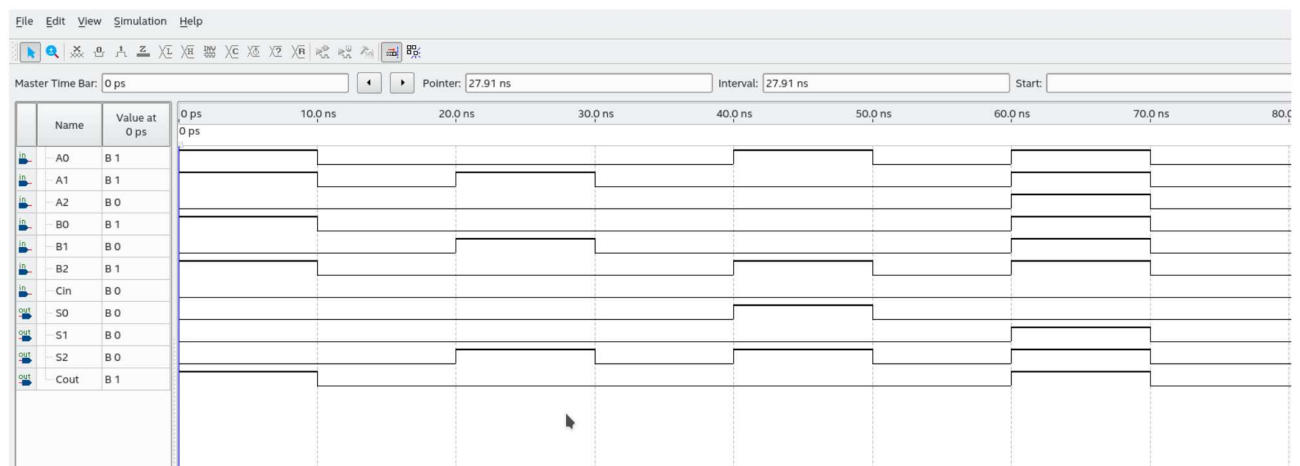


Figura 4

Onde as entradas A2, A1, A0 e B2, B1, B0 representam os números a serem somados e as saídas Cout, S2, S1, S0 o resultado da soma. Na figura 04 apresenta-se a simulação no Quartus II

Na figura 4 efetuou-se a simulação das adições conforme tabela abaixo:

Soma dois números de 3 Bits				
A	011	010	001	111
B	101	010	100	111
Soma	1000	100	101	1110

Requisito 2 - Montar e simular em software (Proteus ou similares) um circuito somador/subtrator de dois números de 3 bits. Este circuito deve ser capaz de realizar quaisquer tipos de operações (soma ou subtração) com quaisquer tipos de números binários inteiros (positivos ou negativos);

Novamente utilizou-se a funcionalidade do Quartus II de gerar blocos lógicos para simplificar o desenho do circuito. Sendo assim para atender os requisitos do enunciado criou-se um bloco lógico com a função de meio somador, outro bloco lógico representando um circuito que gera o complemento A2 de um dado número caso o bit de sinal deste número seja 1 (negativo):

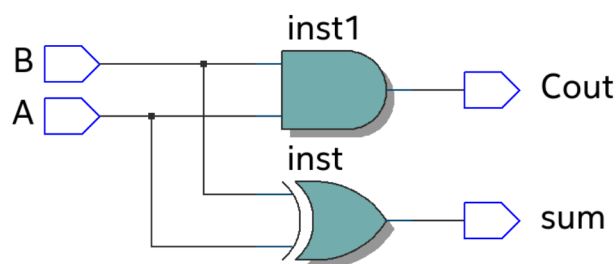


Figura 5: Meio Somador

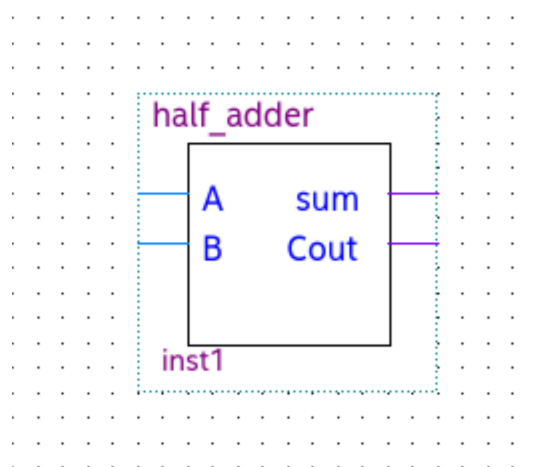


Figura 6: Bloco Lógico Meio Somador

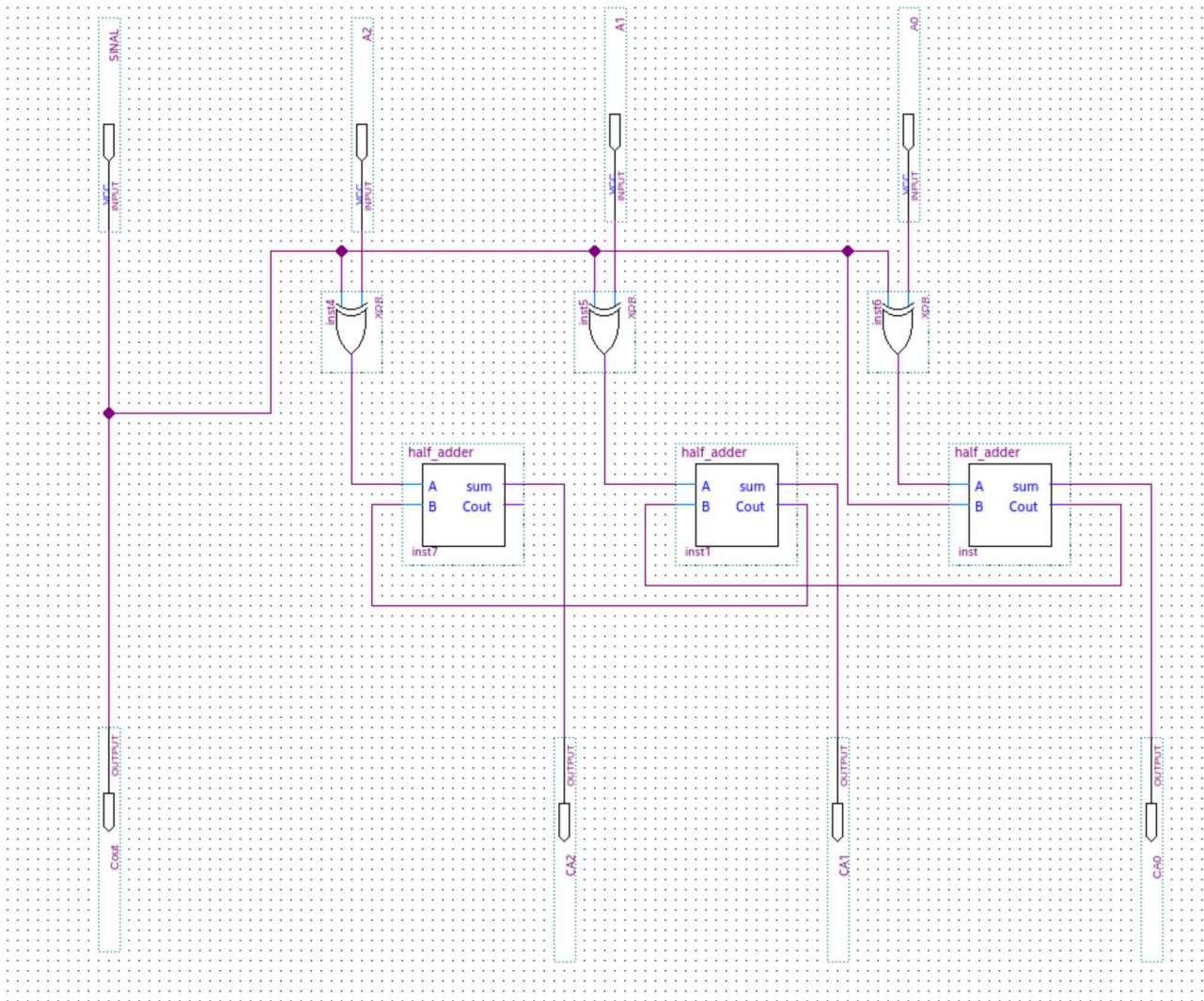


Figura 7: Circuito Complemento 2

Explicação: O circuito permite que os bits das entradas A2, A1, A0 sejam transportados sem alteração para as entradas do bloco meio somador caso o sinal seja “0” e realizando uma adição com “0”, ou seja, os bits de entrada não sofrem alteração para sinal “0”. Quando o sinal de entrada for “1”, as portas ou exclusivo invertem os bits de entrada e em seguida os blocos meio somador adiciona 1, executando-se assim a operação complemento A2 (representação de um número negativo em binário).

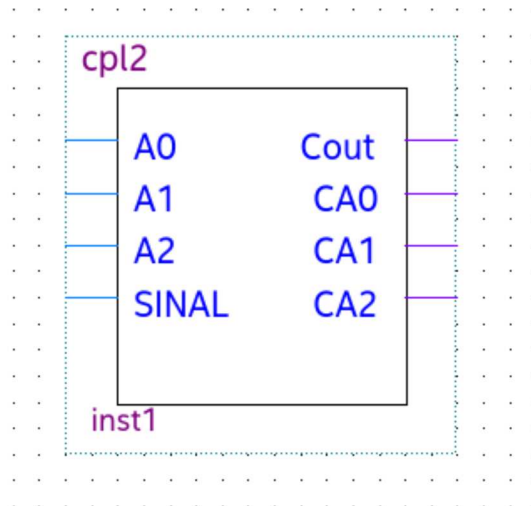


Figura 8: Bloco Lógico Complemento 2

Finalmente para atender os requisitos da questão 2, utilizou-se dois blocos lógicos cpl2 para gerar o complemento A2 se necessário, em seguida realiza-se a soma através de bloco lógico criado a partir do bloco lógico somador completo utilizado na questão anterior.

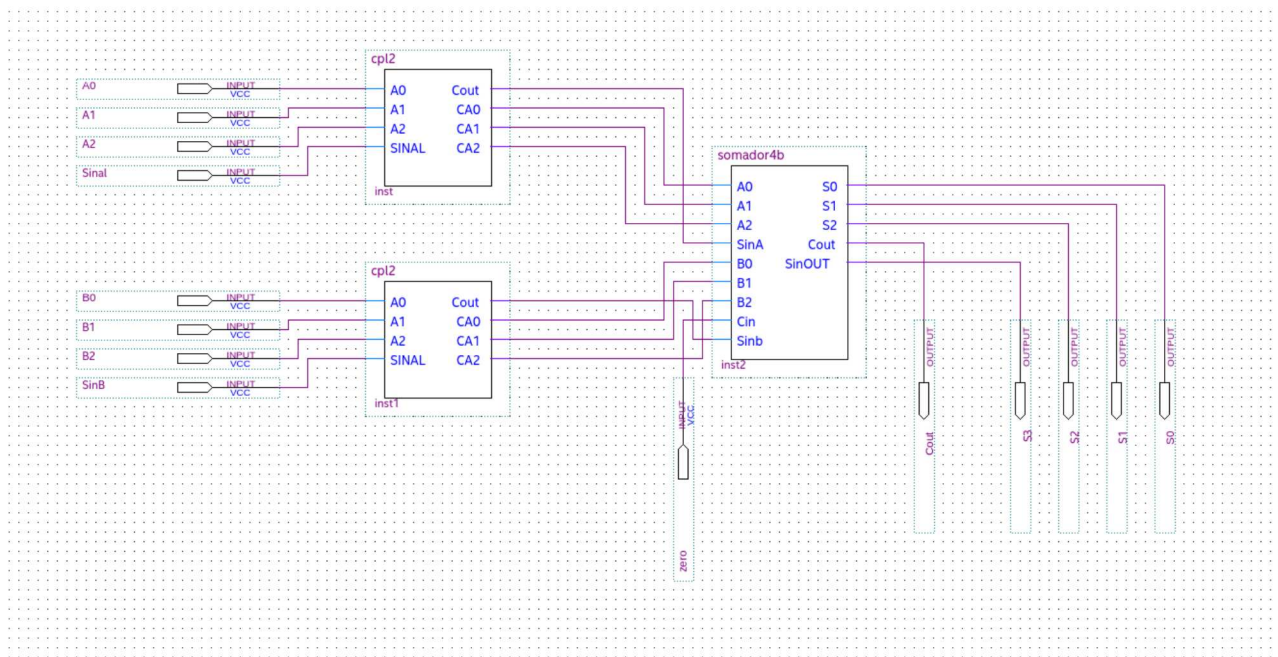


Figura 9: SomadorSubtrator

Soma/Subtração dois números de 3 bits					
A	0101	(5) ₁₀	0101	(5) ₁₀	1101 (-5) ₁₀
B	0011	(3) ₁₀	1011 (-3) ₁₀	0011	(3) ₁₀
Resultado	1000	(8) ₁₀	0010	(2) ₁₀	1110 (-2) ₁₀

Obs.: Os números em destaque, não estão em complemento A2, o bit mais significativo apenas informa que o número representado pelos próximos 3 bits, deverá ser representado em complemento A2, ou seja, o número 1011 informa ao bloco lógico CPL2 que o número 3 na base 10 deverá ser representado em complemento A2 por se tratar de número negativo.

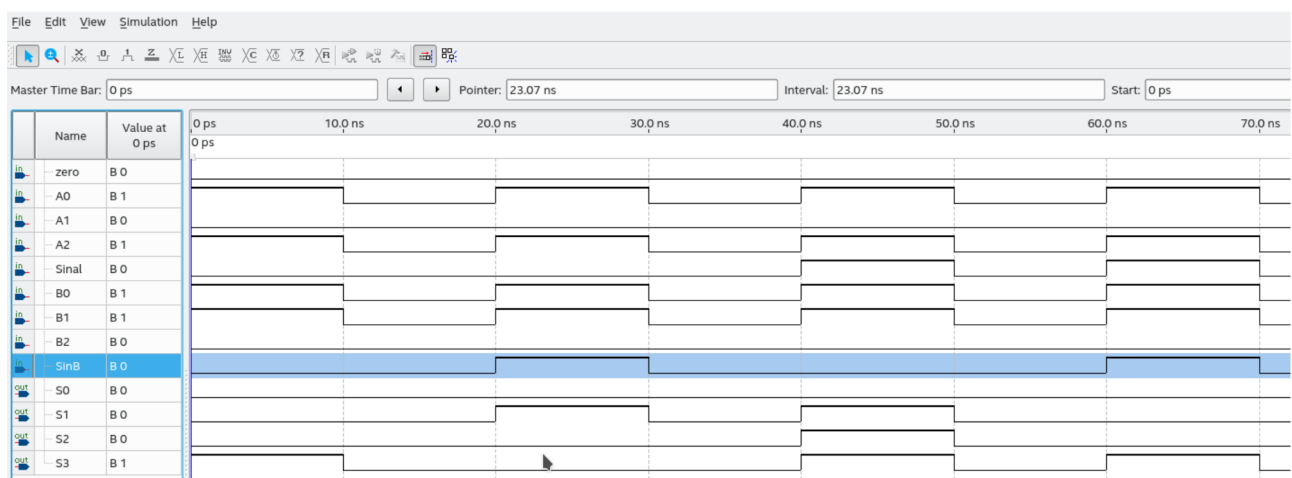


Figura 10: Simulação SomadorSubtrator

Requisito 3 - Código em VHDL de um circuito somador em BCD (Os números devem ser somados em BCD e o resultado mostrado em BCD);

```
library IEEE;
use IEEE.std_logic_1164.all;
USE ieee.std_logic_unsigned.all ;
entity somadorBCD is port
    (
        X, Y    : IN STD_LOGIC_VECTOR(3 DOWNTO 0);
        S       : OUT STD_LOGIC_VECTOR(4 DOWNTO 0);
    );
end somadorBCD;

architecture hardware of somadorBCD is
    SIGNAL Z : STD_LOGIC_VECTOR(4 DOWNTO 0) ;
    SIGNAL Adjust : STD_LOGIC ;

begin

    Z <= ('0' & X) + ('0' & Y) ;
    Adjust <= '1' WHEN Z > 9 ELSE '0' ;
    S <= Z WHEN (Adjust = '0') ELSE Z + 6 ;

end architecture hardware;
```

Conclusão - Com a estrutura lógica apresentada em nossos estudos verificamos e provamos como o circuito lógico nos devolve saídas de operações aritméticas de soma e subtração, assim tomando o devido cuidado e tendo conhecimento de encaixar corretamente as conexões lógicas que têm equivalência com determinadas tabelas verdades, para assim, adquirir resultados corretos das nossas operações.