

**Οργάνωση Υπολογιστών
(HPY302)
Εαρινό εξάμηνο 2024-2025**

Εργαστηριακή Αναφορά Άσκησης 3
“Σχεδίαση Επεξεργαστή PIPELINE”

PIPELINE CPU

Φοιτητές:

Χρήστος Χρήστου | AM: 2018030126
Γιώργος Νταλιάνης | AM: 2020030045

Σκοπός του πρότζεκτ:

Σκοπός του πρότζεκτ είναι η σχεδίαση και υλοποίηση σε Γλώσσα Περιγραφής Υλικού (Hardware Description Language) VHDL ενός επεξεργαστή με δοσμένο Instruction Set Architecture, στο πρότζεκτ θα δούμε και την προσομοίωση του με τα εργαλεία της Xilinx έτσι ώστε να καταλάβουμε σε ένα ικανοποιητικό βάθος την λειτουργία του καθώς και την αρχιτεκτονική ενός απλού επεξεργαστή.

Στην δεύτερη Άσκηση υλοποιήσαμε έναν επεξεργαστή πολλαπλών κύκλων. Στην παρούσα φάση θα προχωρήσουμε στον σχεδιασμό επεξεργαστή PIPELINED.

Στόχος της τρίτης άσκησης είναι η σχεδίαση και υλοποίηση ενός επεξεργαστή pipeline. Πρόκειται έμπρακτα να ασχοληθούμε τόσο στον σχεδιασμό, την αποσφαλμάτωση, όσο και στην υλοποίηση εκ κατακλείδι. Η τελευταία φάση απαιτεί από τον φοιτητή όχι μόνο κατανόηση μιας απλοϊκής δομής αρχιτεκτονικής υπολογιστών, αλλά μια πιο εκτεταμένη μελέτη, καθώς για να γίνει ο επεξεργαστής pipelined, χρειάστηκαν πολλές βασικές γνώσεις και μελέτη, για στρωθεί το υπόβαθρο για την υλοποίηση της τρίτης άσκησης.

Περιγραφή της Σχεδίασης:

Παρακάτω θα αναλύσουμε τον τρόπο που σχεδιάστηκε ο Επεξεργαστής PIPELINED της Άσκησης 3. Αναλυτικότερα θα δούμε τις αλλαγές του Datapath και του Control. Για την υλοποίηση του Επεξεργαστή. Μια δυσκολία τις υλοποίησης άσκησης υπόκειται στο γεγονός του ότι το PIPELINE θα πρέπει να αναγνωρίζει κινδύνους - hazards, που θα αποτρέψουν την σωστή λειτουργία του. Μέθοδος που ακολουθείται είναι το PIPELINE STALLING (η υλοποίηση του DATA FORWARDING εν παρούσης κάποιων hazards δεν έχει υλοποιηθεί στην άσκηση μας).

Η Ανάλυση των βαθμίδων:

Datapath

Οι αλλαγές στο Datapath είναι ριζικές.

Το IfStage άλλαξε και δεν δέχεται απευθείας είσοδο από το Control. Οι καταχωρητές IFreg, DECreg, EXECreg και MEMreg έχουν αλλάξει ώστε να κρατά την τιμή του προηγούμενου stage, ώστε η εντολή, τα δεδομένα και τα σήματα της να μην χαθούν και να προχωρήσουν στο επόμενο stage. Η Control γράφει τα σήματα ελέγχου στον καταχωρητή DECreg, από εκεί και έπειτα το κάθε stage παίρνει/λαμβάνει τα σήματα ελέγχου που χρειάζεται. Τα δεδομένα - σήματα ελέγχου που ανακτήθηκαν από την Control μεταβένουν σε κάθε καταχωτή ώστε να τα χρησιμοποιήσει το εκάστοτε stage..

Ο καταχωρητής στον οποίο πρέπει να γραφτούν τα δεδομένα (AWR - Address Write Register) χάνεται αφότου μεταβούμε σε επόμενο κύκλο, οπότε λύση είναι να καταχωρείται ο καταχωρητής

εγγραφής δεδομένων Rd, μέχρι και τον τελευταίο καταχωρητή -> MEMreg, ώστε να μην χάνεται η πληροφορία για την διεύθυνση εγγραφής. Το Register File λοιπόν θα διαβάσει τον Rd (καταχωρητής εγγραφής δεδομένων) από τον καταχωρητή MEMreg. Έπειτα δίνεται Write Enable στο Register File και γράφει τα δεδομένα στον καταχωρητή που έχουμε συγκρατήσει, Rd. Τα δεδομένα που θα εγγραφούν είναι ήτε Alu out είτε MEM out, σήμα ελέγχου λαμβάνεται από την Control signals που επίσης έχουμε συγκρατήσει.

Από το DECSTAGE επίσης καταχωρούμε τον καταχωρητή Rb, τα δεδομένα τα οποία διάβασε ο δεύτερος καταχωρητής (Read Register Data 2) του Register File, ώστε να μην χαθεί η πληροφορία που θα μπορεί να χρειαστεί η μνήμη RAM, τα οποία είναι τα δεδομένα που θα εγγραφούν σε αυτή.

Control

Η Control άλλαξε και διαφοροποιείται από τις προηγούμενες μορφές που προηγήθηκαν. Η Control παράγει απαιτούμενα σήματα που θα γραφούν σε καταχωρητή ώστε να μην χάνονται για την εκάστοτε εντολή που θα λαμβάνει χώρα. Δέχεται πλέον μόνο για είσοδο την εντολή (και όχι και το ALU Stage zero flag). Η μορφή της είναι πιο απλοϊκής από των προηγούμενων ασκήσεων αλλά η πολυπλοκότητα μεταφέρθηκε στο Datapath.

Hazard Detection Unit

Επικείμενος κίνδυνος διατρέχει τον PIPELINED CPU όταν χρειάζεται να γράψουμε δεδομένα τα οποία δεν έχουν απαντηθεί ακόμα. Παράδειγμα:

li r1, 6

li r2, 6

add r1, r2, r3.

Όταν η εντολή add μπει στο pipe δεν έχουν εγγραφεί οι καταχωρητές r1, r2 πίσω στο RF, βρίσκονται ακόμα μέσα στο pipe. **Η add δεν μπορεί να προχωρήσει διότι τα δεδομένα που χρειάζεται δεν είναι έτοιμα!** Μέθοδος που ακολουθείται είναι το STALLING. Εισάγουμε εντολή NoOp (x"0000_0000") ώστε το pipe να μείνει αδρανές, αφότου εγγραφούν οι καταχωρητές (write back) στο RF, η επόμενη εντολή θα μπει στο pipe. Θα ακολουθήσει και το διάγραμμα του Hazard Detection Unit.

