
**Πολυτεχνείο Κρήτης
Σχολή ΗΜΜΥ**

**ΟΡΓΑΝΩΣΗ ΥΠΟΛΟΓΙΣΤΩΝ
ΑΝΑΦΟΡΑ ΑΣΚΗΣΗΣ #2**

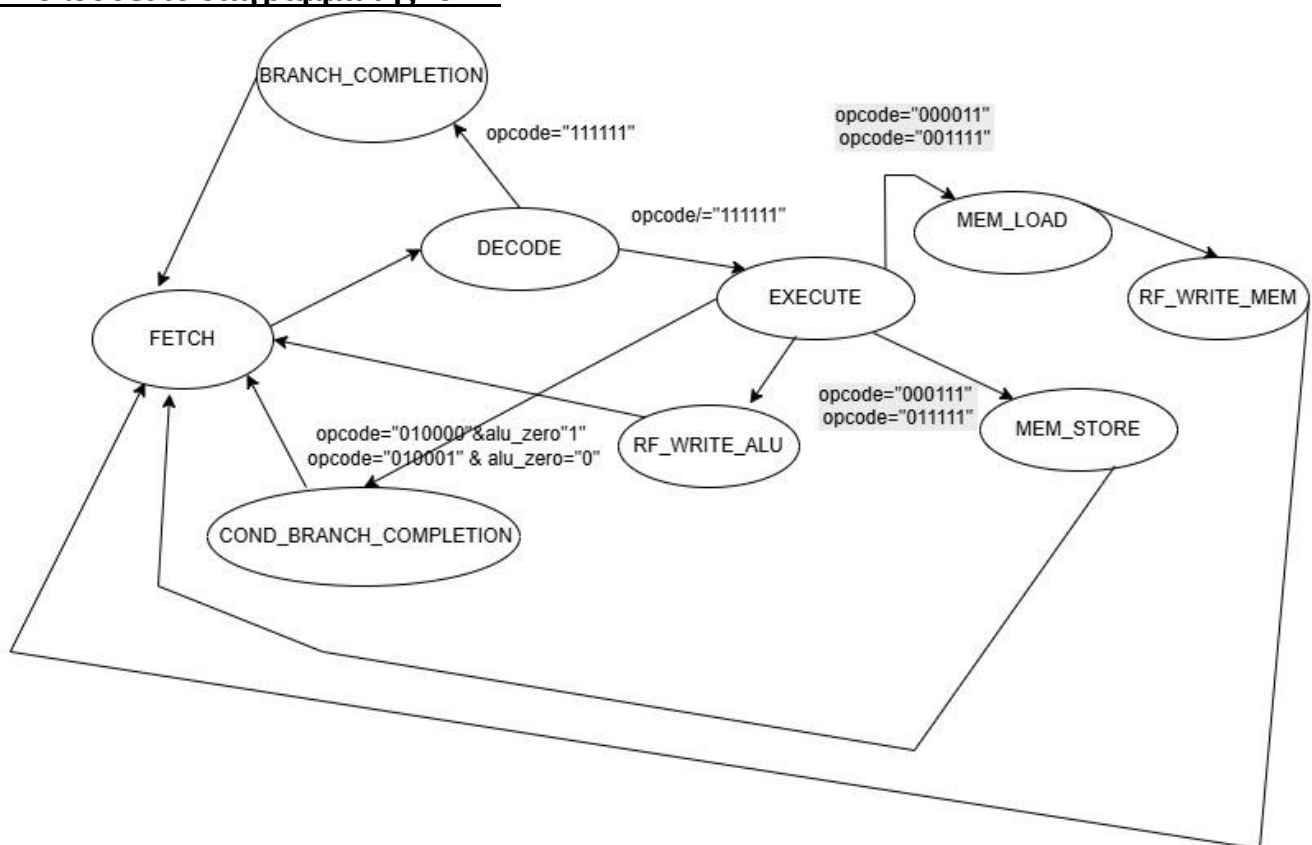
MULTI CYCLE MIPS PROCESSOR

**ΧΡΗΣΤΟΣ ΧΡΗΣΤΟΥ 2018030126
ΝΤΑΛΙΑΝΗΣ ΓΕΩΡΓΙΟΣ 2020030045**

Για την υλοποίηση του **multi cycle** επεξεργαστή γίνεται η χρήση μιας **FSM**. Multi cycle σημαίνει ότι μια εντολή εκτελείται σε πολλούς κύκλους και όχι σε έναν μόνο. Έτσι κάποιες εντολές όπως οι branch εκτελούνται πιο γρήγορα σε αντίθεση με άλλες όπως η load word. Προφανώς χρειάζονται πιο πολλοί κύκλοι για να εκτελεστεί μια εντολή, αλλά ταυτόχρονα μειώνεται το critical path, δηλαδή η μέγιστη απόσταση που πρέπει να διανύσει το σήμα και άρα μπορούμε να αυξήσουμε και τη συχνότητα του ρολογιού.

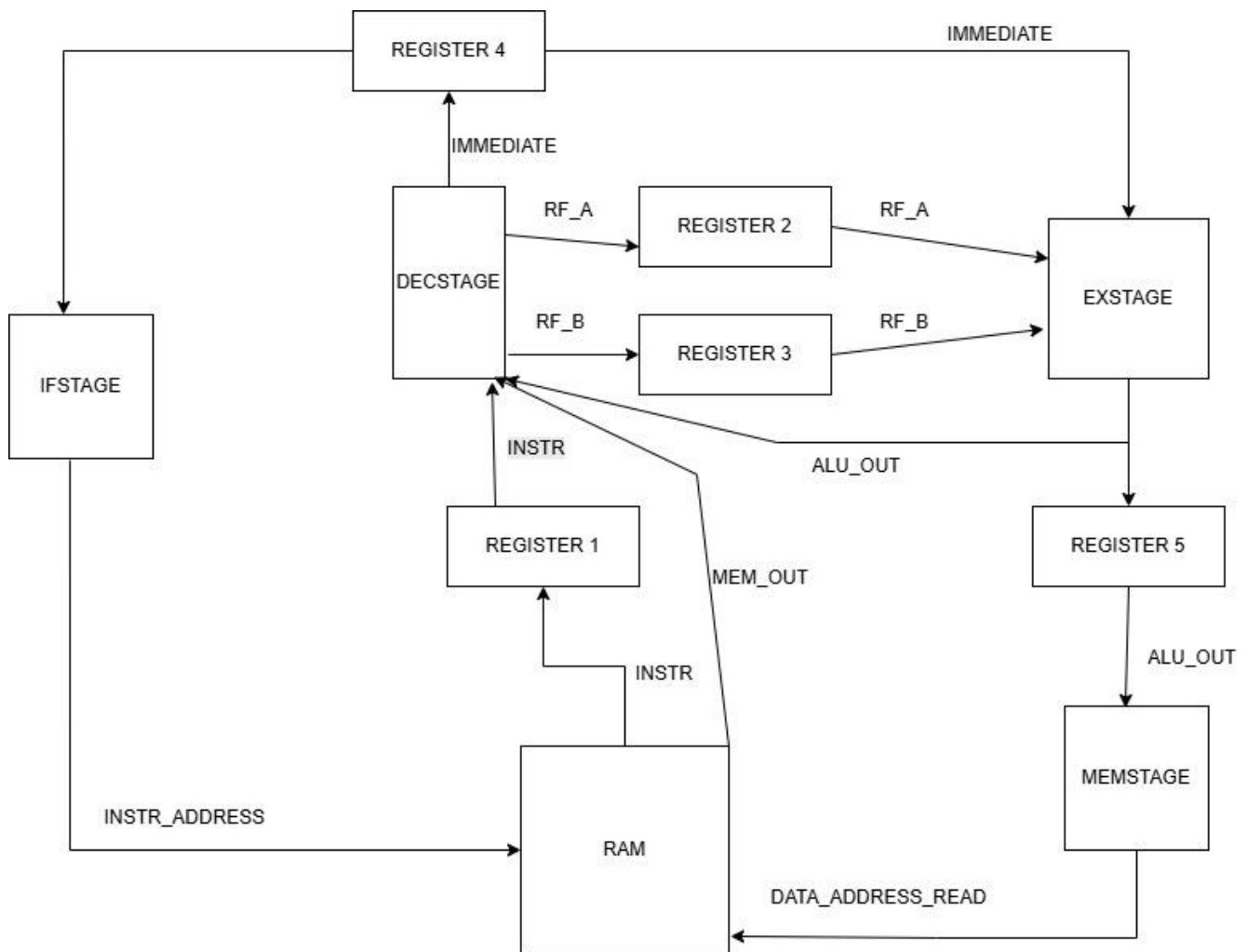
Με αυτόν τον τρόπο επιτυγχάνουμε παραπάνω instructions per clock σε σχέση με τον single cycle (δηλαδή 1 IPS).

Ακολουθεί το διάγραμμα της FSM :



Η **FSM είναι Mealy**, διότι τα σήματα εξόδου εξαρτώνται από την τωρινή κατάσταση αλλά και από την είσοδο.

Το block diagram του mutli cycle επεξεργαστή είναι το εξής:



Παραπάνω φαίνεται το νέο datapath για τον multi cycle επεξεργαστή. Θα πρέπει σε κάθε κατάσταση της FSM να διατηρείται η πληροφορία προκειμένου να μπορεί να εκτελεστεί απ' το επόμενο στάδιο. Αυτό επιτυγχάνεται με τη χρήση registers ενδιάμεσα. Τα write enable των registers αυτών ελέγχονται από το control. Για παράδειγμα το register 1 ενεργοποιείται στο στάδιο Fetch προκειμένου η εντολή να αποθηκευτεί στην έξοδο και να υπάρχει στο decstage για να γίνει το decode. Στα επόμενα όμως στάδια το write enable του register 1 γίνεται 0, προκειμένου να μην περαστεί η επόμενη εντολή που έχει ήδη γίνει fetched απ' τη μνήμη.

