

Visualización e Instrumentación del Campo mediante Transistores de Coherencia

Proyecto TCDS – Ingeniería Semántica Causal (ISC) aplicada al FET

October 17, 2025

Resumen

Este documento traduce la analogía del **Experimento de Comunicación Coherente** al dominio físico de los transistores de coherencia (FET). El objetivo es visualizar y diseñar las *paredes de conducción directa y excluyente* del campo informacional, estableciendo la estructura de instrumentación necesaria para modular la coherencia de manera controlada.

1. Mapa conceptual a físico

Analogía ISC	Elemento físico FET	Función
Diseño / “paquete de coherencia”	Codificador	Modulación de $u_g(t)$ y $z_{in}(t)$ para minimizar ϕ
Transmisión / “empuje Q”	Inyección coherente	Control de potencia y fase de RF (10 MHz ref.)
Recepción / “locking conceptual”	Decodificador	PLL, lectura de fase y lenguas de Arnold
Túnel de Dirac	Canal blindado	Conducción directa y exclusiva del campo informacional

2. Túnel de coherencia: visualización operativa

[Codificador]	[Túnel]	[Decodificador]
(input Q)	(paredes)	(locking)
shaping u_g	blindaje	PLL
shaping z_{in}	filtros	LI,R
protocolo p:q	referencias	RMSE_SL

Interpretación:

- *Codificador* : empaqueta la idea en patrones de control (envolvente, fase, frecuencia).
- *Túnel* : canal cerrado donde el flujo de coherencia no tiene rutas paralelas.
- *Decodificador* : detecta y mide el locking de fase coherente.

3. Paredes del túnel (conducción directa y excluyente)

3.1 Paredes físicas

- Blindaje Faraday 360° con juntas RF.
- Plano de masa continuo con costuras de vía cada 5–10 mm.
- Guardas y fosos en u_g y z_{in} (trazas de $50\ \Omega$).
- Chokes y ferritas en penetraciones DC; pasamuros SMA.
- Control térmico $\pm 0.5\ ^\circ\text{C}$ en el módulo FET.

3.2 3.2 Paredes temporales y de referencia

- Reloj común 10 MHz (OCXO o GPSDO) a todos los generadores y analizadores.
- Topología de referencia en estrella, con divisores Wilkinson o distribución activa de baja fase-ruido.

3.3 3.3 Paredes espectrales

- Banda de paso estrecha centrada en f_0 para $_out$.
- Filtros notch para armónicos e interferencias externas.
- Atenuadores e aisladores para romper realimentaciones parásitas.

3.4 3.4 Paredes lógicas

- Secuencia de captura: rampa A_c y barrido Δf monotónico.
- Ventanas p:q definidas (1:1–3:2 estable; 1:1–5:3 turbulento).
- Filtros de decisión: umbrales LI, R y $RMSE_{SL}$ con histéresis.

4 4. Estructura de instrumentación

Codificador (emisor)

- DAC aislado para $u_g(t)$ con shaping.
- Generador coherente para $z_{in}(t)$ con control de fase.
- Tabla de perfiles $\{A_c(t), f_{in}(t), \varphi(t)\}$.

Túnel (medio)

- Módulo FET en caja RF (PCB 2 capas, líneas de 50Ω).
- Red de referencias de 10 MHz y control térmico.

Decodificador (receptor)

- LNA bajo ruido \rightarrow analizador o VNA.
- PLL digital o lock-in para medir $\theta_{out} - \theta_{in}$.
- Computación de KPIs: LI, R, $RMSE_{SL}$, Q_{Σ} , ATA.

Supervisión

- Sondas de fase-ruido $S_{\phi}(f)$ y desviación Allan $\sigma_y(\tau)$.
- Registro de criterios de exclusión y falsación.

5 5. Protocolo A/B de validación

- **Grupo A (control):** MOSFET estándar, sin u_g ni shaping . Esperado: ausencia de lenguas de Arnold, $LI \approx 0$.
- **Grupo B (FET):** con codificador activo. Esperado: presencia de lenguas, $\Delta f_{lock} \uparrow$ con A_c , $LI \geq 0.9$ estable.

6 6. Visualización de operación

- Panel 1: mapa de $\Delta f_{lock}(A_c)$ (tipo calor).
- Panel 2: trayectoria ($LI, R, RMSE_{SL}$) vs tiempo.
- Panel 3: espectro de fase $S_{\phi}(f)$ con/ sin paredes.

- Panel 4: espectro _out con marcadores p:q.

7 7. Especificaciones mínimas de las paredes

Dominio	Requisito	Efecto en coherencia
Físico	Blindaje >90 dB a $f_0 \pm 200$ kHz	Reduce ϕ radiada
Térmico	± 0.5 °C	Estabiliza μ_{eff}
Temporal	Jitter < 100 fs rms (ref. 10 MHz)	Minimiza dephasing
Espectral	IL < 1 dB banda / Aten > 40 dB fuera	Mejora Q_Σ
Lógico	Monotonidad $\Delta f_{\text{lock}}(A_c)$	Garantiza causalidad

8 8. Modos de fallo y contramedidas

- **Captura intermitente:** aumentar A_c , activar PLL, mejorar IL de filtros.
- **No-monotonidad Δf :** revisar acoplos parásitos; insertar aislador.
- **Deriva lenta:** reforzar control térmico; recalibrar u_g con PID.
- **Artefactos de medición:** ejecutar controles con inversión de fase y dummy loads.

9 9. Entregables de diseño

- Codificador: archivo con perfiles A_c , f_{in} , φ .
- PCB: stack-up, impedancias, keep-outs y costuras de vía.
- Cajas: modelo CAD con juntas RF y pasamuros.
- Scripts: cálculo de LI, R, $RMSE_{SL}$, $S_\phi(f)$, $\sigma_y(\tau)$.
- Plantillas: reportes A/B y mapas de lenguas.

10 10. Autocrítica y trazabilidad

El mapeo entre ISC y FET es explícito:

- “Paquete de coherencia” \rightarrow codificador .
- “Túnel de Dirac” \rightarrow confinamiento físico y lógico.
- “Locking conceptual” \rightarrow PLL y KPIs.

Cada pared definida (física, térmica, temporal, espectral y lógica) corresponde a un parámetro medible que afecta directamente LI y $RMSE_{SL}$. La causalidad se prueba por comparación A/B y la monotonidad de $\Delta f_{\text{lock}}(A_c)$. El diseño se mantiene falsable, cuantificable y reproducible.