

# SYNCTRON / $\Sigma$ FET: Transistor de Coherencia

## Propuesta morfológica cuántica para computación de coherencia TMRCU

Proyecto TMRCU / MSL

25 de octubre de 2025

### Resumen

Se propone un dispositivo físico elemental —el **SYNCTRON** o  $\Sigma$ FET— que reemplaza al transistor binario de silicio en la *Computación por Coherencia* ( $C\Sigma C$ ) postulada por la TMRCU. El SYNCTRON no opera por flujo de carga, sino por **locking coherencial** ( $\mathcal{L}$ ) entre modos de fase (*inducido por el campo*  $\Sigma$ ). Su función es análoga a la sinapsis neuronal: detecta, integra y estabiliza coherencia, con memoria intrínseca ( $m$ ). Se detallan arquitecturas lógicas elementales (puertas  $C\Sigma A$ ,  $C\Sigma S$ ,  $C\Sigma N$ ) y un plan de verificación experimental mínimo.

## 1. Introducción: Limitaciones del bit y necesidad de coherencia

La computación actual (bit) es frágil ante ruido ( $\phi$ ) y decoherencia. La TMRCU postula que la información fundamental reside en la coherencia ( $\Sigma$ ), no en estados binarios. Un *computador coherencial* usaría la dinámica  $\Sigma - \chi$  para procesar información con robustez intrínseca. El  $\Sigma$ FET es el bloque constructor elemental.

## 2. El SYNCTRON / $\Sigma$ FET

### 2.1. Principio físico

Un sistema cuántico (ej. spin, polarización fotónica, modo de cavidad) con dinámica oscilatoria intrínseca ( $\omega_0$ ), acoplado al campo  $\Sigma$  local y controlado por un gate ( $u_g$ ). La ecuación de fase efectiva (Stuart-Landau + TMRCU):

$$\frac{d}{dt} = \omega_0 + A_c \sin(c - \beta\phi + Q + g\Sigma \cos(\Sigma - \xi(t)))$$

donde  $A_c$  es la amplitud de control/inyección,  $\beta\phi$  la fricción,  $Q$  el empuje cuántico y  $g\Sigma$  el acoplo al campo de coherencia. El **locking** ( $\rightarrow 0$ ) ocurre si  $|A_c + g\Sigma| \geq |\omega_0 - \omega_c|$ . El  $\Sigma$ FET usa  $u_g$  para modular  $A_c$  y/o  $\omega_0$ .

### 2.2. Modos de operación

- **Detector**  $\Sigma$ :  $A_c = 0$ . Mide  $t$  para inferir  $\Sigma(t)$ .
- **Actuador**  $\Sigma$ :  $A_c \neq 0$ . Fija *mediante locking*  $a_c$ ; inyecta coherencia.
- **Memoria** ( $m$ ): usa histéresis en la curva  $u_g$  para almacenar estado.

### 3. Arquitecturas lógicas elementales ( $C\Sigma C$ )

Se definen puertas lógicas coherenciales usando redes de  $\Sigma$ FETs acoplados.

#### 3.1. $C\Sigma A$ (AND coherencial)

Dos entradas  $\Sigma_1, \Sigma_2$  controlan un  $\Sigma$ FET de salida. Locking ( $\Sigma_{\text{out}} \approx 1$ ) solo si  $\Sigma_1$  y  $\Sigma_2$  superan umbral  $\theta$ . Realiza  $\Sigma_{\text{out}} \approx \Sigma_1 \cdot \Sigma_2$  (producto lógico).

#### 3.2. $C\Sigma S$ (SUM coherencial)

Salida  $\Sigma_{\text{out}}$  es proporcional a la suma coherente de entradas:  $\Sigma_{\text{out}} \propto \mathbb{E}[\cos(1 - 2)]$ . Realiza  $\Sigma_{\text{out}} \approx \max(\Sigma_1, \Sigma_2)$  o  $\text{avg}(\Sigma_1, \Sigma_2)$  según configuración.

#### 3.3. $C\Sigma N$ (NOT coherencial)

Invierte fase o inhibe locking:  $\Sigma_{\text{out}} \approx 1 - \Sigma_{\text{in}}$ .

#### 3.4. $C\Sigma D$ (Delay coherencial)

Propaga  $\Sigma$  con retardo  $\tau$  controlado.

#### 3.5. Latch coherencial

Circuito biestable ( $\Sigma$ FET con retroalimentación) que almacena un estado  $\Sigma$  (0 o 1) hasta recibir un pulso de reset.

## 4. Plan de verificación experimental

### 4.1. Experimentos mínimos viables

1. **SYNCTRON solo**: curva  $\Sigma(u_g)$  y umbral de Hopf; histéresis controlada.
2.  **$C\Sigma A$** : medir  $\Sigma_{\text{out}}(\Sigma_1, \Sigma_2)$  y ajuste  $\Sigma_1 \Sigma_2$  (RMSE  $< 0.1$ ).
3.  **$C\Sigma S$** :  $\Sigma_{\text{out}} \approx \max(\Sigma_1, \Sigma_2)$  con error  $< \theta.1$ .
4. **Latch**: retención  $> 1$  s (fotónica con ganancia) o  $> 1$  ms (spintrónica) sin *refresh*.

### 4.2. Criterios de refutación

Fracaso sostenido en alcanzar los ajustes anteriores con potencia estadística  $\geq 0.9$  y  $\alpha = 0.01$ ; incapacidad de escalar más allá de malla  $10 \times 10$  con errores de fase  $> 10\%$ .

## 5. Ruta de integración

**P0** Dispositivo único ( $\Sigma$ FET) y lectura  $\Sigma$ .

**P1** Biblioteca de celdas ( $C\Sigma A$ ,  $C\Sigma S$ ,  $C\Sigma D$ ,  $C\Sigma N$ , Latch) en *die* fotónico o spintrónico.

**P2** Matriz  $32 \times 32$  programable (FPGA coherencial).

**P3** Integración con control clásico y algoritmo CSL-H para aplicaciones bio/IA.