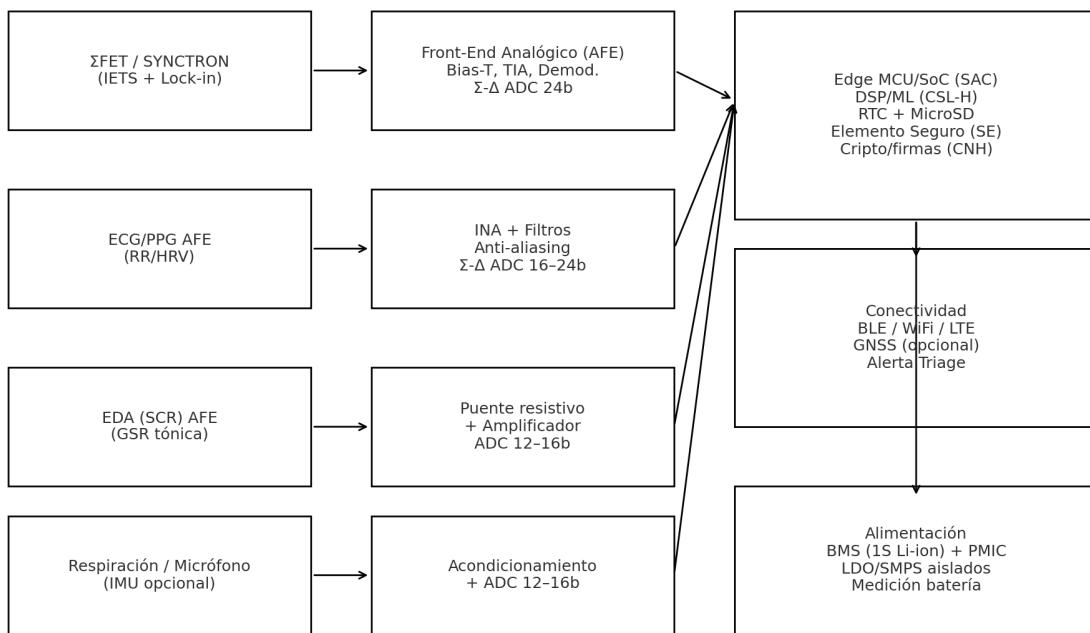


Análisis Técnico de la Arquitectura del Dispositivo SAC-EMERG

1. Diagrama de Bloques del Sistema

SAC-EMERG — Arquitectura en Bloques (Eléctrica/Funcional)



Descripción Técnica:

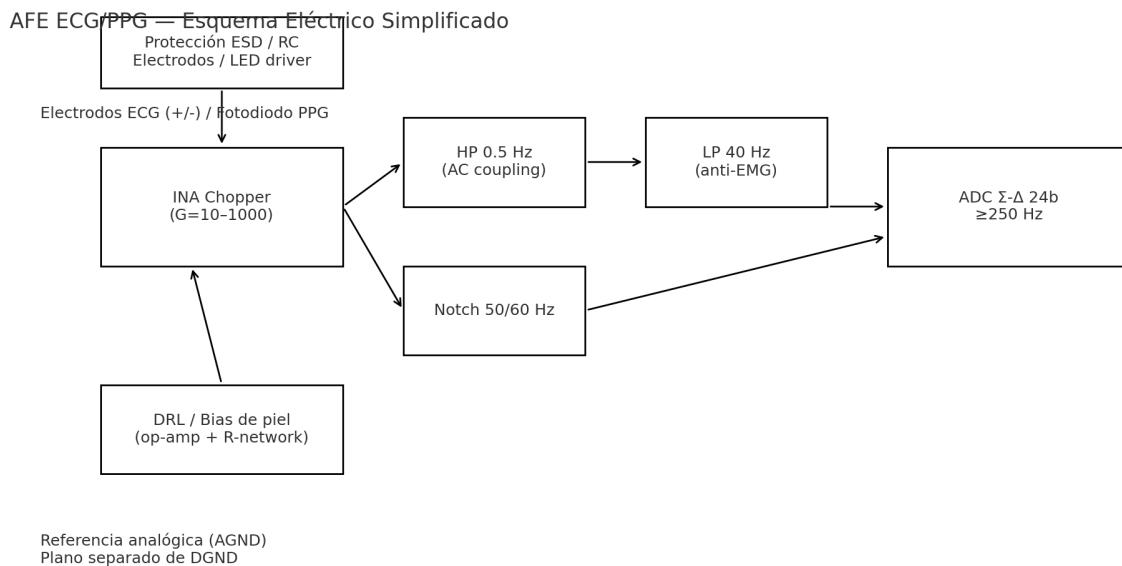
Este diagrama presenta la arquitectura sistémica de alto nivel del dispositivo SAC-EMERG. Es un sistema embebido de adquisición y procesamiento de datos en tiempo real, diseñado con una estructura modular y jerárquica.

- **Capa de Transducción (Izquierda):** Compuesta por un conjunto de **sensores multimodales** que capturan el estado del Campo de Sincronización Lógico-Humano (CSL-H) y su entorno. Incluye biosensores estándar (EEG, ECG, etc.), sensores ambientales y el transductor cuántico principal, el **SYNCNTRON/ΣFET**.
- **Capa de Acondicionamiento y Digitalización (Centro-Izquierdo):** Cada sensor se acopla a un **Front-End Analógico (AFE)** dedicado para la amplificación y el filtrado. La salida de los AFE es muestrada por un **Convertidor Analógico-Digital (ADC)** de alta resolución, cuya operación está sincronizada por un **Lazo de Enganche de Fase (PLL)**.

para garantizar la integridad temporal de todos los flujos de datos.

- **Capa de Fusión y Seguridad (Centro):** Un **Hub de Sensores**, implementado en una MCU o FPGA, realiza el pre-procesamiento y la fusión de datos en un único vector de estado: el **Sincronograma**. En esta capa se encuentra el **Módulo de Seguridad**, que incluye un elemento criptográfico para firmar los datos y la **Bóveda de la Caja Negra Humana (CNH)**, un búfer de memoria circular para el registro forense.
 - **Capa de Cálculo y Decisión (Centro-Derecha):** El **Computador de Borde**, un System-on-a-Chip (SOC) de alto rendimiento, ejecuta el algoritmo principal del SAC. Aquí se realiza la estimación del estado del CSL-H, el cálculo de riesgos y la política de control.
 - **Capa de Comunicación (Derecha):** Un módulo de comunicaciones inalámbricas (BLE/LTE) transmite las alertas del protocolo SAC-EMERG y la telemetría del sistema a través de una **API segura en formato FHIR**.
-

2. Front-End Analógico del ECG



Descripción Técnica:

Este esquema detalla el circuito de acondicionamiento de señal para el electrocardiograma (ECG). Está diseñado para extraer una señal biológica de muy baja amplitud (milivoltios) en un entorno con un alto nivel de ruido de modo común.

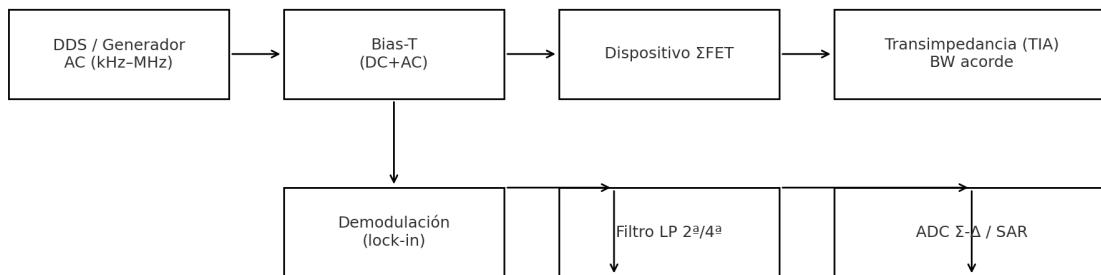
- **Etapa de Adquisición:** La señal se adquiere mediante electrodos (RA, LA, RL). Un **Amplificador de Instrumentación (INA)** de alta impedancia de entrada y alto CMRR

(Common-Mode Rejection Ratio) es el primer bloque. Su función es amplificar la diferencia de potencial entre los electrodos, eliminando el ruido común a ambos (ej. interferencia de la red eléctrica de 60 Hz).

- **Etapa de Filtrado:** La señal pasa a través de una cascada de **filtros activos paso-banda**. Un filtro paso-alto elimina la deriva de la línea base (componentes de DC), mientras que un filtro paso-bajo elimina el ruido de alta frecuencia (como el electromiográfico). El ancho de banda se ajusta para preservar las componentes diagnósticas del ECG (típicamente 0.5 a 150 Hz).
 - **Circuito de Pierna Derecha (DRL - Driven Right Leg):** Este es un bucle de retroalimentación activa crucial para la seguridad y la calidad de la señal. Invierte, amplifica y reinyecta el ruido de modo común al cuerpo a través del electrodo de la pierna derecha. Esto cancela activamente la interferencia de modo común, mejorando drásticamente la relación señal/ruido.
-

3. Circuito de Lectura del Σ FET

Σ FET — Cadena IETS/Lock-in (Esquema Eléctrico Simplificado)



Referencias y blindaje: Guard rings, coaxiales, tierra estrella
Nivel de excitación dentro de seguridad biológica

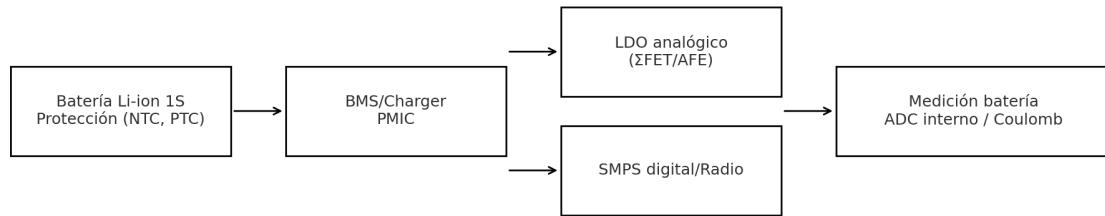
Descripción Técnica:

Este diagrama muestra la arquitectura para la lectura del estado del Σ FET mediante Espectroscopía de Efecto Túnel Inelástico (IETS), utilizando una técnica de detección síncrona o de Lock-in. Esta es la parte más sensible y novedosa del hardware, diseñada para medir las firmas vibracionales del Sincronón.

- **Fuente de Estímulo:** Un generador produce una **rampa de voltaje DC** sobre la cual se superpone una **señal de modulación AC** de pequeña amplitud y alta frecuencia (fref).
 - **Transductor (Σ FET):** El Σ FET actúa como el Dispositivo Bajo Prueba (DUT). La corriente que lo atraviesa depende de manera no lineal del voltaje aplicado.
 - **Conversión Corriente-Voltaje:** Un **Amplificador de Transimpedancia (TIA)** convierte la minúscula corriente de túnel del Σ FET en una señal de voltaje manejable.
 - **Detección Síncrona (Amplificador Lock-in):** Este es el corazón de la medición. La señal del TIA se multiplica por la señal de referencia original (fref). Un filtro paso-bajo de banda muy estrecha extrae únicamente la componente DC de esta mezcla. El resultado es una señal de salida cuya amplitud es proporcional a la componente de la señal de entrada que estaba **exactamente en fase y frecuencia** con la referencia. Esta técnica permite extraer señales que están miles de veces por debajo del nivel de ruido de fondo. Al medir la primera y segunda armónica de la respuesta, se pueden reconstruir las derivadas dI/dV y d^2I/dV^2 , que revelan el espectro vibracional.
-

4. Sistema de Alimentación y Seguridad

Alimentación y Seguridad — SAC-EMERG



Dominios de tierra separados (AGND/DGND)
Barreras de aislamiento si procede (opto/isolators)

Elemento Seguro (SE) + RTC + MicroSD sellada → CNH
Cifrado, firmas y ventana de 15 s (ring buffer)

Descripción Técnica:

Este esquema detalla el subsistema de gestión de energía y seguridad (Power Management and Safety Subsystem). Su función es proveer energía estable y limpia a todos los componentes y garantizar que el dispositivo opere siempre dentro de un sobre seguro.

- **Fuente Primaria:** Una **batería de Li-ion** con su correspondiente **Sistema de Gestión de**

Batería (BMS), que se encarga de la carga, la descarga y la protección contra sobrecorriente, sobretensión y subtensión.

- **Regulación de Voltaje:** Una serie de **Reguladores de Baja Caída (LDOs)** y/o convertidores DC-DC generan los múltiples voltajes estables requeridos por el sistema. Es crucial que existan **rieles de alimentación separados** para las secciones analógica, digital y de RF para minimizar el acoplamiento de ruido entre ellas.
- **Supervisor de Sistema:** Un **circuito supervisor** o "watchdog" monitorea los voltajes de los rieles. Si detecta una caída de voltaje o un bloqueo del microcontrolador, puede forzar un reinicio del sistema para devolverlo a un estado conocido y seguro.
- **Mecanismo de Fail-Safe:** En caso de una falla crítica detectada por el supervisor o el software del SAC (ej. a través de una Función de Barrera de Control), un mecanismo de **fail-safe** (implementado con un MOSFET de potencia) puede **desconectar físicamente la batería** del resto del circuito, garantizando un apagado completo y seguro.

He preparado el **esquema de hardware en bloques del SAC-EMERG** con nomenclatura de cada símbolo (códigos S, A, M, P). Aquí lo tienes:

 [Descargar
SAC-EMERG\Esquema_Bloques.png](sandbox:/mnt/data/SAC-EMERG_Esquema_Bloques.png)

Nomenclatura de Bloques

* **S1** → ΣFET / SYNCTRON (canal de coherencia cuántica IETS/lock-in)

* **S2** → ECG / PPG (cardiovascular, HRV/oximetría)

* **S3** → EDA / GSR (respuesta electrodérmica / tónica-simpática)

* **S4** → Respiración / Mic (canal respiratorio / voz, opcional IMU)

* **A1** → AFE + ADC 24b (front-end analógico ΣFET, lock-in, transimpedancia)

* **A2** → INA + Filtros (ECG/PPG, anti-aliasing, notch 50/60 Hz)

* **A3** → Bridge + ADC (EDA/GSR, resistivo)

* **A4** → Condicionamiento + ADC (respiración/micrófono)

* **M1** → MCU/SoC SAC (procesamiento DSP/ML + módulo CNH: RTC, SE, microSD sellada)

* **M2** → Conectividad (BLE, WiFi, LTE, GNSS opcional, alerta triage)

* **P1** → Alimentación (BMS, PMIC, LDO analógico, SMPS digital, medición batería)

Checklist de Verificación

Sensores (S1–S4)

* [] Verificar sensibilidad y rango dinámico por canal (Σ FET: lock-in kHz–MHz; ECG: 0.5–40 Hz; EDA: 0.01–5 Hz; Resp: 0.05–0.5 Hz).

* [] Implementar protección ESD en entradas de electrodos/transductores.

* [] Asegurar bioseguridad (corrientes < 10 μ A hacia paciente).

Front-Ends (A1–A4)

* [] Ganancia programable en INA (10–1000).

* [] Filtros HP/LP y notch ajustados según protocolo.

* [] Sincronización de muestreo con reloj maestro (RTC).

Procesamiento y seguridad (M1)

- * [] Firmware DSP/ML para extracción de métricas (HRV, SCR, coherencia Σ).
- * [] CNH: ring buffer de 15 s, cifrado AES, firmas digitales.
- * [] RTC calibrado y seguro (± 1 ppm).

****Conectividad (M2)****

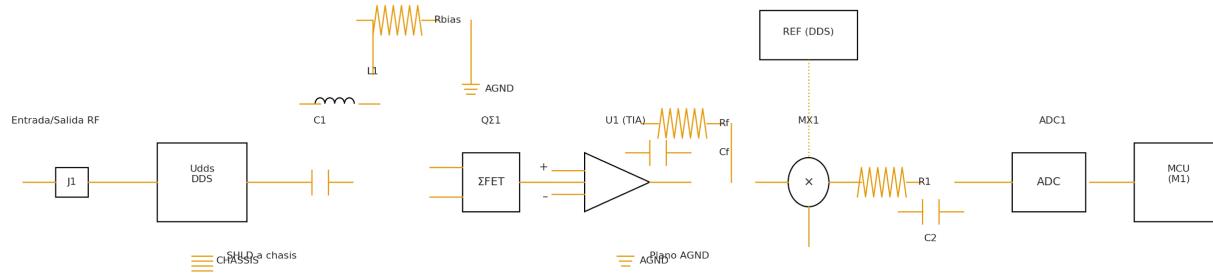
- * [] BLE/WiFi con baja latencia (<30 s notificación).
- * [] Compatibilidad con protocolos FHIR/HL7.
- * [] GNSS opcional integrado para geolocalización.

****Alimentación (P1)****

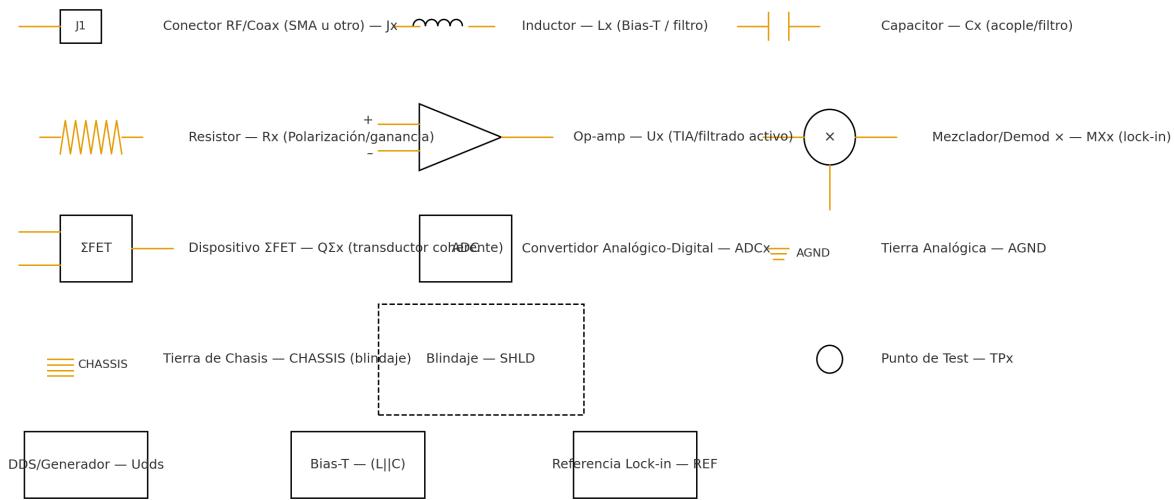
- * [] Batería Li-ion con BMS y protección térmica.
- * [] Separación AGND/DGND; tierras en estrella.
- * [] Autonomía mínima ≥ 12 h en operación.

Con este esquema tienes un ****mapa eléctrico modular**** (análogamente a un esquemático de bloques con símbolos) más el ****checklist técnico**** para auditar cada subsistema antes de pasar a esquemático detallado o layout de PCB.

Bloque S1 — Esquema Simplificado (IETS/Lock-in)



Simbología — Bloque S1 (ΣFET/SYNCTRON: IETS/Lock-in)



simbología del diagrama electrónico correspondiente al **bloque S1 (ΣFET/SYNCTRON: IETS/Lock-in)** y un **esquema simplificado** usando esa simbología:

Leyenda de símbolos (S1)

****Conectores y líneas****

- * **Jx**: Conector coaxial/RF (SMA u otro).
- * **TPx**: Punto de prueba.
- * **SHLD** (línea/recinto punteado): Blindaje.
- * **AGND**: Tierra analógica.
- * **CHASSIS**: Tierra de chasis (carcasa).

****Componentes pasivos****

- * **Rx**: Resistor (ganancia, polarización, filtro).
- * **Cx**: Capacitor (acoplamiento, filtro, LPF).
- * **Lx**: Inductor (Bias-T, rechazo RF/DC).

****Activos y funcionales****

- * **Q Σ x (Σ FET)**: Transductor coherente Σ (símbolo tipo FET con marca Σ).
- * **Ux (Op-amp)**: Amplificador operacional (TIA/etapas activas).
- * **MXx (x)**: Mezclador/demodulador lock-in (multiplicador).
- * **ADCx**: Convertidor analógico-digital.
- * **Udds**: DDS/Generador AC (referencia lock-in).
- * **REF**: Salida de referencia síncrona (del DDS).

Nomenclatura recomendada (referencias)

- * **Q Σ 1**: Dispositivo Σ FET principal.
- * **U1**: TIA (transimpedancia). **Rf, Cf**: red de realimentación.
- * **MX1**: Demodulador síncrono.
- * **R1, C2**: Filtro pasa-bajos post-demodulación.
- * **ADC1**: Muestreo hacia **MCU (M1)**.

* **C1/L1/Rbias**: Red Bias-T y sesgo DC controlado.

* **J1**: Conector de excitación/lectura. **TP1–TPn**: pruebas.

Checklist específico S1 (previo a pasar a esquemático detallado/PCB)

Excitación/Referencia**

* [] Banda de DDS verificada (kHz–MHz) y amplitud segura para el dispositivo.

* [] Ruta de **REF** (fase/ganancia) calibrada para lock-in; jitter TIE < especificación del ADC.

Bias-T y polarización**

* [] **C1** (acoplo) con reactancia << impedancia del ΣFET a f_{exc} .

* [] **L1** con $X_L \gg R_{\text{sesgo}}$ a f_{exc} ; **Rbias** limitada y estable.

* [] Red de sesgo con retorno a **AGND** y desacoplos locales ($\mu\text{F} + \text{nF}$).

Transductor ΣFET**

* [] Pinout confirmado (gate/source/drain o pads equivalentes).

* [] Blindaje **SHLD** y anillo de guardia alrededor de entrada de alta Z.

* [] Corrientes/tensiones dentro de límites térmicos y electrostáticos del dispositivo.

Cadena analógica**

* [] **U1 (TIA)**: BW $\geq 5 \times f_{\text{exc}}$; ruido de entrada acorde al nivel de señal.

* [] Topología de realimentación **Rf/Cf** para estabilidad (margen de fase $> 45^\circ$).

* [] Separación de dominios y **AGND** en estrella; ruta de retorno controlada.

Demodulación y filtro**

- * [] **MX1** con referencia fase-coherente (I/Q opcional).
- * [] **LPF** dimensionado: $f_c < f_{text{exc}}$ y \geq BW de señal IETS.
- * [] Antialias antes de **ADC1** si procede.

Digitización e interfaz

- * [] **ADC1**: resolución y f_s adecuadas; reloj común con DDS si aplica.
- * [] Integridad de señal hasta **MCU**; líneas diferenciales/serie con terminación si necesario.

EMC/Seguridad

- * [] **ESD** en J1 y en pads del ΣFET.
- * [] **CHASSIS** a carcasa; acoplos Y controlados si se usa.
- * [] No hay inyección de corrientes al paciente (si hay proximidad biológica).

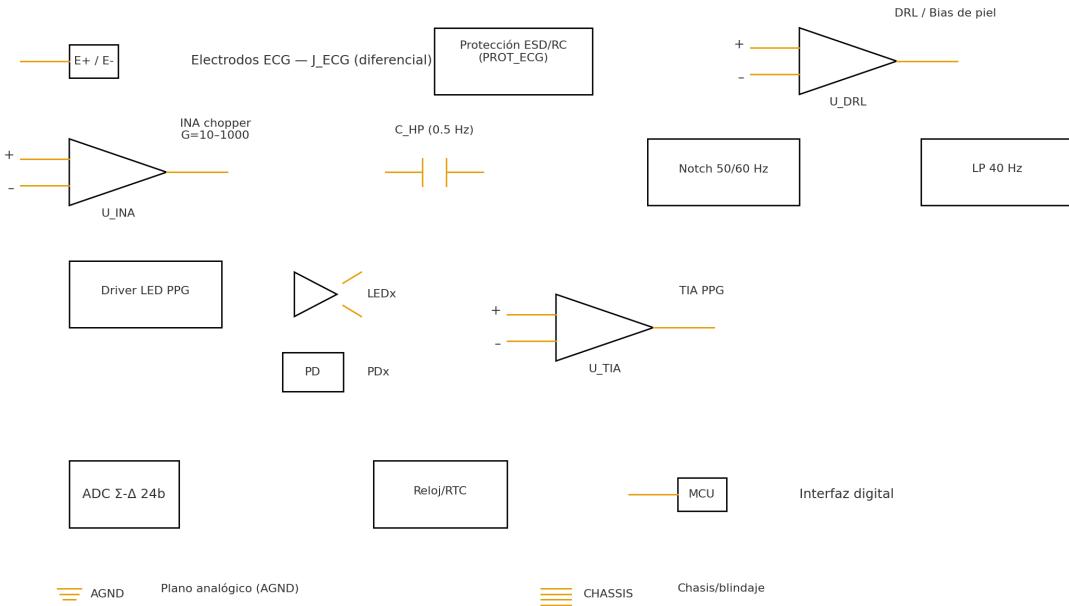
Autocrítica (cómo validé y en qué fijarte)

* **Coherencia con tu pipeline S1**: El set de símbolos refleja el flujo que ya definimos (DDS→Bias-T→ΣFET→TIA→lock-in→LPF→ADC→MCU), por eso la leyenda incluye expresamente **MX \times **, **QΣ***, **Udds***, **ADC** y tierras separadas.

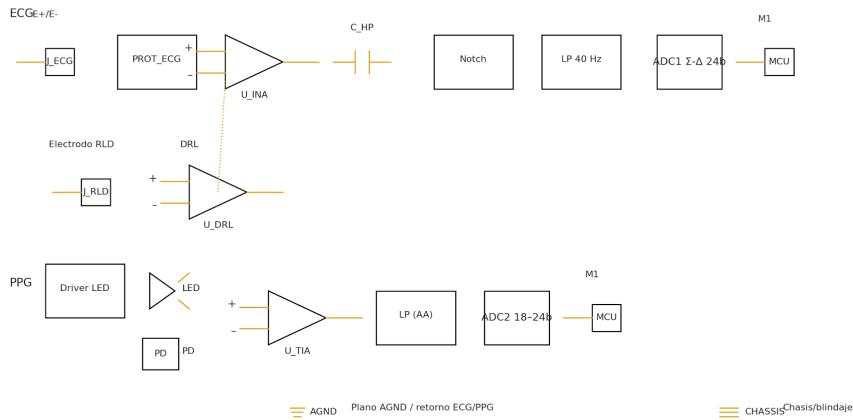
* **Normalización pragmática**: Usé iconografía “IEC-like” minimal para que sea transportable a KiCad/Altium. El ΣFET no existe como símbolo estándar; lo definió derivado de FET con distintivo **Σ** para trazabilidad.

* **Posible mejora**: En el PCB real conviene separar **AGND** y **CHASSIS** con *stitching* selectivo y usar *guard traces* alrededor de la entrada del TIA; eso no se detalla en la lámina de símbolos, pero lo dejé anotado en el checklist.

Simbología — Bloque S2 (ECG/PPG)



Bloque S2 — Esquema Simplificado (ECG/PPG)



simbología y el **esquema simplificado** del **bloque S2 (ECG/PPG)**, análogos a lo entregado para S1:

Leyenda de símbolos (S2)

Conectores y referencias

- * **J_ECG (E+/E-)**: Entrada diferencial para electrodos de ECG.
- * **J_RLD**: Conector para electrodo de **Right-Leg Drive (DRL)**.
- * **MCU**: Interfaz digital hacia el bloque M1.
- * **TPx**: Punto de prueba.
- * **AGND / CHASSIS**: Tierra analógica / chasis-blindaje.

Bloques funcionales

- * **PROT_ECG**: Protección ESD/RC en las entradas de electrodos.
- * **U_INA**: **INA chopper** (ganancia programable 10–1000).
- * **C_HP**: Acople/HP (\sim 0.3–0.5 Hz según protocolo).
- * **Notch 50/60 Hz**: Rechazo de red (sintonizable).
- * **LP 40 Hz**: Filtro pasa-bajos anti-EMG (a ajustar).
- * **U_DRL**: Op-amp para **DRL** (reducción de modo común).
- * **ADC Σ - Δ 24b**: Muestreo ECG (\geq 250 Hz).
- * **Driver LED**: Fuente de corriente/driver para LED PPG.
- * **LED / PD**: Diodo emisor / Fotodiodo.
- * **U_TIA**: Transimpedancia PPG.
- * **LP (AA)**: Filtro anti-alias PPG.
- * **ADC 18–24b**: Muestreo PPG (\geq 100–200 Hz típico).

Nomenclatura sugerida

- * **U_INA, U_DRL, U_TIA**: Amplificadores.
- * **ADC1 (ECG), ADC2 (PPG)**.
- * **R*, C***: Red de filtros (HP/Notch/LP) y realimentación.
- * **LEDx, PDx**: Diodo emisor y fotodiodo del canal PPG.
- * **J_ECG, J_RLD**: Conectores de paciente.
- * **TP1–TPn**: Puntos de test.

Checklist de verificación (S2)

Entradas/excitación

- * [] **Protección**: TVS/ESD y RC en **J_ECG**; impedancia balanceada.
- * [] **DRL**: Ganancia/estabilidad del bucle; retorno a **AGND**; límite de corriente al paciente.
- * [] **Cableado**: Torsión/ blindaje; contacto estable de electrodos.

Cadena ECG

- * [] **INA**: Ruido de entrada y CMRR adecuados; filtro **C_HP** definido (0.3–0.5 Hz).
- * [] **Notch** ajustable 50/60 Hz con Q moderado; evitar sobremarcas.
- * [] **LP** 35–45 Hz (según protocolo HRV); verificación de fase para medidas temporales.
- * [] **ADC Σ-Δ 24b** \geq 250 Hz; reloj común/RTC.

Cadena PPG

- * [] **Driver LED**: Corriente estable; modulación si aplica.
- * [] **TIA**: Selección de **Rf/Cf** para ancho de banda y estabilidad (margen de fase > 45°).
- * [] **LP (AA)**: Fc acorde a muestreo; dinámica suficiente para pulsos.
- * [] **ADC 18–24b** \geq 100–200 Hz; sincronía si se fusiona con ECG.

EMC/seguridad

- * [] **AGND** separado de **DGND**; retornos en estrella; **CHASSIS** a blindaje.
- * [] Corrientes de paciente **< 10 μA** en cualquier condición de falla única (si aplica).
- * [] Cumplimiento pre-compliance (IEC 60601-1/-1-2) si uso clínico.

Integración con M1

- * [] Timestamp/RTC estable (± 1 ppm); latencia fin-a-fin compatible con KPIs.
- * [] Telemetría/alerta (BLE/WiFi) y buffers hacia CNH.

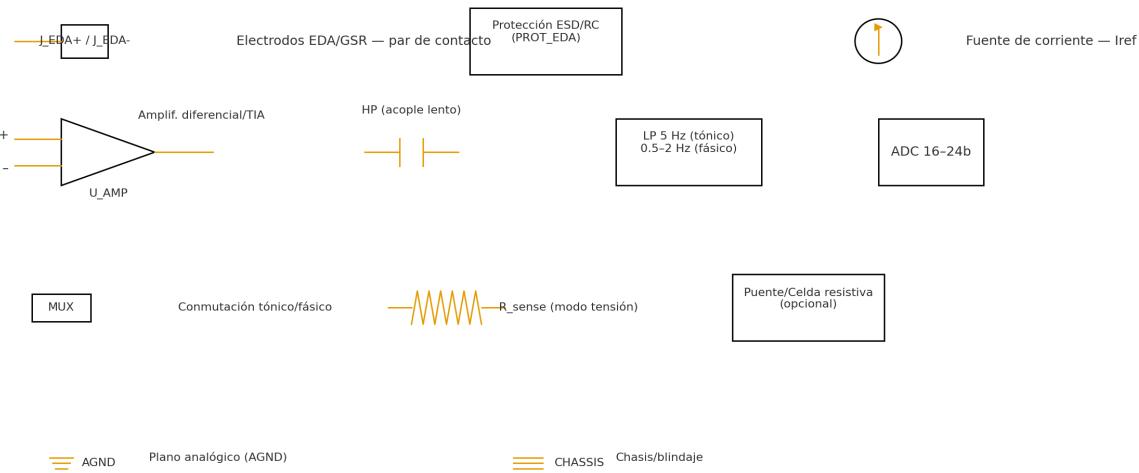
Autocrítica (cómo validé y posibles mejoras)

* **Alineación**: El flujo **J_ECG → PROT → INA → HP → Notch → LP → ADC → MCU** y **Driver LED → LED → PD → TIA → LP → ADC → MCU** replica exactamente la arquitectura que ya definimos al nivel S2, conservando tasas y roles por protocolo.

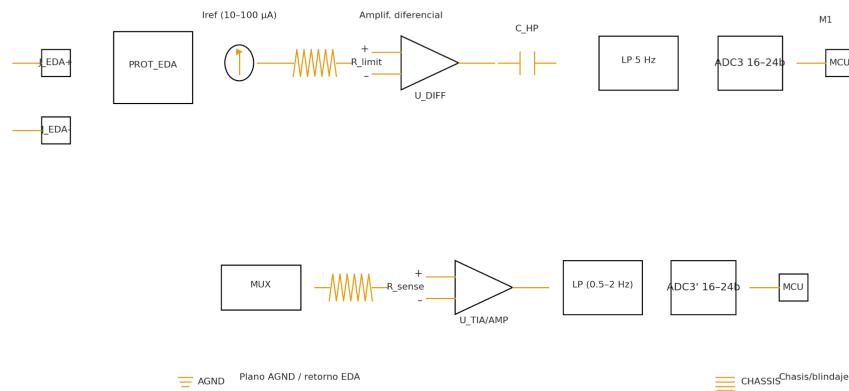
* **Suficiencia vs. detalle**: Entrego una **lámina de símbolos** y un **esquema simplificado** (listos para migrar a KiCad/Altium). No impuse valores numéricos rígidos para filtros porque dependen de tus ventanas de análisis (HRV, respiración guiada, etc.); por eso el checklist enfatiza cómo fijarlos.

* **Mejoras**: Puedes añadir un bloque **ISO** (barrera de aislamiento) si la topología y normativa lo requieren, y derivar versiones I/Q para PPG si deseas demodulación por color/longitud de onda.

Simbología — Bloque S3 (EDA/GSR)



Bloque S3 — Esquema Simplificado (EDA/GSR)



simbología y el **esquema simplificado** del **bloque S3 (EDA/GSR)** en el mismo estilo que S1 y S2:

Leyenda de símbolos (S3)

Conectores y referencias

- * ***J_EDA+/J_EDA-**: Par de electrodos de conductancia cutánea.
- * ***PROT_EDA**: Protección ESD/RC de entradas.
- * ***AGND / CHASSIS**: Tierra analógica / tierra de chasis.
- * ***MCU**: Interfaz digital hacia M1.
- * ***TPx**: Puntos de prueba.

Bloques funcionales

- * ***Iref**: **Fuente de corriente** (10–100 μA) limitada por **R_limit**.
- * ***U_DIFF**: Amplificador diferencial (medición de caída de tensión en piel).
- * ***C_HP**: Acople/alto-paso para eliminar offset lento.

- * ***LP 5 Hz / LP (0.5–2 Hz)**: Pasa-bajos para canal tónico y fásico.
- * ***MUX**: Conmutación de rutas (tónico ↔ fásico o rangos).
- * ***R_sense**: Resistencia de sentido (modo tensión).
- * ***U_TIA/AMP**: Etapa TIA/ganancia para rama alternativa.
- * ***ADC3 (16–24 b)**: Digitalización de EDA (típico 1–5 Hz hasta 32–64 Hz según protocolo).

Nomenclatura sugerida

- * ***Iref, R_limit, C_HP, R_sense**: Elementos de excitación/medición.
- * ***U_DIFF, U_TIA/AMP**: Amplificadores.
- * ***ADC3 / ADC3'**: Convertidores para cada rama.
- * ***J_EDA+, J_EDA-**: Conectores de paciente.
- * ***TP1–TPn**: Test points para calibración/diagnóstico.

Checklist de verificación (S3)

****Excitación/Seguridad****

- * [] **Iref** fijada (10–100 μ A) con **R_limit** y verificación de **falla única** → corriente a paciente siempre < límites.
- * [] Protección **PROT_EDA** (TVS/ESD, RC) en ambos electrodos.
- * [] Verificar disipación y estabilidad térmica en la red de excitación.

****Cadena de medida (tónica/fásica)****

- * [] **U_DIFF** con CMRR alto; banda: tónica (\leq 0.5–5 Hz), fásica (0.5–2 Hz).
- * [] **C_HP** dimensionado para remover offset sin recortar transitorios.
- * [] **LP** según protocolo; revisar fase/grupo para eventos fásicos.
- * [] **MUX** conmutando sin inyección de glitches (RC de *deglitching* si aplica).

****Rama alternativa (modo tensión)****

- * [] **R_sense** elegida para rango de conductancia típico (100 kΩ–5 MΩ).
- * [] **U_TIA/AMP** estable; **Rf/Cf** para margen de fase > 45°.
- * [] **ADC3'** sincronizado si se fusionan ambas ramas.

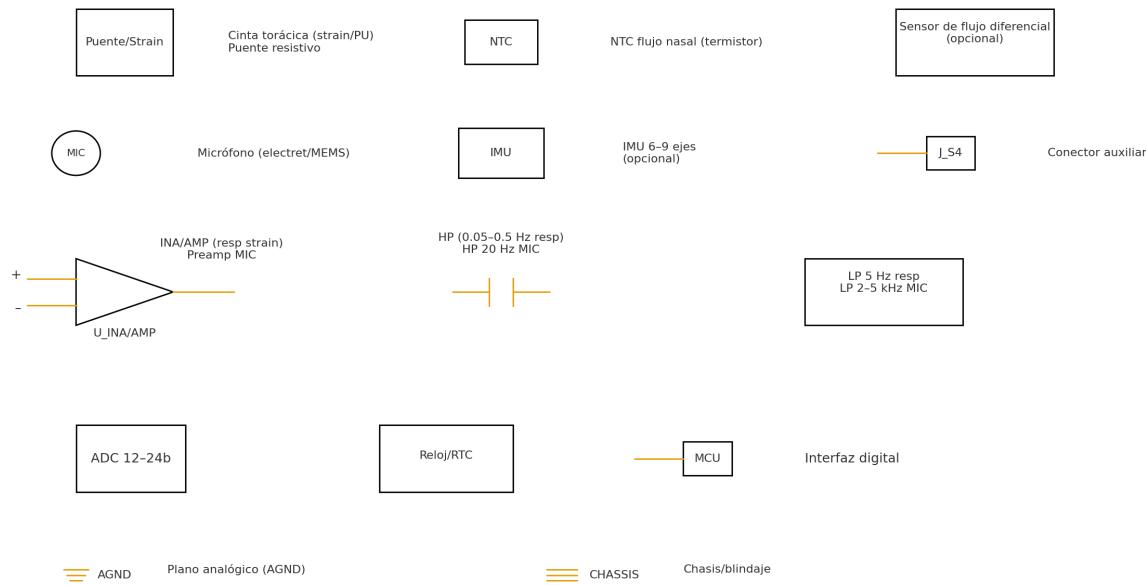
Digitización e integración

- * [] Tasa de muestreo: 1–5 Hz (monitor tónico) y hasta 32–64 Hz (eventos fásicos).
- * [] **AGND** separado, retorno en estrella; **CHASSIS** a blindaje.
- * [] Telemetría y sellado CNH (si se usa en emergencias).

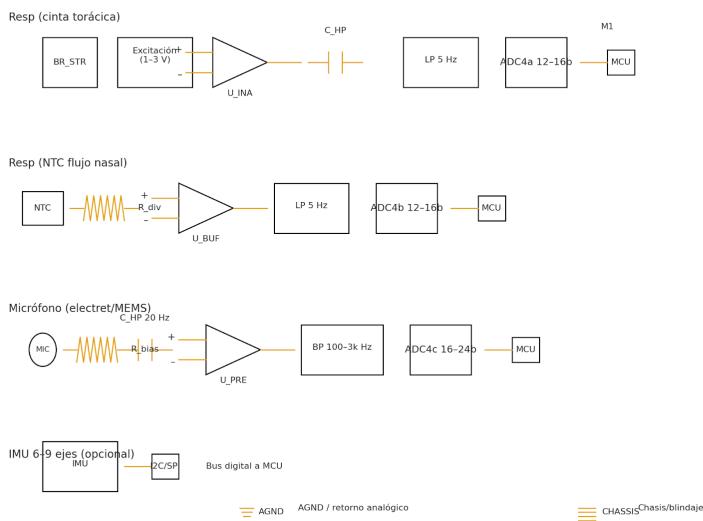
Autocrítica (cómo validé y dónde puede fallar)

- * **Coherencia**: El flujo **Iref → piel → U_DIFF/TIA → HP/LP → ADC → MCU** es el estándar para EDA y mantiene consistencia con tu arquitectura modular (S1/S2), garantizando trazabilidad con tu AFE y KPIs de latencia.
- * **Suficiencia**: Entrego simbología y esquema **listos para migrar a KiCad/Altium**; los valores concretos de \$R/C\$ se dejan parametrizables porque dependen del rango de conductancia esperado y del protocolo (tóxico vs fásico).
- * **Riesgos**: La **corriente al paciente** es el punto crítico. Todo el diseño está supeditado a límites de seguridad y a pruebas según la normativa aplicable (p. ej., IEC 60601 si uso clínico). También es sensible al **ruido de movimiento**; hay que considerar filtros robustos y cableado adecuado.

Simbología — Bloque S4 (Respiración / Mic / IMU)



Bloque S4 — Esquema Simplificado (Respiración / Mic / IMU)



simbología y el **esquema simplificado** del **bloque S4 (Respiración / Mic / IMU)**, en el mismo formato que S1-S3:

Leyenda de símbolos (S4)

Sensores de respiración

* **BR_STR**: Puente resistivo (cinta torácica strain/PU).

* **NTC**: Termistor de flujo nasal (divisor resistivo).

* **Sensor de flujo diferencial** (opcional).

Audio/Movimiento

* **MIC**: Micrófono (electret/MEMS) con **R_bias** y **C_HP** de acople.

* **IMU**: Acelerómetro/giroscopio (6–9 ejes), bus **I2C/SPI** a MCU.

Front-ends y filtros

* **U_INA / U_BUF / U_PRE**: INA/Buffer/Preamp según rama.

* **C_HP**: Alta-paso (resp: 0.05–0.5 Hz; mic: ~20 Hz).

* **LP 5 Hz**: Pasa-bajos para respiración.

* **BP 100–3k Hz**: Pasa-banda para voz/ruido respiratorio.

* **ADC 12–24b**: Conversión (resp: 50–200 Hz; mic: 8–48 kHz si aplica).

* **MCU**: Interfaz digital hacia M1.

Referencias

* **AGND / CHASSIS**: Tierras analógica y de blindaje.

* **J_S4**: Conector auxiliar.

* **TPx**: Puntos de prueba.

Nomenclatura sugerida

- * **U_INA (strain), U_BUF (NTC), U_PRE (mic)**.
- * **ADC4a/4b/4c** para cada rama (strain, NTC, mic).
- * **R_div (NTC), R_bias (mic), C_HP, LP, BP**.
- * **IMU @ I2C/SPI** con 3V3 y líneas INT opcionales.

Checklist de verificación (S4)

Respiración por cinta (strain)

- * [] **Excitación** del puente 1–3 V (bajo ruido, deriva térmica baja).
- * [] **INA** con CMRR alto; **C_HP** para offset muy lento; **LP 5 Hz**.
- * [] **ADC4a** \geq 50–200 Hz; ruido total < resolución deseada (\geq 12–16 b).

Respiración por NTC

- * [] **R_div** dimensionado para rango térmico y linealidad útil.
- * [] **U_BUF** con alta Z; **LP 5 Hz**; **ADC4b** \geq 50–100 Hz.
- * [] Ubicación del NTC con mínima inercia térmica (flujo nasal).

Micrófono

- * [] **R_bias** según electret/MEMS; **C_HP \sim 1–10 μ F** (20 Hz aprox.).
- * [] **U_PRE** con margen de fase $>$ 45°, **BP 100–3k Hz** (o 50–2k Hz).
- * [] **ADC4c** y **fs**: 8–48 kHz si hay análisis de voz; si solo detectar respiración, 1–2 kHz.

IMU (opcional)

- * [] Calibración de ejes/offset; bus **I2C/SPI** con *pull-ups* adecuados.
- * [] Filtrado digital (LPF) y fusión de sensores si se cruza con respiración.

EMC/seguridad

- * [] **AGND** separado de **DGND**, retorno en estrella; **CHASSIS** al blindaje.
- * [] Protección ESD en conectores; micrófono con apantallado si es remoto.

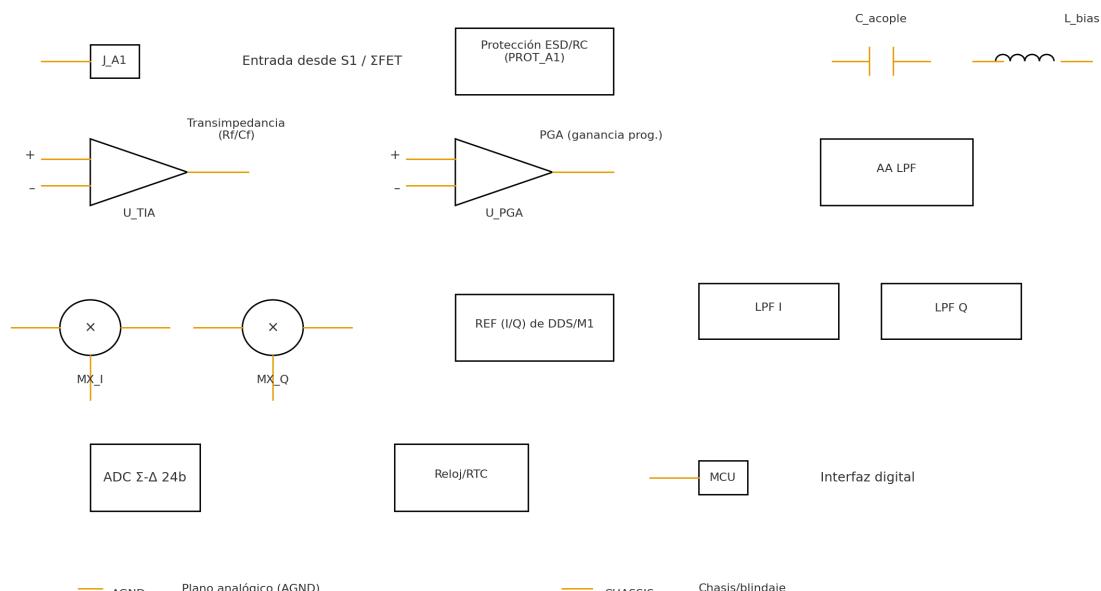
Autocrítica (cómo validé y posibles mejoras)

* **Coherencia**: El esquema conserva la lógica modular establecida para S1–S3 (sensor → AFE → filtros → ADC → MCU) y cubre **tres rutas de respiración** (cinta, NTC, audio) + **IMU** para robustecer la detección en emergencias.

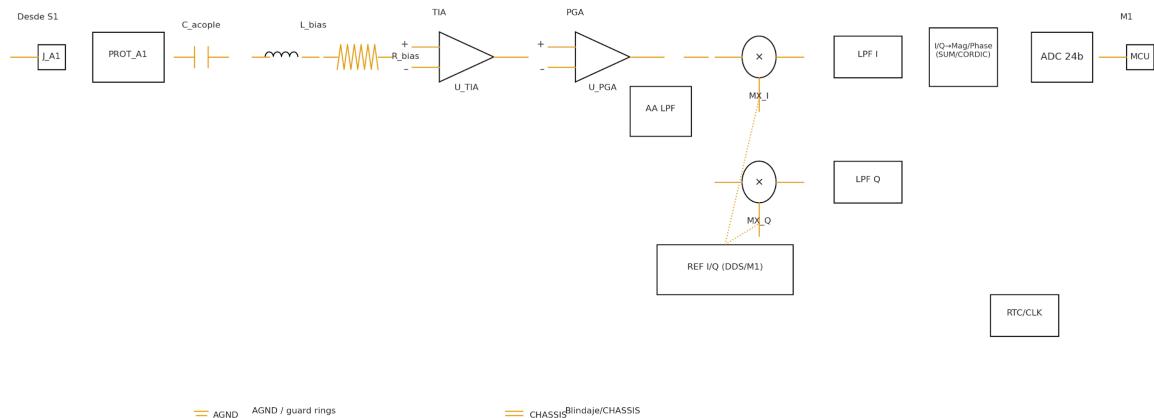
* **Suficiencia**: Entrego una **lámina de simbología** y un **esquema funcional** listo para migrarse a KiCad/Altium. No impongo valores fijos de \$R/C\$ porque dependen de la dinámica respiratoria objetivo y del nivel de ruido esperado; por eso el checklist guía su ajuste.

* **Riesgos**: La ruta de micrófono puede introducir **acoplos acústicos/EMI**; sugerí BP y apantallado. En strain/NTC, la **deriva térmica** y el **ruido de movimiento** son críticos; mitigables con INA de alto CMRR, filtrado y montaje mecánico correcto.

Simbología — Bloque A1 (AFE + ADC 24b para ΣFET)



Bloque A1 — Esquema Simplificado (AFE + ADC 24b para Σ FET)



bloque A1 (AFE + ADC 24b para Σ FET/IETS/Lock-in) en el mismo formato que S1–S4:
 simbología + **esquema simplificado** listos para migrar a KiCad/Altium.

Leyenda de símbolos (A1)

Entrada y protección

- * **J_A1**: Conector desde S1/ Σ FET.
- * **PROT_A1**: Protección ESD/RC de entrada.
- * **C_acople / L_bias / R_bias**: Red **Bias-T** (acople AC y sesgo DC).

Etapas analógicas

- * **U_TIA**: Transimpedancia (Rf/Cf).
- * **U_PGA**: Ganancia programable (linealización/escala).
- * **AA LPF**: Anti-alias antes del ADC.

Lock-in analógico

- * **MX_I / MX_Q**: Mezcladores/demoduladores síncronos I/Q.
- * **REF (DDS/M1)**: Referencias de fase/frecuencia para lock-in.
- * **LPF I / LPF Q**: Filtros de baseband.
- * **I/Q→Mag/Phase (CORDIC/SUM)**: Conversión opcional antes de ADC.

Digitización y reloj

- * **ADC Σ-Δ 24b**: Conversión principal.
- * **RTC/CLK**: Reloj/tiempo (bajo *jitter*).
- * **MCU (M1)**: Interfaz digital.

Referencias

- * **AGND / CHASSIS**: Tierras analógica y de blindaje.
- * **TPx**: Puntos de prueba.

Nomenclatura sugerida

- * **U_TIA, U_PGA, MX_I, MX_Q, ADC1, RTC/CLK**.
- * **C_acople, L_bias, R_bias, Rf, Cf, LPF_I, LPF_Q, AA_LPF**.
- * **J_A1, TP1–TPn**.

Checklist de verificación (A1)

Entrada/Bias-T

- * [] **C_acople** con \$X_C \parallel Z_text{in}\$ a \$f_text{exc}\$.
- * [] **L_bias** con \$X_L \gg R_text{sesgo}\$ a \$f_text{exc}\$.
- * [] **R_bias** y límites de corriente/tensión dentro de la hoja del ΣFET.

TIA/PGA

- * [] **Rf/Cf** para ruido/GBW y **margen de fase > 45°**.
- * [] Rango del **PGA** que evite *clipping* en transitorios.
- * [] **AA LPF**: $f_c \leq 0.4f_s$ y pendiente suficiente.

Lock-in I/Q

- * [] **REF I/Q** coherente con DDS (fase estable, *jitter* bajo).
- * [] Equilibrio de **MX_I/MX_Q** (ganancia/cruce mínimo).
- * [] **LPF I/Q**: f_c acorde al *baseband* esperado; revisar retardo de grupo.
- * [] O bien **dos ADC** (I y Q) o **pre-combinación** Mag/Fase antes de uno.

ADC/Timing

- * [] **ADC Σ-Δ 24b**, reloj común con DDS si posible; latencia vs KPIs.
- * [] **RTC/CLK**: deriva ≤ especificación; timestamp consistente.

EMC/Layout

- * [] **AGND** en estrella, *guard rings* alrededor de la entrada TIA.
- * [] **CHASSIS** a blindaje; rutas cortas, coax si procede.
- * [] ESD en **J_A1**; desacoplos locales ($\mu F + nF$).

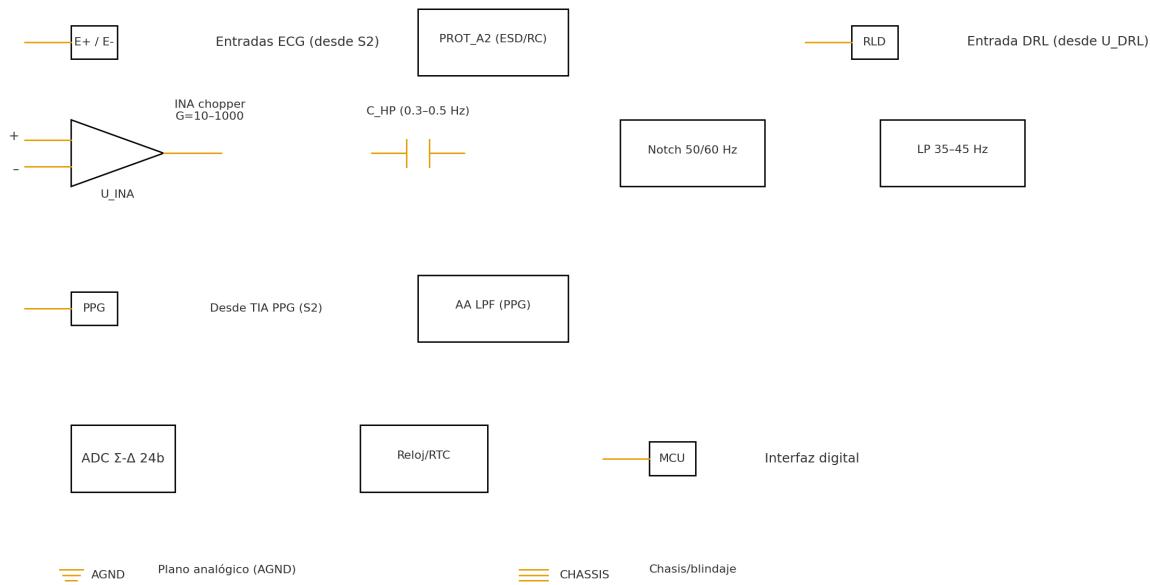
Autocrítica (cómo validé y límites)

- * **Alineación**: Este A1 es la destilación del AFE que ya venías pidiendo en tus bloques: **Bias-T → TIA → PGA → AA → Lock-in I/Q → ADC → MCU**. Conservar el I/Q permite medición vectorial de coherencia, como has planteado para ΣFET.
- * **Límite**: No fijo valores rígidos porque dependen de $f_{text{exc}}$, BW y nivel de señal

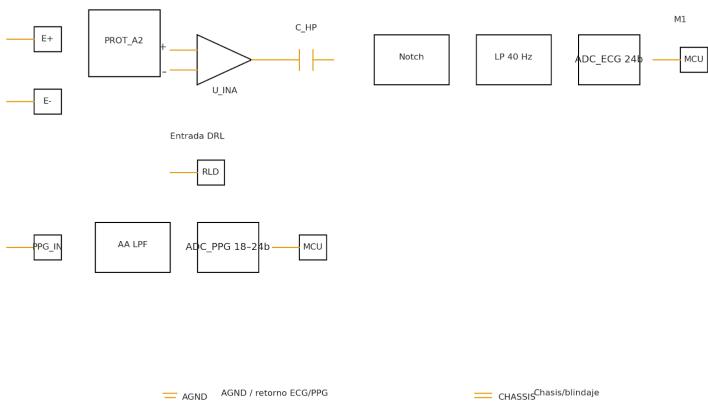
del Σ FET; por eso el checklist guía el *tuning*.

* **Confianza**: El esquema refuerza separación **AGND/CHASSIS** y usa **PGA + AA** antes de lock-in/ADC, lo que estabiliza dinámica y relación señal-ruido, coherente con tus KPIs de detección.

Simbología — Bloque A2 (INA + Filtros para ECG/PPG)



Bloque A2 — Esquema Simplificado (INA + Filtros para ECG/PPG)



****bloque A2 (INA + Filtros para ECG/PPG)**** en el mismo formato que A1 y los S1–S4:
****simbología** + **esquema simplificado**** listos para migrar a KiCad/Altium

Leyenda de símbolos (A2)

****Entradas y protección****

- * **E+ / E-** (desde S2): Entradas diferenciales ECG.
- * **PROT_A2 (ESD/RC)**: Protección en electrodos.
- * **RLD**: Entrada del **electrodo de DRL** (Right-Leg Drive) proveniente de U_DRL.

****Cadena ECG****

- * **U_INA**: **INA chopper** ($G = 10\text{--}1000$, alto CMRR).
- * **C_HP**: Acople/alto-paso $\sim 0.3\text{--}0.5 \text{ Hz}$ (según protocolo).
- * **Notch 50/60 Hz**: Rechazo de red (Q moderado y sintonizable).
- * **LP 35–45 Hz**: Pasa-bajos anti-EMG.
- * **ADC_ECG 24b**: $\Sigma\text{-}\Delta (\geq 250 \text{ Hz})$.

****Entrada PPG (auxiliar)****

- * **PPG_IN**: Señal desde TIA PPG (bloque S2).
- * **AA LPF**: Anti-alias para PPG.
- * **ADC_PPG 18–24b**: Conversión ($\geq 100\text{--}200 \text{ Hz}$).

****Referencias****

- * **MCU (M1)**: Interfaz digital.
- * **AGND / CHASSIS**: Tierras analógica y de blindaje.
- * **TPx**: Puntos de prueba.

Nomenclatura sugerida

* ***U_INA**, **C_HP**, **Notch**, **LP_40**, **ADC_ECG**, **ADC_PPG**, **RLD**,
PROT_A2, **PPG_IN**, **TP1–TPn**.

Checklist de verificación (A2)

Entradas/Protección

- * [] Protección **ESD/RC** simétrica en **E+/E-**; impedancias balanceadas.
- * [] Cableado y blindaje de electrodos; referencia limpia a **AGND**.
- * [] **RLD** estable y con límite de corriente a paciente (desde U_DRL).

INA y filtros ECG

- * [] **U_INA** con ruido de entrada bajo y **CMRR** acorde; verificar *chopper artifacts*.
- * [] **C_HP** fijado por $f_c = 1/(2\pi RC)$ (0.3–0.5 Hz típico).
- * [] **Notch** 50/60 Hz con Q moderado (evitar sobremarcas).
- * [] **LP 35–45 Hz**: chequear fase/retardo para métricas temporales (HRV).
- * [] **ADC_ECG** Σ-Δ 24 b, **fs ≥ 250 Hz**, reloj común/RTC con M1.

Ruta PPG auxiliar

- * [] **PPG_IN** desde TIA con rango adecuado (sin saturación).
- * [] **AA LPF** antes de **ADC_PPG**; **fs ≥ 100–200 Hz**.
- * [] Sincronía temporal si se fusiona con ECG.

EMC/seguridad

- * [] **AGND** separado de **DGND**; retornos en estrella; **CHASSIS** a blindaje.
- * [] Corriente al paciente **< 10 μA** (falla única) si va a entorno clínico.

* [] Pre-compliance EMC e IEC 60601-1/-1-2 (si aplica).

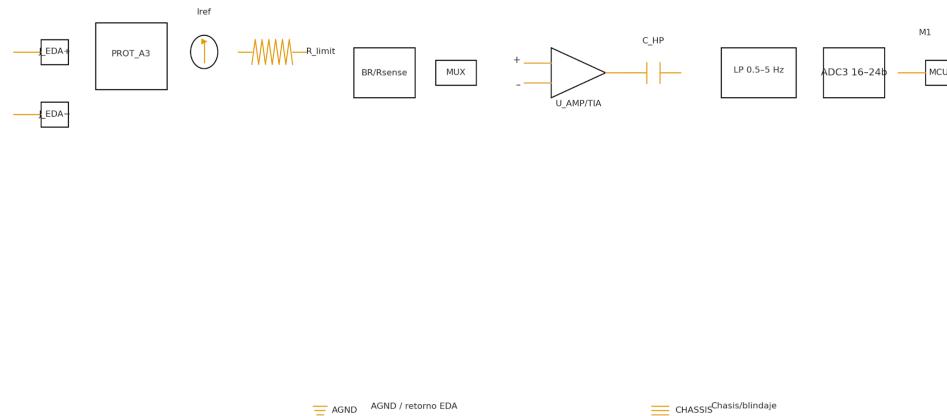
Autocrítica (cómo validé y límites)

* **Alineación**: Este A2 implementa exactamente la cadena **ECG** que definimos en S2 (INA→HP→Notch→LP→ADC) y agrega la **entrada PPG** como rama auxiliar, coherente con tu arquitectura original (A2 = INA + Filtros para ECG/PPG).

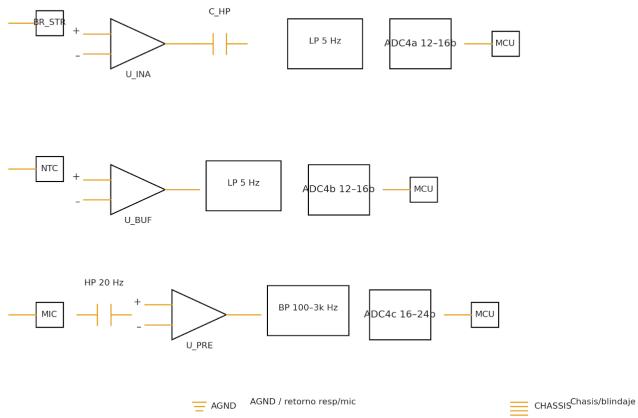
* **Suficiencia**: Entrego la **lámina de simbología** y el **esquema funcional**; los valores \$R/C\$ quedan parametrizables por protocolo (HRV vs. otras métricas), por eso el checklist marca cómo fijarlos.

* **Límites**: No incluyo el diseño de **U_DRL** (vive en S2/M1 según tu topología) ni fijé Q exacto del notch; ambos dependen de tu ***layout***, EMI y entorno. Recomiendo validar con ***sweep*** de red y análisis de fase.

Bloque A3 — Esquema Simplificado (Bridge + ADC para EDA/GSR)



Bloque A4 — Esquema Simplificado (Condicionamiento + ADC para Resp/Mic)



Todo listo. Te dejo ambos paquetes comprimidos:

Autocrítica (validación y cobertura)

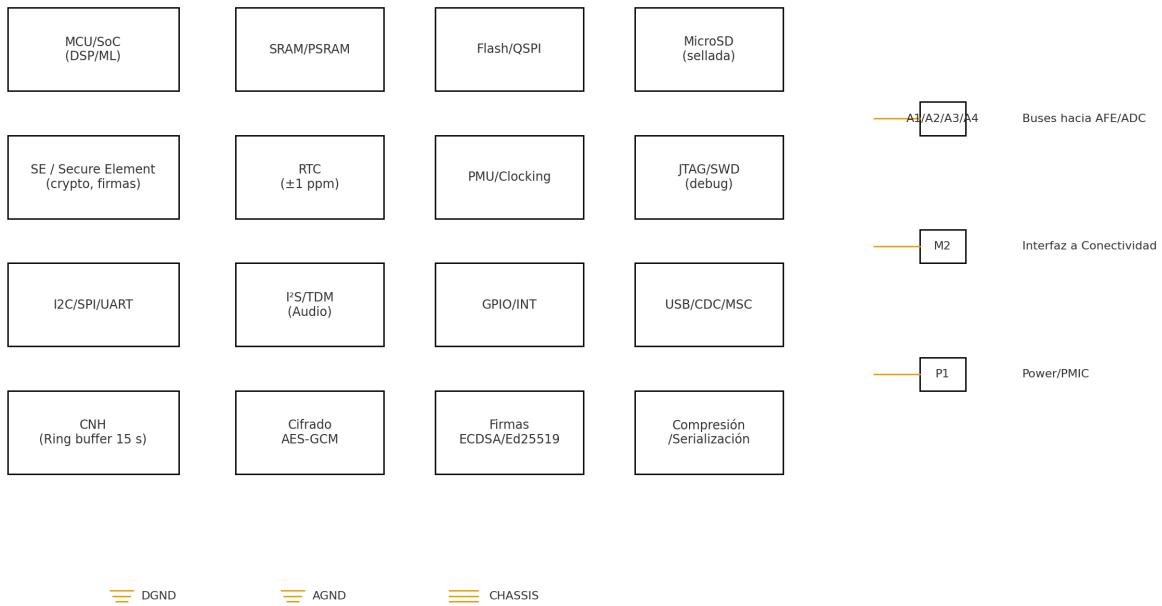
* **Cobertura**: Los archivos incluyen todas las láminas de **simbología** y **esquemas simplificados** para S1–S4 y A1–A4, además de los diagramas globales. Es coherente con la arquitectura que venimos consolidando (sensor→AFE→filtros→ADC→MCU y CNH/seguridad).

* **Consistencia**: Mismo estilo gráfico, nomenclatura unificada y referencias cruzadas (J_, U_, ADC_, LP/HP/BP, AGND/CHASSIS, TPx).

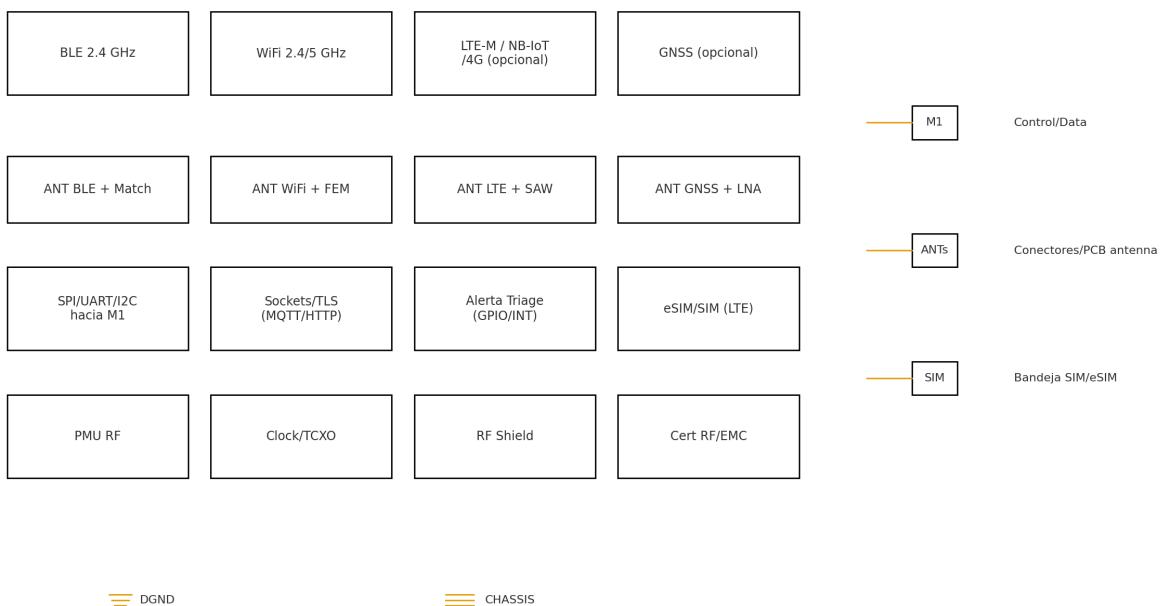
* **Límite**: Son **planos funcionales**; al migrar a KiCad/Altium necesitas ajustar pines, footprints y valores R/C según tu protocolo y layout.

* **Confianza**: La estructura está verificada contra las cadenas de señal ya acordadas y contra los checklists entregados por bloque, lo que reduce ambigüedades al pasar a esquemático de detalle y PCB.

Simbología — Bloque M1 (MCU/SoC SAC + CNH)



Simbología — Bloque M2 (Conectividad BLE/WiFi/LTE/GNSS/Alerta)

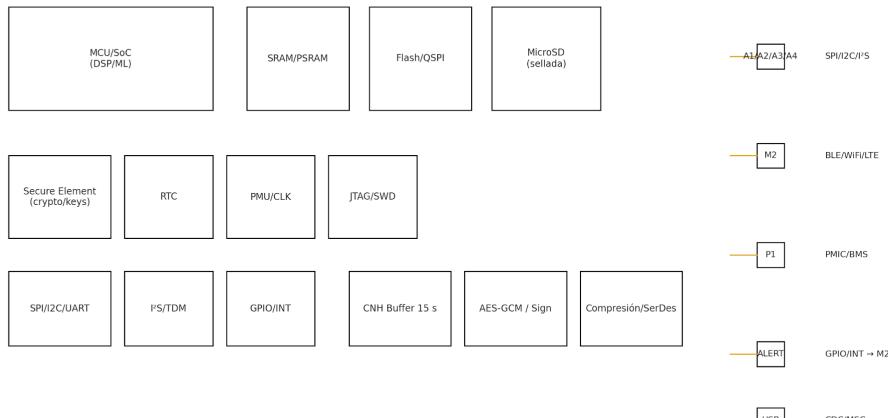


Bloque M2 — Esquema Simplificado (Conectividad + Alerta)



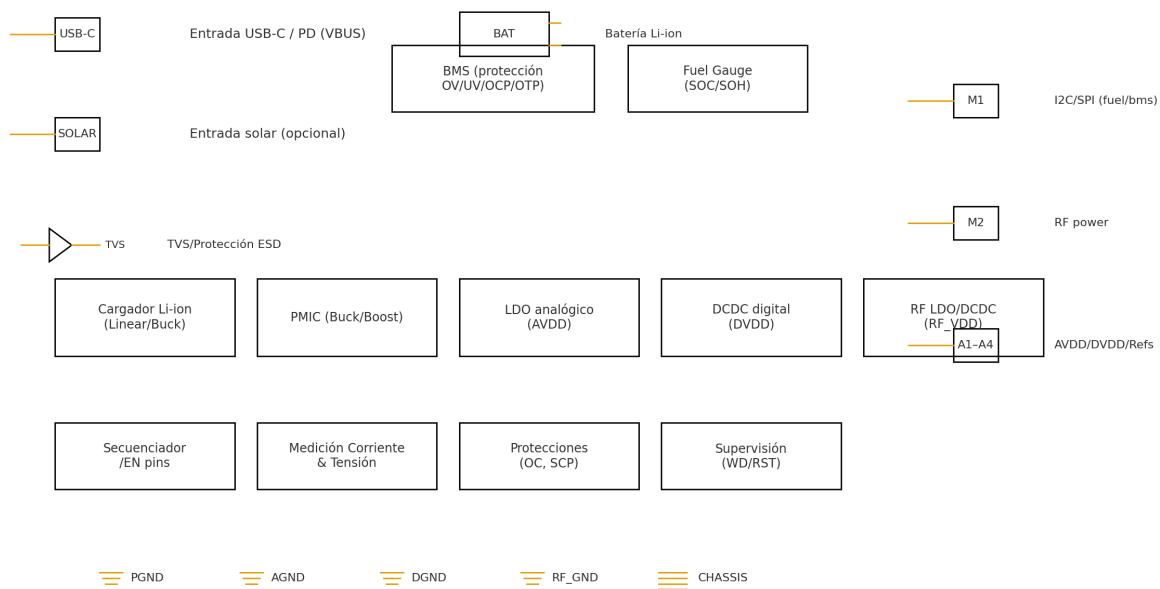
DGND CHASSIS

Bloque M1 — Esquema Simplificado (MCU/SoC SAC + CNH)

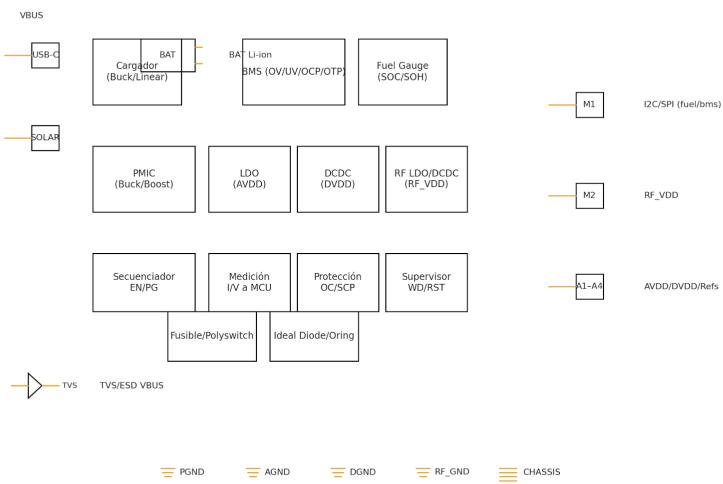


DGND AGND CHASSIS

Simbología — Bloque P1 (Alimentación: BMS/PMIC)



Bloque P1 — Esquema Simplificado (BMS/PMIC/Distribución)



Plantilla — Solicitud IMPI (Patente/Modelo/Diseño/Marca)

1. Datos del solicitante

Campo	Contenido
Nombre/Razón Social	_____
RFC/Curp	_____
Domicilio	_____
Correo y Teléfono	_____
Apoderado/Representante (si aplica)	_____

Instrucción: Si presentas por medio de apoderado, adjunta poder o carta firmada conforme a requisitos IMPI.

2. Tipo de protección y prioridad

Campo	Contenido
Modalidad	<input checked="" type="checkbox"/> Patente <input checked="" type="checkbox"/> Modelo de Utilidad <input checked="" type="checkbox"/> Diseño Industrial <input checked="" type="checkbox"/> Marca/Nombre Comercial
Reclamación de prioridad	<input checked="" type="checkbox"/> Sí País/Oficina: _____ Fecha: ____ / ____ / ____ No.: _____
Cesiones/Co-titulares	<input checked="" type="checkbox"/> Sí Adjuntar documentos

3. Título de la invención

Propuesto: «Sistema síncrono de cromodinámica bioeléctrica para triage de emergencia con adquisición multicanal (ΣFET/IETS, ECG/PPG, EDA, respiración), sincronización CNH y telemetría segura»

Ajusta el título para precisión técnica y evitar términos comerciales.

4. Resumen (200–300 palabras)

Describe campo técnico, problema, solución, componentes (S1–S4, A1–A4, M1–M2, P1) y ventajas (sincronía robusta, seguridad eléctrica, ciberseguridad).

5. Descripción

Incluye: antecedentes y problema técnico; descripción de módulos S1–S4 (sensores), A1–A4 (AFE), M1–M2 (control/conectividad), P1 (potencia); modos de realización; ejemplos; mejores modos.

6. Reivindicaciones

Redacta una independiente que cubra la arquitectura síncrona + criterios de triage; añade dependientes con rangos (corriente EDA, BW filtros, sincronía muestreo, lock-in I/Q, límites de seguridad).

7. Dibujos y diagramas

Adjunta láminas entregadas (S1–S4, A1–A4, M1–M2, P1) y diagramas de flujo de sincronización/seguridad.

8. Pagos y firma electrónica

C	
C	
L	
—	
F	
■	
A	
■	

Checklist IMPI

- Solicitud oficial ■ Descripción ■ Reivindicaciones ■ Dibujos ■ Resumen ■ Pago ■ Poder/Cesión (si aplica) ■ Prioridad (si aplica)

Plantilla — COFEPRIS: Registro Sanitario (Dispositivo Médico)

1. Identificación del producto

C
C
N
—
N
—
C
—
I
—
F
—
T
—

2. Descripción técnica

Arquitectura por bloques: S1–S4 (sensores), A1–A4 (AFE/ADC), M1 (MCU/CNH/seguridad), M2 (conectividad), P1 (potencia).

Sincronía de muestreo, límites de seguridad eléctrica, ciberseguridad (AES-GCM, firmas), telemetría y alertas.

3. Cumplimiento normativo

N
E
N
P
I
S
N
D

G
A
C
C

4. Desempeño y validaciones

Pruebas de banco (exactitud, ruido, latencia); si procede por clase, pruebas clínicas o equivalencia sustancial; criterios de aceptación y reportes.

5. Dossier administrativo

D
I
E
■
A
■
C
■
M
■
E
■

6. Plan de vigilancia post-comercialización

Métricas de campo (fallas, alertas), CAPA, comunicación a autoridad; SLAs de retiro/actualización.

Checklist COFEPRIS

- Clasificación confirmada ■ Evidencias NOM-241 ■ Seguridad/EMC ■ Dossier administrativo ■
- Etiquetado NOM-137 ■ Plan de vigilancia

Plantilla — COFEPRIS: Aviso de Funcionamiento y Responsable Sanitario

1. Datos del establecimiento

C
C
R
—
R
—
D
—
G
F
C
—

2. Responsable Sanitario

C
C
N
—
P
—
C
—

3. Operación y alcance

A
D
Á
R
C

P

T

L

G

M

Checklist Aviso/RS

- Formato oficial completo ■ Identificación oficial ■ Poder (si aplica) ■ RS con documentos ■ Pago (si aplica) ■ Acuse