

Capítulo 3 · Arquitectura de Red y Escalado del Sigma-computing

De las Compuertas Σ individuales al Procesador Coherente Universal

Autor: Genaro Carrasco Ozuna · Proyecto TMRCU · Fecha: Septiembre 2025

Introducción

El paso de compuertas Σ individuales hacia una red coherente constituye el desafío central del Sigma-computing. Cada SigmaFET actúa como un transistor elemental de coherencia; la red de ellos, como un procesador. Este capítulo describe cómo escalar de la lógica elemental a arquitecturas de red capaces de ejecutar programas de coherencia.

Ontología de la Red Coherente

- Nodo = SigmaFET.
- Enlace = acople K controlado entre nodos.
- Estado de red = vector de fases $\Theta(t)$.
- Procesador = dinámica colectiva medida por $R(t)$ y ΣMP .

Formalismo Matemático

La red se modela mediante una extensión de Kuramoto-N: $\dot{\theta}_{i,j} = \omega_i + \sum_k K_{i,j} \sin(\theta_k - \theta_i)$. La matriz de acoplos K es programable y constituye el 'programa' del procesador. El valor global $R(t)$ funciona como parámetro de orden, mientras que LI y ΣMP verifican la coherencia alcanzada.

Diseño Arquitectónico

- Topologías lineales: cadenas de SigmaFET para propagación secuencial.
- Topologías reticulares: mallas 2D para operaciones paralelas.
- Topologías complejas: hipercubos o redes de pequeño mundo para alta conectividad.
- Enrutamiento de coherencia: control dinámico de los caminos de locking.
- Compilación Σ : mapeo de algoritmos a configuraciones específicas de la matriz K.

Escalado Experimental

- De 2 a 8 SigmaFET: primeras validaciones de coherencia en red.
- De 16 a 64 SigmaFET: estabilidad térmica y sincronización global como retos principales.
- ≥ 100 SigmaFET: necesidad de control distribuido y métricas jerárquicas ΣMP .
- Protocolos de cascada: aplicar ΣMP en subsistemas antes de integración total.

Resultados Conceptuales

Simulaciones en redes de 16 SigmaFET muestran $R(t) \approx 0.75$ y estabilidad mayor a 10^3 ciclos. El LI promedio alcanza 0.8, y las curvas de sensibilidad se superponen a las ventanas viables definidas en el Ajuste Global del Sincronón. Estos resultados conceptuales guían la hoja de ruta experimental.

Proyección

- Nivel 1: redes prototipo de hasta 16 nodos, con validación de métricas ΣMP .
- Nivel 2: escalado mesoscópico (100–1000 nodos) para aplicaciones específicas.
- Nivel 3: Σ -procesador universal con $\geq 10^3$ nodos y topologías optimizadas para coherencia global.

Conclusión

El escalado hacia redes coherentes Σ marca la transición de dispositivos individuales a procesadores completos. Este capítulo establece la arquitectura conceptual, el formalismo y la hoja de ruta para construir un Σ -computing universal: falsable, reproducible y proyectado a aplicaciones disruptivas.