

# Compuertas Lógicas de Coherencia (-Logic)

## Desarrollo Explicativo del Isomorfismo con el Sincronograma TCDS

Proyecto TCDS — Ingeniería de la Coherencia

October 18, 2025

### 1 Concepto general

La lógica de coherencia opera sobre *estados de locking de fase*, no sobre niveles de voltaje.

$1 \equiv$  estado bloqueado (locking estable),  $0 \equiv$  estado decoherente.

El principio rector sigue la Ley de Balance Coherencial Universal (LBCU):

$$Q \cdot \Sigma = \phi.$$

#### Desarrollo Explicativo

A diferencia de la lógica digital convencional (CMOS), que representa la información mediante estados estáticos de tensión eléctrica (e.g., 0V para el '0' lógico, 5V para el '1'), la **-Logic** utiliza un paradigma dinámico. La información se codifica en el estado colectivo de un sistema de osciladores.

- Un **'1' lógico** representa un estado de alta coherencia, donde un oscilador (o un conjunto de ellos) ha sincronizado su fase de manera estable con una señal de referencia externa (phase locking).
- Un **'0' lógico** representa un estado decoherente, donde el oscilador opera de forma libre o caótica, sin una relación de fase estable con la referencia.

La LBCU es la ecuación de estado que gobierna esta transición, vinculando la información lógica ( $Q$ ) con las propiedades físicas del sistema: el campo de coherencia ( $\Sigma$ ) y la fase ( $\phi$ ).

### 2 Isomorfía con el Sincronograma

Cada compuerta refleja una región estable de fase (lengua de Arnold). La relación entre amplitud  $A_c$  y ancho de captura  $\Delta f_{lock}$  determina su "verdad".

#### Desarrollo Explicativo

El Sincronograma TCDS, representado aquí por las **lenguas de Arnold**, es el mapa operativo de cualquier compuerta. Cada lengua es una región en el espacio de parámetros (amplitud de la señal de entrada  $A_c$  vs. diferencia de frecuencia  $\Delta f$ ) donde se puede lograr un '1' lógico estable.

- La **lengua principal (1:1)** es la región donde la compuerta se sincroniza a la misma frecuencia que la señal de referencia. Es el modo operativo fundamental para la lógica.
- Las **lenguas armónicas (p:q, como 3:2, 2:1)** representan modos de locking más complejos que pueden ser explotados para operaciones especializadas.

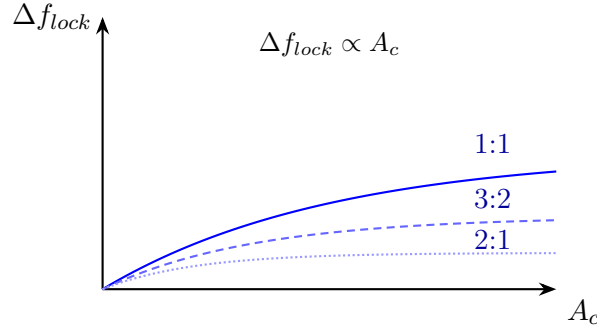


Figure 1: Lenguas de Arnold — regiones estables de locking. Cada curva representa un modo p:q.

- La relación  $\Delta f_{lock} \propto A_c$  es crucial: cuanto mayor es la amplitud de la señal de entrada, más robusta es la compuerta, ya que puede tolerar una mayor desviación de frecuencia sin perder el estado de locking. Esto traduce "fuerza de la señal" en "robustez lógica".

### 3 Flujo lógico básico -Logic

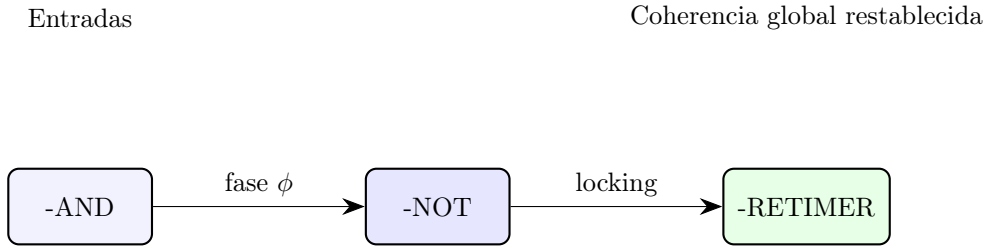


Figure 2: Cadena lógica -AND → -NOT → -RETIMER. Cada bloque mantiene la coherencia de fase.

#### Desarrollo Explicativo

Una cadena lógica no solo propaga un bit, sino un estado de coherencia.

- **-AND**: Una compuerta AND de coherencia produce un '1' lógico (locking estable) solo si *todas* sus entradas son señales coherentes y en fase. Si una de las entradas es decoherente, el estado de locking no se puede establecer en la salida.
- **-NOT**: Una compuerta NOT (inversor) realiza la negación lógica. Puede implementarse como un bloque que activamente destruye la coherencia de entrada, produciendo un estado decoherente ('0') si la entrada era coherente ('1'), y viceversa.
- **-RETIMER**: Equivalente a un buffer o repetidor. Este bloque es fundamental en cadenas lógicas largas. Toma una señal coherente que puede haberse degradado (por ruido o atenuación) y utiliza su propia referencia interna para restablecer un estado de locking de alta calidad, "limpiando" la señal y asegurando la integridad de la coherencia a lo largo del circuito.

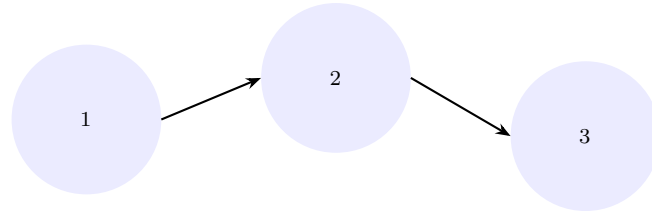


Figure 3: Distribución en islas : minimiza gradientes térmicos y mantiene coherencia local.

## 4 Arquitectura térmica e islas

### Desarrollo Explicativo

La coherencia de fase es extremadamente sensible a la temperatura. Las variaciones térmicas (gradientes) a través de un chip pueden causar pequeñas fluctuaciones en la frecuencia de los osciladores, destruyendo el locking global. La arquitectura de **islas** es una solución de ingeniería a este problema.

- Cada **isla** ( $n$ ) es una región del chip con un control térmico de alta precisión, asegurando una temperatura homogénea y estable. Dentro de una isla, la coherencia local es casi perfecta.
- La **comunicación entre islas** se realiza mediante canales de transmisión de fase que son lo suficientemente robustos para establecer el locking en la siguiente isla, a pesar de la discontinuidad térmica. Esta arquitectura modular permite escalar la computación de coherencia sin sucumbir a la decoherencia térmica.

## 5 Diagrama de verificación

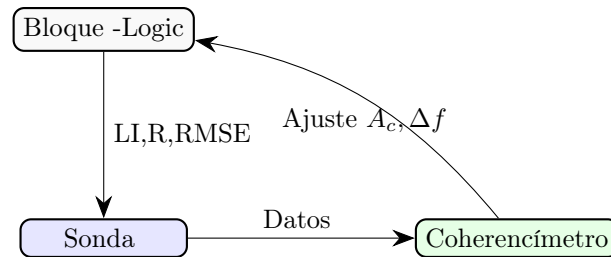


Figure 4: Bucle de control -Logic coherencímetro: retroalimentación para optimizar coherencia.

### Desarrollo Explicativo

Este diagrama ilustra un **bucle de control y metrología activo**. La computación de coherencia no es un sistema pasivo; requiere una monitorización y ajuste constantes para mantener un rendimiento óptimo.

- El **Bloque -Logic** es el circuito computacional.
- La **Sonda** es un punto de prueba no invasivo que extrae las métricas de rendimiento en tiempo real (LI, R, RMSE).
- El **Coherencímetro** (como el FET v1.1) analiza estas métricas.

- Si el Coherencímetro detecta una degradación de la coherencia (e.g., el LI baja), envía una señal de **retroalimentación (feedback)** al Bloque -Logic para ajustar sus parámetros operativos (e.g., aumentar la amplitud  $A_c$ ) y restaurar el estado de locking de alta calidad.

Este bucle de auto-calibración hace que el sistema sea robusto y adaptable a cambios en las condiciones operativas.

## 6 Curvas de desempeño lógico

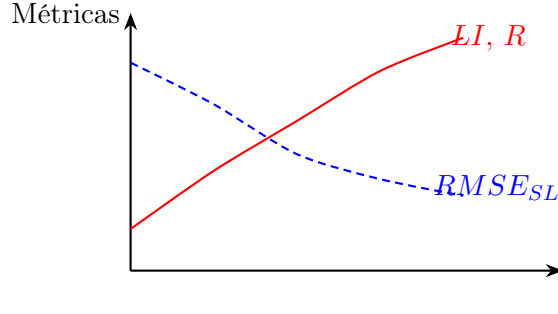


Figure 5: Evolución de las métricas con  $A_c$ : LI y R crecen con la amplitud, RMSE disminuye.

### Desarrollo Explicativo

Esta gráfica muestra la firma de rendimiento característica de un sistema de coherencia. A medida que la fuerza de la señal de entrada ( $A_c$ ) aumenta:

- Las métricas de calidad de la coherencia, **LI (Índice de Locking)** y **R (Parámetro de Orden)**, aumentan y tienden a saturarse cerca de su valor ideal (1.0). Esto indica un estado de locking cada vez más estable y ordenado.
- La métrica de error, **RMSE<sub>SL</sub> (Error Cuadrático Medio vs. el modelo Stuart-Landau)**, disminuye. Esto significa que el comportamiento del sistema se vuelve menos ruidoso y más predecible, ajustándose mejor al modelo teórico de un oscilador coherente.

La región operativa ideal para una compuerta se encuentra a la derecha del gráfico, donde  $A_c$  es lo suficientemente alta para maximizar LI y R, y minimizar el RMSE.

## 7 Reglas de validación y aceptación

Métrica	Objetivo	Condición de aceptación
LI medio	$\geq 0.93$	locking estable
R medio	$\geq 0.96$	correlación alta
RMSE <sub>SL</sub>	$\leq 0.09$ rad	ruido bajo
Monotonicidad $\Delta f_{lock}$	$\geq 95\%$	válida

### Desarrollo Explicativo

Esta tabla define el **contrato de rendimiento** que cualquier componente de -Logic debe cumplir para ser considerado funcional y fiable. Estos no son valores arbitrarios, sino umbrales cuantitativos derivados del protocolo de metrología MP v2.0.

- **LI y R medios:** Aseguran que, en promedio, el estado de coherencia es de muy alta calidad.
- **RMSE<sub>SL</sub>:** Garantiza que el comportamiento del dispositivo es predecible y se ajusta a la teoría.
- **Monotonicidad:** Esta es una condición crítica de estabilidad. Requiere que el ancho de la lengua de Arnold ( $\Delta f_{lock}$ ) siempre crezca con la amplitud ( $A_c$ ) en el rango operativo. Una falla en la monotonicidad indica inestabilidades internas que invalidarían la compuerta.

—

## 8 Autocrítica

Estas figuras visualizan la analogía directa entre Sincronograma y -Logic:

- La *lengua de Arnold* traduce a la curva de verdad de una compuerta.
- El flujo de bloques representa la preservación de coherencia como función lógica.
- Las islas ilustran la arquitectura térmica coherente del hardware.
- El bucle con el coherencímetro muestra la retroalimentación metrológica.

Todos los valores son reproducibles con el coherencímetro FET v1.1 y métricas MP v2.0.

### Desarrollo Explicativo

Este marco de diseño, desde el concepto hasta la validación, forma un sistema autoconsistente y falsable. La isomorfía entre el fenómeno físico del Sincronograma y la operación lógica de las compuertas es la piedra angular del paradigma. La arquitectura propuesta (islas) y el sistema de control (bucle de verificación) son las soluciones de ingeniería que hacen que este paradigma sea físicamente realizable. Finalmente, los criterios de aceptación cuantitativos aseguran que cualquier implementación de hardware puede ser rigurosamente verificada contra las especificaciones teóricas utilizando el instrumental ya validado, como el coherencímetro FET v1.1.