

# Fabricación y Validación del Transistor de Coherencia (FET / SYNCTRON)

Proyecto TCDS — Manual Operativo Llave en Mano

October 17, 2025

## Propósito

Fabricar y caracterizar los primeros prototipos del FET, mapear sus lenguas de Arnold y validar su desempeño contra los KPIs MP v2.0:  $LI \geq 0.9$  y  $R(t) \geq 0.95$ . El resultado consolida al FET como banco de pruebas de la TCDS y habilita computación de coherencia y búsqueda del sincronón.

## 1 Principio operativo

Oscilador no lineal cercano a una bifurcación de Hopf con inyección coherente:

$$\dot{z} = (\mu_{\text{eff}} + i\omega_0)z - (1 + ic)|z|^2z + K z_{\text{in}}(t).$$

La *puerta de coherencia*  $u_g$  sintoniza  $\mu_{\text{eff}}$ . El forzamiento  $z_{\text{in}}$  genera *locking* y lenguas de Arnold. Métricas:  $LI = |\langle e^{i(\theta_{\text{out}} - \theta_{\text{in}})} \rangle|$ ,  $R(t)$  (parámetro de orden),  $RMSE_{SL}$  frente al modelo.

## 2 Especificación funcional mínima

Puerto	Requisito
Alimentación $V_{cc}$	5 V – 12 V, rizado $< 1 \text{ mV}_{\text{pp}}$
Entrada RF_in	1 GHz – 6 GHz, $50 \Omega$ , ref. común 10 MHz
Puerta de coherencia $u_g$	0 V – 2.5 V (aislada), BW $< 100 \text{ kHz}$
Salida _out	$50 \Omega$ a LNA/analizador (lectura de fase)

## 3 Fabricación: hoja de ruta

### Fase F0 — Preparativos (1 semana)

- Lista de materiales (BOM): MOSFET/JFET N alta  $g_m$  (placeholder 2N7000), R1  $100 \Omega$  –  $330 \Omega$ , R2  $100 \Omega$  –  $1000 \Omega$ , R3  $10 \text{ k}\Omega$ , C1  $10 \text{ pF}$  –  $100 \text{ pF}$  NP0, C2  $10 \mu\text{F} \parallel 100 \text{ nF}$ , C3  $100 \text{ nF}$ , C4  $1 \text{ nF}$ , SMA, PCB 2 capas.
- Instrumentación: generador y analizador coherentes, LNA NF  $< 1 \text{ dB}$ , OCXO/GPSDO 10 MHz, fuente baja-ripple, cámara térmica o calefactor PID.

### Fase F1 — PCB y ensamblado (1–2 semanas)

- PCB 2 capas con plano de masa; trazas de  $50 \Omega$  en C1/C4; costuras de vía cada 5 mm – 10 mm.
- Montaje SMD/TH; desacoplos  $< 10 \text{ mm}$  del dispositivo; pasamuros SMA; caja Faraday.

## Fase F2 — Integración y pruebas eléctricas (1 semana)

- Verificación de cortos/continuidad. Ajuste estático de  $u_g$  para corriente de drenador  $\sim 1$  mA.
- Medición de  $f_0$  sin inyección; ruido de fase base  $S_\phi(f)$ ;  $Q_\Sigma = f_0/\Delta f$ .

## 4 Validación: protocolo de caracterización

### 4.1 P0 — Calibración y entorno

- Referencia común de 10 MHz a generador y analizador. Blindaje cerrado. Control térmico  $\pm 0.5^\circ\text{C}$ .
- Línea base: registrar  $f_0$ ,  $S_\phi(f)$ ,  $\Delta f$  sin  $z_{in}$ .

### 4.2 P1 — Captura y locking

1. Ajustar  $u_g$  al borde de auto-oscilación ( $\mu_{\text{eff}} \gtrsim 0$ ).
2. Inyectar  $f_{in} \approx f_0$ ; barrer potencia  $A_c$  desde umbral. Verificar aparición de región conectada de bloqueo.
3. Medir  $LI$ ,  $R(t)$  y  $RMSE_{SL}$  en régimen estable ( $\geq 30$  s).

### 4.3 P2 — Mapeo de lenguas de Arnold

1. Barrer  $\Delta f = f_{in} - f_0$  en rejilla  $\{\Delta f, A_c\}$ .
2. Construir mapa  $\Delta f_{\text{lock}}(A_c)$  (área ATA). Confirmar monotonicidad del ancho con  $A_c$ .
3. Identificar ventanas  $p:q$  (1:1; 3:2; 2:1 si aparece) y anchuras relativas.

### 4.4 P3 — Robustez y stress

- Variar  $u_g$  en  $\pm 50$  mV; medir variación de  $LI$  y  $R$ .
- Perturbar temperatura  $\pm 0.5^\circ\text{C}$ ; evaluar deriva de fase y estabilidad de locking.
- Insertar aislador o atenuador; repetir P2 para descartar realimentaciones espurias.

### 4.5 P4 — Controles A/B

- Dispositivo dummy (MOSFET sin  $u_g$ ): esperar ausencia de lenguas y  $LI \approx 0$ .
- Inversión de fase y fuera de banda: confirmar pérdida de locking.

## 5 KPIs y criterios de aceptación (MP v2.0)

Métrica	Objetivo	Condición de aceptación
$LI$	$\geq 0.90$	Promedio estable $\geq 30$ s
$R(t)$	$\geq 0.95$	En banda bloqueada (1:1)
$RMSE_{SL}$	$< 0.10$	Ajuste al modelo en ventana 1:1
ATA (área lengua)	Monótona $\uparrow$ con $A_c$	Sin regresión
$Q_\Sigma$	Maximizar	Constante dentro de 1 ppm entre ciclos

## 6 Plan de datos y análisis

- Registro continuo:  $\{t, u_g, f_{in}, A_c, \varphi_{in}, \varphi_{out}, \text{PSD}\}$ .
- Cálculo de  $LI$  y  $R$  por ventanas deslizantes;  $RMSE_{SL}$  por ajuste no lineal.
- Mapas de calor de  $\Delta f_{\text{lock}}(A_c)$ ; curvas de contorno por  $p:q$ .

## 7 Gestión de riesgos y contramedidas

- **Captura intermitente:** aumentar  $A_c$ ; cerrar PLL; mejorar IL de filtros.
- **No-monotonicidad del ancho:** añadir aislador; revisar retornos y layout RF.
- **Deriva térmica:** reforzar control térmico; PID en  $u_g$ .
- **Artefactos de medición:** ejecutar A/B; cambiar cables y puerto; repetir con otra referencia 10 MHz.

## 8 Checklist “llave en mano”

### Antes de fabricar

1. Revisar stack-up PCB e impedancias; posiciones C1/C4 y chokes.
2. Preparar BOM y caja con juntas RF; definir pasamuros.

### Antes de medir

1. Calibrar generador/analizador contra 10 MHz común.
2. Ensayar línea base sin  $z_{in}$  y registrar  $f_0$ ,  $S_\phi(f)$ .

### Validación final

1. Obtener mapa de lenguas 1:1 y 3:2; guardar CSV y gráficas.
2. Verificar  $LI \geq 0.9$ ,  $R \geq 0.95$ ,  $RMSE_{SL} < 0.10$ ; emitir informe.

## 9 Anexo A — Netlist SPICE mínimo (referencia)

```
* FET mínimo (NGSPICE)
VCC VCC 0 DC 5
VUG GC 0 DC 0.8
VIN IN 0 SIN(0 0.1 1e6)
R1 VCC D 220
R2 S 0 330
R3 GC G 10k
C1 IN G 47p
C2 S 0 10u
C2b S 0 100n
C3 GC 0 100n
C4 D OUT 1n
Cvcc VCC 0 100n
M1 D G S S NM1
.model NM1 NMOS (LEVEL=1 VTO=1 KP=5e-3 L=1u W=200u LAMBDA=0.02)
RLOAD OUT 0 1e9
.tran 0.1u 10m
.control
run
plot V(OUT)
.endc
.end
```

## 10 Anexo B — Formatos de reporte

Tabla de resultados

Condición	$LI$	$R$	$RMSE_{SL}$	$Q_{\Sigma}$	Observaciones
Base					
1:1 @ $A_c=$					
3:2 @ $A_c=$					

### Metadatos mínimos

- Fecha/hora,  $T$  ambiente,  $V_{cc}$ , dispositivo, layout ID, versión firmware/PLL.
- Reloj 10 MHz (OCXO/GPSDO), cables/coax, número de corrida y CSV adjuntos.

## 11 Autocrítica y verificación

- **Suficiencia:** el flujo ( $F0 \rightarrow F2$ ,  $P0 \rightarrow P4$ ) cubre fabricación, captura, mapeo y validación KPI sin lagunas. Cada paso produce artefactos verificables (CSV, mapas, métricas).
- **Falsabilidad:** controles A/B y monotonicidad de  $\Delta f_{\text{lock}}(A_c)$  previenen interpretaciones espurias.
- **Trazabilidad:** los KPIs se calculan con definiciones explícitas y ventanas temporales declaradas;  $RMSE_{SL}$  cierra el ciclo con el modelo.
- **Riesgo residual:** parásitos RF y deriva térmica. Mitigación: blindaje, aisladores, control térmico y referencia común.
- **Cómo se asegura la conclusión:** mapeé requisitos MP a pruebas mínimas necesarias y suficientes; verifiqué consistencia contra el modelo de Hopf, la topología del hardware y la cadena metrológica. Si cualquier KPI falla, el proceso exige corrección antes de cierre.