

Compuertas Lógicas y Coherencia

Fundamentos de Lógica basada en el Transistor de Coherencia (FET)

Rama Paralela — Ruta A Instrumental

Genaro Carrasco Ozuna

Proyecto TCDS / Motor Sincrónico de Luz (MSL)

ORCID: 0009-0005-6358-9910

Enero 2026

Abstract

Se desarrolla una formulación instrumental de compuertas lógicas basada en coherencia (–Logic), utilizando el Transistor de Coherencia (FET) definido como instrumento experimental (Ruta A). A diferencia de la lógica CMOS, donde las compuertas conmutan corriente, en –Logic las compuertas deciden estados lógicos a partir de la emergencia o ausencia de coherencia causal, validada mediante métricas y un criterio entrópico obligatorio (E–Veto). La integración como dispositivo físico tipo transistor se deja explícitamente como frontera futura (Ruta B).

Contents

1	Naturaleza física de una compuerta lógica	3
2	Comparativo: lógica clásica vs lógica coherencial	3
3	Definición de bit coherencial	3
4	El papel del FET en la lógica coherencial	3
5	Codificación de entradas lógicas	4
6	Construcción de compuertas básicas	4
6.1	Compuerta AND coherencial	4
6.2	Compuerta OR coherencial	4
6.3	Compuerta NOT coherencial	4
7	Cascadabilidad y fan–out	4
8	Márgenes y robustez	5
9	Alcance y límites de la lógica	5

10 Preámbulo a Ruta B (integración futura)	5
11 Conclusión	5
12 Bibliografía	6

1 Naturaleza física de una compuerta lógica

Una compuerta lógica no es una abstracción matemática aislada, sino un dispositivo físico cuya función principal es la *restauración de estados discretos* frente al ruido. En tecnologías clásicas, esta restauración se logra mediante ganancia energética y disipación.

En el enfoque aquí presentado, la restauración lógica se logra mediante organización: un estado lógico es aceptado únicamente si el sistema reduce su entropía efectiva.

2 Comparativo: lógica clásica vs lógica coherencial

Aspecto	CMOS / lógica clásica	–Logic (Ruta A)
Variable conmutada	Corriente / voltaje	Coherencia Σ
Restauración	Ganancia energética	Reducción entrópica
Criterio de verdad	Umbral eléctrico	E–Veto (ΔH)
Estado lógico	Nivel de señal	Régimen causal
Riesgo principal	Ruido eléctrico	Apofenia

Table 1: Diferencia conceptual entre lógica energética y lógica coherencial.

3 Definición de bit coherencial

Sea una ventana temporal W_k sobre la señal $x(t)$. Se define el estado lógico coherencial b_k como:

$$b_k = \begin{cases} 1, & \text{si } LI_k \geq \theta_{LI} \wedge R_k \geq \theta_R \wedge \Delta H_k \leq -0.20 \\ 0, & \text{en cualquier otro caso} \end{cases} \quad (1)$$

donde típicamente $\theta_{LI} \approx 0.9$ y $\theta_R \approx 0.95$.

Este bit no representa amplitud, sino *coherencia causal validada*.

4 El papel del FET en la lógica coherencial

En Ruta A, el FET actúa como un **bloque de decisión**, no como un componente integrado. Su función es evaluar si un conjunto de entradas logra inducir un régimen coherente bajo control del parámetro Q .

La dinámica fundamental se resume en:

$$Q \cdot \Sigma = \varphi, \quad (2)$$

donde la compuerta lógica opera modificando Q hasta cruzar (o no) el umbral de coherencia impuesto por la fricción φ .

5 Codificación de entradas lógicas

Las entradas lógicas $u_i \in \{0, 1\}$ no se aplican como voltajes discretos, sino como modulaciones del empuje Q . Tres codificaciones instrumentales comunes son:

- **Amplitud de acoplamiento:** $u_i = 1$ incrementa Q en ΔQ_i .
- **Conectividad:** $u_i = 1$ habilita un enlace coherencial.
- **Fase/retardo:** $u_i = 1$ introduce un retardo o desfase específico.

Cada entrada contribuye aditivamente al empuje efectivo:

$$Q_{\text{eff}} = Q_0 + \sum_i u_i \Delta Q_i. \quad (3)$$

6 Construcción de compuertas básicas

6.1 Compuerta AND coherencial

Se define un umbral Q^* tal que:

$$\Sigma = 1 \iff Q_{\text{eff}} \geq Q^* \wedge \Delta H \leq -0.20. \quad (4)$$

Escogiendo Q^* de forma que sólo $u_1 = u_2 = 1$ lo supere, se obtiene la tabla de verdad AND.

6.2 Compuerta OR coherencial

Reduciendo el umbral Q^* para que baste una sola contribución ΔQ_i , se implementa una compuerta OR, donde cualquier entrada activa induce coherencia.

6.3 Compuerta NOT coherencial

La inversión lógica se implementa utilizando una entrada que, al activarse, introduce desfase o ruido controlado suficiente para destruir la coherencia y violar E-Veto, forzando $\Sigma = 0$.

7 Cascadabilidad y fan-out

A diferencia de CMOS, la salida de una compuerta no es directamente una señal física lista para excitar otra compuerta. La cascadabilidad se logra mediante un transductor:

$$b_{\text{out}} \longrightarrow Q_{\text{next}}(b_{\text{out}}), \quad (5)$$

típicamente implementado por electrónica clásica o software de control. Esto habilita lógica híbrida coherencial-digital en Ruta A.

8 Márgenes y robustez

El análogo del *noise margin* clásico es la robustez del criterio entrópico. Un estado lógico coherencial es robusto si pequeñas variaciones de φ no invalidan la condición $\Delta H \leq -0.20$.

Esta propiedad define la calidad lógica del sistema.

9 Alcance y límites de la lógica

La \neg Logic en Ruta A permite:

- implementar tablas de verdad reproducibles,
- bloquear correlaciones espurias,
- estudiar lógica como fenómeno organizacional.

No permite, en esta etapa:

- integración física tipo transistor,
- fan-out puramente físico,
- computación de alta velocidad.

10 Preámbulo a Ruta B (integración futura)

Ruta B se habilitará únicamente si se demuestra que:

1. la relación $\Sigma(Q)$ es estable y reversible,
2. los márgenes coherenciales persisten al escalar,
3. la lógica no depende de control externo explícito,
4. la salida coherencial puede excitar múltiples entradas físicas.

Este documento no asume estas condiciones: las define como frontera experimental.

11 Conclusión

La lógica coherencial basada en FET redefine el concepto de compuerta lógica desde una perspectiva causal: un estado lógico es verdadero sólo si el sistema se organiza realmente. En Ruta A, esta lógica existe como instrumento de decisión y validación. Su posible materialización como electrónica coherencial queda abierta, pero no anticipada.

Principio rector:

Sin reducción entrópica verificable, no existe estado lógico coherencial.

12 Bibliografía

References

- [1] C. E. Shannon, “A Mathematical Theory of Communication,” *Bell System Technical Journal*, 1948.
- [2] A. Pikovsky, M. Rosenblum, J. Kurths, *Synchronization: A Universal Concept in Nonlinear Sciences*, Cambridge University Press, 2001.
- [3] S. H. Strogatz, *Sync: The Emerging Science of Spontaneous Order*, Hyperion, 2003.
- [4] F. M. Gardner, *Phaselock Techniques*, Wiley, 2005.
- [5] G. Carrasco Ozuna, *Canon Operacional TCDS: Sincronón y Hunter V16.3*, Proyecto TCDS, 2025–2026.