

TMRCU — Manual de Banco (Fases 1–3)

Rectificador de Empuje Cuántico (RE■Q) y ΣFET/SYNCTRON

Fecha de emisión: 2025-09-07 Versión: 1.0 Autor: Proyecto TMRCU

Propósito: Este manual describe el procedimiento de laboratorio, materiales, KPIs y criterios de aceptación para preparar un “vacío coherente” en un ΣFET, emular una frontera con gradiente de fricción ($\Delta\phi$) y acoplar un transductor perimetral con fines de rectificación (Fases 1–3).

Premisas TMRCU: La coherencia (Σ), la fricción de sincronización (ϕ) y el Empuje Cuántico (Q) se usan como variables operativas. La potencia extraída se modela como $P_{out} = \eta \cdot ■Q \cdot \Delta\phi$ (ansatz operativo).

1) Materiales y equipos

Bloque	Ítem	Especificación mínima
Núcleo ΣFET	Ruta A: VCO no lineal RF	Gama 1–10 GHz, control de ganancia y 2f-drive
	Ruta B: Micro■osciladores VO■	Transición Mott, lectura RF, control periférico CMOS
	Ruta C: SHNO magnónico	5–20 GHz, acople de fase variable, nanoconstricción
Inyección/Referencia	Generador RF	Estabilidad < 1e-7, barridos fin y Pin (dBm)
Medición	Analizador de Espectro/VNA	RBW ≤ 1 kHz, medición de linewidth y tironeo
	Lock■in / PLL	Seguimiento de fase y LI
Control	Bias■T / fuentes	u_g/corriente/campo; control PID/SMC (software)
Transductor perimetral	Opción 1 — Piezo (AlN/PMN■PT)	Anillo micrométrico en frontera
	Opción 2 — Termoeléctrico (Seebeck TE)	TE con lectura μV
	Opción 3 — Rectificador RF (Schottky Diodo)	Diodo + filtro paso bajo a DC
Mitigación	Blindaje EM	Caja Faraday, ferritas, tierra única
	Control térmico	Sondas T, cámara térmica opcional

2) KPIs y Criterios ΣMP

- Coherencia:** $LI \geq 0.90$ o $R \geq 0.95$; $RMSE_{SL} < 0.10$ (ajuste Stuart–Landau).
- Ventana de captura:** locking estable (mapas de lenguas de Arnold) con reproductibilidad $\geq 95\%$ en 100 ciclos.
- Proxy de ϕ :** linewidth/ruido de fase monotónicamente decreciente con Σ (definición operativa).

3) Procedimiento resumido

Fase 1 — Preparación de vacío coherente: caracterizar régimen libre ($f■$, Δf , potencia, ruido); acoplar referencia y barrer f_{in} y Pin ; asegurar locking (LI/R).

Fase 2 — Frontera $\Delta\phi$: imponer $\Sigma_{int} \rightarrow 1$ en núcleo y $\Sigma_{ext} \rightarrow 1$ en periferia mediante K , u_g ; mapear linewidth y ruido espacial para cuantificar $\Delta\phi/\phi_{ext} \geq 0.5$ sostenido 10 min.

Fase 3 — Transductor: colocar aro piezo/TE/rectificador en la isofrontera de mayor $\nabla\phi$; barrer $\Delta\phi$ y registrar V_{out} , I_{out} , P_{out} con cargas conocidas.

Señal RE■Q (pre■PoC): componente DC $\propto \Delta\phi$ no atribuible a parasitarios ni back■action; controles negativos y swaps ciegos incluidos.

4) Null tests

- Inversión de fase de inyección; anulación de K ; permuta de módulos por réplicas pasivas.
- Calorimetría local y control térmico para descartar gradientes ocultos.
- Ensayos en caja Faraday y líneas balanceadas para descartar acoplos EM no intencionales.