

# Planos Actualizados — Reloj Causal TCDS y Segundo Coherencial Predictivo (SCP)

Basado en el FET y el Triángulo de Métricas (Coherencia, E-Veto, Flujo-C)

**Autor:** Genaro Carrasco Ozuna    **Proyecto:** TCDS / MSL    **Fecha:** 9 de noviembre de 2025

## 1. Objetivo y Principio Operativo

El *Reloj Causal* no mide  $t_M$  (tiempo pasivo atómico) sino  $t_C$ , tiempo *ingenierizado* por el balance

$$Q \cdot \Sigma = \phi, \quad (1)$$

donde  $Q$  es el empuje cuántico,  $\Sigma$  la coherencia y  $\phi$  la fricción de sincronización. Un *tick* válido define un **Segundo Coherencial Predictivo (SCP)**.

## 2. Arquitectura Funcional

### 2.1 Bloques

- **Bloque 1:** Oscilador de Referencia (drive  $d(t)$ )
- **Bloque 2:** Módulo FET (sensor-actuador)
- **Bloque 3:** Front-end Analógico (filtros, ADC)
- **Bloque 4:** DSP/FPGA/MCU (-metrics)
- **Bloque 5:** Triángulo de Métricas (LI,R,RMSE<sub>SL</sub>; E-Veto; C-flow)
- **Bloque 6:** Emisor de SCP (tick válido)
- **Flujo de Señal (Data):** Bloque 1 → 2 → 3 → 4 → 5 → 6
- **Flujo de Control (Feedback):** Bloque 5 → 2 (control  $A_c$ )

### 2.2 Especificaciones mínimas

- Frecuencia base de referencia: 1 Hz – 10 kHz
- Ancho de banda del front-end:  $\geq 10 \times$  la banda útil para cálculo de fase.
- ADC:  $\geq 16$  bits,  $f_s \geq 100 \times f_0$  para margen de filtrado.
- Latencia DSP para decisión de SCP:  $< 10$  ms en modo *online*.

### 3. Definiciones y Métricas

Sea  $s(t)$  la señal FET y  $d(t)$  el drive.

$$R = \text{corr}(s, d), \quad (2)$$

$$\text{RMSE}_{SL} = \sqrt{\frac{1}{N} \sum_{k=1}^N (s_k - \hat{s}_k)^2}, \quad (3)$$

$$\text{LI} = 1 - \frac{1}{\pi} \text{Var}(\Delta\varphi_{p:q}(t)), \quad \Delta\varphi = \varphi_s - \varphi_d, \quad (4)$$

$$\kappa_\Sigma = \left. \frac{\partial \text{LI}}{\partial A_c} \right|_{A_c > 0}. \quad (5)$$

**Umbrales KPI operativos:**  $\text{LI} \geq 0,90$ ,  $R > 0,95$ ,  $\text{RMSE}_{SL} < 0,1$ .

#### 3.1 E-Veto (validación entrópica)

Definimos la entropía diferencial sobre la densidad de fase  $\rho(\Delta\varphi)$ :  $\mathcal{H} = - \int \rho \log \rho d\varphi$ . El **E-Veto** exige  $\Delta\mathcal{H} = \mathcal{H}_{\text{post}} - \mathcal{H}_{\text{pre}} < -0,2$  (unidades normalizadas), lo que apunta a *orden inducido por Q* y no artefacto estocástico de  $\phi$ . *Especificación sujeta a calibración; ver Sección 6.*

#### 3.2 Flujo-C (validación causal)

Usamos un estimador de flujo causal  $\mathcal{C}_{flow} \in [0, 1]$ , basado en información dirigida (p. ej. entropía de transferencia normalizada). Requisito:  $\mathcal{C}_{flow} > 0,8$ . *Implementación concreta abierta: TE o NPMI dirigida; indicar método en firmware.*

### 4. Definición de SCP

Un **SCP** se emite si y sólo si, en una ventana  $W$ :

$$\text{LI} \geq 0,90, \quad R > 0,95, \quad \text{RMSE}_{SL} < 0,1, \quad \Delta\mathcal{H} < -0,2, \quad \mathcal{C}_{flow} > 0,8. \quad (6)$$

El timestamp  $t_C$  del SCP es el borde de ventana en el que el *gating* supera simultáneamente los umbrales.

### 5. Diseño Eléctrico de Referencia (alto nivel)

*[Diagrama de circuito de referencia omitido para compilación básica.]*

*Descripción del Circuito:* El diseño consiste en un amplificador operacional (op amp) en una configuración de filtro pasa-banda. La señal de entrada (Entrada FET) pasa por un filtro RC ( $R_1, C_1$ ) a la entrada no inversora. Un lazo de realimentación ( $R_f$ ) conecta la salida a la entrada inversora. La salida pasa por un segundo filtro ( $C_2, R_2$ ) antes de ir al ADC. *Nota:* El FET se modela como fuente controlada con impedancia de salida  $Z_\Sigma$ ; el filtro RC y el lazo de realimentación ajustan banda y SNR para fase estable.

## 6. Calibración y Verificación

1. **Fase 0:** Ruido térmico,  $A_c = 0$ ; medir  $\mathcal{H}_{\text{base}}$  y falsos positivos (deben ser  $\ll 1\%$ ).
2. **Fase 1:** Barrido de  $A_c$ ; estimar curva  $\text{LI}(A_c)$  y  $\kappa_{\Sigma}$  inicial.
3. **Fase 2:** Validar  $R$ ,  $\text{RMSE}_{SL}$  y  $\text{LI}$  en ventanas  $W$  con  $p:q = 1:1$  y modos vecinos.
4. **Fase 3:** E-Veto: verificar  $\Delta\mathcal{H} < -0,2$  al activar el drive; ajustar binning y kernel de densidad.
5. **Fase 4:** Flujo-C: estimar TE dirigida o NPMI temporal y confirmar  $\mathcal{C}_{flow} > 0,8$ .

## 7. Error Budget (primario)

- **Fase:** error de Hilbert/fase instantánea  $< 1$  grado en banda útil.
- **ADC:** ENOB efectivo  $\geq 14$  bits; jitter de muestreo  $< 100$  ps.
- **Drift térmico:**  $\Delta f/f < 10^{-9}$  por K en oscilador de referencia (preferible OCXO/TCXO).
- **Latencia:**  $< 10$  ms para cerrar la ventana  $W$  sin sesgo temporal.

## 8. Interfaz de Salida

- Señal digital **SCP\_TICK** (pulso TTL 3.3 V, 1 ms).
- Mensaje **JSON** por **UART/USB** con métricas y firma de ventana.
- PTP/IEEE-1588 opcional para marcar  $t_C$  en redes.

## 9. Autocrítica y Alcance

Las métricas E-Veto y Flujo-C requieren elección explícita de estimadores (p. ej., densidad de fase con KDE y TE con histogramas dirigidos). Estas elecciones afectan sensibilidad y falsos positivos; deben pre-registrarse y someterse a pruebas ciegas. El presente plano es suficiente para un prototipo TRL 3–4; producción requiere caracterización ambiental extendida.