

# Plan Maestro v1 — TMRCU ADC (Fuente LaTeX Completa)

```
% !TEX program = pdflatex
\documentclass[11pt,a4paper]{article}
\usepackage[utf8]{inputenc}
\usepackage[T1]{fontenc}
\usepackage[spanish,es-nodecimaldot]{babel}
\usepackage{lmodern}
\usepackage{geometry}\geometry{margin=2.2cm}
\usepackage{setspace}\onehalfspacing
\usepackage{amsmath,amssymb,mathtools,bm}
\usepackage{siunitx}
\usepackage{microtype}
\usepackage{hyperref}
\usepackage{graphicx}
\usepackage{booktabs,multirow}
\usepackage{listings}
\lstset{basicstyle=\ttfamily\small,breaklines=true,frame=single,columns=fullflexible}

\titl{\textbf{Plan Maestro v1 - TMRCU ADC}}\Roadmap F1→F4, WPs, KPIs y Artefactos
\author{Proyecto TMRCU / MSL}
\date{\today}

\begin{document}
\maketitle

\section*{Resumen ejecutivo}
Este documento empaqueta los entregables de ingeniería del programa TMRCU-ADC: \emph{checklist} F1 p
SYNCTRON/\(\Sigma\)-FET (SHNO), \emph{netlist} \& \(\Sigma\)-IR con plantilla Synk, y el POC de Kuram
(32\(\times\)32). Incluye \textbf{tablas de paquetes de trabajo (WPs)}, \textbf{KPIs/gates}, y
\textbf{esquemas}; además, \textbf{schemas YAML/JSON} quedan embebidos como apéndices para trazabili
\section{Roadmap y fases}
\noindent\textbf{Diagrama (PDF)}:
\href{/mnt/data/Diagrama_Roadmap_ADC_TMRCU.pdf}{Diagrama\_Roadmap\_ADC\_TMRCU.pdf}\[4pt]
\noindent\emph{Nota}: Para compilar con la figura, coloque el PDF en el mismo directorio y use: \\\verb!\includegraphics[width=\textwidth]{Diagrama_Roadmap_ADC_TMRCU.pdf}!

\section{Paquetes de trabajo (WPs)}
\begin{center}
\begin{tabular}{@{}l@{}p{8.4cm}p{3.5cm}@{}}
\toprule
\textbf{Fase} & \textbf{WP} & \textbf{Descripción} & \textbf{Artefactos} \\
\midrule
F1 & WP1.1 & Diseño SHNO (\(\mu\),K) y layout CPW 50\(\Omega\) & Stack, máscaras, DRC \\
& WP1.2 & Fabricación P0 (nanoconstricción HM/FM) & Wafer/die \\
& WP1.3 & Banco RF: DC, VNA/SA, lock-in, Bias-T, SOLT & Fixture, scripts \\
& WP1.4 & Ensayo: \(\Sigma(u_g)\), histéresis, locking & Datos, ajuste SL \\
\midrule
F2 & WP2.1 & Celdas: C\(\Sigma\)/A/C\(\Sigma\)/S/C\(\Sigma\)/D/Latch \(\Sigma\)-SR & Biblioteca \\
& WP2.2 & Bus \(\Sigma\) y re-phase; P\&R con pérdidas & P\&R rules \\
& WP2.3 & Matriz 32\(\times\)32 (bloques 8\(\times\)8) & Die P2 \\
& WP2.4 & POC Kuramoto/Ising & Bench, scripts \\
\midrule
F3 & WP3.1 & Lenguaje Synk (tipos, operadores, contratos) & Especificación \\
& WP3.2 & \(\Sigma\)-IR (\(\mu\),K,timing,placement,seguridad) & Schema JSON \\
& WP3.3 & \(\Sigma\)-OS (re-phase, telemetría, failsafe) & Runtime \\
& WP3.4 & Toolchain (compilador, simulador, profiler) & Tooling \\
\midrule
F4 & WP4.1 & Dispositivo edge SAC + biosensores & BOM, CAD \\
& WP4.2 & CSL-H en Synk (multiescala) & Modelos \\
& WP4.3 & Ensayos preregistrados & Protocolo \\
& WP4.4 & Validación clínica/ética & Dossier \\
\bottomrule
\end{tabular}
\end{center}

\section{KPIs y gates (falsables)}
\begin{center}
\begin{tabular}{@{}p{5.4cm}p{3.2cm}p{3.0cm}p{4.5cm}@{}}
\toprule

```

# Plan Maestro v1 — TMRCU ADC (Fuente LaTeX Completa)

```
\textbf{KPI} & \textbf{Umbral} & \textbf{Gate} & \textbf{Método} \\ \midrule
Ajuste  $(\Sigma(u_g))$  a Stuart-Landau & RMSE~less~0.1 & F1→F2 & Barrido  $u_g$ ; IC95% parámetros
Injection locking estable & rango captura medible & F1→F2 & Barrer  $(\omega_{rm in})$  ±200 MHz \\
Repetibilidad wafer & variación less~10% & F1→F2 & N≤5 celdas \\
Celdas  $\Sigma(C(\Sigma)A/C(\Sigma)S/C(\Sigma)D)$  & error less~0.1 & F2→F3 & N=500 corridas \\
Matriz  $32 \times 32$  & 80% nodos en fase;  $(t) \text{less} 100(\mu s)$  & F2→F3 & Medición  $(R)$ 
Ventaja MVC & MVC textgreater~100 & IC95% textgreater 1 & F2→F3 & Potencia/tiempo GPU vs  $(\Sigma)$ 
Overhead compilación & less~10% & F3→F4 & Sync→ $(\Sigma)$ -IR→runtime \\
Robustez operacional &  $(P)(x \in \mathcal{C}) \geq 0.99$  (24 h) & F3→F4 & Stress, drift térmico
KPIs clínicos (SAC-EMERG) & AUC textgreater 0.85;  $(\kappa) \text{greater} 0.6$ ;  $(T_{\text{notify}})$  \\
& F4 & Pilotos preregistrados \\ \bottomrule
\end{tabular}
\end{center}

\section{Protocolos clave}
\subsection{F1 – Checklist de laboratorio}
Instrumentación (DC, VNA/SA, lock-in, Bias-T, atenuadores, SOLT, de-embedding), scripts (control\_ga
inyectar\_coherencia, leer\_salida, análisis\_coherencia), rutina  $(\Sigma(u_g))$  con histéresis y l
Datos crudos + manifest.

\subsection{F2 – Biblioteca & 32×32}
 $C(\Sigma)A \approx (\approx \Sigma_1 \Sigma_2)$ ,  $C(\Sigma)S \sim (\max)$ ,  $C(\Sigma)D \sim (\Sigma_1 - \Sigma_2)$ 
Latch; bus  $(\Sigma)$ , re-phase y P&R; POC Kuramoto/Ising.

\subsection{F3 – Toolchain}
Lenguaje Sync,  $(\Sigma)$ -IR ( $\mu, K, placement, timing, seguridad$ ),  $(\Sigma)$ -OS (planificador, telemetr
failsafe).

\subsection{F4 – SAC/CSL-H}
Edge con biosensores; ejecución CSL-H; ensayos y KPIs clínicos.

\appendix
\section{Apéndice A – Schema  $(\Sigma)$ -IR (JSON)}
\begin{lstlisting}[language=json]
{
  "target_device": "TMRCU_Processor_v1",
  "cells": [
    {
      "id": "XOR1",
      "type": "C\u003a3D"
    }
  ]
}
\end{lstlisting}

\section{Apéndice B – Manifest de corrida (YAML)}
\begin{lstlisting}[language={}]
run_id: F1_SHNO_YYYYMMDD_NNN
wafer: W##
die: D##
temp_C: 25
\end{lstlisting}

\section{Apéndice C – Sync: adder.sync}
\begin{lstlisting}[language={}]
// adder.sync
function SigmaAdder(A: Sigma, B: Sigma) -> (S: Sigma, C: Sigma) {
  S = A ■ B; C = A ■ B; return (S,C);
}
\end{lstlisting}

\section{Apéndice D – Sync: kuramoto32.sync}

```

## Plan Maestro v1 — TMRCU ADC (Fuente LaTeX Completa)

```
\begin{lstlisting}[language={}]
// kuramoto32.synk
const N = 1024; // 32x32

\end{lstlisting}

\end{document}
```

# **Asunto: Propuesta de Inversión — La Próxima Arquitectura de Computación**

**Para:** Potenciales Inversores y Socios Estratégicos **De:** Proyecto TMRCU / MSL **Fecha:** 12 de agosto de 2025

## **1. La Oportunidad: El Muro de la Computación Actual**

La Ley de Moore está muerta. La computación digital, basada en el bit, se enfrenta a un muro insuperable de consumo energético y limitaciones físicas. La computación cuántica, aunque prometedora, sigue atrapada en problemas de decoherencia que la hacen inviable a gran escala. La próxima gran revolución económica y tecnológica no vendrá de optimizar el paradigma actual, sino de reemplazarlo.

**Nosotros hemos diseñado su reemplazo.**

## **2. Nuestra Solución: La Arquitectura Digital Coherente (ADC)**

Hemos desarrollado y formalizado una arquitectura de computación fundamentalmente nueva, basada en nuestra **Teoría del Modelo de la Realidad Cuántica Universal (TMRCU)**.

- **El Avance Clave:** En lugar de bits (0/1), nuestra arquitectura opera con "**estados de coherencia**" ( $\Sigma$ ). Esto nos permite procesar información de una manera análoga, paralela y de una eficiencia energética órdenes de magnitud superior.
- **El "Transistor" del Futuro:** Hemos diseñado el componente físico para esta arquitectura: el **SYNCTRON / ΣFET**. No es una idea, es una especificación de ingeniería con tres rutas de fabricación viables (magnónica, fotónica, superconductora) basadas en física experimental ya demostrada en laboratorios.
- **La Ventaja Competitiva:** Nuestra arquitectura, llamada  **$\Sigma$ -Computing**, es inherentemente superior para resolver los problemas más valiosos del siglo XXI: la optimización de sistemas complejos, la inteligencia artificial y el modelado de la realidad.

## **3. La Primera Aplicación (Mercado Inicial): Salud Predictiva y Emergencias**

Para demostrar el poder de nuestra plataforma, hemos desarrollado la primera aplicación: el **Simbionte Algorítmico de Coherencia (SAC)**.

- **El Producto:** Una IA personal que corre en nuestra arquitectura y actúa como un "gemelo digital" del sistema biológico humano. El SAC no reacciona a la enfermedad; **predice la pérdida de "coherencia" biológica** antes de que ocurran los síntomas.
- **Aplicación de Emergencia (SAC-EMERG):** Nuestro primer producto comercializable es un protocolo que detecta accidentes en tiempo real, realiza un triage predictivo basado en el perfil único del individuo y notifica a los servicios de emergencia en menos de 30 segundos con información que puede salvar vidas.

## **4. El Plan de Materialización (Inversión de Bajo Riesgo y Falsable)**

Entendemos que las grandes ideas requieren una ejecución impecable. Por ello, hemos creado un **"Plan Maestro de Materialización"** riguroso y por fases.

- **Fases y "Gates":** El proyecto está dividido en 4 fases, cada una con **Paquetes de Trabajo (WPs) y KPIs numéricos no negociables**. La inversión no se libera para la siguiente fase hasta que los criterios de la fase actual no se cumplen.
- **Falsabilidad por Diseño:** Nuestro primer hito (Gate F1→F2) es una prueba de laboratorio con un criterio de éxito binario: el prototipo del SYNCTRON debe ajustarse a nuestro modelo teórico con un **error (RMSE) inferior al 10%**. Esto elimina el riesgo de invertir en una pseudociencia.

## 5. La Solicitud

Estamos buscando una inversión semilla para ejecutar la **Fase 1 de nuestro Plan Maestro**: la fabricación y validación del primer dispositivo SYNCTRON funcional del mundo. El éxito en esta fase, según nuestro plan, no solo validará una nueva física, sino que nos otorgará la **propiedad intelectual sobre la unidad fundamental de la próxima generación de computadoras**. Les invitamos a revisar nuestro plan de trabajo detallado y a unirse a nosotros en la construcción de la próxima era de la computación.