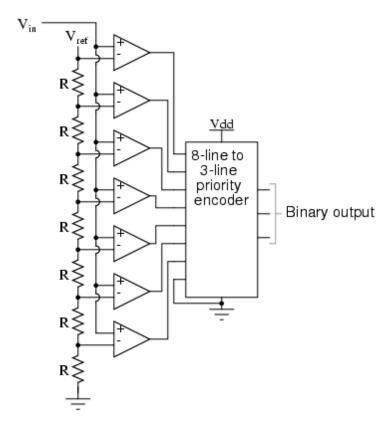
Nom i Cognoms:\_\_\_\_\_

Contesteu en aquest mateix full en l'espai reservat de cada pregunta. Raoneu totes les respostes. Les respostes que no vagin acompanyades d'una mínima explicació no s'admetran.

1. (1 Punt) Dibuixeu l'esquema complet d'un conversor A/D Flash de 3 bits.



- 2. (1.5 Punt) Un conversor A/D de 10 bits amb tensions de referència +-5 volts i temps de resposta total de 25 μseg, té a la seva entrada un filtre antialiàsing amb una freqüència de tall de 12 KHz. A l'entrada del filtre antialiàsing hi ha un sensor de corrent que proporciona un senyal variable d'entre -4 i 4 volts i com a molt de 6 KHz de freqüència màxima. Es demana:
  - a. Quina és la freqüència màxima a la que es podrien adquirir les mostres?
  - b. Quina és la freqüència mínima a la que s'haurien d'adquirir les mostres?

- c. Quina seria la freqüència de tall més adequada del filtre antialiàsing si es vol adquirir una mostra cada 1 mseg?
- 3. (1 Punt) Un sistema receptor dotat d'una memòria auxiliar de 1GB de RAM en una memòria SD, rep un flux de dades d'una línia sèrie configurada a 9600 bps amb 8 bits de dades, 1 bit de paritat parell i 2 bits de Stop. Si es vol emmagatzemar totes les dades rebudes utilitzant la configuració descrita anteriorment, en quan de temps s'omplirà la memòria auxiliar del sistema?

4. (1.5 Punt) Es vol realitzar una comunicació sèrie asíncrona de 8 bits a 115200 bps. Segons la taula següent, quin seria el valor dels registres BRGH i SPBRG que ens aproparia amb més exactitud a la velocitat requerida?

TABLE 20-1: BAUD RATE FORMULAS

С	onfiguration B	its	DDC/EUCADT Made	David Data Farmilla				
SYNC	BRG16	BRGH	BRG/EUSART Mode	Baud Rate Formula				
0	0	0	8-bit/Asynchronous	Fosc/[64 (n + 1)]				
0	0	1	8-bit/Asynchronous	F000/[46 (p + 4)]				
0	1 0		16-bit/Asynchronous	Fosc/[16 (n + 1)]				
0	1	1	16-bit/Asynchronous					
1	0	х	8-bit/Synchronous	Fosc/[4 (n + 1)]				
1	1	х	16-bit/Synchronous					

**Legend:**  $\mathbf{x}$  = Don't care,  $\mathbf{n}$  = value of SPBRGH:SPBRG register pair

Nom	i Cognoms:	

Contesteu en aquest mateix full en l'espai reservat de cada pregunta. Raoneu totes les respostes. Les respostes que no vagin acompanyades d'una mínima explicació no s'admetran.

1. Indica l'estat lògic de les línies D+ i D- si el host USB envia un paquet de ACK a un dispositiu (1, 5 punts).

IDLE	SOP	PID	DATA	CRC	EOP	IDLE
	0000001	See table - 8b	0 to 1023B	5 or 16b	2b	

**Paquet Format** 

	(LSb)	(LSb)													
PID bits:	PID <sub>0</sub>	PID <sub>1</sub>	PID <sub>2</sub>	PID <sub>3</sub>	PID 0	PID 1	PID 2	$\overline{\text{PID}}_3$							

PID Type	PID Name	PID[3:0]*	Description
Token	OUT	0001B	Address + endpoint number in host-to-function transaction
	IN	1001B	Address + endpoint number in function-to-host transaction
	SOF	0101B	Start-of-Frame marker and frame number
	SETUP	1101B	Address + endpoint number in host-to-function transaction for SETUP to a control pipe
Data	DATA0	0011B	Data packet PID even
	DATA1	1011B	Data packet PID odd
Handshake	ACK	0010B	Receiver accepts error-free data packet
	NAK	1010B	Rx device cannot accept data or Tx device cannot send data
	STALL	1110B	Endpoint is halted or a control pipe request is not supported.
Special	PRE	1100B	Host-issued preamble. Enables downstream bus traffic to low-speed devices.

<sup>\*</sup>Note: PID bits are shown in MSb order. When sent on the USB, the rightmost bit (bit 0) will be sent first.

	Idl	е	SOP							PID						EC	)P	Idle				
D+																						
D+c																						
D-c																						

2. Té alguna avantatja utilitzar *NRZI* i *Stuffed bit*, respecte a una codificació directa '1' = 5V, '0' = 0V? Indica-la (1 punt)

3. La placa emprada a laboratori es connecta al PC mitjançant un cable USB i un microcontrolador dedicat. Quin tipus d'*EndPoint* creieu que és el més adequat per enviar els fitxers .hex a la placa? Per què? (1 punt)

- 4. Què limita el nombre de dispositius esclaus que podem connectar a un microcontrolador en els següents casos (1,5 punts):
  - Bus I2C:
  - Bus SPI (mètode 1):
  - Bus SPI (mètode 2):

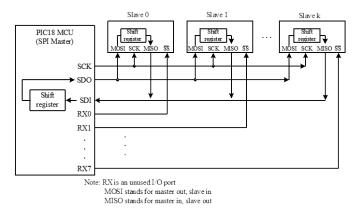


Figure 10.5 Single-master and multiple-slave device connection (method 1)  $\,$ 

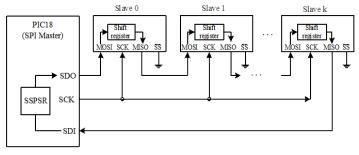


Figure 10.6 Single-master and multiple-slave device connection (method 2)