Nom	i Co	gnoms:			
1 10111					

1) Quin és el mínim temps d'execució d'una rutina de servei a una interrupció de baixa prioritat? No considereu el codi extra que el usuari vulgui afegir a la RSI. Justifiqueu la vostra resposta.

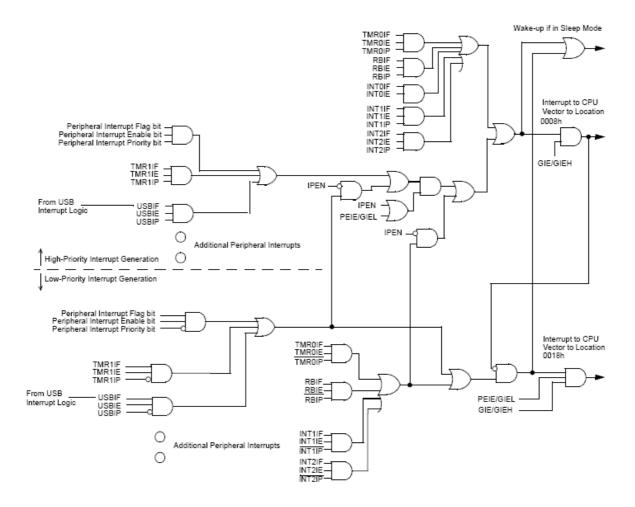
2) Quin mecanisme hardware assegura que no entri una interrupció de baixa prioritat mentre estigui activa una d'alta prioritat?

3) Justifiqueu la veracitat o falsedat de la següent afirmació: "Si s'activa un flag de petició d'interrupció IF per programa (XXXX. INTIF = 1), la rutina de servei a la interrupció no s'executarà encara que estigui habilitat el bit IE?

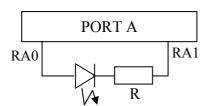
4) Hi ha alguna cosa mal feta en el codi de la RSI d'alta prioritat mostrat a continuació? Funcionaria igualment? (s'espera que cada cop que arriba la INTO s'incrementi un comptador)

```
ORG 0x08
ISR_hi
                  W
          push
                  BSR
          push
                  STATUS
          push
                  count0,F
                                          ; inc interrupt count
           incf
                  INTCON, INT0IF
                                          ;clear interrupt bit
          bcf
                  STATUS
          pop
                  BSR
          pop
                  W
          pop
          retfie fast
```

5) Malgrat el vist a la pregunta 2, podríem fer que una única petició d'interrupció arribada per INT1IF provoqués una interrupció d'alta prioritat i DESPRÉS una de baixa prioritat? Si és possible indica com.

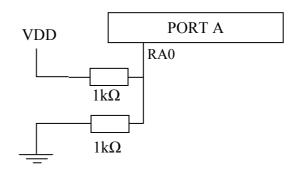


6) Indiqueu els valors amb els quals cal configurar el port A (TRISA) i quins valors cal escriure en el seu registre de dades (PORTA) per a que el led de la figura següent s'encengui.



Nom i Cognoms:

7) A partir de quina tensió d'alimentació VDD garantitzem que al bit 0 del port A llegirem un "1" lògic? Justifica la resposta.



DC CHA	RACTE	RISTICS	Standard Operating Conditions (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for industrial					
Param No.	Symbol	Characteristic	Min	Max	Units	Conditions		
	VIL	Input Low Voltage						
		I/O Ports (except RC4/RC5 in USB mode):						
D030		with TTL Buffer	Vss	0.15 VDD	V	VDD < 4.5V		
D030A			_	0.8	٧	4.5V ≤ VDD ≤ 5.5V		
D031		with Schmitt Trigger Buffer RB0 and RB1	Vss Vss	0.2 VDD 0.3 VDD	V	When in I ² C™ mode		
D032		MCLR	Vss	0.2 VDD	V			
D032A		OSC1 and T1OSI	Vss	0.3 VDD	٧	XT, HS, HSPLL modes ⁽¹⁾		
D033		OSC1	Vss	0.2 VDD	V	EC mode ⁽¹⁾		
	VIH	Input High Voltage I/O Ports (except RC4/RC5 in USB mode):						
D040		with TTL Buffer	0.25 VDD + 0.8V	VDD	V	VDD < 4.5V		
D040A			2.0	VDD	V	4.5V ≤ VDD ≤ 5.5V		
D041		with Schmitt Trigger Buffer RB0 and RB1	0.8 VDD 0.7 VDD	VDD VDD	V V	When in I ² C mode		
D042		MCLR	0.8 VDD	VDD	V			
D042A		OSC1 and T1OSI	0.7 VDD	VDD	V	XT, HS, HSPLL modes ⁽¹⁾		
D043		OSC1	0.8 VDD	VDD	V	EC mode ⁽¹⁾		

8) Necessitem generar un nou caràcter a la LCD emprada en pràctiques per representar el símbol de l'euro. Mostra la seqüència d'instruccions a fer per poder visualitzar a la posició 0,0 de la LCD aquest símbol. Podeu emprar les ordres XLCDCommand(int x) i XLCDPut(BYTE b).

0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
1	1	1	1	0
0	1	0	0	0
1	1	1	1	0
0	1	0	0	0
0	0	1	1	1

Table 7.6 HD44780 instruction set

14010 7.0 11		Code										Execution
Instruction	RS	S R/W B7 B6 B5 B4 B3 B2 B1 B0 Description						time				
Clear display	0	0	0	0	0	0	0	0	0	1	Clears display and returns cursor to the home position (address 0).	1.64 ms
Cursor home	0	0	0	0	0	0	0	0	1	*	Returns cursor to home position (address 0). Also returns display being shifted to the original position. DDRAM contents remain unchanged.	1.64 ms
Entry mode set	0	0	0	0	0	0	0	1	I/D	S	Set cursor move direction (I/D), specifies to shift the display (S). These operations are performed during data read/write.	40 µs
Display on/off control	0	0	0	0	0	0	1		С	В	Sets on/off of all display (D), cursor on/off (C) and blink of cursor position character (B).	40 μs
Cursor /display shift	0	0	0	0	0	1 3	S/C	R/	L*	*	Sets cursor-move or display-(S/C), shift direction (R/L). DDRAM contents remains unchanged.	40 μs
Function set	0	0	0	0	1	DL	N	F	*	*	Sets interface data length (DL), number of display line (N) and character font (F).	40 μs
Set CGRAM address	0	0	0	1	CC	GR/	AМ	ad	dre	ss	Sets the CGRAM address. CGRAM data is sent and received after this setting.	40 μs
Set DDRAM address	0	0	1	Ι	DDR	RAI	M a	dd:	ress	•	Sets the DDRAM address. DDRAM data is sent and received after this setting.	40 μs
Read busy flag and address counter	0	1	BF		GR <i>A</i> dre		/D	DR	AV	ſ	Reads busy flag (BF) indicating internal operation is being performed and reads CGRAM or DDRAM address counter contents (depending on previous instruction).	0 μs
Write to CGRAM or DDRAM	1	0					dat				Writes data to CGRAM or DDRAM.	40 μs
Read from CGRAM or DDRAM	1	1			rea	ad (dat	a			Reads data from CGRAM or DDRAM.	40 μs