

FIB, Interfícies dels Computadors
Segon parcial 15-12-2014 (1h30', Full 1/2)

COGNOMS:

NOM:

DNI:

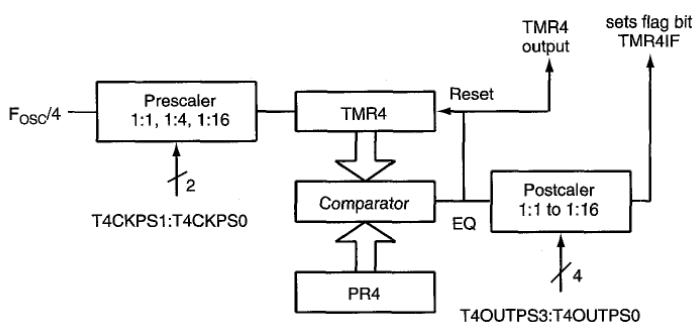
Responen en aquest mateix full. Cal justificar totes les respostes.
Respostes sense un mínim text explicatiu no es tindran en consideració.

1. El codi que es mostra a continuació és part d'una rutina d'atenció de les interrupcions de baixa prioritat.

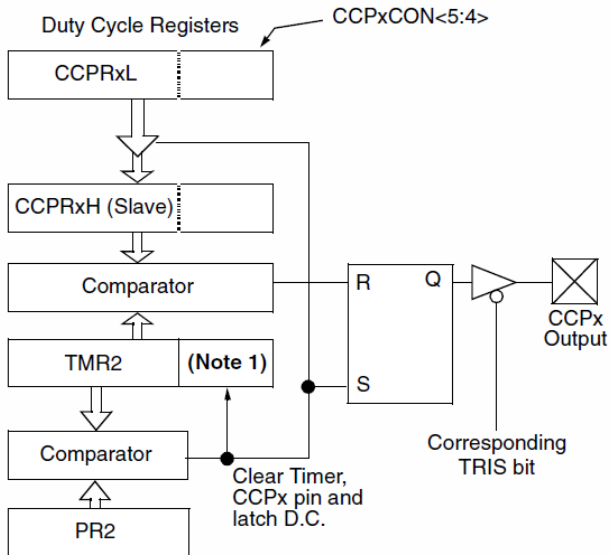
```
MOVWF W_TEMP ; W_TEMP is in virtual bank
MOVFF STATUS, STATUS_TEMP ; STATUS_TEMP located anywhere
MOVFF BSR, BSR_TEMP ; BSR_TEMP located anywhere
;
; USER ISR CODE
;
MOVFF BSR_TEMP, BSR ; Restore BSR
MOVFF STATUS_TEMP, STATUS ; Restore STATUS
MOVF W_TEMP, W ; Restore WREG
RETFIE LOW_PRIORITY
```

Hi ha alguna cosa errònia en el codi anterior si considerem que la instrucció MOVF modifica els flags Z i N del registre STATUS? (1 punt)

2. Quina és la freqüència mínima i màxima del senyal TMR4IF que es podrà generar amb el Timer que es mostra a continuació? Considereu $F_{osc} = 10\text{MHz}$. (2 punts)



3. Quin *duty-cycle* es generarà amb la unitat PWM següent si el valor dels registres PR2 = 128, CCPRxL = 64, CCPxCON<5:4> = <0,0> ? (1 punt)



Note 1: The 8-bit TMR2 value is concatenated with the 2-bit internal Q clock, or 2 bits of the prescaler, to create the 10-bit time base.

4. Quin seria el temps total de mostreig donats els valors de ADSC2:ADSC0 = 001, ACQT2:ADCQT0 = 010 i ADFM = 1. Podem assegurar que TAD > 0.8 µseg i TACQ > 2.45 µseg? L'oscil·lador del sistema és de 8MHz. (1 punt)

FIB, Interfícies dels Computadors
Segon parcial 15-12-2014 (1h30', Full 2/2)

COGNOMS:

NOM:

DNI:

Responen en aquest mateix full. Cal justificar totes les respostes.
Respostes sense un mínim text explicatiu no es tindran en consideració.

5. Escriu la inicialització dels registres necessaris per configurar els mecanismes d'interrupcions i les rutines de serveis a la interrupció amb la finalitat de:

- U
n sensor **A** binari i està connectat a l'entrada INT1. La interrupció INT1 cal definir-la com a prioritat alta i la seva activació serà per flanc de baixada del senyal. El tractament de la interrupció INT1 consisteix en incrementar una variable de 0 fins a 65535.
- U
n sensor **B** binari i està connectat a l'entrada INT2. La interrupció INT2 es definirà com a prioritat baixa, i la seva activació serà per flanc de pujada del senyal. El tractament de la INT2 consisteix en complementar el valor del bit 0 del PORTC.
- P
ot haver altres fonts d'interrupcions tant altes com baixes

En certes condicions pot succeir que un flanc de baixada en el senyal associat a INT1 no produeix l'execució de la RSI de prioritat alta associada. Amb aquestes consideracions, quin(s) factor(s) limita(en) la freqüència màxima del senyal **A**? Quin(s) factor(s) limita(en) la freqüència màxima del senyal **B**? (Justifica les respostes.)

6. Assigna els valors adequats als registres necessaris per a generar una interrupció d'alta prioritat al cap de 10 mil·lisegons, utilitzant el TIMER1. Fosc= 8 MHz. (1 punt)

7. Es vol utilitzar un PIC18F4550 per monitoritzar els valors proporcionats per 6 sensors analògics connectats a les entrades AN0 a AN5. Les tensions subministrades pels sensors ($V_{j=0 \text{ a } 5}$) estan dintre del rang VDD - VSS, i es desitja treballar amb una resolució de 8 bits. Fosc= 20MHz. (2 Punts)

Escriu el codi per a la configuració del conversor A/D del PIC18F4550 i per fer 40 cicles de lectura dels valors V_j , que s'emmagatzemaran en la matriu MOSTRA[i][j], amb l'objectiu que la freqüència de mostreig del sensors sigui el més gran possible.

Indicar per la solució proposada quin és el temps necessari per l'obtenció d'una mostra ($T_{\text{Adquisició}} + T_{\text{Conversió}}$)

REGISTER 9-1: INTCON: INTERRUPT CONTROL REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF ⁽¹⁾

bit 7	GIE/GIEH: Global Interrupt Enable bit When IPEN = 0: 1 = Enables all unmasked interrupts 0 = Disables all interrupts When IPEN = 1: 1 = Enables all high-priority interrupts 0 = Disables all interrupts
bit 6	PEIE/GIEL: Peripheral Interrupt Enable bit When IPEN = 0: 1 = Enables all unmasked peripheral interrupts 0 = Disables all peripheral interrupts When IPEN = 1: 1 = Enables all low-priority peripheral interrupts (if GIE/GIEH = 1) 0 = Disables all low-priority peripheral interrupts
bit 5	TMR0IE: TMR0 Overflow Interrupt Enable bit 1 = Enables the TMR0 overflow interrupt 0 = Disables the TMR0 overflow interrupt
bit 4	INT0IE: INT0 External Interrupt Enable bit 1 = Enables the INT0 external interrupt 0 = Disables the INT0 external interrupt
bit 3	RBIE: RB Port Change Interrupt Enable bit 1 = Enables the RB port change interrupt 0 = Disables the RB port change interrupt
bit 2	TMR0IF: TMR0 Overflow Interrupt Flag bit 1 = TMR0 register has overflowed (must be cleared in software) 0 = TMR0 register did not overflow
bit 1	INT0IF: INT0 External Interrupt Flag bit 1 = The INT0 external interrupt occurred (must be cleared in software) 0 = The INT0 external interrupt did not occur
bit 0	RBIF: RB Port Change Interrupt Flag bit ⁽¹⁾ 1 = At least one of the RB7:RB4 pins changed state (must be cleared in software) 0 = None of the RB7:RB4 pins have changed state

REGISTER 9-3: INTCON3: INTERRUPT CONTROL REGISTER 3

R/W-1	R/W-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
INT2IP	INT1IP	—	INT2IE	INT1IE	—	INT2IF	INT1IF

bit 7	INT2IP: INT2 External Interrupt Priority bit 1 = High priority 0 = Low priority
bit 6	INT1IP: INT1 External Interrupt Priority bit 1 = High priority 0 = Low priority
bit 5	Unimplemented: Read as '0'
bit 4	INT2IE: INT2 External Interrupt Enable bit 1 = Enables the INT2 external interrupt 0 = Disables the INT2 external interrupt
bit 3	INT1IE: INT1 External Interrupt Enable bit 1 = Enables the INT1 external interrupt 0 = Disables the INT1 external interrupt
bit 2	Unimplemented: Read as '0'
bit 1	INT2IF: INT2 External Interrupt Flag bit 1 = The INT2 external interrupt occurred (must be cleared in software) 0 = The INT2 external interrupt did not occur
bit 0	INT1IF: INT1 External Interrupt Flag bit 1 = The INT1 external interrupt occurred (must be cleared in software) 0 = The INT1 external interrupt did not occur

REGISTER 9-4: PIR1: PERIPHERAL INTERRUPT REQUEST (FLAG) REGISTER 1

R/W-0	R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
SPPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF

REGISTER 9-6: PIE1: PERIPHERAL INTERRUPT ENABLE REGISTER 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPPIE ⁽¹⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE

REGISTER 9-8: IPR1: PERIPHERAL INTERRUPT PRIORITY REGISTER 1

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
SPPIP ⁽¹⁾	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP

REGISTER 9-2: INTCON2: INTERRUPT CONTROL REGISTER 2

R/W-1	R/W-1	R/W-1	R/W-1	U-0	R/W-1	U-0	R/W-1
RBPU	INTEDG0	INTEDG1	INTEDG2	—	TMR0IP	—	RBIP

bit 7	RBPU: PORTB Pull-up Enable bit 1 = All PORTB pull-ups are disabled 0 = PORTB pull-ups are enabled by individual port latch values
bit 6	INTEDG0: External Interrupt 0 Edge Select bit 1 = Interrupt on rising edge 0 = Interrupt on falling edge
bit 5	INTEDG1: External Interrupt 1 Edge Select bit 1 = Interrupt on rising edge 0 = Interrupt on falling edge
bit 4	INTEDG2: External Interrupt 2 Edge Select bit 1 = Interrupt on rising edge 0 = Interrupt on falling edge
bit 3	Unimplemented: Read as '0'
bit 2	TMR0IP: TMR0 Overflow Interrupt Priority bit 1 = High priority 0 = Low priority
bit 1	Unimplemented: Read as '0'
bit 0	RBIP: RB Port Change Interrupt Priority bit 1 = High priority 0 = Low priority

REGISTER 9-10: RCON: RESET CONTROL REGISTER

R/W-0	R/W-1 ⁽¹⁾	U-0	R/W-1	R-1	R-1	R/W-0 ⁽²⁾	R/W-0
IPEN	SBOREN	—	RI	TO	PD	POR	BOR

bit 7	IPEN: Interrupt Priority Enable bit 1 = Enable priority levels on interrupts 0 = Disable priority levels on interrupts
bit 6	SBOREN: BOR Software Enable bit ⁽¹⁾ For details of bit operation, see Register 4-1.
bit 5	Unimplemented: Read as '0'
bit 4	RI: RESET Instruction Flag bit For details of bit operation, see Register 4-1.
bit 3	TO: Watchdog Time-out Flag bit For details of bit operation, see Register 4-1.
bit 2	PD: Power-Down Detection Flag bit For details of bit operation, see Register 4-1.
bit 1	POR: Power-on Reset Status bit ⁽²⁾ For details of bit operation, see Register 4-1.
bit 0	BOR: Brown-out Reset Status bit For details of bit operation, see Register 4-1.

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON

```

0000 = Channel 0 (AN0)
0001 = Channel 1 (AN1)
0010 = Channel 2 (AN2)
0011 = Channel 3 (AN3)
0100 = Channel 4 (AN4)
0101 = Channel 5 (AN5)(1,2)
0110 = Channel 6 (AN6)(1,2)
0111 = Channel 7 (AN7)(1,2)
1000 = Channel 8 (AN8)
1001 = Channel 9 (AN9)
1010 = Channel 10 (AN10)
1011 = Channel 11 (AN11)
1100 = Channel 12 (AN12)
1101 = Unimplemented(2)
1110 = Unimplemented(2)
1111 = Unimplemented(2)

```

When ADON = 1:
1 = A/D conversion in progress
0 = A/D Idle

U-0	U-0	R/W-0	R/W-0	R/W-0 ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾	R/W ⁽¹⁾
—	—	VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0

[illegible]

D = Digital I/O

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADFM	—	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0

R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RD16	T1RUN	T1CKPS1	T1CKPS0	T1OSCEN	T1SYN \overline{C}	TMR1CS	TMR1ON

1 = Enables Timer1
0 = Stops Timer1

Timer1 Oscillator

T1OSO/T13CKI

T1OSI

T1OSCEN⁽¹⁾

T1CKPS1:T1CKPS0

T1SYNC

TMR1ON

Fosc/4 Internal Clock

Prescaler 1, 2, 4, 8

Synchronize \div 2 Detect

Sleep Input

1

0

TMR1 On/Off

Clear TMR1 (CCP Special Event Trigger)

Set TMR1IF on Overflow

Read TMR1L

Write TMR1L

TMR1L

TMR1H

Internal Data Bus

Note 1: When enable bit, T1OSCEN, is cleared, the inverter and feedback resistor are turned off to eliminate power drain.

