

Nom i Cognoms: _____ **Una possible solució** _____

- 1) Quin és el mínim temps d'execució d'una rutina de servei a una interrupció de baixa prioritat? No considereu el codi extra que el usuari vulgui afegir a la RSI. Justifiqueu la vostra resposta.

Cal guardar els registres W, STATUS i BSR:

MOVWF (2 cicles (ull que venim d'un salt))

MOVFF (+2 cicles)

MOVFF (+ 2 cicles)

Cal incloure dos instruccions més per baixar el flag (+ 1 cicle)

Cal recuperar els registres W, STATUS i BSR:

MOVFF (+2 cicles)

MOVFF (+ 2 cicles)

MOVWF (+1 cicle (ull que ja no venim d'un salt))

i el retfie (2 cicles)

Ull: Seria convenient (tot i que no ho demana l'enunciat) incloure en els càlculs la latència (4 cicles) si es vol fer una estimació del temps total.

Total: 14 cicles

- 2) Quin mecanisme hardware assegura que no entri una interrupció de baixa prioritat mentre estigui activa una d'alta prioritat?

La sol·licitud d'interrupció d'alta prioritat entra negada a una porta AND que impedeix que s'elevi el flag de sol·licitud d'interrupció de baixa prioritat (veure l'esquema de la pàgina següent).

- 3) Justifiqueu la veracitat o falsedat de la següent afirmació: "Si s'activa un flag de petició d'interrupció IF per programa (XXXX. INTIF = 1) , la rutina de servei a la interrupció no s'executarà encara que estigui habilitat el bit IE?

FALS. Els flags de petició d'interrupció es poden activar per software i s'executen de la mateixa manera que les interrupcions per hardware, cal però que GIE estigui habilitat i que INTIE també estigui habilitat.

- 4) Hi ha alguna cosa mal feta en el codi de la RSI d'alta prioritat mostrat a continuació? Funcionaria igualment? (s'espera que cada cop que arriba la INT0 s'incrementi un comptador)

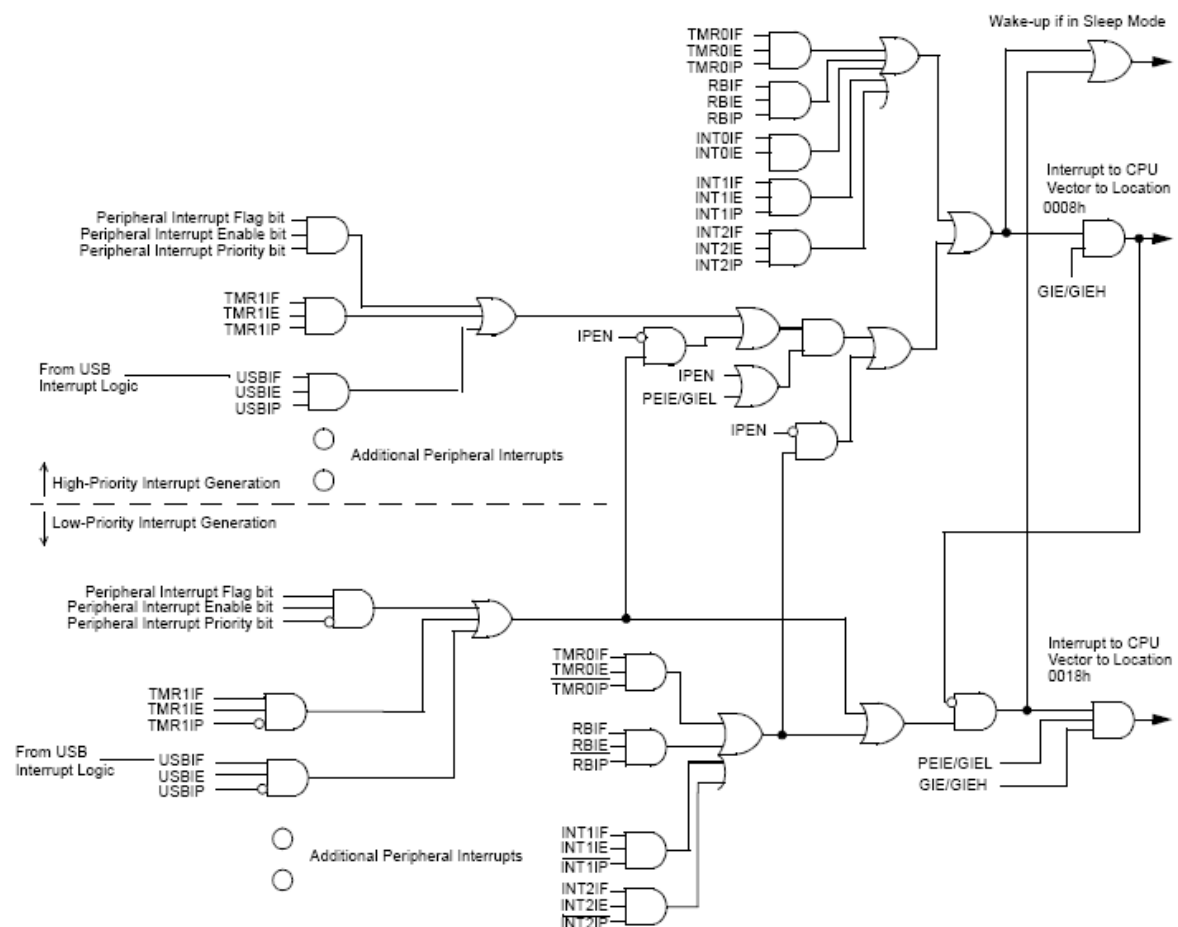
ORG 0x08

```
ISR_hi    push    W
          push    BSR
          push    STATUS
          incf    count0,F      ; inc interrupt count
          bcf     INTCON, INT0IF ;clear interrupt bit
          pop     STATUS
          pop     BSR
          pop     W
          retfie fast
```

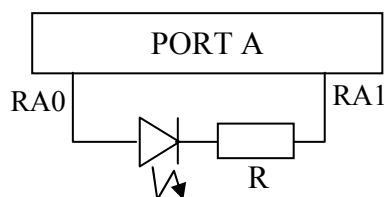
Al ser una interrupció d'alta prioritat no cal guardar els registres d'estat, però funcionaria igualment.

- 5) Malgrat el vist a la pregunta 2, podríem fer que una única petició d'interrupció arribada per INT1IF provoqués una interrupció d'alta prioritat i DESPRÉS una de baixa prioritat? Si és possible indica com.

Si, a la rutina d'atenció a la interrupció 1, sense esborrar el INT1IF (caldría fer-ho per dir que ja l'hem atès), neguem el INT1IP (canviem la prioritat).



- 6) Indiqueu els valors amb els quals cal configurar el port A (TRISA) i quins valors cal escriure en el seu registre de dades (PORTA) per a que el led de la figura següent s'encengui.

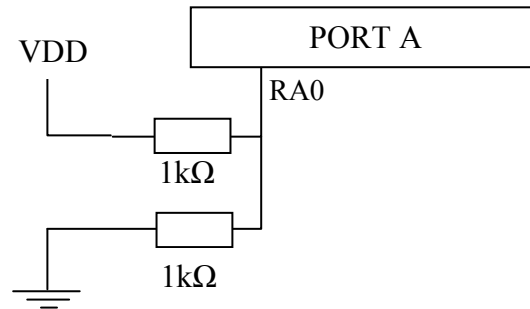


Nom i Cognoms: _____ Una possible solució _____

TRISA= 0x00 ; // bit 0 sortida, bit 1 sortida

PORTA=0x01; // bit 0 a 5V, bit 1 a 0V

- 7) A partir de quina tensió d'alimentació VDD garantitzem que al bit 0 del port A llegirem un "1" lògic? Justifica la resposta.



Com que les dues resistències són iguals, la tensió a RA0 serà $V_{DD}/2$.

- Si $V_{DD} < 4,5V$ la V_{IH} (entrada mínima per tenir un 1) és $V_{IH} = 0,25 V_{DD} + 0,8V$

Perquè $RA0 > V_{IH}$, cal que: $V_{DD}/2 > 0,25 V_{DD} + 0,8V$

Resolent la inequació dóna: $V_{DD} > 3,2V$

- Per $V_{DD} \geq 4,5V$ la V_{IH} és 2V. $V_{DD}/2$ sempre serà major que 2V.

Per tant, qualsevol $V_{DD} > 3,2V$ garanteix que llegim un "1"

DC CHARACTERISTICS			Standard Operating Conditions (unless otherwise stated) Operating temperature $-40^{\circ}C \leq T_A \leq +85^{\circ}C$ for industrial			
Param No.	Symbol	Characteristic	Min	Max	Units	Conditions
D030 D030A D031 D032 D032A D033	V_{IL}	Input Low Voltage I/O Ports (except RC4/RC5 in USB mode): with TTL Buffer with Schmitt Trigger Buffer RB0 and RB1 MCLR OSC1 and T10SI OSC1	V_{SS} — V_{SS} V_{SS} V_{SS} V_{SS}	$0.15 V_{DD}$ 0.8 $0.2 V_{DD}$ $0.3 V_{DD}$ $0.2 V_{DD}$ $0.3 V_{DD}$ $0.2 V_{DD}$	V V V V V V V	$V_{DD} < 4.5V$ $4.5V \leq V_{DD} \leq 5.5V$ When in I ² C™ mode XT, HS, HSPLL modes ⁽¹⁾ EC mode ⁽¹⁾
D040 D040A D041 D042 D042A D043	V_{IH}	Input High Voltage I/O Ports (except RC4/RC5 in USB mode): with TTL Buffer with Schmitt Trigger Buffer RB0 and RB1 MCLR OSC1 and T10SI OSC1	$0.25 V_{DD} + 0.8V$ 2.0 $0.8 V_{DD}$ $0.7 V_{DD}$ $0.8 V_{DD}$ $0.7 V_{DD}$ $0.8 V_{DD}$	V_{DD} V_{DD} V_{DD} V_{DD} V_{DD} V_{DD} V_{DD}	V V V V V V V	$V_{DD} < 4.5V$ $4.5V \leq V_{DD} \leq 5.5V$ When in I ² C mode XT, HS, HSPLL modes ⁽¹⁾ EC mode ⁽¹⁾

- 8) Necessitem generar un nou caràcter a la LCD emprada en pràctiques per representar el símbol de l'euro. Mostra la seqüència d'instruccions a fer per poder visualitzar a la posició 0,0 de la LCD aquest símbol. Podeu emprar les ordres XLCDCommand(int x) i XLCDPut(BYTE b).

0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
1	1	1	1	0
0	1	0	0	0
1	1	1	1	0
0	1	0	0	0
0	0	1	1	1

La CGRAM és per generar caràcters.
La DDRAM els dibuixa.

```
XLCDCommand ( 64); // 0001 000000 Triem la posició 0 de la CGRAM
XLCDPut (0);
XLCDPut (7);
XLCDPut (8);
XLCDPut (30);
XLCDPut (8);
XLCDPut (30);
XLCDPut (8);
XLCDPut (7); // Escrivim byte a byte a la CGRAM, hem creat el caràcter 0
```

```
XLDCDCommand (1); // Clear display: borrem i triem la posició 0 de la DDRAM
XLCDPut(0); // Escrivim el nou caràcter 0 a la pantalla
```

Table 7.6 HD44780 instruction set

Instruction	Code										Description	Execution time
	RS	R/ \overline{W}	B7	B6	B5	B4	B3	B2	B1	B0		
Clear display	0	0	0	0	0	0	0	0	0	1	Clears display and returns cursor to the home position (address 0).	1.64 ms
Cursor home	0	0	0	0	0	0	0	0	0	1 *	Returns cursor to home position (address 0). Also returns display being shifted to the original position. DDRAM contents remain unchanged.	1.64 ms
Entry mode set	0	0	0	0	0	0	0	0	1	I/D S	Set cursor move direction (I/D), specifies to shift the display (S). These operations are performed during data read/write.	40 μ s
Display on/off control	0	0	0	0	0	0	0	1	D	C B	Sets on/off of all display (D), cursor on/off (C) and blink of cursor position character (B).	40 μ s
Cursor /display shift	0	0	0	0	0	0	1	S/C	R/L	* *	Sets cursor-move or display-(S/C), shift direction (R/L). DDRAM contents remains unchanged.	40 μ s
Function set	0	0	0	0	1	DL	N	F	*	*	Sets interface data length (DL), number of display line (N) and character font (F).	40 μ s
Set CGRAM address	0	0	0	1	CGRAM address						Sets the CGRAM address. CGRAM data is sent and received after this setting.	40 μ s
Set DDRAM address	0	0	1	DDRAM address						Sets the DDRAM address. DDRAM data is sent and received after this setting.	40 μ s	
Read busy flag and address counter	0	1	BF	CGRAM/DDRAM address						Reads busy flag (BF) indicating internal operation is being performed and reads CGRAM or DDRAM address counter contents (depending on previous instruction).	0 μ s	
Write to CGRAM or DDRAM	1	0	write data						Writes data to CGRAM or DDRAM.			40 μ s
Read from CGRAM or DDRAM	1	1	read data						Reads data from CGRAM or DDRAM.			40 μ s