FIB, Interfícies dels Computadors Segon parcial 15-12-2014 (1h30', Full 1/2)

COGNOMS:

NOM: DNI:

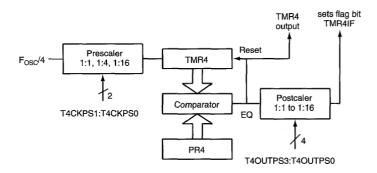
Responeu en aquest mateix full. Cal justificar totes les respostes. Respostes sense un mínim text explicatiu no es tindran en consideració.

1. El codi que es mostra a continuació és part d'una rutina d'atenció de les interrupcions de baixa prioritat.

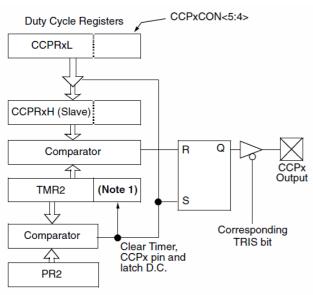
MOVWF W_TEMP; W_TEMP is in virtual bank
MOVFF STATUS, STATUS_TEMP; STATUS_TEMP located anywhere
MOVFF BSR, BSR_TEMP; BSR_TMEP located anywhere
;
; USER ISR CODE
;
MOVFF BSR_TEMP, BSR; Restore BSR
MOVFF STATUS_TEMP, STATUS; Restore STATUS
MOVF W_TEMP, W; Restore WREG
RETFIE LOW_PRIORITY

Hi ha alguna cosa errònia en el codi anterior si considerem que la instrucció MOVF modifica els flagsZ i N del registre STATUS? (1 punt)

2. Quina és la freqüència mínima i màxima del senyal TMR4IF que es podrà generar amb el Timer que es mostra a continuació? Considereu Fosc = 10MHz. (2 punts)



3. Quin *duty-cycle* es generarà amb la unitat PWM següent si el valor dels registres PR2 = 128, CCPRxL = 64, CCPxCON<5:4> = <0,0> ? (1 punt)



Note 1: The 8-bit TMR2 value is concatenated with the 2-bit internal Q clock, or 2 bits of the prescaler, to create the 10-bit time base.

4. Quin seria el temps total de mostreig donats els valors de ADSC2:ADSC0 = 001, ACQT2:ADCQT0 = 010 i ADFM = 1. Podem assegurar que TAD > $0.8 \mu seg i TACQ > 2.45 \mu seg? L'oscil·lador del sistema és de 8MHz. (1 punt)$

FIB, Interfícies dels Computadors Segon parcial 15-12-2014 (1h30', Full 2/2)

COGNOMS: NOM:	DNI:			
	Responeu en aquest mateix full. Cal justificar totes les respostes. Respostes sense un mínim text explicatiu no es tindran en consideració.			
5. Escriula inicialització la interrupció amb la fi	dels registres necessaris per configurar els mecanismes d'interrupcions i les rutines de serveis a nalitat de:			

- U n sensor **A**binari i està connectat a l'entrada INT1. La interrupció INT1 cal definir-la com a prioritat alta i la seva activació serà per flanc de baixada del senyal. El tractament de la interrupció INT1 consisteix en incrementar una variable de 0 fins a 65535.
- n sensor **B** binari i està connectat a l'entrada INT2. La interrupció INT2 es definirà com a prioritat baixa, i la seva activació serà per flanc de pujada del senyal. El tractament de la INT2 consisteix en complementar el valor del bit 0 del PORTC.
- ot haver altres fonts d'interrupcions tant altes com baixes

En certes condicions pot succeir que un flanc de baixada en el senyal associat a INT1 no produeix l'execució de la RSI de prioritat alta associada. Amb aquestes consideracions, quin(s) factor(s) limita(en) la freqüència màxima del senyal A? Quin(s) factor(s) limita(en) la freqüència màxima del senyal B? (Justifica les respostes.)

6. Assigna els valors adequats als registres necessaris per a generar una interrupció d'alta prioritat al cap de 10 mil·lisegons, utilitzant el TIMER1. Fosc= 8 MHz. (1 punt)
7.Es vol utilitzar un PIC18F4550 per monitoritzar els valors proporcionats per 6 sensors analògics connectats a les entrades ANO a AN5. Les tensions subministrades pels sensors ($V_{j=0a5}$) estan dintre del rang VDD - VSS, i es desitja treballar amb una resolució de 8 bits. Fosc= 20MHz. (2 Punts)
Escriu el codi per a la configuració del conversor A/D del PIC18F4550 i per fer 40 cicles de lectura dels valors V _j , que s'emmagatzemaran en la matriu MOSTRA[i][j], amb l'objectiu que la freqüència de mostreig del sensors sigui el més gran possible.
Indicar per la solució proposada quin és el temps necessari per l'obtenció d'una mostra (T _{Adquisició} + T _{Convesió})

REGISTER 9-1: INTCON: INTERRUPT CONTROL REGISTER

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF ⁽¹⁾

bit 7	GIE/GIEH: Global Interrupt Enable bit When IPEN = 0:
	1 = Enables all unmasked interrupts
	0 = Disables all interrupts
	When IPEN = 1:
	1 = Enables all high-priority interrupts 0 = Disables all interrupts
bit 6	PEIE/GIEL: Peripheral Interrupt Enable bit
DILO	When IPEN = 0:
	1 = Enables all unmasked peripheral interrupts
	0 = Disables all peripheral interrupts
	When IPEN = 1:
	1 = Enables all low-priority peripheral interrupts (if GIE/GIEH = 1) 0 = Disables all low-priority peripheral interrupts
bit 5	TMR0IE: TMR0 Overflow Interrupt Enable bit
DIL S	1 = Enables the TMR0 overflow interrupt
	0 = Disables the TMR0 overflow interrupt
bit 4	INT0IE: INT0 External Interrupt Enable bit
	1 = Enables the INT0 external interrupt
	0 = Disables the INT0 external interrupt
bit 3	RBIE: RB Port Change Interrupt Enable bit
	1 = Enables the RB port change interrupt
bit 2	0 = Disables the RB port change interrupt TMR0IF: TMR0 Overflow Interrupt Flag bit
DIL 2	1 = TMR0 register has overflowed (must be cleared in software)
	0 = TMR0 register has overflowed (must be cleared in software)
bit 1	INT0IF: INT0 External Interrupt Flag bit
	1 = The INTO external interrupt occurred (must be cleared in software)
	0 = The INT0 external interrupt did not occur
bit 0	RBIF: RB Port Change Interrupt Flag bit ⁽¹⁾
	1 = At least one of the RB7:RB4 pins changed state (must be cleared in software) 0 = None of the RB7:RB4 pins have changed state
	U = None of the KD7.KD4 pins have changed state

REGISTER 9-3: INTCON3: INTERRUPT CONTROL REGISTER 3

R/W-1	R/W-1	U-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0
INT2IP	INT1IP	_	INT2IE	INT1IE	_	INT2IF	INT1IF

bit 7	INT2IP: INT2 External Interrupt Priority bit 1 = High priority 0 = Low priority
bit 6	INT1IP: INT1 External Interrupt Priority bit
	1 = High priority 0 = Low priority
bit 5	Unimplemented: Read as '0'
bit 4	INT2IE: INT2 External Interrupt Enable bit
	1 = Enables the INT2 external interrupt 0 = Disables the INT2 external interrupt
bit 3	INT1IE: INT1 External Interrupt Enable bit
	1 = Enables the INT1 external interrupt 0 = Disables the INT1 external interrupt
bit 2	Unimplemented: Read as '0'
bit 1	INT2IF: INT2 External Interrupt Flag bit
	1 = The INT2 external interrupt occurred (must be cleared in software)
	0 = The INT2 external interrupt did not occur
bit 0	INT1IF: INT1 External Interrupt Flag bit
	1 = The INT1 external interrupt occurred (must be cleared in software)
	0 = The INT1 external interrupt did not occur

REGISTER 9-4: PIR1: PERIPHERAL INTERRUPT REQUEST (FLAG) REGISTER 1

R/W-0	R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
SPPIF ⁽¹⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF

REGISTER 9-6: PIE1: PERIPHERAL INTERRUPT ENABLE REGISTER 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SPPIE(1)	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE

REGISTER 9-8: IPR1: PERIPHERAL INTERRUPT PRIORITY REGISTER 1

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
SPPIP(1)	ADIP	RCIP	TXIP	SSPIP	CCP1IP	TMR2IP	TMR1IP

REGISTER 9-2: INTCON2: INTERRUPT CONTROL REGISTER 2

R/W-1	R/W-1	R/W-1	R/W-1	U-0	R/W-1	U-0	R/W-1
RBPU	INTEDG0	INTEDG1	INTEDG2	_	TMR0IP	_	RBIP

bit 7	RBPU: PORTB Pull-up Enable bit 1 = All PORTB pull-ups are disabled
	0 = PORTB pull-ups are enabled by individual port latch values
bit 6	INTEDG0: External Interrupt 0 Edge Select bit
	1 = Interrupt on rising edge 0 = Interrupt on falling edge
bit 5	INTEDG1: External Interrupt 1 Edge Select bit
	1 = Interrupt on rising edge 0 = Interrupt on falling edge
bit 4	INTEDG2: External Interrupt 2 Edge Select bit
	1 = Interrupt on rising edge 0 = Interrupt on falling edge
bit 3	Unimplemented: Read as '0'
bit 2	TMR0IP: TMR0 Overflow Interrupt Priority bit
	1 = High priority
	0 = Low priority
bit 1	Unimplemented: Read as '0'
bit 0	RBIP: RB Port Change Interrupt Priority bit
	1 = High priority 0 = Low priority

REGISTER 9-10: RCON: RESET CONTROL REGISTER

Г	R/W-0	R/W-1 ⁽¹⁾	U-0	R/W-1	R-1	R-1	R/W-0 ⁽²⁾	R/W-0
	IPEN	SBOREN	_	RI	TO	PD	POR	BOR

bit 7	IPEN: Interrupt Priority Enable bit
	1 = Enable priority levels on interrupts
	0 = Disable priority levels on interrupts
bit 6	SBOREN: BOR Software Enable bit ⁽¹⁾
	For details of bit operation, see Register 4-1.
bit 5	Unimplemented: Read as '0'
bit 4	RI: RESET Instruction Flag bit
	For details of bit operation, see Register 4-1.
bit 3	TO: Watchdog Time-out Flag bit
	For details of bit operation, see Register 4-1.
bit 2	PD: Power-Down Detection Flag bit
	For details of bit operation, see Register 4-1.
bit 1	POR: Power-on Reset Status bit ⁽²⁾
	For details of bit operation, see Register 4-1.
bit 0	BOR: Brown-out Reset Status bit
	For details of bit operation, see Register 4-1.

REGISTER 21-1: ADCON0: A/D CONTROL REGISTER 0

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0					
_	_	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON					
bit 7-6	Unimpl	emented: F	Read as '0'									
bit 5-2	CHS3:CHS0: Analog Channel Select bits											
	0000 = Channel 0 (AN0)											
		0001 = Channel 1 (AN1) 0010 = Channel 2 (AN2)										
	0010 =											
	0011 =	Channel 3	(AN3)									
		Channel 4										
		Channel 5										
		Channel 6										
	0111 = Channel 7 (AN7) ^(1,2)											
	1000 = Channel 8 (AN8)											
	1001 =	Channel 9	(AN9)									
		Channel 10										
	1011 = Channel 11 (AN11)											
	1100 = Channel 12 (AN12)											
		Unimpleme										
		Unimpleme										
	1111 =	Unimpleme	nted ⁽²⁾									
bit 1	GO/DO	NE: A/D Co	nversion St	tatus bit								
	When A	DON = 1:										
	1 = A/D	conversion	in progress	S								
	0 = A/D	Idle										
bit 0	ADON:	A/D On bit										

U-0	U-0		R/W-0	F	R/W-0	R/	W-0 ⁽¹⁾	ı	₹/W ⁽¹⁾		R/W ⁽¹⁾)	R/W	(1)
_	_	١	/CFG1	V	CFG0	P	CFG3	F	CFG2		PCFG ^c	1	PCF(30
bit 7-6	Unimpler	nente	l: Read	as '0'										
bit 5	VCFG1: Voltage Reference Configuration bit (VREF- source)													
	1 = VREF- (AN2) 0 = VSS													
bit 4	VCFG0: Voltage Reference Configuration bit (VREF+ source) 1 = VREF+ (AN3) 0 = VDD													
bit 3-0	PCFG3:PCFG0: A/D Port Configuration Control bits:													
	PCFG3: PCFG0	AN12	AN11	AN10	AN9	AN8	AN7 ⁽²⁾	AN6 ⁽²⁾	AN5 ⁽²⁾	AN4	AN3	AN2	AN1	ANO
	0000(1)	Δ	Δ	Δ	Δ	Α.	Λ	Λ	Δ	Δ	Δ	Δ	Δ	_

1 = A/D converter module is enabled 0 = A/D converter module is disabled

PCFG3: PCFG0	AN12	AN11	AN10	AN9	AN8	AN7 ⁽²⁾	AN6 ⁽²⁾	AN5 ⁽²⁾	AN4	AN3	AN2	AN1	ANO
0000(1)	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α
0001	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α
0010	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α
0011	D	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α
0100	D	D	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α
0101	D	D	D	Α	Α	Α	Α	Α	Α	Α	Α	Α	Α
0110	D	D	D	D	Α	Α	Α	Α	Α	Α	Α	Α	Α
0111(1)	D	D	D	D	D	Α	Α	Α	Α	Α	Α	Α	Α
1000	D	D	D	D	D	D	Α	Α	Α	Α	Α	Α	Α
1001	D	D	D	D	D	D	D	Α	Α	Α	Α	Α	Α
1010	D	D	D	D	D	D	D	D	Α	Α	Α	Α	Α
1011	D	D	D	D	D	D	D	D	D	Α	Α	Α	Α
1100	D	D	D	D	D	D	D	D	D	D	Α	Α	Α
1101	D	D	D	D	D	D	D	D	D	D	D	Α	Α
1110	D	D	D	D	D	D	D	D	D	D	D	D	Α
1111	D	D	D	D	D	D	D	D	D	D	D	D	D

A = Analog input D = Digital I/O

REGISTER 21-3: ADCON2: A/D CONTROL REGISTER 2

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0					
ADFM	_	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0					
bit 7	ADFI	ADFM: A/D Result Format Select bit										
		tight justifie eft justified										
bit 6	Unim	Unimplemented: Read as '0'										
bit 5-3	111: 110: 101: 100: 011: 010:	ACQT2:ACQT0: A/D Acquisition Time Select bits 111 = 20 TAD 110 = 16 TAD 101 = 12 TAD 100 = 8 TAD 011 = 6 TAD 010 = 4 TAD 001 = 2 TAD										
bit 2-0	111: 110: 101: 100: 011: 010:	= FRC (clos = FOSC/64 = FOSC/16 = FOSC/4	ck derived	from A/D	Clock Selec RC oscillar	tor) ⁽¹⁾						

REGISTER 12-1: T1CON: TIMER1 CONTROL REGISTER

000 = Fosc/2

R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0					
RD16	T1RUN	T1RUN T1CKPS1 T1CKPS0 T1OSCEN T1SYNC TMR1CS TMR1										
bit 7	RD16: 16-Bit Read/Write Mode Enable bit											
					ne 16-bit ope wo 8-bit opera							
bit 6	T1RUN:	Timer1 Syste	m Clock Sta	atus bit								
		ce clock is de										
		ce clock is de										
bit 5-4				ut Clock Pre	scale Select I	oits						
		Prescale vali										
		10 = 1:4 Prescale value 01 = 1:2 Prescale value										
	00 = 1:1 Prescale value											
bit 3	T10SCEN: Timer1 Oscillator Enable bit											
	1 = Timer1 oscillator is enabled											
	0 = Timer1 oscillator is shut off The oscillator inverter and feedback resistor are turned off to eliminate power drain											
bit 2							Jowel Grain.					
DIL 2	T1SYNC: Timer1 External Clock Input Synchronization Select bit When TMR1CS = 1:											
	1 = Do not synchronize external clock input											
	0 = Synchronize external clock input											
	When TMR1CS = 0: This bit is ignored. Timer1 uses the internal clock when TMR1CS = 0.											
		-			ock when TM	R1CS = 0.						
bit 1	TMR1CS: Timer1 Clock Source Select bit 1 = External clock from RC0/T1OSO/T13CKI pin (on the rising edge)											
		mal clock fro nal clock (F0		SO/T13CKI	pin (on the ri	sing edge)						
bit 0	TMR1ON: Timer1 On bit											
		1 = Enables Timer1										
	0 = Stops	s Timer1										

