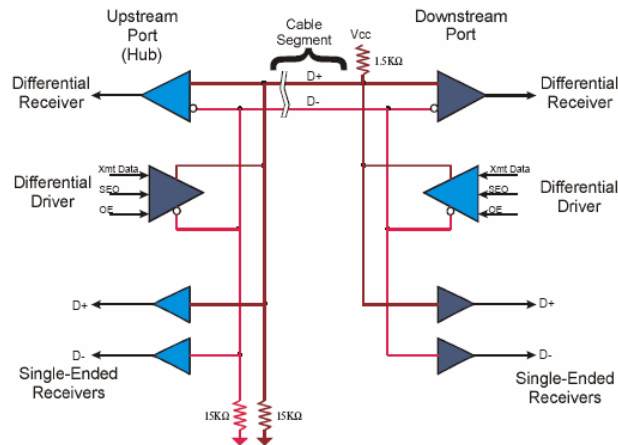
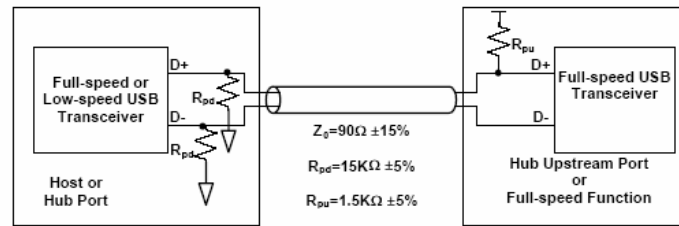


Nom i Cognoms: \_\_\_\_\_

1) Mireu les següents figures de la interfície del bus USB:



Bus State	Signaling Levels		
	At originating source connector (at end of bit time)	At final target connector	
		Required	Acceptable
Differential "1"	D+ > V <sub>OH</sub> (min) and D- < V <sub>OL</sub> (max)	(D+) - (D-) > 200mV and D+ > V <sub>IH</sub> (min)	(D+) - (D-) > 200mV
Differential "0"	D- > V <sub>OH</sub> (min) and D+ < V <sub>OL</sub> (max)	(D-) - (D+) > 200mV and D- > V <sub>IH</sub> (min)	(D-) - (D+) > 200mV
Single-ended 0 (SE0)	D+ and D- < V <sub>OL</sub> (max)	D+ and D- < V <sub>IL</sub> (max)	D+ and D- < V <sub>IH</sub> (min)

i ompliu la següent taula, indicant quins valors lògics hi haurà als receptors 'single-ended' D+ i D- (1 punt):

Situació:	No hi ha cap dispositiu connectat	S'ha connectat un dispositiu 'full speed' i encara no circulen dades	Hi ha un "1" diferencial al bus	Hi ha un "0" diferencial al bus
Receptor D+	0	1	1	0
Receptor D-	0	0	0	1

2) Si volguéssim modificar el bus USB perquè seguís sent diferencial, seguís donant alimentació elèctrica als dispositius, però fos *full-duplex*, quants cables hauria de tenir? Justifica la resposta (0,5 punts).

El bus usb té actualment 4 fils: VCC i GND per l'alimentació i un parell diferencial D+ D- que ofereix un canal half-duplex. Si volguéssim tenir un altre canal i que fos full-duplex posaríem un altre parell diferencial D+' D-', fent un total de 6 cables.

3) Es realitzarà una prova de **comunicacions sèrie** amb un bus configurat *half-duplex*, amb una velocitat de 115200 bps, 8 bits per byte, sense paritat i amb 1 bit d'stop. Concretament, una màquina A enviarà a una màquina B un paquet de 4096 bytes i immediatament després la màquina B tornarà el mateix paquet per comprovar si hi ha errors. Calcula el temps que durarà la prova (1,5 punts):

Per cada byte s'envien 10 bits: 1 start + 8 data + 1 stop

La màquina A enviarà 4096 bytes = 40960 bits

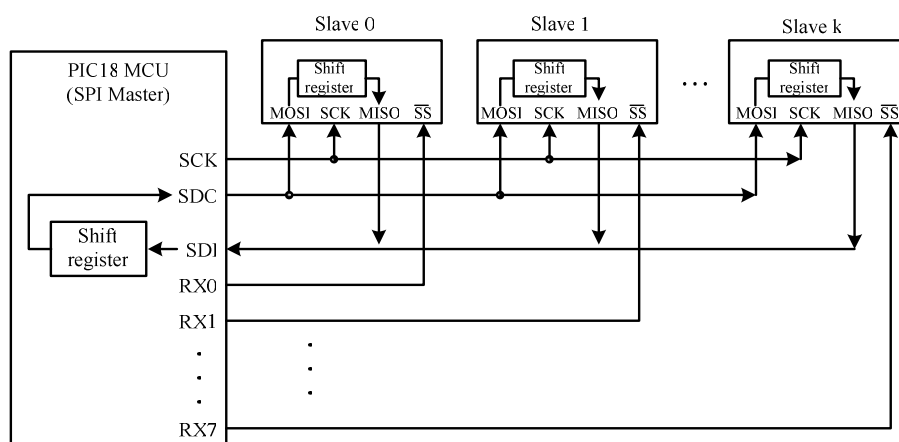
La màquina B respondrà 4096 bytes = 40960 bits

Per tant en total s'enviaran: 81920 bits.

Com que no hi haurà simultaneïtat en l'enviament (és half-duplex) el temps total serà:

$$T = 81920 \text{ bits} / 115200 \text{ bits/segon} = 0.71 \text{ segons} = 710 \text{ ms}$$

4) Mireu la següent configuració del bus **SPI**, comptant que hi ha 6 dispositius ( $K=5$ ), que l'SPI clock és de 2MHz, que cada dispositiu té 8 bits de dades i que la selecció d'un dispositiu ( $Rxi = '0'$ ) requereix  $1\mu\text{s}$  de temps, quin és el temps mínim que necessitem per llegir les dades de tots els dispositius? Justifica la resposta. (1 punt)



Note RX is an unused I/O port  
MOSI stands for master out, slave in  
MISO stands for master in, slave out

Figure 10.5 Single-master and multiple-slave device connection (method 1)

$$F_{\text{clock}} = 2\text{MHz} \rightarrow T_{\text{clock}} = 500\text{ns}$$

Selecció d'un dispositiu:  $1\mu\text{s}$

Lectura d'un dispositiu:  $8 \text{ bits} \times 1 \text{ clock/bit} \times 500\text{ns/clock} = 4\mu\text{s}$

Temps total per obtenir dades d'un dispositiu =  $5\mu\text{s}$

Com que tenim 6 dispositius  $K=(0..5)$ , el temps per llegir les dades de tots és  $30\mu\text{s}$ .

**Nom i Cognoms:** \_\_\_\_\_

5) Quin seria el valor que configuraria correctament el registre ADCON2 si es vol que el resultat estigui justificat a l'esquerra, l'oscil·lador del sistema és de 16MHz i assegurant que  $TAD > 0.8 \mu\text{seg}$  i  $TACQ > 2.45 \mu\text{seg}$ ? Utilitzant aquest valor de configuració quin és el temps total que trigaria un mostreig (considerant el temps de conversió i el temps d'adquisició)? (2 punts)

7	6	5	4	3	2	1	0
ADFM	--	ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0
0	0	0	0	0	0	0	0

ADFM: A/D result format select bit

0 = left justified

1 = right justified

ACQT2:ACQT0: A/D acquisition time select bits

000 = 0 TAD(1)

001 = 2 TAD

010 = 4 TAD

011 = 6 TAD

100 = 8 TAD

101 = 12 TAD

110 = 16 TAD

111 = 20 TAD

ADCS2:ADCS0: A/D conversion clock select bits

000 = FOSC/2

001 = FOSC/8

010 = FOSC/32

011 = FRC (clock derived from A/D RC oscillator)

100 = FOSC/4

101 = FOSC/16

110 = FOSC/64

111 = FRC (clock derived from A/D RC oscillator)

- 1) Justificació a l'esquerra: ADFM = 0
- 2) Per establir el TAD. Cal que  $TAD = (FOSC / N)^{-1} > 0.8 \mu\text{seg}$ . El valor N mínim que ho compleix és N = 16 i el TAD = 1  $\mu\text{seg}$ . Mirant les taules queda que ADCS2:ADCS0 = 101.
- 3) Per establir el TACQ. Cal que M·TACQ sigui major que 2.45  $\mu\text{seg}$ , així que amb M = 4, el TACQ = 4  $\mu\text{seg}$ .
- 4) El temps total són 12 cicles del conversor (inicialització + 10 bits + guardar els resultats) més el temps d'adquisició = 16  $\mu\text{seg}$

6) Quin seria el flux de dades (KBytes/seg) que es generaria al adquirir un senyal d'àudio estèreo (2 canals, de fins a 20 KHz) mitjançant un únic conversor AD de 16 bits multiplexat en el temps? El temps total de mostreig de l'A/D és de 2,45 µseg i el temps de multiplexació (canvi de canal) és de 1,23 µseg. Es suposa que el senyal és adquirit utilitzant la freqüència mínima que estableix Nyquist. (1 punt)

$$2 \text{ canals} * 2 \text{ bytes per canal} * 40\text{K mostres per segon} = 160 \text{ KB/segon}$$

Nota: les altres dades de l'enunciat no calen per respondre'l, només indiquen que la velocitat de l'A/D és suficient

7) A quines unitats físiques equivaldria el bit menys significatiu d'un conversor A/D de 8 bits al adquirir el senyal proporcionat per un sensor de força que té una sensibilitat de 0,2 volts per Newton? El conversor A/D està alimentat asimètricament amb tensions de referència -VREF i +VREF de 1.5 i 3 volts respectivament. (1 punt)

El rang de les alimentacions de referència és de 3 a 1,5 Volts, és a dir un rang de 1,5 Volts. Aquest rang es divideix en 255 parts. Una d'aquestes parts representa una variació de 5,88 mV. Com que 1 Newton són 0,2 volts, obtenim que 5,88 mV són 29,4 mNewtons.