

# Relatório de Implementação de um Somador Completo na Codificação Binária em Diferentes Tecnologias.

Gerson Dantas Rocha 1, UCPEL

E-mail: gerson.rocha@sou.ucpel.edu.br

**Resumo**—Este relatório tem por finalidade trazer uma implementação de um somador completo na descrição *SPICE* em diferentes tecnologias para fins comparativos em atraso, potência e energia. Para tal implementação foram usadas as tecnologias *ASAP* de 16nm *High Power (HP)*, 22nm *HP*, 32nm *HP*, 45nm *HP* e 16nm *Low Power (LP)*. Tabelas com os resultados obtidos serão mostradas bem como a topologia de somador utilizada para a implementação.

## 1 Introdução

Somador (do inglês, *Adder*) é um circuito aritmético que pode ser analógico ou digital, com finalidade de realizar uma soma, seja ela de tensão, bit ou outro parâmetro desejado [1]. Os somadores são circuitos muito utilizados até mesmo para a composição de outros operadores aritméticos como os subtratores, divisores e multiplicadores, por isso é alvo de pesquisa e submissão de trabalhos fazendo valer a sua importância.

Diversas topologias de somadores podem ser encontradas na literatura prezando *trade-off* desejado como atraso, potência e área. Neste relatório, a finalidade da utilização do somador se dá pela medição de parâmetros importantes em todos os circuitos nanoeletrônicos que são as medições de atraso, potência e energia. Para que estas medições sejam feitas de forma correta e efetiva são utilizados métodos existentes na literatura.

Na figura 1 é mostrada a ilustração simbólica de um somador completo de dois operandos. Na figura 2 é mostrada a tabela-verdade de um somador completo de dois operandos. A partir das figuras 1 e 2 pode-se escolher uma topologia capaz de suprir a necessidade de medição mencionada.

A topologia de somador formada apenas com *NANDS* se mostra útil no quesito de diminuição de dispositivos (transistores) sem grandes degradações de sinal como a lógica de transistores de passagem. Na figura 3 é ilustrado o circuito lógico do somador completo formado apenas com *NANDS*.

O roteiro deste trabalho se mostra da seguinte forma: Capítulo 2 é a metodologia utilizada para se implementar o somador e analisar a metodologia de medição dos parâmetros desejados. Capítulo 3 são mostrados os resultados

obtidos nas simulações feitas no software *ngspice*. Capítulo 4 é a conclusão deste relatório com breve opinião sobre o desafio do trabalho e trabalhos futuros. No capítulo 5 as referências utilizadas para compreensão da implementação do somador.

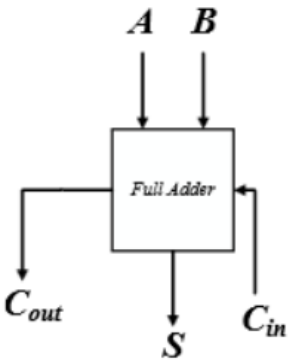


Figura 1 Representação simbólica de um somador completo.

A	B	C <sub>in</sub>	S	C <sub>out</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Figura 2 Tabela verdade de um somador completo.

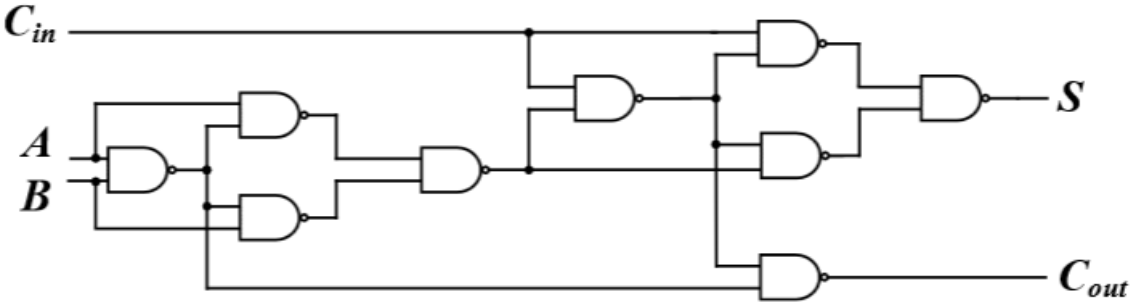


Figura 3 Somador completo implementado com NANDS.

## 2 Metodologia

Para a descrição *SPICE* do somador completo a complexidade é mínima, pois a porta NAND, como mostrada na figura 4, utiliza apenas 4 transistores (2 *PMOS* para a rede *pull-up* e 2 *NMOS* para a rede *pull-down*). Desta forma para descrever o circuito lógico pode ser utilizado o subcircuito da descrição *SPICE* e chamar a porta lógica para construir todo o somador.

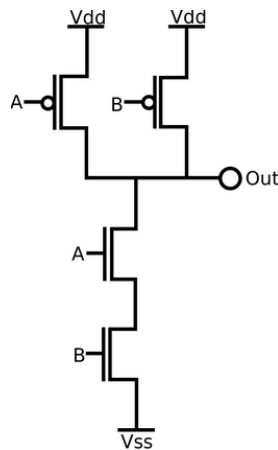


Figura 4 Esquemático CMOS da porta NAND.

O primeiro parâmetro a ser analisado são os atrasos de propagação a partir de uma variação de uma entrada. Neste caso temos três entradas que são A, B e *Carry-in*. Nesta parte, a metodologia adotada é a de comparação da variação de uma entrada (de 0 para 1 ou vice-versa), com as outras duas entradas fixas em 0 ou 1, que gera uma variação na saída. Com as devidas considerações os casos encontrados que satisfazem o critério para geração de uma saída que varia são:

Saída Soma	Saída Carry-out
1º caso: A, B fixos em 0. C varia.	1º caso: A, C fixos em 0 e 1. B varia.
2º caso: A, B fixos em 1. C varia.	2º caso: B, C fixos em 1 e 0. A varia.
3º caso: B, C fixos em 0. A varia.	3º caso: A, B fixos em 1 e 0. C varia.
4º caso: C, A fixos em 1 e 0. B varia.	4º caso: A, B fixos em 0 e 1. C varia.

A necessidade de medir os arcos de atraso em duas saídas gera a necessidade de otimização da descrição, pois poderiam ser feitos dois códigos para medir os arcos de atraso, mas em apenas um código, pode ser medido os arcos de atrasos em tempos diferentes para cada saída que varia. Nas figura 5 são mostradas as formas de onda das entradas A, B e *Carry-in*. Para geração da forma de onda necessária para que em tempos devidos seja feita a medição é utilizado a fonte *Piecewise Linear (PWL)* onde a fonte é projetada ponto a ponto da linha temporal conforme a necessidade do projetista.

Construindo as entradas através da PWL e dos casos em que a variação de uma entrada causa uma variação nas saídas de *Soma* e *Carry-out* a medida de atraso, energia pode ser construída. Para os arcos de atraso é necessário usar o código .measure que possibilita a medição de parâmetros de um circuito construído em *SPICE*:

```
.MEASURE TRAN td_lh_c0 TRIG v(CIN) VAL=0.5 RISE=1 TARG v(SUM) VAL=0.5 RISE=1
```

TRAN = medição durante a simulação estipulada.

TRIG = Primeiro parâmetro de comparação (Entrada).

VAL = Ponto de medição.

RISE, FALL = Subida ou descida da onda.  
TARG = Segundo parâmetro de comparação (Saída).

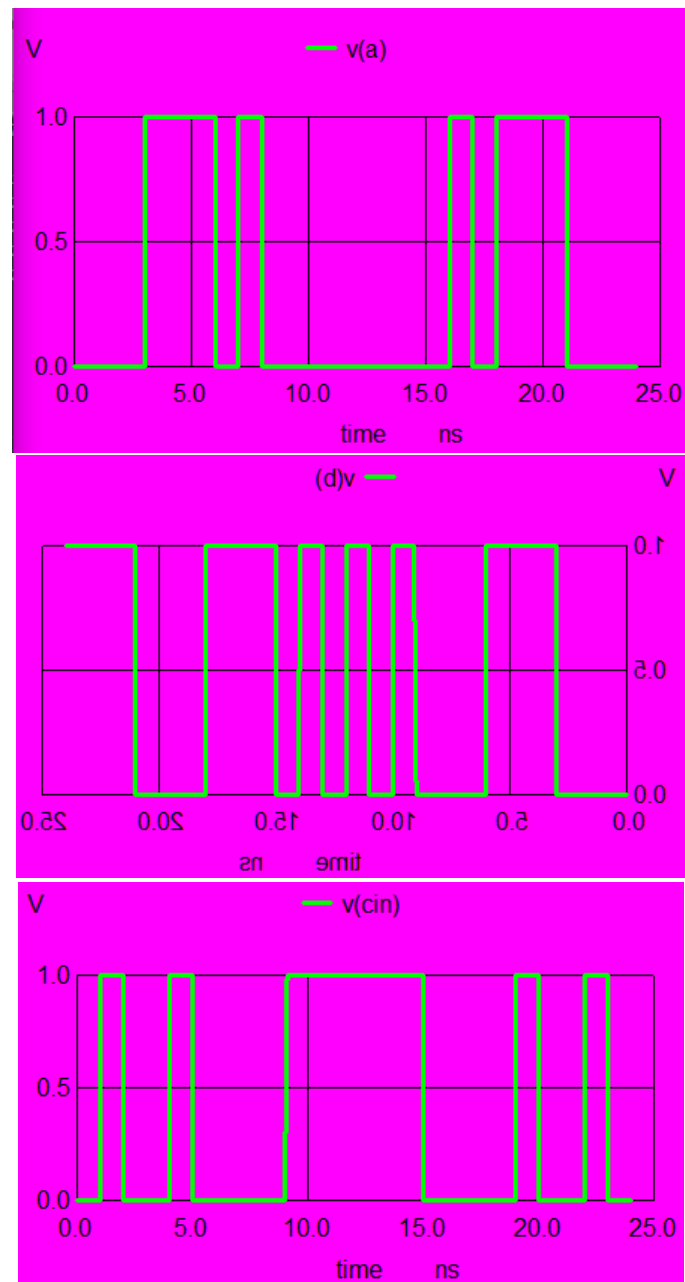


Figura 5 Entradas A, B e Carry-in construídas através do recurso da fonte PWL em SPICE.

Para a medição de energia é necessário fazer a multiplicação de Vdd com a integral da corrente pela variação de tempo de simulação:

```
.measure tran energ_FAvdd INTEG i(vvdd) from=0.01n to=24n
```

A medição da potência total é limitada aos recursos do *NGSPICE* e, portanto, não há um código específico para tal. Uma alternativa para este empecilho é utilizar a medição das correntes médias do circuito, soma-las e multiplicar pelo Vdd:

```
.measure tran avgi_a AVG i(va) from=0.01n to=24n
```

.measure tran Potencia PARAM = (((avgi\_a) + (avgi\_b \* (-1)) + (avgi\_cin)) \* Vdd)

Com a utilização destes códigos é possível obter resultados concretos sobre o atraso de propagação, energia e potência do circuito dado o tempo de simulação com as condições impostas como parâmetro. No próximo capítulo são tratados os resultados obtidos através das simulações.

### 3 Resultados

Os resultados obtidos a partir da simulação no software *NGSPICE* na linha temporal de 24ns ao passo de 0.01ns, respeitando o projeto das fontes *PWL* são mostradas nas tabelas 1, 2, 3, 4 e 5. Capacitores de 1.1fF foram utilizados nas saídas para diminuir *leakage* e diminuir eventuais diferenças de tempo de subida e descida das portas. Comparando a Potência em todas as tecnologias é visto que a mesma é maior em relação a tecnologias maiores de forma ascendente. Comparando a tecnologia de 16nm LP com a Tecnologia 16nm HP é visto que a de 16nm LP tem maior potência e energia consumida no circuito e isto se deve a alimentação, uma vez que a tecnologia de 16nm LP tem um Vdd de 0.9V e a tecnologia de 16nm HP tem Vdd de 0.7nm. Para as simulações, foram trocados aos parâmetros WL dos circuitos ajustando-os para o L mínimo e projetando os W dos transistores do tipo P 2x maior que os do tipo P, respeitando as regras de esforço lógico para tal. Os Vdd's foram trocados para todas as simulações respeitando a tecnologia.

As saídas do somador completo podem ser vistas nas figuras 6 e 7. As medições em *Carry-out* são feitas nas últimas 4 variações da onda, pois as primeiras variações não correspondem a resultados corretos do ponto de vista de medição de arco de atraso. As medições de Soma são feitas nas primeiras 4 variações da onda, pois as últimas variações não correspondem a resultados corretos do ponto de vista de medição de arco de atraso.

Os resultados descartados nas figuras 6 e 7 podem ser, do ponto de vistas de medição de energia, a melhor estratégia de medição, mas do ponto de vista proposto pelo relatório de medir os dois resultados em uma mesma onda o resultado tem cobertura correta e a proposta se mantém válida em eventuais macro medições.

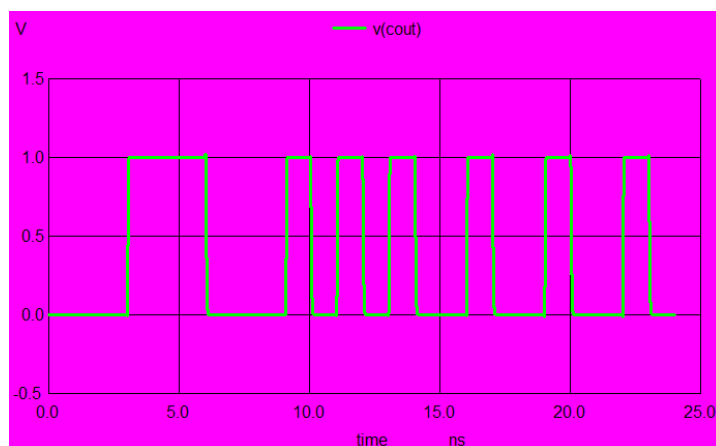


Figura 6 Saída Carry-out. Pode ser visto que a medição é feita nas últimas quatro variações da onda.

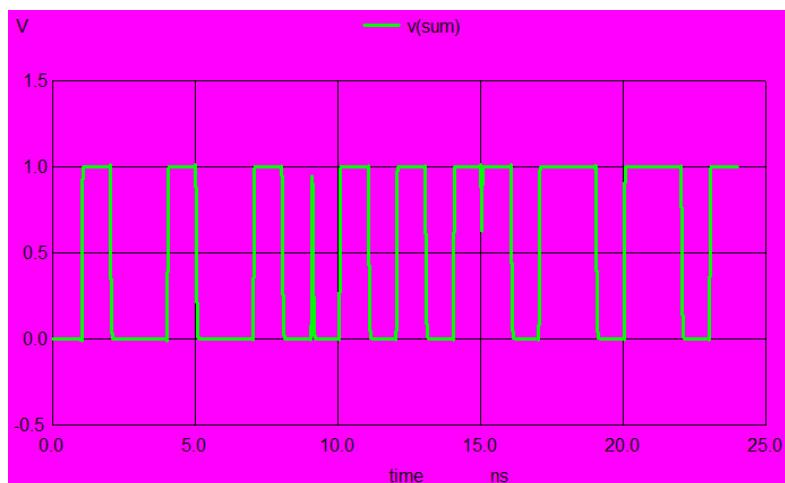


Figura 7 Saída soma. Pode ser visto que a medição é feita nas primeiras 4 variações da onda.

Tabela 1 Atraso, Energia, Correntes média e Potência do circuito simulado na tecnologia de 16nm HP

Atrasos na tecnologia de 16nm HP					
td_lh_c0	3,06E-05	targ	1,04E-03	trig	1,01E-03
td_hl_c0	5,39E-05	targ	2,06E-03	trig	2,01E-03
td_lh_c1	3,05E-05	targ	4,04E-03	trig	4,01E-03
td_hl_c1	5,39E-05	targ	5,06E-03	trig	5,01E-03
td_lh_a0	1,07E-03	targ	8,08E-03	trig	7,01E-03
td_hl_a0	7,06E-05	targ	8,08E-03	trig	8,01E-03
td_lh_b0	5,47E-05	targ	1,01E-02	trig	1,00E-02
td_hl_c0	8,38E-05	targ	1,11E-02	trig	1,10E-02
td_lh_bcout0	2,05E-03	targ	1,31E-02	trig	1,10E-02
td_hl_bcout0	2,07E-03	targ	1,41E-02	trig	1,20E-02
td_lh_acout0	3,54E-05	targ	1,60E-02	trig	1,60E-02
td_hl_acout0	5,75E-05	targ	1,71E-02	trig	1,70E-02
td_lh_ccout0	3,50E-05	targ	1,90E-02	trig	1,90E-02
td_hl_ccout0	5,61E-05	targ	2,01E-02	trig	2,00E-02
td_lh_ccout1	3,50E-05	targ	2,20E-02	trig	2,20E-02
td_hl_ccout1	5,61E-05	targ	2,31E-02	trig	2,30E-02

Energia Consumida nas Fontes	
energ_favdd	1,86E-09
energ_fava	2,84E-13
energ_favb	3,87E-12
energ_favc	4,22E-13

Correntes	
avgi_a	1,42E-04
avgi_b	1,61E-03
avgi_cin	1,87E-04

Potência	
powera	1,36E-04

Tabela 2 Atraso, Energia, Correntes média e Potência do circuito simulado na tecnologia de 16nm LP

Atrasos na tecnologia de 16nm LP						Energia Consumida nas Fontes	
td_lh_c0	1,22E-04	targ	1,13E-03	trig	1,01E-03	energ_favdd	2,19E-09
td_hl_c0	2,08E-04	targ	2,21E-03	trig	2,01E-03	energ_fava	5,15E-13
td_lh_c1	1,22E-04	targ	4,13E-03	trig	4,01E-03	energ_favb	5,33E-12
td_hl_c1	2,08E-04	targ	5,21E-03	trig	5,01E-03	energ_favc	5,34E-13
td_lh_a0	1,28E-03	targ	8,28E-03	trig	7,01E-03	Correntes	
td_hl_a0	2,78E-04	targ	8,28E-03	trig	8,01E-03		
td_lh_b0	2,29E-04	targ	1,02E-02	trig	1,00E-02		
td_hl_c0	3,35E-04	targ	1,13E-02	trig	1,10E-02		
						avgi_a	2,38E-04
						avgi_b	2,19E-03

td_lh_bcout0	2,21E-03	targ	1,32E-02	trig	1,10E-02
td_hl_bcout0	2,29E-03	targ	1,43E-02	trig	1,20E-02
td_lh_acout0	1,42E-04	targ	1,61E-02	trig	1,60E-02
td_hl_acout0	2,26E-04	targ	1,72E-02	trig	1,70E-02
td_lh_ccout0	1,41E-04	targ	1,91E-02	trig	1,90E-02
td_hl_ccout0	2,20E-04	targ	2,02E-02	trig	2,00E-02
td_lh_ccout1	1,41E-04	targ	2,21E-02	trig	2,20E-02
td_hl_ccout1	2,20E-04	targ	2,32E-02	trig	2,30E-02

avgi_cin	2,53E-04
----------	----------

Potência	
powera	2,42E-04

Tabela 3 Atraso, Energia, Correntes média e Potência do circuito simulado na tecnologia de 22nm HP

Atrasos na tecnologia de 22nm HP					
td_lh_c0	2,79E-05	targ	1,03E-03	trig	1,01E-03
td_hl_c0	4,92E-05	targ	2,05E-03	trig	2,01E-03
td_lh_c1	2,79E-05	targ	4,03E-03	trig	4,01E-03
td_hl_c1	4,92E-05	targ	5,05E-03	trig	5,01E-03
td_lh_a0	1,07E-03	targ	8,07E-03	trig	7,01E-03
td_hl_a0	6,81E-05	targ	8,07E-03	trig	8,01E-03
td_lh_b0	7,32E-05	targ	1,01E-02	trig	1,00E-02
td_hl_c0	6,23E-05	targ	1,11E-02	trig	1,10E-02
td_lh_bcout0	2,06E-03	targ	1,31E-02	trig	1,10E-02
td_hl_bcout0	2,07E-03	targ	1,41E-02	trig	1,20E-02
td_lh_acout0	3,49E-05	targ	1,60E-02	trig	1,60E-02
td_hl_acout0	5,33E-05	targ	1,71E-02	trig	1,70E-02
td_lh_ccout0	3,45E-05	targ	1,90E-02	trig	1,90E-02
td_hl_ccout0	5,19E-05	targ	2,01E-02	trig	2,00E-02
td_lh_ccout1	3,45E-05	targ	2,20E-02	trig	2,20E-02
td_hl_ccout1	5,19E-05	targ	2,31E-02	trig	2,30E-02

Energia Consumida nas Fontes	
energ_favdd	2,22E-09
energ_fava	5,37E-13
energ_favb	7,69E-12
energ_favc	6,00E-13

Correntes	
avgi_a	2,60E-04
avgi_b	3,24E-03
avgi_cin	3,40E-04

Potência	
powera	3,08E-04

Tabela 4 Atraso, Energia, Correntes média e Potência do circuito simulado na tecnologia de 32nm HP

Atrasos na tecnologia de 32nm HP					
td_lh_c0	4,11E-05	targ	1,05E-03	trig	1,01E-03
td_hl_c0	8,22E-05	targ	2,09E-03	trig	2,01E-03
td_lh_c1	4,10E-05	targ	4,05E-03	trig	4,01E-03
td_hl_c1	8,22E-05	targ	5,09E-03	trig	5,01E-03
td_lh_a0	1,10E-03	targ	8,11E-03	trig	7,01E-03
td_hl_a0	1,03E-04	targ	8,11E-03	trig	8,01E-03
td_lh_b0	7,33E-05	targ	1,01E-02	trig	1,00E-02
td_hl_c0	1,23E-04	targ	1,11E-02	trig	1,10E-02
td_lh_bcout0	2,07E-03	targ	1,31E-02	trig	1,10E-02
td_hl_bcout0	2,11E-03	targ	1,41E-02	trig	1,20E-02
td_lh_acout0	4,99E-05	targ	1,61E-02	trig	1,60E-02
td_hl_acout0	8,66E-05	targ	1,71E-02	trig	1,70E-02
td_lh_ccout0	4,93E-05	targ	1,91E-02	trig	1,90E-02
td_hl_ccout0	8,54E-05	targ	2,01E-02	trig	2,00E-02
td_lh_ccout1	4,93E-05	targ	2,21E-02	trig	2,20E-02
td_hl_ccout1	8,54E-05	targ	2,31E-02	trig	2,30E-02

Energia Consumida nas Fontes	
energ_favdd	5,37E-09
energ_fava	1,14E-12
energ_favb	1,57E-11
energ_favc	7,56E-13

Correntes	
avgi_a	5,17E-04
avgi_b	6,66E-03
avgi_cin	5,17E-04

Potência	
powera	6,93E-04

Tabela 5 Atraso, Energia, Correntes média e Potência do circuito simulado na tecnologia de 45nm HP

Atrasos na tecnologia de 45nm HP					
td_lh_c0	2,48E-05	targ	1,03E-03	trig	1,01E-03
td_hl_c0	3,34E-05	targ	2,04E-03	trig	2,01E-03
td_lh_c1	2,47E-05	targ	4,03E-03	trig	4,01E-03
td_hl_c1	3,34E-05	targ	5,04E-03	trig	5,01E-03
td_lh_a0	1,06E-03	targ	8,06E-03	trig	7,01E-03
td_hl_a0	5,70E-05	targ	8,06E-03	trig	8,01E-03
td_lh_b0	5,87E-05	targ	1,01E-02	trig	1,00E-02
td_hl_c0	7,80E-05	targ	1,11E-02	trig	1,10E-02
td_lh_bcout0	2,06E-03	targ	1,31E-02	trig	1,10E-02
td_hl_bcout0	2,06E-03	targ	1,41E-02	trig	1,20E-02
td_lh_acout0	3,37E-05	targ	1,60E-02	trig	1,60E-02
td_hl_acout0	3,81E-05	targ	1,70E-02	trig	1,70E-02
td_lh_ccout0	3,30E-05	targ	1,90E-02	trig	1,90E-02
td_hl_ccout0	3,71E-05	targ	2,00E-02	trig	2,00E-02
td_lh_ccout1	3,30E-05	targ	2,20E-02	trig	2,20E-02
td_hl_ccout1	3,71E-05	targ	2,30E-02	trig	2,30E-02

Energia Consumida nas Fontes	
energ_favdd	4,48E-09
energ_fava	3,05E-12
energ_favb	2,86E-11
energ_favc	1,61E-12

Correntes	
avgi_a	1,25E-03
avgi_b	1,22E-02
avgi_cin	1,19E-03

Potência	
powera	1,47E-03

## 4 Conclusão

Este relatório demonstrou o projeto de um somador completo em diferentes tecnologias FinFET, apresentando tabelas com dados de potência e energia consumidas ao longo do tempo de simulação e apresentando os arcos de atraso do circuito para cada saída do somador. Para trabalhos futuros, deseja-se medir isoladamente cada saída, para assim, diminuir a energia e ter maior fidelidade neste aspecto, mesmo que este resultado já venha a ter fidelidade determinada pela proposta de se obter os dois resultados ao mesmo tempo. Deseja-se também, fazer ajustes finos no circuito a fim de se obter menos *leakage* e menos diferença nas subidas e descidas das entradas, aumentando a resistência Ron projetada para cada transistor e assim ter uma onda sem degradações mesmo com a adição do capacitor. A consequência disso é obter um menor atraso nos pontos definidos pelas medições e obter maior eficiência do circuito em macro aplicações.

## 4 Referências

[1] PEDRONI, Volnei A. **Circuit design with VHDL**. MIT press, 2004.