

Si4432 ISM TRANSCEIVER

特性:

- 频率范围=240~930MHz
- 接收灵敏度: -118dBm
- 最大发射功率: +20dBm
可配置+11 到+20dBm
- 低功耗
接收: 18.5mA
发射: 27mA@+11dBm
- 数据传输率=1~128kbps
- 电压范围 = 1.8~3.6V
- 待机超低功耗: 400nA
- 数字信号强度指示
- 空中唤醒
- 自动频率校正 (AFC)
- 天线分集&收发切换控制
- 可配置数据包结构
- 前导码检测
- 发射和接收带 64 字节 FIFOs
- 电池欠压检测
- 温度传感器和 8 位 ADC
- 温度范围-40° C~+85° C
- 集成电压调整
- 跳频功能
- 片上晶体调谐
- 20-Pin QFN 封装
- FSK、GFSK 和 OOK 模式
- 外围精简
- 上电复位 (POR)

典型应用:

- 无线遥控
- 无线安防报警
- 遥测设备
- 无线个人数据记录
- 无线游戏手柄控制
- 胎压检测
- PC 无线外设
- 无线抄表
- 无线门禁
- 智能家居
- 工业控制
- 无线传感器网络
- 医疗监测仪
- 有源电子标签

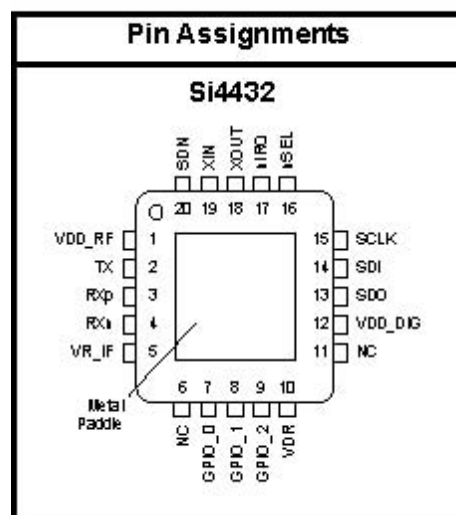
特性:

Silicon Laboratories EZRadioPRO™ 系列的 Si4432 是高度集成度单芯片无线 ISM 收发器件。EZRadioPRO 系列包括了发射机、接收机和射频收发器, 让设计工程师可以有选择的设计利用里面的无线部分。

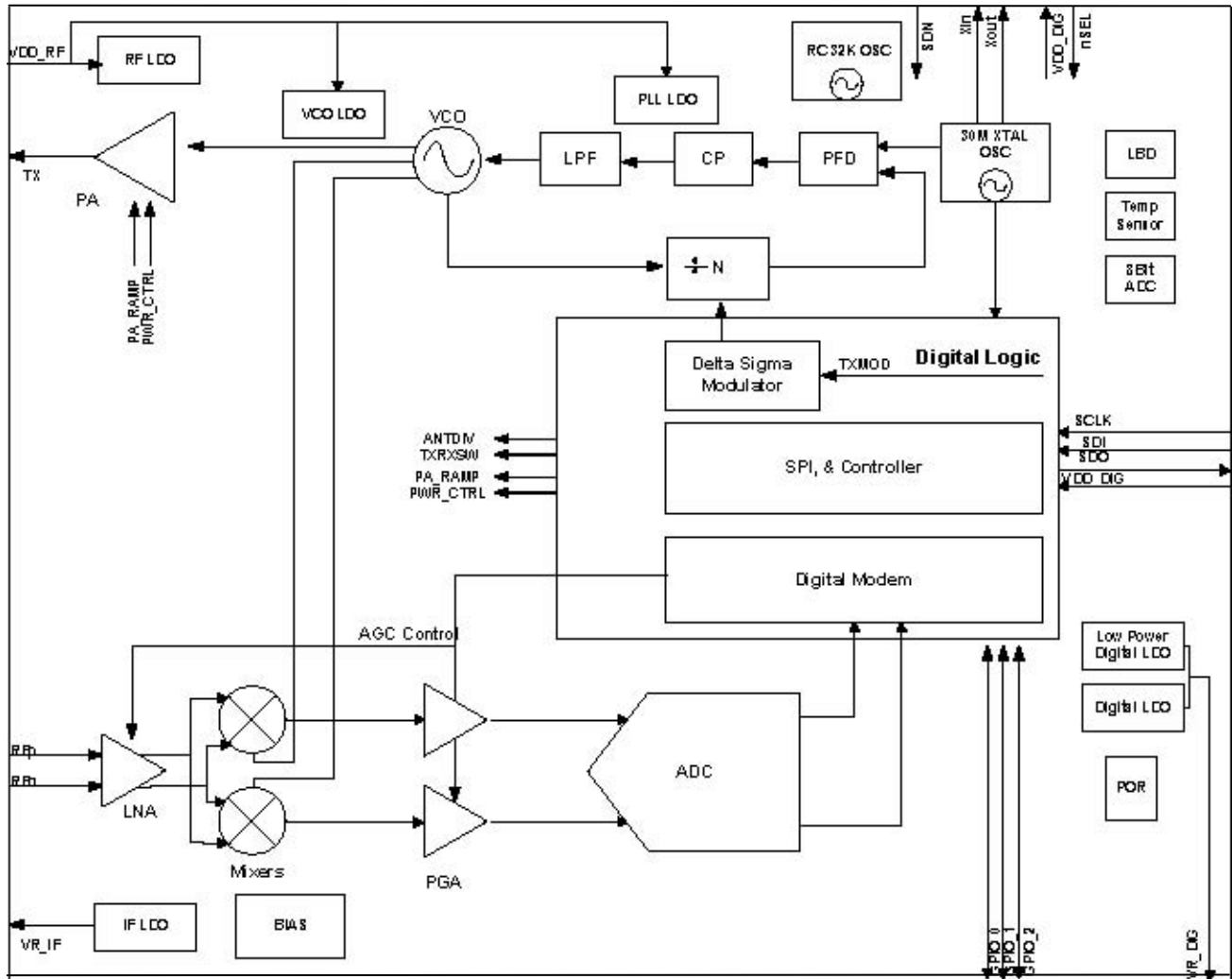
Si4432 提供了先进的无线功能, 包括连续频率范围从 240 到 930 MHz 和可调输出功率高达+20 dBm。Si4432 的高度集成带来降低 BOM, 同时简化整体设计。极低的接收灵敏度 (-118 dBm 的), 加上业界领先的+20 dBm 输出功率, 保证传输范围和穿透能力。内置天线多样化和支持跳频。

一些额外的功能, 如自动唤醒定时器, 低电池电量检测器, 64 字节发射/接收, 自动数据包处理, 并降低整体序言检测电流消耗, 并允许使用较低成本的 MCU。一个集成温度传感器, 常用模拟数字转换器 (ADC), 上电复位 (POR), 和 GPIO, 进一步降低了整体成本和尺寸。

Si4432 的数字接收架构采用高性能的 ADC 及基于 DSP 的调制解调器可实现解调, 过滤和分组处理提高性能和灵活性。这一数字架构简化了系统设计, 可允许使用低端的 MCU 来控制。数字传输调制和内部自动 PA 确保传输调制和减少频谱扩散, 符合 FCC 和 ETSI 条例。



内部模块功能方块图



目录

	页码
1. 电气特性	8
1.1. 测试条件描述	15
2. 功能描述	16
2.1. 工作模式	18
3. 控制界面	19
3.1. 串行外设接口(SPI)	19
3.2. 工作模式控制	21
3.3. 中断	24
3.4. 设备代码	24
3.5. 系统时钟	25
3.6. 频率控制	27
4. 调制操作	34
4.1. 调制类型	34
4.2. 调制数据源	35
4.3. FIFO 模式	35
4.4. 直接模式	35
4.5. PN9 模式	36
4.6. 同步和异步	36
5. 内部功能模块	38
5.1. 接收低噪放 (LNA)	38
5.2. 接收 I-Q 混频器	38
5.3. 可编程增益放大器	38
5.4. ADC	38
5.5. 数字调制模式	38
5.6. 合成器	39
5.7. 功率放大器	40
5.8. 晶振振荡器	41
5.9. 调整器	41
6. 数据处理和包处理器	42
6.1. 发射和接收FIFOs	42
6.2. 包配置	43
6.3. 发射模式包处理	44
6.4. 接收模式包处理器	44
6.5. 数据白化, 曼切斯特编码和CRC	47
6.6. 引导码侦测	47
6.7. 引导码长度	47
6.8. 无效引导码	48
6.9. 发射重传和自动发射	48

7. 接收调制解调器配置	49
7.1. FSK和GFSK的调制解调器配置	49
7.2. OOK的调制解调器配置	52
8. 附加功能	55
8.1. 智能复位	55
8.2. 单片机时钟	56
8.3. 通用ADC	57
8.4. 温度传感器	60
8.5. 电池欠压侦测器	62
8.6. 唤醒定时器	63
8.7. 低功耗模式	65
8.8. GPIO配置	66
8.9. 天线分集	68
8.10. TX/RX切换控制	68
8.11. RSSI (接收信号强度指示) 和信道空闲评估	69
9. 参考设计	70
10. 测试结果	82
11. 应用笔记	88
11.1. 晶体选择	88
11.2. 画板实践	88
11.3. 匹配网络设计	89
12. 参考材料	91
12.1. 完整寄存器列表和描述	91
13. 脚位描述:Si4432	161
14. 订单信息	162
15. 封装信息	163
文件修改列表	164
联系信息	166

图片目录

图 1. +20 dBm天线分集应用和FHSS（跳频技术）	17
图 2. SPI 时序.....	19
图 3. SPI 时序—读模式.....	20
图 4. SPI 时序—突发写模式.....	20
图 5. SPI 时序—突发读模式.....	20
图 6. 机械状态示意图.....	21
图 7. 发射时序.....	25
图 8. 接收时序	26
图 9.频率偏差.....	30
图 10. 灵敏度在1%对比频率偏差.....	31
图 11. FSK和GFSK频谱.....	34
图 12. 直接同步模式举例.....	36
图 13. 直接异步模式举例.....	36
图 14. FIFO模式举例.....	37
图 15. PLL合成器模块框图.....	39
图 16. FIFO 阈值	42
图 17. 包配置.....	43
图 18. Multiple Packets in TX Packet Handler.....	44
图 19. 包处理器禁止时所需的接收包结构.....	44
图 20. 接收处理器复合包.....	44
图 21. 接收复合包CRC或帧头错误.....	45
图 22. 数据白化工作，曼切斯特编码和CR.....	47
图 23. POR毛刺参数.....	55
图 24. 通用ADC结构.....	57
图 25. ADC差分输入的桥传感器.....	58
图 26. ADC差分输入偏移传感器补偿偏移.....	59
图 27. 8位ADC温度传感器范围.....	61
图 28. WUT中断和WUT运行.....	64
图 29. 低功耗模式	65
图 30. GPIO使用例子.....	67
图 31. RSSI值vs.输入频率.....	69
图 32. Split RF I/Os with Separated TX and RX Connectors - Schematic.....	70
图 33. Split RF I/Os with Separated TX and RX Connectors - Top	72
图 34. Split RF I/Os with Separated TX and RX Connectors - Top Silkscreen.....	72
图 35. Split RF I/Os with Separated TX and RX Connectors - Bottom.....	73
图 36. Common TX/RX Connector with RF Switch - Schematic.....	74
图 37. Common TX/RX Connector with RF Switch - Top.....	76
图 38. Common TX/RX Connector with RF Switch - Top Silkscreen.....	76
图 39. Common TX/RX Connector with RF Switch - Bottom.....	77

图 40. Antenna Diversity Reference Design - Schematic.....	78
图 41. Antenna Diversity Reference Design - Top.....	80
图 42. Antenna Diversity Reference Design - Top Silkscreen.....	80
图 43. Antenna Diversity Reference Design - Bottom.....	81
图 44. Sensitivity vs. Data Rate.....	82
图 45. Receiver Selectivity.....	83
图 46. TX Output Power vs. VDD Voltage.....	84
图 47. TX Output Power vs Temperature	84
图 48. TX Modulation (40 kbps, 20 kHz Deviation).....	85
图 49. TX Unmodulated Spectrum (917 MHz).....	85
图 50. TX Modulated Spectrum (917 MHz, 40 kbps, 20 kHz Deviation, GFSK).....	86
图 51. Synthesizer Settling Time for 1 MHz Jump Settled within 10 kHz	86
图 52. Synthesizer Phase Noise (VCOCURR = 11)	87
图 53. RX LNA Matching.....	89
图 54. TX Matching and Filtering for Different Bands.....	89
图 55. QFN-20 Package Dimensions.....	163
图 56. QFN-20 Landing Pattern Dimensions.....	163

表格列表

表格 1. DC 特性	8
表格 2. 合成器AC电器特性	9
表格 3. 接收器AC电器特性.....	10
表格 4. 发射器AC电器特性	11
表格 5. 辅助模块特性	12
表格 6. 数字IO特性 (SDO,SDI,SCLK,Nsel,and Nirq)	13
表格 7. GPIO 特性 (GPIO_0, GPIO_1, and GPIO_2)	13
表格 8. 绝对最大额定值	14
表格 9. 工作模式	18
表格 10. 串行接口时序参数	19
表格 11. 工作模式	21
表格 12. 频段选择	28
表格 13. 接收包处理器配置	45
表格 14. 包处理寄存器和描述	46
表格 15. 最小引导码长度	48
表格 16. FSK和GFSK接收调制解调器配置	49
表格 17. 滤波器带宽参数	51
表格 18. 通道滤波器带宽设置	52
表格 19. ndec[2:0]设置.....	53
表格 20. 曼切斯特禁止OOK接收调制解调配置.....	54
表格 21. 曼切斯特使能OOK接收调制解调器配置	54
表格 22. POR参数	55
表格 23. 温度传感器范围	60
表格 24. 天线分集控制.....	68
表格 25. Split RF I/Os 物料清单	71
表格 26. Common TX/RX Connector Bill of Materials	75
表格 27. 分集天线物料清单.....	79
表格 28. 推荐晶体参数	88
表格 29. 接收器LNA的匹配	89
表格 30. 寄存器说明	91
表格 31. Interrupt or Status 1 位 Set/Clear Description	96
表格 32. When are Individual Status 位s Set/Cleared if not Enabled as Interrupts?	96
表格 33. Interrupt or Status 2 位 Set/Clear Description	98
表格 34. Detailed Description of Status Registers when not Enabled as Interrupts	98
表格 35. Internal Analog Signals Available on the Analog Test Bus	135
表格 36. Internal Digital Signals Available on the Digital Test Bus	136

1. 电气特性

表1. DC 特性

参数	符号	条件	最小值	典型值	最大值	单位
供电电压范围	Vdd		1.8	3.0	3.6	V
省电模式	I _{关闭}	RC振荡器、主数字调整器和低功耗数字调整器关闭 ²	—	10	TBD	nA
	I _{待机}	低功耗数字调整器打开 (保持寄存器的值)和主数字调整器、RC振荡器关闭(1)。	—	400	TBD	nA
	I _{睡眠}	RC振荡器和低功耗数字调整器打开 (保持寄存器的值) 主数字调整器关闭(1)。	—	800	TBD	nA
	I _{传感器-欠压检测}	主数字调整器和电池欠压检测打开, 晶体振荡器和所有模块关闭(2)。	—	1	TBD	μA
	I _{传感器-温度检测}	主数字调整器和温度传感器打开, 晶体振荡器和所有模块关闭(2)。	—	1	TBD	μA
	I _{预备}	晶体振荡器和主数字调整器打开, 所有模块关闭, 晶体振荡器缓冲disabled(1)。	—	600	TBD	μA
调谐模式电流	I _{调谐}	合成器和稳压器启用	—	9.5	TBD	mA
接收模式电流	I _{接收}		—	18.5	TBD	mA
发射模式电流	I _{发射_+20}	txpow[1:0] = 11 (+20 dBm), VDD = 3.3 V	—	60	TBD	mA
	I _{发射_+11}	txpow[1:0] = 00 (+11 dBm), VDD = 3.3 V	—	27	TBD	mA
说明: 1. 所有规格保证生产测试, 特殊情况另有说明。 2. 资格认证。						

表2. 合成器AC电器特性¹

参数	符号	条件	最小值	典型值	最大值	单位
合成器频率范围 (2) (3)	FSYNTH-LB	低频段	240	—	480	MHz
	FSYNTH-HB	高频段	480	—	930	MHz
合成器频率分辨率	FRES-LB	低频段	—	156.25	—	Hz
	FRES-HB	高频段	—	312.5	—	Hz
参考频率	fREF	从30Mhz晶体分频	—	10	—	MHz
参考频率输入电平(2) (3)	fREF_LV	当使用参考频率替代晶体 测量峰峰值 (Vpp)	0.7	—	1.6	V
合成器建立	tLOCK	XOSC运行在任何的频率包括VCO 校正残余的预备模式测量	—	200	TBD	μs
寄生调频	FRMS	RMS, 集成超过集成带宽 250Hz(500 Hz更低的集成范围)	—	2	4	kHzRMS
相位噪声 (2)	L (fM)	F = 10 kHz	—	-80	TBD	dBc/Hz
		F = 100 kHz	—	-90	TBD	dBc/Hz
		F = 1 MHz	—	-115	TBD	dBc/Hz
		F = 10 MHz	—	-130	TBD	dBc/Hz
说明: 1. 所有规格保证生产测试, 特殊情况另有说明。 2. 资格认证。						

表3. 接收器AC电器特性¹

参数	符号	条件	最小值	典型值	最大值	单位
接收频率范围	FSYNTH-LB	低频段	240	—	480	MHz
	FSYNTH-HB	高频段	480	—	930	MHz
接收灵敏度	PRX_2	(BER < 0.1%) (2 kbps, GFSK, BT = 0.5, f = 5kHz)2	—	-118	TBD	dBm
	PRX_40	(BER < 0.1%) (40 kbps, GFSK, BT = 0.5, f = 20 kHz)2	—	-107	TBD	dBm
	PRX_100	(BER < 0.1%) (100 kbps, GFSK, BT = 0.5, f = 50 kHz)2	—	-103	TBD	dBm
	PRX_125	(BER < 0.1%) (125 kbps, GFSK, BT = 0.5, f = 62.5 kHz)1	—	-101	TBD	dBm
	PRX_OOK	(BER < 0.1%) (4.8 kbps, 350 kHz BW, OOK)2	—	-110	TBD	dBm
		(BER < 0.1%) (40kbps, 400kHz BW, OOK)1	—	-102	TBD	dBm
接收带宽2	BW		2.6	—	620	kHz
残余误码率性能2	PRX_RES	大于 +5dBm输入电平	—	0	0.1	ppm
输入三阶互调截点2	IIP3RX	测量-40dBm输入功率输入915和915Mhz	—	-20	TBD	dBm
输入三阶互调截点(IP3) (2)。	RIN-RX	915 MHz	—	40-55j	—	
		868 MHz	—	44-58j	—	
		433 MHz	—	79-110j	—	
		315 MHz	—	96-134j	—	
RSSI分辨率(2)	RESRSSI		—	±0.5	—	dB
±1-Ch 选择性偏移 (2) (BER < 0.1%)	C/I1-CH	要求参考信号3db以上的灵敏度， 干扰源要求调制40 kbps ΔF = 20kHz G高斯频率偏移键(GFSK) 基带滤波(BT) = 0.5, 频道间隔 = 150kHz	—	-31	TBD	dB
±2-Ch选择性偏移 (2) (BER < 0.1%)	C/I2-CH		—	-35	TBD	dB
≥ ±3Ch 选择性偏移 (2) (BER < 0.1%)	C/I3-CH		—	-40	TBD	dB
1MHz屏蔽(2)	1MBLOCK	要求参考信号3db以上的灵敏度， 干扰源要求调制40 kbps ΔF = 20kHz G高斯频率偏移键(GFSK) 基带滤波(BT) = 0.5。	—	-52	TBD	dB
4MHz屏蔽(2)	4MBLOCK		—	-56	TBD	dB
8MHz屏蔽(2)	8MBLOCK		—	-63	TBD	dB
镜相抑制	ImREJ	中频IF=937 kHz	—	-30	—	dB
杂散发射(2)	POB_RX1	测试接收引脚 (LO 馈孔)	—	—	-54	dBm

说明: 1. 所有规格保证生产测试，特殊情况另有说明。
2. 资格认证。

表4. 发射器AC电器特性¹

参数	符号	条件	最小值	典型值	最大值	单位
发射频率范围1	FSYNTH-LB	低频段	240	—	480	MHz
	FSYNTH-HB	高频段	480	—	930	
FSK 模式数据比率2	DRFSK		1	—	128	kbps
OOK 模式数据比率2	DROOK		1.2	—	40	kbps
调制偏差1	Δf	生产测试的最高320 kHz	± 0.625		± 320	kHz
	Δf_{RES}		—	0.625	—	kHz
输入功率范围1	PTX	高低两频段(240-930MHz), TXPWR[1:0]寄存器控制输出 功率 产品测试: TXPWR[1:0] = '11', 915MHz测试	+11	—	+20	dBm
TX RF 输出步长2	PRF_OUT	TXPWR[1:0] = '00' thru '11	TBD	3	TBD	dB
TX RF 输出电平 电压变化2	PRF_V	从VDD=3.6V到 VDD=1.8V 测量	—	2	TBD	dB
TX RF输出电平 温度变化2	PRF_TEMP	-40 to +85 °C	—	2	TBD	dB
TX RF输出电平 频率变化2	PRF_FREQ	通过任何的频段测量	—	1	TBD	dB
发射调制滤波2	B*T	高斯滤波带宽时间积	—	0.5	—	
杂散发射2	POB-TX1	POUT =11dBm, Frequencies <1 GHz	—	—	-54	dBm
	POB-TX2	1-12.75 GHz, excluding harmonics	—	—	-54	dBm
谐波2	P2HARM	利用参考设计最大输出功率 (+20dBm)发射匹配网络和滤 波, 输出功率线性递减	—	—	-42	dBm
	P3HARM		—	—	-42	dBm

说明: 1. 所有规格保证生产测试, 特殊情况另有说明。
2. 资格认证。

表5. 辅助模块特性¹

参数	符号	条件	最小值	典型值	最大值	单位
温度传感器精度(2)	TSA	当使用温度传感器偏移寄存器校正	—	0.5	—	°C
温度传感器灵敏度(2)	TSS		—	5	—	mV/°C
欠压检测分辨率2	LBDRES		—	50	—	mV
欠压检测转换时间2	LBDCT		—	250	—	μs
单片机时钟输出频率	MC	可配置: 30 MHz, 15 MHz, 10 MHz, 4 MHz, 3MHz, 2MHz, 1MHz, or 32.768 kHz	32.768K	—	30M	Hz
通用ADC 精度2	ADCENB		—	8	—	位
通用 ADC分辨率2	ADCRES		—	4	—	mV
温度传感器 & 通用ADC转换时间	ADCCT		—	305	—	μsec
30 MHz XTAL启动时间	t30M		—	1	—	ms
30 MHz XTAL 晶体2	30MRES		—	97	—	fF
32 kHz XTAL 启动时间2	t32k		—	6	—	sec
32 kHz XTAL 精度2	32KRES		—	100	—	ppm
32 kHz RC OSC 精度2	32KRCRES		—	2500	—	ppm
POR 复位时间	tPOR		—	16	—	ms
软复位时间2	tsoft		—	100	—	μs
说明: 1. 所有规格保证生产测试, 特殊情况另有说明。 2. 资格认证。						

表格6. 数字 IO 特性 (SDO, SDI, SCLK, nSEL, and nIRQ)

参数	符号	条件	最小值	典型值	最大值	单位
上升时间	TRISE	$0.1 \times V_{DD}$ 到 $0.9 \times V_{DD}$, CL = 5 pF	—	—	8	ns
下降时间	TFALL	$0.9 \times V_{DD}$ 到 $0.1 \times V_{DD}$, CL = 5 pF	—	—	8	ns
输入电容	CIN		—	—	1	pF
数字输入电流高电平	VIH		$V_{DD} - 0.6$	—	—	V
数字输入电流低电平	VIL			—	0.6	V
当前输入值	IIN	$0 < V_{IN} < V_{DD}$	-100	—	100	nA
数字输出电流高电平	VOH	$I_{OH} < 1 \text{ mA source}$, VDD = 1.8 V	$V_{DD} - 0.6$	—	—	V
数字输出电流低电平	VOL	$I_{OL} < 1 \text{ mA sink}$, VDD = 1.8 V	—	—	0.6	V

Note: 所有规格保证生产测试，特殊情况会另有说明。

表7. GPIO 特性 (GPIO_0, GPIO_1, and GPIO_2)

参数	符号	条件	最小值	典型值	最大值	单位
上升时间	TRISE	$0.1 \times V_{DD}$ 到 $0.9 \times V_{DD}$, CL = 10 pF, DRV<1:0>=HH	—	—	8	ns
下降时间	TFALL	$0.9 \times V_{DD}$ 到 $0.1 \times V_{DD}$, CL = 10 pF, DRV<1:0>=HH	—	—	8	ns
输入电容	CIN		—	—	1	pF
数字输入电流高电平	VIH		$V_{DD} - 0.6$	—	—	V
数字输入电流低电平	VIL		—	—	0.6	V
输入范围	IIN	$0 < V_{IN} < V_{DD}$	-100	—	100	nA
Input Current If Pullup is Activated	IINP	VIL = 0 V	5	—	25	μA
最大输入值	IOmaxLL	DRV<1:0>=LL	0.1	0.5	0.8	mA
	IOmaxLH	DRV<1:0>=LH	0.9	2.3	3.5	mA
	IOmaxHL	DRV<1:0>=HL	1.5	3.1	4.8	mA
	IOmaxHH	DRV<1:0>=HH	1.8	3.6	5.4	mA
数字输出电流高电平	VOH	$I_{OH} < I_{Omax}$ source, VDD = 1.8 V	$V_{DD} - 0.6$	—	—	V
数字输出电流低电平	VOL	$I_{OL} < I_{Omax}$ sink, VDD = 1.8 V	—	—	0.6	V

Note: 所有规格保证生产测试，除非另有说明。

表8. 绝对最大额定值

参数	数值	单位
VDD to GND	-0.3, +3.6	V
VDD to GND输出引脚	-0.3, +8.0	V
数字控制输入电压	-0.3, VDD + 0.3	V
模拟输入电压	-0.3, VDD + 0.3	V
发射输入功率	+10	dBm
工作周围环境温度TA	-40 to +85	°C
热阻JA	30	°C/W
结温TJ	+125	°C
存储温度范围 TSTG	-55 to +125	°C
说明: 耐压超过以上列表这些“绝对最大额定值”可能导致器件永久损坏, 这些只是耐压额定值器件的实际工作或在其它任何条件下超过推荐操作条件是不可取的。在绝对最大额定值条件下工作时间延长可能影响器件的可靠性。 警告: ESD敏感器件。 如果没有及时关闭负载或终止连接, 功放会被损坏。		

1.1 测试条件的定义

测试条件:

产品测试条件: $T_A = +25^{\circ}\text{C}$

$V_{DD} = +3.3\text{VDC}$

外部参考信号 (XIN) = 1.0 Vpp at 30MHz, 图3的产品测试原理图是DC 0.8V左右 (除非另有说明)
所有的RF输入和输出电平是RFIC所提到的引脚(不是RF模块)。

极限测试条件:

$T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$

$V_{DD} = +1.8$ to $+3.6\text{VDC}$

外部参考信号 (XIN) = 0.7 to 1.6 Vpp at 30MHz图3的产品测试原理图是DC 0.8V左右(除非另有说明)

所有的RF输入和输出电平是RFIC所提到的引脚(不是RF块)。

测试说明:

所有的电气参数的最大/最小值通过以下测试原理的一个或更多保障, 显示电气参数仅典型的值不保障。

设计和仿真是必须的但是没有测试。

在极端测试条件必须通过工程实验概率, 上面所需测试数据有效。

在产品测试条件必须100%筛选测试。

2. 功能描述

Si4432 是一款 CMOS 的 ISM 无线收发器件，频段 240-930 MHz 连续可调。工作电压范围为 1.8~3.6V 和低电流消耗，是电池供电解决方案的理想应用。

Si4432 是一款分时双工（TDD 的）收发器件，可交替传输和接收数据包。接收路径使用一个单转换结构镜像抑制混频 2-level

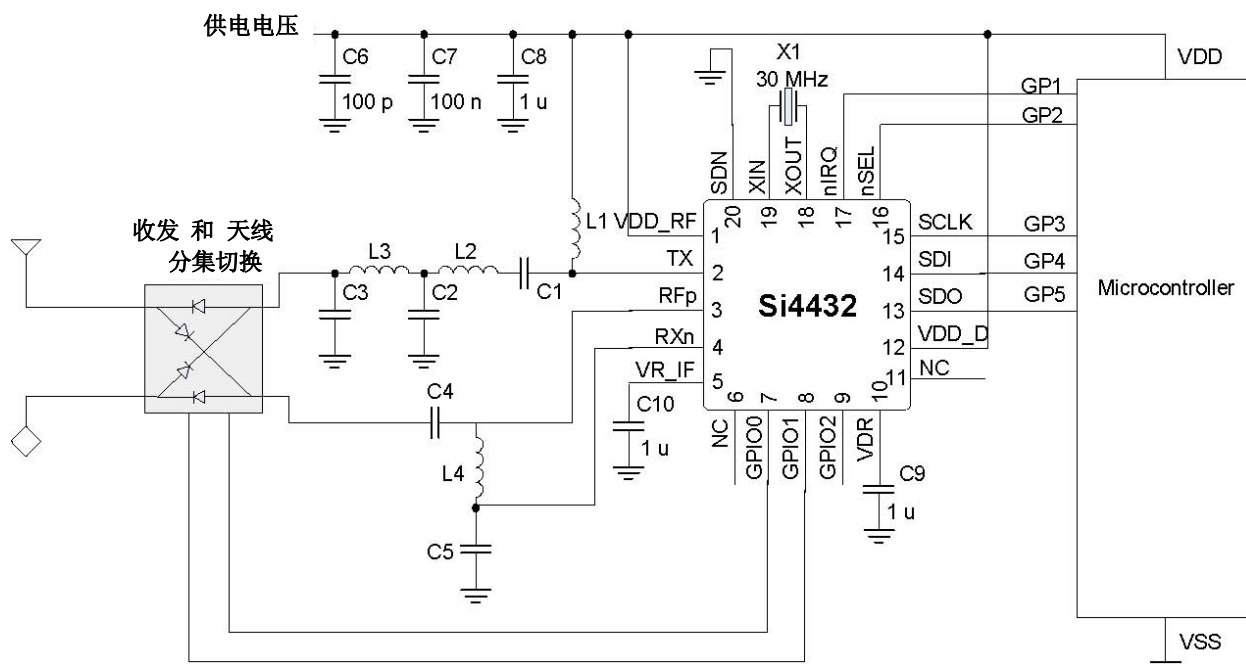
FSK/GFSK/OOK 调制接收信号到一个低中频频率。跟随一个可编程增益功放（PGA）信号通过一个高性能 $\Sigma\Delta$ ADC 转换成数字领域，所以在数字领域执行过滤解调、切片、错误纠正和包处理，内置的 DSP 增加了接收器的性能和灵活性与模拟的架构。信号的解调输出，然后该系统通过一个可编程的微控制器的 GPIO 或通过标准 SPI 总线阅读 64 K 字节接收 FIFO 的。

一个高精度振荡器（LO）是用于传输和接收模式，因为发射器和接收器不在同一时间工作。LO 产生一个综合的 VCO 和 $\Sigma\Delta$ N-PLL 合成器。合成器支持可设置的数据传输速率，

240-930Mhz 任意频率允许可配置波特率、输出频率、频偏、高斯滤波。发射 FSK 数据直接调制到 $\Delta\Sigma$ 数据流，这个数据可以通过一个高斯低通滤波整形以达到一个更满意的频谱。

输出功率可配置范围以 3db 的步长从 +11~+20dbm。这个单端 PA 允许容易匹配和低成本精简外围，PA 包含他自己突发信号的斜升和斜降为防止不希望大频谱散射，一个集成 +20dbm 的 PA、容易跳频控制、收发切换控制、天线分集切换控制、能够赢得显著的优势。天线分集完整集成到 Si4432 并且在一个典型的环境能够提高系统链路预算 8-10db，视环境而定天线分集可以提高范围。在 20 dBm 的功率放大器，也弥补了由于天线性能和 PCB 板面积性能的局限。而其他品牌的解决方案需要大量和昂贵的外部功率放大器来增加功率。

Si4432 外围电路有一个 MCU、一个晶体和一些被动元件。系统如图 1 所示。芯片集成了电压调节器，工作电压从 1.8~3.6V，只有 4 针 SPI 线与 MCU 连接。三个配置通用 I/O，可用于调整的需要的系统。一个完整的 GPIO 功能显示在“8. 辅助功能”在 55 页有举几例，MCU 的时钟输出，天线多样性，TRSW 控制，POR，和具体的中断。数量有限的被动元件，需要匹配的低噪声放大器和 PA。参见图 32，“分割射频的 I/O 分离 Tx 和 Rx 连接示意图”，70 页上有在不同的频率范围内必要组成部分的数值。



X1是集成的可编程负载电容，R1，L1-L5 和 C1-C4的值取决于频段，天线阻抗、输出功率和供电电压范围。

图1. +20dBm天线分集应用和 FHSS（跳频技术）

2.1. 工作模式

Si4432提供的一些运作模式，可用于优化设备应用电量消耗。根据该系统的通信协议，实现最佳的无线电能耗。

表9概括了SI4432的工作模式，一般来讲，任何工作定态模式可能像主动模式和省电模式一样分类，这个表格显示了相应的模式各模块使能（主动），除关闭模式外，所有的能通过发送正确的SPI命令动态选择为了优化平均功耗，工作定态模式意味着任何细胞的一个“X”模块能够独立可编程为打开或关闭，没有明显的影响功耗。SPI电路模块包括SPI接口和寄存器空间，32kHz OSC电路模块包括32.768KHz RC振荡器或32.768KHz晶体振荡器以及唤醒定时器，AUX（辅助模块）包括温度传感器、通用ADC和电池欠压检测器。

表9. 工作模式

模式名称	电路模块								
	数字 LDO	SPI	32 kHz OSC	AUX	30 MHz XTAL	PLL	PA	RX	IvDD
关闭	OFF (寄存器内容丢失)	OFF	OFF	OFF	OFF	OFF	OFF	OFF	10 nA
待机	ON (寄存器内容保持)	ON	OFF	OFF	OFF	OFF	OFF	OFF	400 nA
睡眠		ON	ON	X	OFF	OFF	OFF	OFF	800 nA
传感器		ON	X	ON	OFF	OFF	OFF	OFF	1 μA
预备		ON	X	X	ON	OFF	OFF	OFF	600 μA
调谐		ON	X	X	ON	ON	OFF	OFF	9.5 mA
发射		ON	X	X	ON	ON	ON	OFF	27 mA*
接收		ON	X	X	ON	ON	OFF	ON	18.5 mA
*说明: 27 mA at +11 dBm.									

3. 控制接口

3.1. 串行外设接口(SPI)

逻辑控制为一个SPI借口接收数据而设计的。SCLK, SDI和nSel。此逻辑控制由第四输出引脚SDO从内部寄存器读出数据, 一个SPI动作是16位随机数1位读写(RW)选择位组成, 以下是7位地址段(ADDR), 一个8位数据段(DATA), 如图4所示, 7位地址段支持读出或写入0-127, 8位控制寄存器。RW选择位决定SPI动作是写或读动作。假如RW=1是表示写动作, RW=0是表示读动作。每8个时钟周期内容(地址或数据)锁定入数字模块。SPI接口时序参数显示在以下串行接口时序参数表。SCLK时钟速率适应最大不超过10Mhz速率。

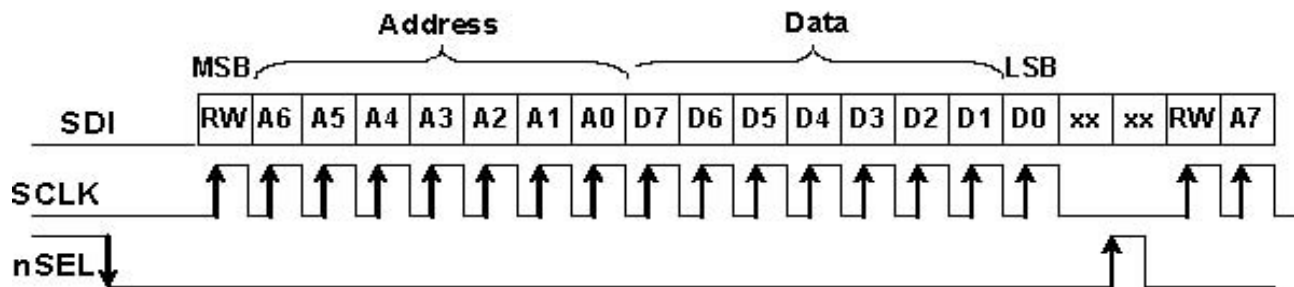


图 2. SPI 时序

表10. 串行接口时序参数

标号	参数	最小值 (nsec)	示意图
tCH	时钟高时间	40	
tCL	时钟低时间	40	
tDS	数据建立时间	20	
tDH	数据锁定时间	20	
tDD	输出数据延时时间	20	
tEN	输出使能时间	20	
tDE	输出禁止时间	50	
tSS	选择建立时间	20	
tSH	选择锁定时间	50	
tSW	选择高周期	80	

SPI也可以用于从RFIC读回数据, 为了从RFIC读回数据必须通过跟随寄存器的7位地址把RW位设置为“1”来读取, 当RW=“1”时7位地址段后随8位数据段可以忽略, 下8个SCLK信号的上升沿跳变将时钟输出选择的寄存器的内容。选择的寄存器读出的数据将通过SDO引脚得到, 下图5显示了读功能, 读功能完成之后取决于时钟输出的最后一位SDO引脚将保持逻辑“1”或逻辑“0”状态(D0), 当nSEL变高电平SDO输出引脚将由内部上拉而拉高

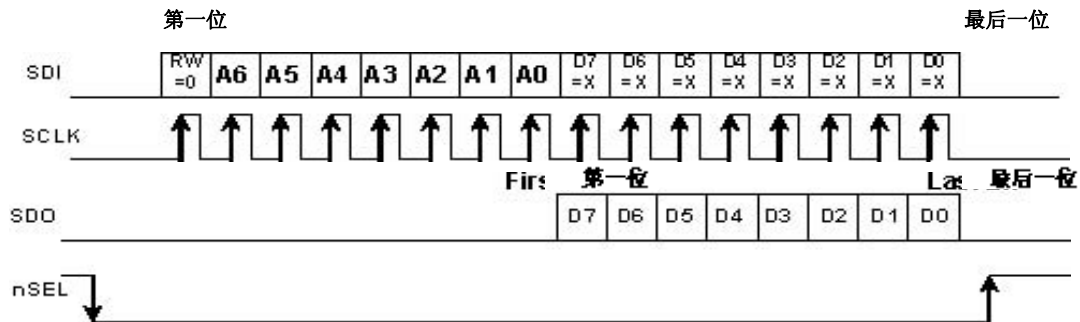


图3. SPI 时序 -读模式

SPI接口包含一个没有重送SPI地址允许读/写连续寄存器的突发读/写模式，当nSEL保持为低继续送SCLK脉冲，SPI接口会自动递增地址并且从下一个读寄存器或写入下一个寄存器。一个突发的写动作如图4所示，突发读如图3所示。只要nSEL保持低，输入数据每8个SCLK周期将锁定进入数字模块，一个突发读动作也如图5所示。

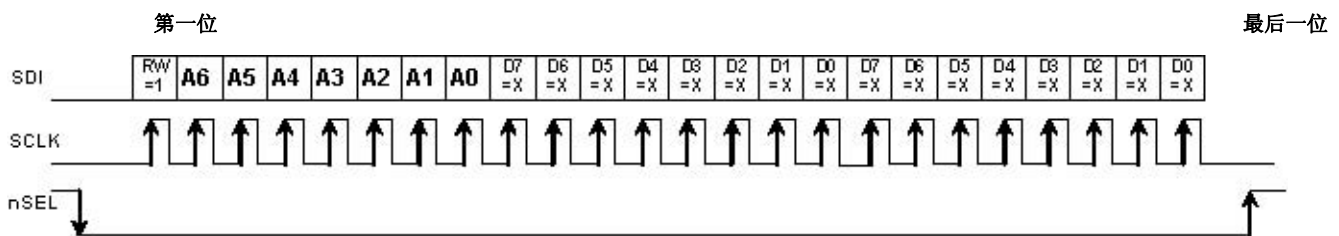


图4. SPI 时序 - 突发写模式

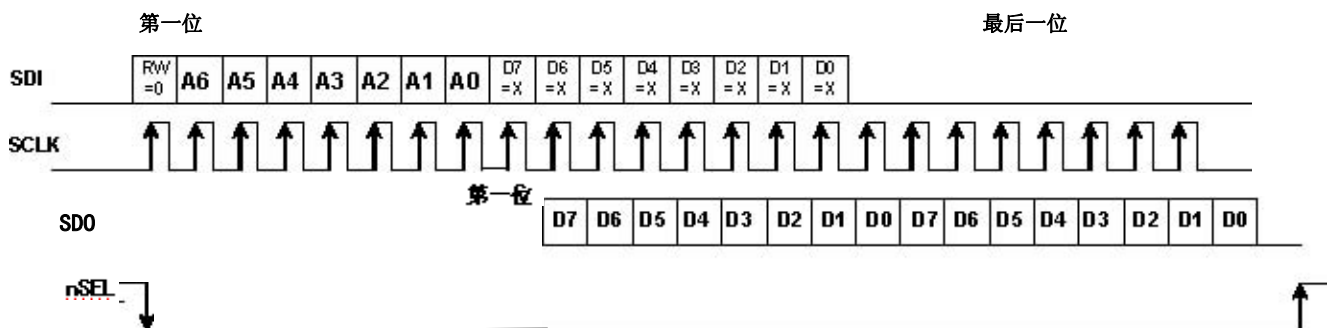
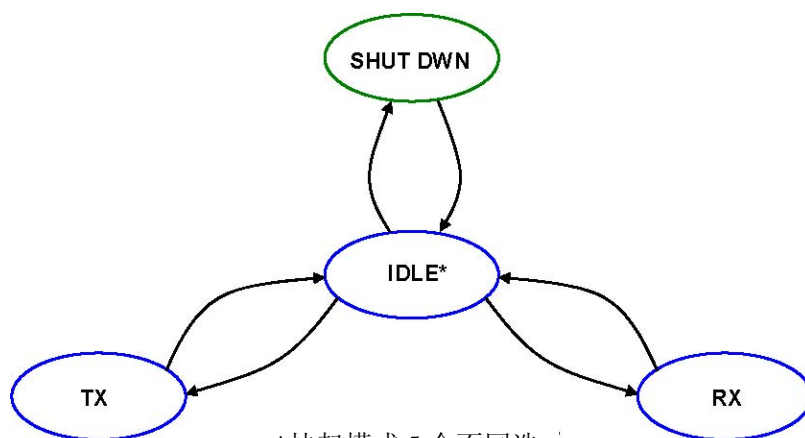


图5. SPI时序 - 突发读模式

3.2. 操作模式

有4个主机械状态：关闭、挂起、发射和接收(见图5)，关闭状态彻底关闭射频到最小功耗，选择挂起状态5个不同的配置/选项以优化芯片的应用需要，SPI寄存器07h控制工作模式/状态的选择，通过选择TXON或RXON位从任何挂起状态可以自动进入发射和接收状态，表10显示了每个工作模式进入接收或发射模式需要的时间以及每个模式当前的功耗。

产出的LPLDO内部并联输出的主要数字调节器（也可以外部VR_DIG引脚）；数字电源电压连接到所有的数字电路模块，包括数字调制解调器，晶体振荡器，和SPI和寄存器。LPLDO有极低的静态功耗电流仅仅有限的供应，它仅用于闲置待机和闲置睡眠模式。



*挂起模式 5 个不同选

图6. 机械状态示意图

表11. 工作模式

状态/模式	xtal	pll	wt	LBD or TS	效应时间		状态/模式电流 [μA]
					TX	RX	
关闭状态	X	X	X	X	16.21 ms	16.21 ms	10 nA
挂起状态							
待机模式	0	0	0	0	1.21 ms	1.21 ms	400 nA
睡眠模式	0	0	1	0			800 nA
传感器模式	0	0	X	1			1μA
预备模式	1	0	X	X	210 μs	210 μs	600 μA
调谐模式	1	1	X	X	200 μs	200 μs	9.5 mA
发射状态	1	1	X	X	NA	200 μs	60 mA @ +20 dBm, 27 mA @ +11 dBm
接收状态	1	1	X	X	200 μs	NA	18.5 mA

3.2.1. 掉电状态

LPLDO的输出并连到内部的主数字调节器输出上（外部的VR-DIG引脚上得到）；这个数字提供电压的公共端是连接到所有的数字电路模块，包括数字调制解调器、晶体、和SPI以及寄存器空间。LPLDO是消耗极低的静态电流同时也限制提供电流的能力，仅仅在待机挂起和睡眠挂起模式中使用。在这些挂起模式中仅仅SPI（也可能唤醒定时器）可以被激活，除了掉电模式以外的所有状态下SDN将是等于“0”。当SDN=“1”将完成仅消耗10nA的掉电。在掉电状态寄存器的内容将丢失并且不接收SPI指令。当芯片连接到供电电源，在SDN的下降沿后将会有一个上电复位（POR）的初始化。

3.2.2. 挂起状态

给SPI寄存器地址07h赋不同的值在挂起状态会有5种不同的模式。所有的模式在收发切换的之间会有不同的电流消耗和响应时间，这些都列在表10上有，上电复位之后，SWRESET，或者芯片从掉电状态退出将默认进入挂起预备模式。上电复位之后，中断寄存器被读，进入睡眠、传感器或待机模式和去正确控制32kHz时钟。

3.2.2.1. 待机模式

待机模式下最低的电流消耗仅仅是LPLDO使能为了维持SPI寄存器的值。在这个模式寄存器读写模式可以被访问。待机状态时可输入0h到7h。运作模式和功能控制1”。如果中断已经发生（即nIRQ引脚= 0）的中断寄存器必须阅读，以实现最低的电流消耗。另外，在此模式下ADC不应被选定作为投入的GPIO，因为它会导致过量的电流消耗。

3.2.2.2. 睡眠模式

睡眠模式LPLDO随着唤醒定时器而启用，在指定的距离用做准确的空中唤醒。见“8.6. 唤醒定时器”，在63页有更多的唤醒定时器资料。在寄存器地址07h设置enwt = 1（40h）进入睡眠模式，运作模式和功能控制1”。如果中断已经发生（即nIRQ引脚= 0），中断寄存器必须被读，以实现最低的功耗电流。另外，ADC不应被选定作为投入的GPIO在此模式下，因为它会导致过量的功耗。

3.2.2.3. 传感器模式

在传感器模式同时只能选择温度传感器、欠压检测的一种，或增加LPLDO和唤醒定时器两个同时使能，在寄存器地址07h设置enlbd = 1和ents = 1来启用电池低电量检测器和温度传感器，运作模式和功能控制1”。见60页的“8.4. 温度传感器”和62页的“8.5. 电池低电量检测器”可了解更多的这些功能。如果中断已经发生（即nIRQ引脚= 0）的中断寄存器必须阅读，以实现最低功耗电流。

3.2.2.4. 预备模式

预备模式适当的电流消耗下为给需要快速响应时间发射和接收模式而设计的。在这个模式下晶体保留使能消除晶体的启动时间而减小切换其中一个发射或接收模式的所需时间。预备模式是通过在寄存器07h设置xton = 1。运作模式和功能控制1”。在寄存器62h设置禁用晶体可以实现最低功耗。晶体/上电复位控制”值在寄存器02h。要退出预备模式，寄存器的bufovr（位1）应设置为1。

3.2.2.5. 调谐模式

在其他的挂起模式调谐模式PLL保留使能增加其他模块使能，PLL保持锁定在收发模式将会有最快的响应时间，但是会有一个最高的电流消耗的代价。这个工作模式为了跳频系统（FHS）而设计的。在“寄存器7h设置pllcn = 1进入调整模式。运作模式和功能控制1”。不需要设置xton为1，芯片内部会自动使晶体工作。

3.2.3. 发射状态

当07h寄存器的TXON位设置为“1”有可能从任何的挂起模式进入发射状态，一个内置的定序器注意所有的动作需求在使能晶体到加速PA之间防止不希望的频谱散射。当设置TXON 位从待机模式到发射模式的接下来一连串的事件将自动出现。

- 1.使能主数字LDO和模拟LDO。
- 2.晶体启动和等待直到准备好（由定时器控制）。
- 3.使能PLL
- 4.校正VCO (当VCOCAL位是“0”时这个动作将跳过，VCOCAL位默认值是“1”。)
- 5.等待PLL直达到达所需的发射频率(由定时器控制)。
- 6.功率放大器激活和等待直到功率完成启动ramping is completed (由定时器控制)

7.发射数据包最初的几步有可能被取消取决于在IDLE模式芯片是否被配置成优先设置为TXON位。VCO和PLL每次校正时PLL默认使能的，如果周围温度不变和使用相同的频段，通过设置SPI寄存器55h相应的位将可能跳过这些功能。

3.2.4. 接收状态

当SPI寄存器07h的RXON位设置为“1”可能从任何一个空闲模式进入接收状态。内置一个定序器掌控从闲置模式到发射状态所有动作需求，当通过设置RXON位从待机模式进入接收模式以下事件的顺序将自动发生从而使得芯片进入接收模式。

- 1.使能主数字LDO和模拟LDO。
- 2.启动晶体等待直到准备好（通过定时器控制）
- 3.使能PLL
- 4.校正VCO (当VCOCAL位为“0”时跳过这个动作，VCOCAL位默认为“1”。)
- 5.等待直到PLL确定要求的发射频率(通过定时器控制)
- 6.使能接收电路：低噪放（LNA），混频器，和模数转换（ADC）
- 7.校正 ADC (RC 校正)
- 8.在数字调制解调器中使能接收模式。

依靠射频的配置以下所有或部分功能通过数字调制解调器将自动完成：自动增益控制“AGC”、自动频率校正“AFC”、更新状态寄存器、位同步、包含同步字、帧头检测和CRC检验数据包处理（操作）。

3.2.5. 设备状态

Add	R/W	功能/描述	D7	D6	D5	D4	D3	D2	D1	D0	POR Def.
02	R	设备状态	ffovfl	ffunfl	rxffem	headerr	freqerr	lockdet	cps[1]	cps[0]	—

芯片的操作状态从02h寄存器读出来，每个状态位的描述在下面的表格中有说明。

3.3. 中断

当某个事件发生IA4432芯片能产生中断信号，一旦检测到中断事件这个芯片通过nIRQ引脚输出低电平（nIRQ=0）来通知单片机，当下面所示的任何一个或多个中断事件发生时（相应的中断状态位）这个中断信号将会产生，这个nIRQ引脚将会保持低电平直到单片机读走中断状态寄存器（SPI寄存器 03h~04h）包含活动的中断状态位，nIRQ输出信号会复位（nIRQ=1）直到检测到下一个状态的变化，通过中断使能寄存器相应的使能位所有的中断必须使能。如果中断没有使能时当芯片内部有事件发生将不会触发nIRQ引脚，但是中断依然可以正确地读出中断寄存器的状态，在寄存器的03h-06h地址可以找到中断状态和中断使能寄存器。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
03	R	中断状态 1	ifferr	itxffafull	itxffaem	irxffafull	iext	ipksent	ipkvalid	icrcerror	—
04	R	中断状态 2	iswdet	ipreaval	ipreainval	irssi	iwut	ilbd	ichiprdy	ipor	—
05	R/W	中断使能 1	enfferr	entxffafull	entxffaem	enrxffafull	enext	enpksent	enpkvalid	encrcerror	00h
06	R/W	中断使能 2	enswdet	enpreaval	enpreainval	enrssi	enwut	enlbd	enchiprdy	enpor	01h

看“寄存器03h. 中断/状态1,”在95页“寄存器04h. 中断/状态 2,”在64页给了完整的输入列表。

3.4. 器件码

器件版本码将是内部固化并且从寄存器01h可读的，这是一个只读寄存器。

Add	R/W	功能/描述	数据								POR Def.	Notes
			D7	D6	D5	D4	D3	D2	D1	D0		
02	R	设备状态	0	01	0	uc[4]	uc[3]	uc[2]	uc[1]	uc[0]	00h	DV

3.5. 系统

在图8和图7显示了发射和接收模式系统时序，这个时序显示了从待机模式到发射模式的过渡以及通过内置的定时器要求的步骤自动进入，如果正在使用一个小范围的频率并且温度范围相当的稳定在器件的最初的供电可以仅仅需要一个校正并且在这个之后可以跳过从而节约时间。以下列出的是有关的系统时序寄存器。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
53	R/W	PLL 调谐时间	pllts[4:0]					pllt0[2:0]			45h
54	R/W	保留 1	X	X	X	X	X	X	X	X	00h
55	R/W	校正控制		xtal-startha lf	adccal- done	enrcfcal	rccal	vco- caldp	vcocal	skip- vco	04h

每次在上电或改变频率VCO将自动校正，也可以通过设置VCOCAL位强制校正VCO。也可以自动校正32.768kHz 的RC振荡器，但是校正也可以强制。Enrcfcal将每30S使能RC产生高度校正，强制RCCAL位一个完整的RC振荡器的矫正需要大概2mS，PLL T0时间允许VCO的偏置设定，满足这个默认值，PLL TS时间是PLL的建立时间，默认是200uS，这对所有的应用是可靠的，但是如果使用很小的频率跳变这个时间可以减小。要了解更多PLL频率配置选项的寄存器信息，请见“寄存器53h的PLL频率调整时间在139页和寄存器55h的校正控制在140页。

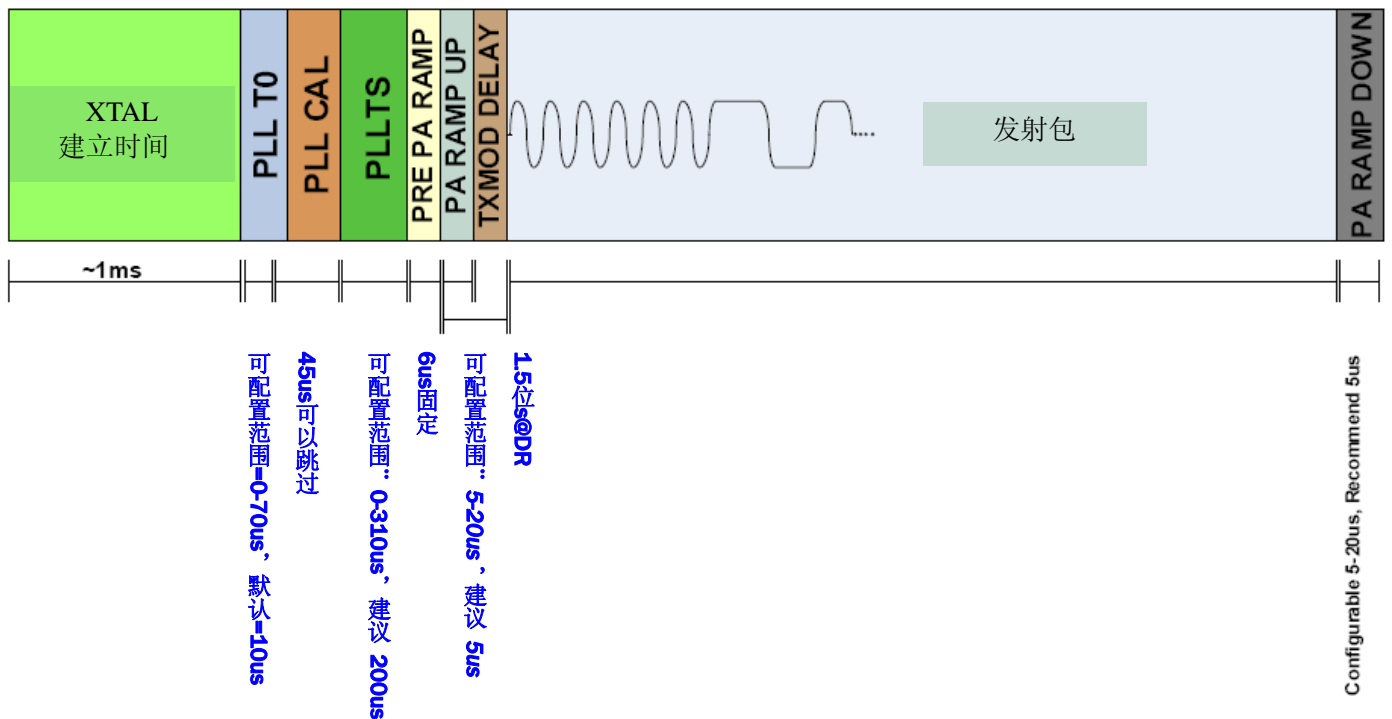


图7. 发射时序

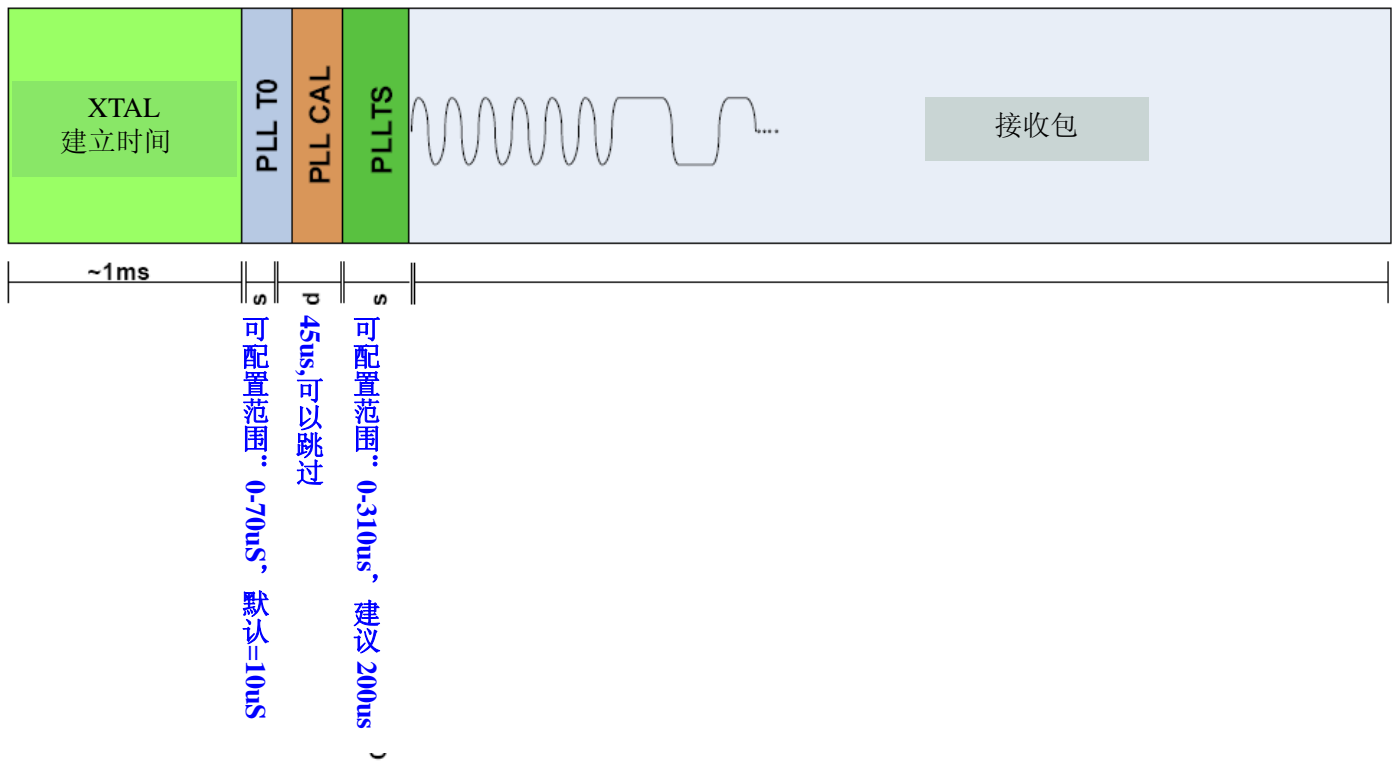


图 8. 接收状态

3.6. 频率控制

计算必要的频率寄存器设置, 建议客户使用简单的控制窗口中Silicon Labs的无线设计套件(波)或网站上提供Excel的计算器。这些方法提供一个简单的方法来快速确定正确应用的设置。以下信息提供手动计算这些值。

3.6.1. 载波发生器

为了接收或传送一个射频信号, 期望频率、 $f_{carrier}$ 、必须编程到Si4432。此频率为设计频率的中心频率, 而不是一个LO频率。载波频率是通过N分数合成器产生, 参考频率和(3阶) $\Delta\Sigma$ 调制器的时钟都用一个10Mhz, 调制器使用模数64000累加器, 这个设计的选择是使得合成器的要求频率得到解决, 整数部分(N)和小数部分(F)的闭环反馈构成的全部分配比, 一个简单检测合成器的输出频率:

$$F_{out} = 10MHz \times (N+F).$$

小数部分由三个不同的值决定: 载波频率($fc[15:0]$)、偏移频率($fo[8:0]$)和频率调制($fd[7:0]$)。预期好的方案和合成器的环路带宽, FSK调制内部环路相关和通过按照进来的数据不同的F执行, 以下在4.2.8.8部分头更进一步的说明。同样地, 一个固定的偏移能加到载波的微调和消除晶体误差, 仅从寄存器 $fc[15:0]$ 轻易取得将定仅仅少数几个要素确定, 以下列出输出频率的选择方程式:

$$f_{carrier} = 10MHz \times (hbsel + 1) \times (N + F)$$

$$f_{carrier} = 10MHz \times (hbsel + 1) \times (fb[4:0] + 24 + \frac{fc[15:0]}{64000})$$

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
73	R/W	频率偏移	fo[7]	fo[6]	fo[5]	fo[4]	fo[3]	fo[2]	fo[1]	fo[0]	00h
74	R/W	频率信息控制							fo[9]	fo[8]	00h
75	R/W	频段选择		sbsel	hbsel	fb[4]	fb[3]	fb[2]	fb[1]	fb[0]	35h
76	R/W	载波1	fc[15]	fc[14]	fc[13]	fc[12]	fc[11]	fc[10]	fc[9]	fc[8]	BBh
77	R/W	载波 0	fc[7]	fc[6]	fc[5]	fc[4]	fc[3]	fc[2]	fc[1]	fc[0]	80h

整数部分(N)是由 $fb[4:0]$ 决定, 另外, 通过连接到一个二分频到输出, 输出频率可以减半这个分频器不是内环路并且由在频段选择寄存器75h的 $hbsel$ 位控制, 这实际的划分连续的240-930 MHz 频率范围进入两个独立的频段: 高频段(HB)则 $hbsel=1$ 和低频段(LB)则 $hbsel=0$ 。 $Fb[4-0]$ 从0~23的有效范围, 寄存器如果写入一概更高的值, 它将默认为是一个23的值。在上面的公式整数部分有一个24的固定的偏移加入, 表11: 显示 $fb[4:0]$ 的选择与相应的频段的关系。 $Fb(N)$ 选择之后少数几个要素可以从下面的公式中的到解释。

$$fc[15:0] = \frac{f_{carrier} \times 64000}{10MHz \times (hbsel + 1) \times fb[4:0] + 24}$$

在相应的寄存器里存储的 fb 和 fc 是实际的数字。

表12. 频段选择

fb[4:0] 值	N	频段	
		hbsel=0	hbsel=1
0	24	240–249.9 MHz	480–499.9 MHz
1	25	250–259.9 MHz	500–519.9 MHz
2	26	260–269.9 MHz	520–539.9 MHz
3	27	270–279.9 MHz	540–559.9 MHz
4	28	280–289.9 MHz	560–579.9 MHz
5	29	290–299.9 MHz	580–599.9 MHz
6	30	300–309.9 MHz	600–619.9 MHz
7	31	310–319.9 MHz	620–639.9 MHz
8	32	320–329.9 MHz	640–659.9 MHz
9	33	330–339.9 MHz	660–679.9 MHz
10	34	340–349.9 MHz	680–699.9 MHz
11	35	350–359.9 MHz	700–719.9 MHz
12	36	360–369.9 MHz	720–739.9 MHz
13	37	370–379.9 MHz	740–759.9 MHz
14	38	380–389.9 MHz	760–779.9 MHz
15	39	390–399.9 MHz	780–799.9 MHz
16	40	400–409.9 MHz	800–819.9 MHz
17	41	410–419.9 MHz	820–839.9 MHz
18	42	420–429.9 MHz	840–859.9 MHz
19	43	430–439.9 MHz	860–879.9 MHz
20	44	440–449.9 MHz	880–899.9 MHz
21	45	450–459.9 MHz	900–919.9 MHz
22	46	460–469.9 MHz	920–930.0 MHz
23	47	470–479.9 MHz	—

当进入接收模式芯片将合成器的频率由937.5kHz ($30\text{MHz} \div 32$)自动下移达到适当的中频(IF)。在接收混频器结构使用低边注入，因此当使用同一个发射频率并且收发模式的切换不需要重改编频率。

3.6.2. (跳频) FHSS的易改频率

使用寄存器73h-77h可改变SI4432的载波频率，它通常比绝对的频率hz值更容易想象“频道”或“频道数”。同样地，它们可以是一些关键时序应用（类似跳频系统）通过可编改单个寄存器很惬意的改变频率，一个简单的频率编改寄存器提供这些相应的需求，首先使用寄存器73h-77h设置一个标称频率，像上面的描述，相对于标称设置，寄存器79h和7ah用来设置一个频道的步长大小和频道号，2.56Mhz最大的步长大小跳频步长大小（fhs[7:0]）是设置10khz递增。跳频频道选择寄存器则选择频道是基于步长大小的倍数

$$F_{carrier} = F_{nom} + fhs[7:0] \times (fhch[7:0] \times 10kHz)$$

举例：用寄存器73h-77h设置标称频率为900Mhz并且用寄存器79h设置频道步长为1Mhz，假如跳频频道选择寄存器78h设置为5d，结果载波将是905Mhz，在寄存器一旦标称频率和频道步长被设置。它仅必须按顺序设置fhch[7:0]寄存器来改变频率。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
79	R/W	跳频频道选择	fhch[7]	fhch[6]	fhch[5]	fhch[4]	fhch[3]	fhch[2]	fhch[1]	fhch[0]	00h
7A	R/W	跳频步长	fhs[7]	fhs[6]	fhs[5]	fhs[4]	fhs[3]	fhs[2]	fhs[1]	fhs[0]	00h

3.6.3. 自动改变频率

发射和接收模式的任一模式中如果改变了寄存器79h或7Ah，那么状态机自动过渡芯片回到调谐频率并且自动回到发射或接收其中之一，在跳频系统中这个特性有利于减少一些所需的SPI指令。这样减少MCU的活动，降低功耗。

3.6.4. 频偏

频偏峰顶配置范围从±1到±320kHz，频偏(Δf)由频偏寄存器(f_d)控制，地址71h和72h他的载波是分开设置，不管频偏的hbssel位（高频段或低频段）结果的设置都将保持625hz的增长量，利用频率调制器载波将由±Δf从标称中心频点载波频率偏离：

$$\Delta f = fd[8:0] \times 625Hz$$

$$fd[8:0] = \frac{\Delta f}{625Hz} \quad \Delta f = \text{peak deviation}$$

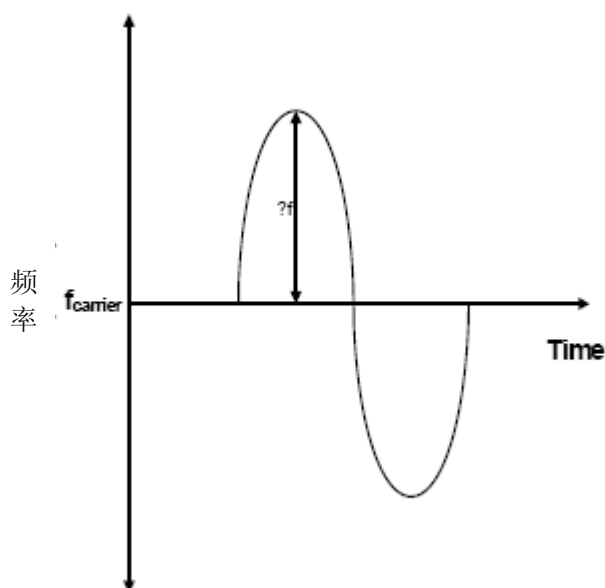


图 9. 频率偏差

上面的公式用于计算要求的频偏，如果要求，在频道的中心频率调制器也可以为了获得一个未调制的载波信号的要求。载波信号的中心频率见"4.1，详细特性在34页。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
71	R/W	调制方式控制 2	trclk[1]	trclk[0]	dtmod[1]	dtmod[0]	eninv	fd[8]	modtyp[1]	modtyp[0]	00h
72	R/W	频偏	fd[7]	fd[6]	fd[5]	fd[4]	fd[3]	fd[2]	fd[1]	fd[0]	43h

3.6.5. 频率偏移调节

当AFC被禁止通过寄存器73h和73h的fo[9:0]手工调节频率偏移，寄存器是一个带符号的寄存器也是为了个到负偏移，你将需要正偏移量的2进制的补数。由以下公式计算偏移：

$$DesiredOffset = 156.25Hz \times (hbsel + 1) \times fo[9:0]$$

$$fo[9:0] = \frac{DesiredOffset}{156.25Hz \times (hbsel + 1)}$$

高频段的调正范围是：+/- 160 kHz，低频段的调正范围是：+/- 80 kHz。举例计算高频段模式的一个+50kHz的偏移fo[9:0]设置为0A0h，高频段模式的-50kHz的偏移fo[9:0]设置为360h。

当使能AFC相同的寄存器可以利用通过AFC读出偏移的值而自动获得。

Add	R/W	功能/描述	数据								POR Def.	Notes
			D7	D6	D5	D4	D3	D2	D1	D0		
73	R/W	Frequency Offset	fo[7]	fo[6]	fo[5]	fo[4]	fo[3]	fo[2]	fo[1]	fo[0]	00h	73
74	R/W	Frequency Offset							fo[9]	fo[8]	00h	

3.6.6. 自动频率控制 (AFC)

由于发射器和接收器都依靠参考晶体，而参考晶体公差和温度导致发射和接收频率差异，所以接收调制解调器附加自动频率控制(AFC)是为了补偿这种差异，在AFC被禁用，由于频偏补偿的调制解调器，接收频偏耐收高达0.25倍的IF带宽。当AFC启用，接收到的信号将被集中在通带的IF滤波器，提供最佳的敏感性和选择性在更宽的频率偏移高达0.35倍的IF带宽。接收灵敏度(1%per)对载波偏移和AFC的影响在图10有说明。

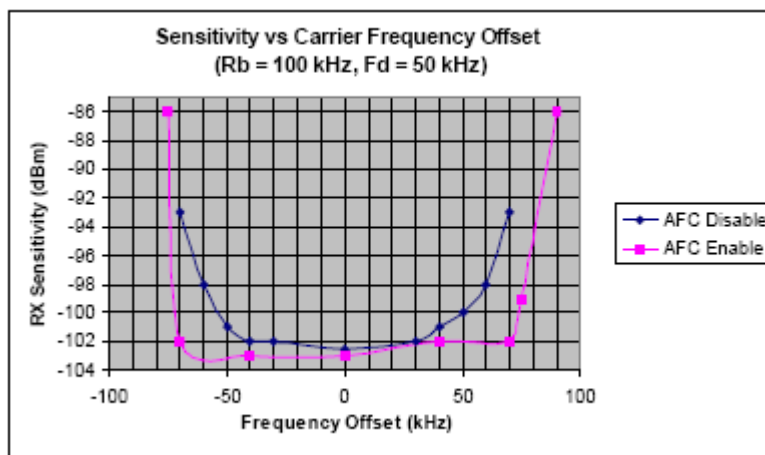


图10.灵敏度在1%perVS载波频率偏移

AFC功能共用频率偏移设置寄存器73h和74h, 假如AFC使能(D6在寄存器1Dh. AFC Loop Gearshift Override,在115页)那么读出这些值将显示当前接收踪迹的ACF算法的结果。当接收器使能和AFC使能频率偏移将复位归“零”, 通过寄存器1Dh使能AFC。当使能AFC引导码需要足够长的长度为了AFC稳定, 一般两个字节的引导码是足够的, 如果禁用AFC引导码可以更短, 假定没有必须的AFC调谐则8位的引导码长度就足够。(看"6.7. 引导码长度在47页)。AFC测量频率误差和通过分数式PLL频率的改变必然正确的频率, 所以确定精确的接收频率。The AFC corrects the detected frequency offset by changing the frequency of the Fractional-N PLL. When the preamble is detected, the AFC will freeze. In multi-packet在模式下, AFC将会重启在最后一个包和再获得频偏在下一个包, the AFC is reset at the end of every packet and will re-acquire the frequency offset for the next packet. An automatic reset circuit prevents excessive drift by resetting the AFC loop when the tuning exceeds 2 times the frequency deviation (as set by fd[8:0] in register 71h and 72h) in high band or 1 times the frequency deviation in low band. This range can be halved by the “afcbd” 位 in register 1Dh. If needed, fd[8:0] can have a different value in RX mode compared to TX mode., 在接收期间AFC的修正将内部保存使得发射模式由相同的频率能纠正, 查看下面的表格: 当AFC禁用频率偏移将由频率偏移寄存器的值控制, 这个值也许是先前AFC动作结果的值或由SPI总线结束刚覆写频率偏移寄存器, 无论怎样都是最后的。

发射模式下, 在寄存器73h. 频偏1" is used to provide an offset to the programmed transmit frequency. This offset allows fine tuning of the transmit frequency to account for the variability of the TX reference frequency. Note that reading this register shows the frequency offset calculated from the last AFC action, not what was previously written to the Frequency Offset register. “注册73h 。频偏1 ” 是用来提供一个抵消的编程传输频率。这抵销使微调的传输频率, 以帐户的可变性的TX参考频率。请注意, 阅读本登记册显示频偏计算从去年亚足联行动, 而不是原先写入频偏登记。The amount of feedback to the Fractional-N PLL before the preamble is detected is controlled from afcgearh[2:0]. The default value 000 relates to a feedback of 100% from the measured frequency error and is advised for most applications. Every 位 added will half the feedback but will require a longer preamble to settle. The amount of feedback after the preamble is detected is controlled from afcgearl[2:0]. 数额反馈给分数N PLL序言之前检测是控制 afcgearh [2点] 。默认值000涉及到一个反馈的100 %的测量频率误差和建议对于大多数应用。每个位将增加一半的反馈, 但将需要更长的序言解决。数额反馈的序言后发现有是控制afcgearl [2时00分] 。

	频率纠正	
	接收	发射
AFC 禁用	频率偏移寄存器	频率便宜寄存器
AFC 使能	AFC	存放AFC

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
1D	R/W	AFC Loop Gearshift Override	afcbd	enafc	afcgearh[2]	afcgearh[1]	afcgearh[0]	afcgear[2]	afcgear[1]	afcgear[0]	40h

3.6.7. 发射波特率发生器

速率可配置1-128 kbps之间。速率为30 kbps以下的“txdtrtscale”位输入70h 设置为1。更高的速率时，使用此位应设置为0.通过以下的公式可以确定发射器波特率：

$$DR_TX = \frac{txdr[15:0] \times 1MHz}{2^{16+5-txdtrtscale}}$$

$$txdr[15:0] = \frac{DR_TX \times 2^{16+5-txdtrtscale}}{1MHz}$$

波特率的精度取决于1Mhz/2¹⁶或接近15.26hz，在下列的寄存器可以找到txdr寄存器。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
6E	R/W	发射波特率 1	txdr[15]	txdr[14]	txdr[13]	txdr[12]	txdr[11]	txdr[10]	txdr[9]	txdr[8]	0Ah
6F	R/W	发射波特率 0	txdr[7]	txdr[6]	txdr[5]	txdr[4]	txdr[3]	txdr[2]	txdr[1]	txdr[0]	AAh

4. 调试选项

4.1. 调制类型

Si4432支持三种不同的调试模式：调制类型的三个不同的选项：GFSK (Gaussian Frequency Shift Keying), FSK (Frequency Shift Keying), OOK (On-Off Keying). GFSK是推荐的调制类型像它相对FSK提供最好的性能和洁净调制频谱，图11 显示了FSK和GFSK的64Kbps波特率之间的差异，在左边的时域图你可以看到高斯滤波的效果，图11的右手边显示了GFSK比FSK有明显的频谱优势。在寄存器71h的modtyp[1:0]的位是选择调制类型。说明：通过设置modtyp[1:0]=00 它也可能获得一个未调制的载波信号。

modtyp[1:0]	调制源
00	未调制的载波
01	OOK
10	FSK
11	GFSK (当使用直接模式使能TX数据时钟)

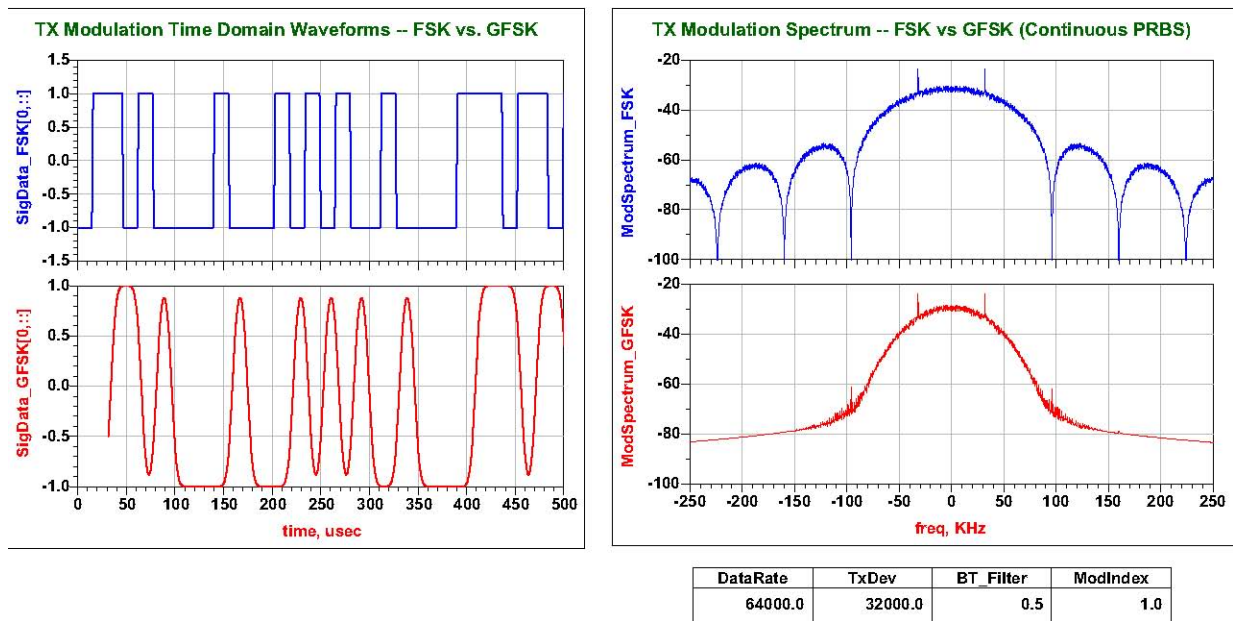


图 11. FSK vs. GFSK 频谱

4.2. 调制数据源

Si4432片可以配置成从三个不同的源之一获得他的调制数据：**FIFO模式**、**直接模式**和**PN9模式**。此外，直接模式发射调制数据可以从几个不同的输入引脚获得。这些选项在寄存器71h.调制方式2"设置modsrc[1:0]。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
71	R/W	调制模式控制 2	trclk[1]	trclk[0]	dtmod[1]	dtmod[0]	eninv	—	modtyp[1]	modtyp[0]	23h

dtmod[1:0]	调制源
00	直接模式使用TX_data通过GPIO引脚（GPIO也需要相应的程序配置
01	直接模式使用TX_data通过SDI引脚(仅当nSEL是高电平时)
10	FIFO模式
11	PN9 (内部产生)

4.3. FIFO 模式

FIFO模式集成的FIFO用于传输和接收数据。通过突发读/写能力的寄存器7Fh的FIFO访问。FIFO可以设定具体的应用数据包大小。（见”6。数据处理和数据包处理程序”第42页的进一步资料）。

在FIFO模式时，芯片会**自动退出**的TX或接收时，无论ipkvalid中断或ipksent发生。芯片将会返回到任何一个基于寄存器07h设置的运行模式和功能控制1”。例如，例如，如果芯片进入发射模式和txon和p1lon的位集，该芯片将传输所有FIFO和的内容，ipksent将出现中断。当发生此事件的芯片将**清除**txon位并返回p1lon或调整模式。如果没有其他位设置在寄存器71除了最初txon然后芯片将**返回空闲**状态。

在接收模式下，如果ipkvalid发生，rxon位仅仅被清除。CRC、Header或同步错误将产生一个中断和微控制器将需要决定下一步行动。

4.4. 直接模式

更大的包比64bytes的FIFO更大它可以不适合使用FIFO，因此直接模式是有效的。在这个形势下完全绕过FIFO而提供一个直接模式。直接模式发射调制数据是用芯片的一个输入引脚和“实时”处理（比如：在后面的时间发射不存储在寄存器）。TX数据使用引脚选择这些不同的配置，此外，如果GFSK调制要求发射数据时钟需要额外的输入引脚（FSK仅仅需要发射数据输入引脚）。在modsrc[1:0]发源射数据的两个选项是有效的，通过trclk[1:0]可以选择发射数据时钟源的不同配置。

trclk[1:0]	发射时钟配置
00	无发射时钟 (仅仅用于 FSK)
01	通过GPIO发射数据时钟是有效的。(GPIO也需要相应的程序配置)
10	通过SDO引脚发射数据时钟是有效的(仅当nSEL为高电平)
11	通过nIRQ引脚发射数据时钟是有效的。

在寄存器71h的eninv位将倒置Tx数据用来测试。

4.5. PN9 模式

这个模式发射数据内部产生利用一个伪随机 (PN9 序列) 位产生器, 这个模式的主要目的是像一个测试模式来使用来获得连续观测调制没有载波的频谱/提供数据。

4.6. 同步 vs. 异步

在异步模式不利用时钟同步, 数据进入内部调制器, 这个模式仅仅用于FSK。这个模式的好处是不需要数据时钟从而可以节省单片机一个引脚, 不好的地方是你不能得到洁净频谱和无法限制GFSK的带宽。如果异步FSK用于TX_DR寄存器可以设置最大值。

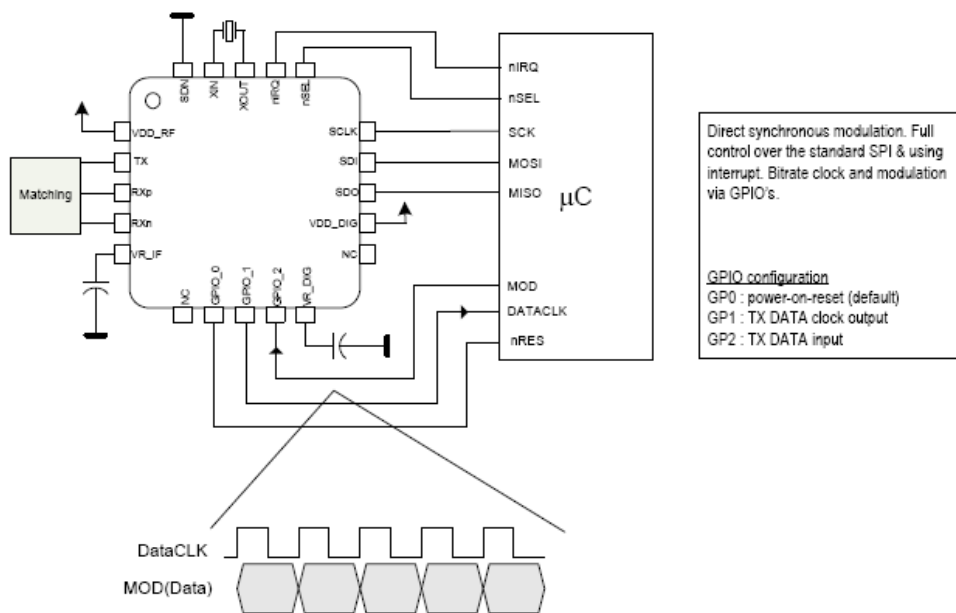


图 12: 直接同步模式举例

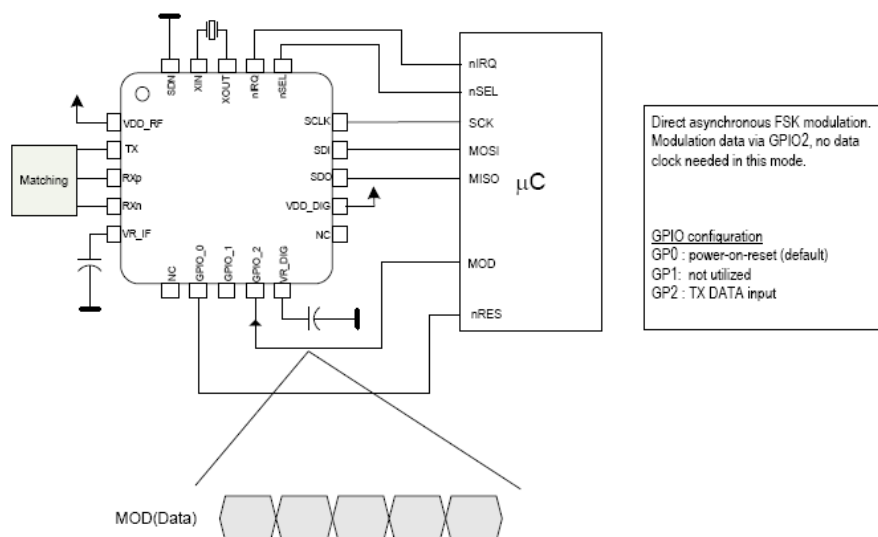


图 13: 直接异步模式举例

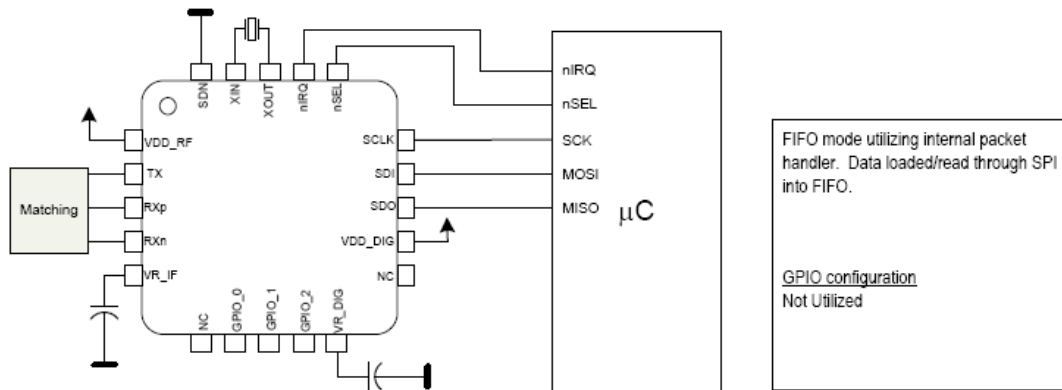


图 14: FIFO 模式举例

5. 内部功能模块

本节主要介绍内部无线电架构。

5.1. RX LNA

NA输入频率范围是240-930MHz。LNA提供足够低的噪声系数增益来抑制以下阶段的噪声，通过模拟增益控制（AGC）算法以控制LNA增益控制的一个步长，AGC算法调节LNA和PGA的增益因此接收器可以处理信号电平从灵敏度+5dbm的最佳性能。

5.2. RX I-Q 混频器

内部提供LNA的输出到接收混频器输入。I-Q混频器完成接收混频器以提供I和Q通道都输出到混合中频（IF）混频器，混频器由RF输入并联驱动的两个双平衡的混频器组成，本地振荡器（LO）90度相位差驱动输入，分离I和Q中频输出（IF）驱动混合滤波，接收LO信号由一个工作在240-930MHz 集成的VCO和PLL合成器提供，所需90度相位差LO信号从VCO输出分频器上取得。

5.3. 可编程增益放大器

可编程增益放大器(PGA) 提供所需的增益提高ADC动态范围的信号电平。PGA也必须有足够的增益切换到允许大的输入信号以保证-20dBm的RSSI范围的线性。PGA通过数字调制解调器AGC算法控制3dB步长，

5.4. ADC

放大I&Q中频（IF）信号使用模拟-数字转换（ADC）数字化。这个结构允许低功耗和高动态范围，ADC的带通响应提供频带块输出的优越抑制

5.5. 数字调制解调器

使用高性能ADC在允许信道完成数字领域的滤波、镜像抑制和解调，小面积实现、更多的可重配置和灵活性数字调制解调器完成以下功能：

- 信道选择滤波
- 发射调制
- 接收解调
- AGC
- 调制器
- 引导码侦测
- 接收信号强度指示(RSSI)
- 自动频率补偿(AFC)
- 包括EZMacTM特性的包处理
- 循环冗余校验 (CRC)

超低功耗和高可配置优化数字信道滤波和解调，支持GFSK、FSK和OOK的调制类型。A4432 OOK仅仅支持发射模式，信道滤波能配置为支持从620KHz下到低于2.6KHz大的带宽范围选择，同时也支持一个多种数据率，范围从1 Kbps到128 kbps。利用高级控制环优化快速响应时间数字处理AGC算法。

可配置引导码侦测器的主要目的是提高同步字侦测的可靠性。仅当侦测到有效引导码使能同步字侦测器以最大程度减小伪同步字侦测可能性。

当没有有效的引导码信号被发现，无效引导码侦测器产生一个中断。在接收器被激活，无效的引导码侦测器输出被忽略的16Tb (Tb是一个位的时间持续)，是允许接收器来决定。无效引导码侦测器中断可用于节省电力和加快搜索接收模式。在天线分集是启用时掩盖无序引导码的中断是最好的。

接收到信号强度指示（RSSI）提供一个在调谐信道上接收到的信号强度的测量。读出RSSI的结果是0.5dB的增量，类似于一个高分辨率使能精确信道评估需要CCA（清理信道评估）、CS（载波感应）和LBT（载波侦听）功能。

接收模式通过使能数字自动频率补偿 (AFC) 能补偿由于晶体不精确导致频率失谐。

一个综合的可编程包处理包括Silabs的EZMac™的关键性能，它集成创建一个从对等网络到网状网络的通讯拓扑测距的多样化。在依此相继的使能广播、群组、点对点通讯的混和的包头的大量可编程允许先进的包滤波。

一个无线通讯信道能由于噪声和干扰而失真，并且因此它重点要知道如果接收到的数据是没有错误。一个循环冗余校验用于检测每个包错误位的存在。一个CRC计算和附加在每个发射包的结尾并由接收器确定没有错误发生包处理和CRC很有价值的性能减少单片机的负担，允许用一个更简单和更便宜的单片机。

然而，如果单片机来完成，这些功能则能禁用。数字调制解调器包括发射调制器转化发射数据位到相应的数字流调制值归纳少数输入sigma-delta调制器，。在频偏高精度分辨率这个调制接近的结果。一个高斯滤波支持GFSK处理，在相邻的信道减小能量。BT是0.5为了所有数据传输速率。

5.6. 合成器

一个集成的Sigma Delta ($\Sigma\Delta$) 分数-N型PLL合成器在芯片上提供240-930MHz的工作能力。用一个 $\Sigma\Delta$ 合成器有很多好处，选择波特率、频偏、信道频率和信道间隔它提供非常大的灵活性。在数字领域发射调制通过小数分频器应用于直接环路从而结果非常严格的准确性并且监控发射频偏。PLL和 $\Delta-\Sigma$ 调制器结构是为支持156.25Hz (低频段) 或312.5Hz (高频段) 分辨率在240-930MHz的任何期望的频率和信道间隔而设计。发射波特率可编程在1-128 kb/s之间，频偏可编程在 $\pm 1-160$ kHz之间。

这些参数可以通过设置相应的SPI寄存器调节，如4.0部分显示的在27页。

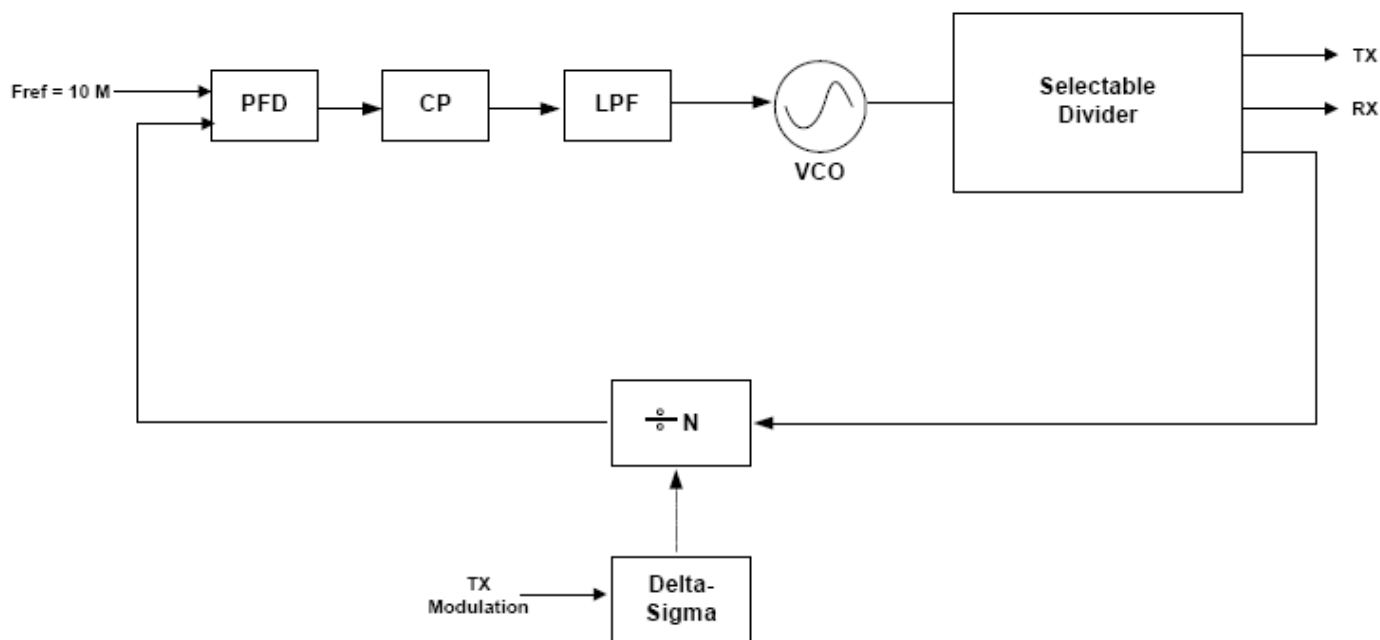


图 15: PLL合成器模块框图

PLL参考频率是10MHz。PLL利用一个L-C VCO的区别，片上集成螺旋电感，VCO输出跟随一个可配置分频器，将分频信号到期望输出频段。这个分频级系数由从 Δ - Σ 调制器输出动态控制。 Δ - Σ 调制器调谐分辨率主要由过采样率和内部承载位的个数决定。在240-930MHz范围之间任何调谐分辨率足够调谐到指定的312.5 Hz的最大正确性的频率。

5.6.1. VCO

VCO输出自动分频到正确的输出频率取决于选择频段寄存器75h hbsel和fb[4:0]。A 2X VCO利用帮助避免由于频率牵引问题，特别是当打开在集成放大器。在接收模式，LO频率通过937.5 kHz中频（IF）频率自动下移（无改编程），允许发射和接收工作在相同的频率。VCO集成螺旋电感、调谐变容，因此不需要外部VCO元件。VCO指定用电容组覆盖宽频率范围，每当合成器使能自动校正电容组。在某些快速跳频应用可能不期望这些，因此可以通过设置相应的SPI寄存器跳过VCO校正。

5.7. 功率放大器

SI4432包含一个内部集成的功率放大器（PA）发射输出电平在+11到+20dBm之间。输出功率通过SPI寄存器6Dh的txpow[1:0]可编程3dB步长。PA设计是一个单端和二阶类CE（共射极）45-50%效率发射在+20dBm的放大器。当工作在+11dBm时效率下降20%。由于在板子上滤掉谐波需要高效简易滤波，PA斜升/降输出防止不期望的频谱散射。

5.7.1. 输出功率选择

通过SPI寄存器6Dh的txpow[1:0]从+11dBm到+20dBm可以在以3dB步长配置输出功率。说明当使用输出功率电平+20dBm要通过FCC需要跳频（FHSS），请查看9.4部分FHSS特性信息，PA斜升/降输出防止不期望的频谱散射。如此大输出功率能允许使用一个便宜的小天线，大大地减少了总的BOM成本。芯片的更高功率设置达到最大的可能范围，但是毫无疑问会带来更高的功耗。然而，电池寿命的影响无关紧要取决于系统的占空比，帮助评估交易联系Silabs的支持。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
6D	R/W	TX Power							txpow[1]	txpow[0]	07h

txpow[1:0]	输出功率
00	+11 dBm
01	+14 dBm
10	+17 dBm
11	+20 dBm

5.8. 晶体振荡器

SI4432包括一个集成30MHz小于1ms的快速启动时间的晶体振荡器，这个设计是芯片集成了不同需求的负载电容使得外部元件最少。所有那些芯片外需求是30MHz晶体坏。

晶体负载电容可以调整以稍微调节晶体振荡器的频率，30MHz晶体负载电容可以通过SPI寄存器09h的xlc[6:0]可编程调整。总的内部电容是12.5pF和以大概127步长调节。xtalshift位的是一个转变过程的频率，但不是寄存器09h的xlc[6:0]。如果AFC禁止那么可以通过SPI寄存器73h和74h的fo[8:0]频率偏移可编程则合成器频率进一步调节，见27页3.6频率控制部分详述。

晶体振荡器频率是内部分频并可以通过GPIO的一个引脚输出到单片机用于系统时钟。这个方式，整个系统仅需要一个晶体而减小BOM成本。有效的时钟频率（例如内部分频比例）和GPIO配置在56页8.2部分有进一步的详述。

RFIC也可以通过XIN引脚由外部30MHz时钟信号驱动。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
09	R/W	晶体振荡器负载电容	xtalshift	xlc[6]	xlc[5]	xlc[4]	xlc[3]	xlc[2]	xlc[1]	xlc[0]	40h

5.9. 调整器

RFIC总共集成6个集成调整器，IF（中频）和数字除外所有的调整器为内部退耦工作而设计。IF（中频）和数字都需要一个1μF外部退耦电容，所有的调整器设计工作输入电压+1.8 to +3.6V，产生一个标称调整输出电压+1.7V ± 5%，提供内部电路标称工作电压+1.7V，功率放大器的输出级内部没有连接一个调整器而是直接连接到电池电压。从应用层仅一个电压连接到VDD引脚。IF和DIG调整器无强制输出电压。

6. 数据处理和包处理器

6.1. 发射和接收FIFOs

芯片内部集成两个64字节FIFOs，一个是用于接收，一个用于发射。如图12所示，SPI寄存器7Fh用于访问这两个FIFOs。一个突发写，如4.1部分描述，地址7Fh将写入数据到TX FIFO，一个突发读从地址7Fh将读出接收FIFO的数据。

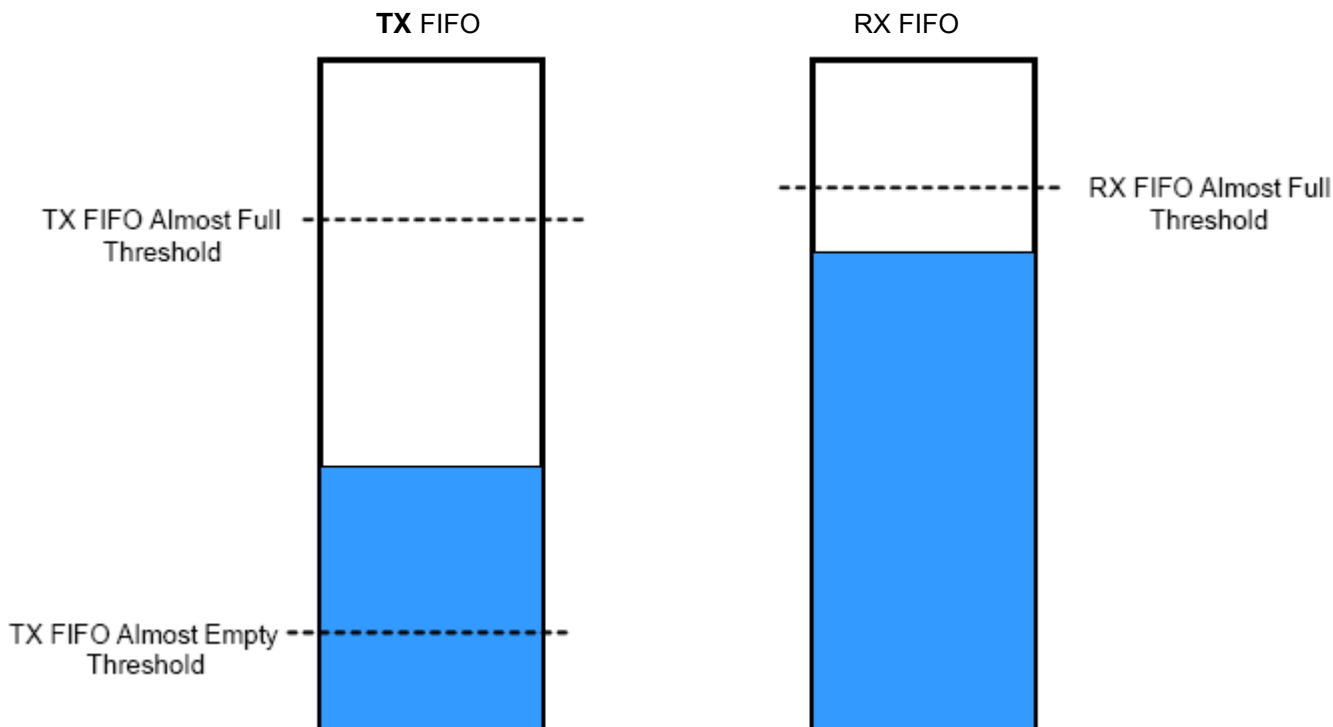


图16. FIFO的阈值

TX FIFO有两个基本点可编程门限，当进入TX FIFO的数据达到这个门限就有一个中断事件发生。第一个门限制是FIFO几乎满的门限：`txafthr[5:0]`，这个寄存器的值相当于期望的字节数的门限值，当数据填充到发射FIFO达到这个门限值产生一个中断到单片机，因此这个芯片能进入发射模式发射TX FIFO的内容发射出去。第二个门限发射几乎空门限：`txaethr[5:0]`，当数据移出TX FIFO达到几乎空的门限将产生一个中断。单片机需要退出发射模式或填充更多的数据到TX FIFO。收发器可以配置以便当TX FIFO是空的芯片自动转为预备状态。这个模式TX FIFO几乎空的门限无效，这个功能通过寄存器08h的ffidle位设置。在69页有运行模式和功能控制2”。

Ad d	R/ W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
08	R/W	工作&功能控制2	antdiv[2]]	antdiv[1]]	antdiv[0]	rxmpk	autotx	enldm	ffclrrx	ffclrtx	00h
7C	R/W	TX FIFO 控制1			txafthr[5]	txafthr[4]	txafthr[3]	txafthr[2]	txafthr[1]]	txafthr[0]]	37h
7D	R/W	TX FIFO 控制 2			txaethr[5]	txaethr[4]]	txaethr[3]]	txaethr[2]]	txaethr[1]	txaethr[0]	04h

RX FIFO有一个可编程门限判定FIFO几乎满的门限`rxafthr[5:0]`。当近来接收数据达到几乎满的门限通过nIRQ引脚会产生一个中断到单片机，**单片机则需要从FIFO读走数据。**

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
7E	R/W	RX FIFO 控制	Reserved	Reserved	rxafthr[5]	rxafthr[4]	rxafthr[3]	rxafthr[2]	rxafthr[1]	rxafthr[0]	37h

用SPI寄存器08h的ffclrtx和ffclrrx位 TX FIFO和RX FIFO都可以清除或复位。所有中断可以通过设置寄存器05h和06h中断使能位来使能。如果中断没使能在nIRQ引脚不产生中断功能但是中断状态位仍然可以在中断状态寄存器正确读出。

6.2. 包配置

当使用FIFOs，自动包处理可以使能发射模式、接收模式或两者一起，寄存器30h-4Bh控制包处理配置，网络通讯的通用字段（如引导码、同步字、头、包长、和CRC）可以简单配置自动加载用户自定义数据。这个字段需要包产生也通常很少改变，因此保存在SPI寄存器：30h。49h是用于设置包结构不同的字段，自动加载这些字段到用户数据以最大程度减少单片机和RFIC之间的大量通讯，因此也减少了单片机计算的所需的功率。

普通的帧结构如图17所示，每个字段的长度如下图的段所示，引导格式总是一连串的交替的以“1”开始的“1”和“0”。所有的字段可编程长度适应多种应用类型，有效的最常用CRC多项式是可选的。

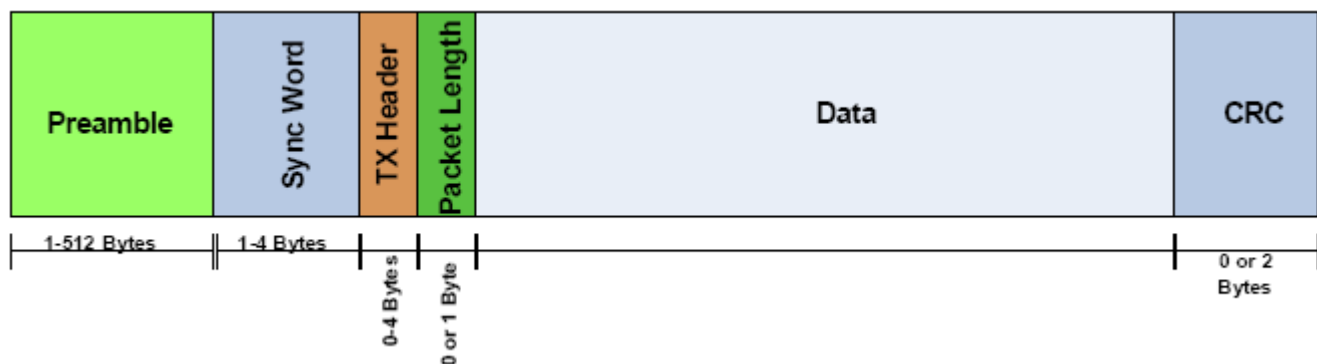
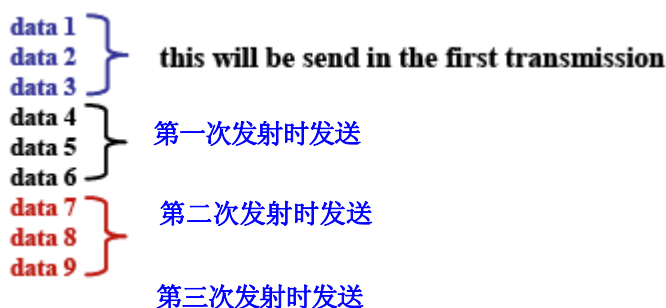


图 17. 包配置

概述了数据包处理程序配置寄存器是列于表14。一个完整的注册说明中可以在12.1查到。

6.3. 发射模式包处理

发射模式包处理器如果设置包长度，那么包处理器将仅仅发送包长度字段选择的字节数，它将返回预备模式并显示包送中断。为了送FIFO的下一个字节，单片机有一个指令让芯片再次进入发射模式。例如在图18显示包长度设置为3个字节的情况。



6.4. 接收模式包处理器

6.4.1. 禁止包处理器

当禁止包处理器，包处理器的某些部分仍然需要。调制解调器实际工作他还是需要引导码和同步字，如图19所示，同步字之后任何事情都将没有任何检测当数据处理，这个模式的优点是它允许更灵活的包处理器但是它不允许数据白化、CRC或帧头检测的用途。在这个模式仍然支持曼切斯特编码。

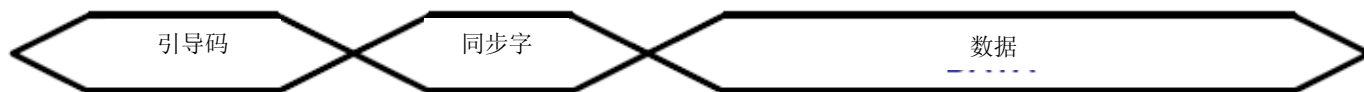


图19. 包处理器禁止时所需的接收包结构

6.4.2. 包处理器使能

当使能包处理器需要配置所有的包结构的字段。如果复合包要求保存在FIFO，那么他们是有效地选择不同的字段保存在FIFO，图20说明了当复合包使能选择和设置有效。图21说明了固定的包长度的工作和正确的/不正确的包。

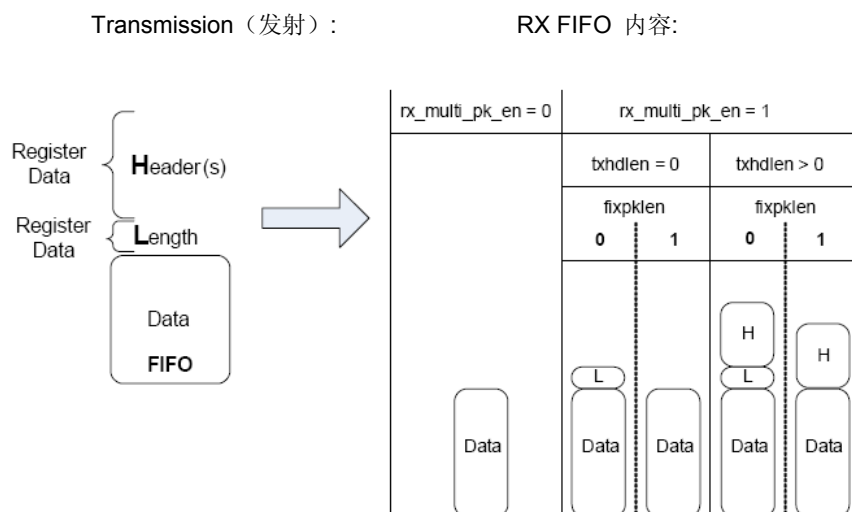


图20. 接收处理器复合包

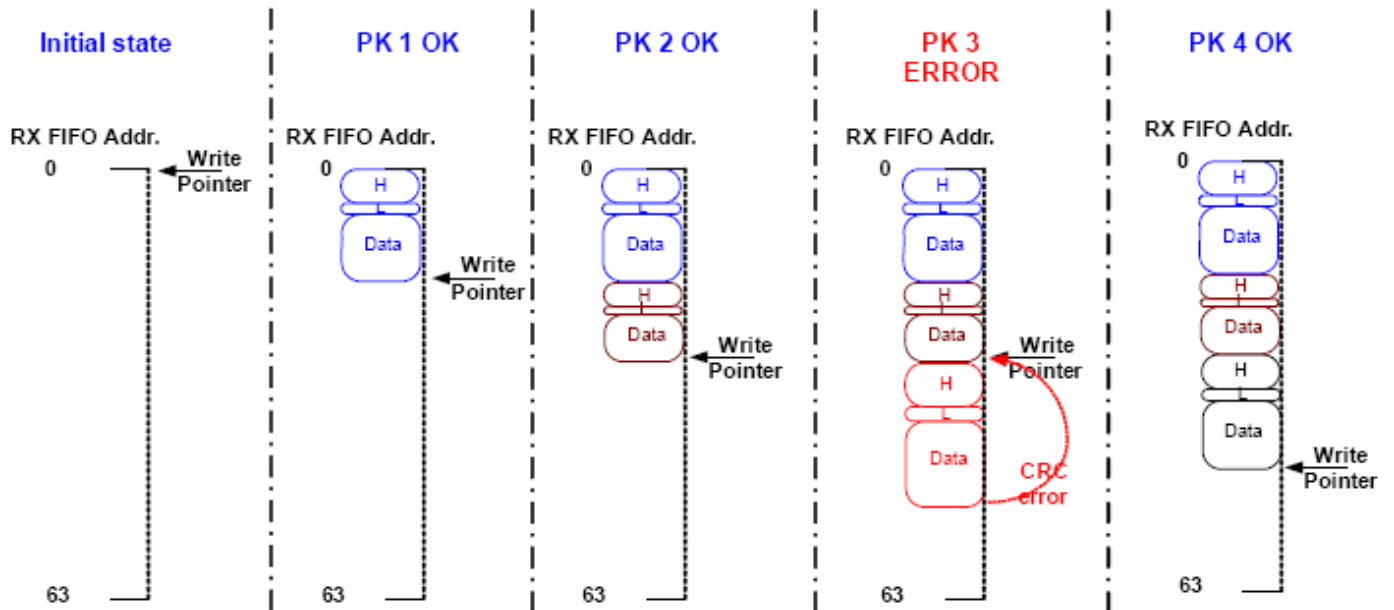


图 21: 接收复合包CRC或帧头错误

表13. 接收包处理器配置

数据模式	Dtmod[1:0]	enpacrx	直接数据和 CLK IO	引导码和 同步 侦测	帧头处理	FIFO数据 存储	CRC 处 理	曼切斯特和白化
FIFO_PH	10	1	option	set	option	set	option	option
FIFO	10	0	option	set	—	set	—	option
Direct	0X	X	set	set	—	—	—	曼切斯特可选的 同步检测

表格 14. 包处理寄存器和描述

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
30	R/W	数据访问控制	enpacrx	lsbfrst	crcdonly	*	enpactx	encrc	crc[1]	crc[0]	1Dh
31	R	EzMAC 状态	0	rxrcr1	pksrcb	pkrc	pkvalid	crcerror	pktx	pkscnt	—
32	R/W	侦头控制1	bcen[3]	enbcas[2]	enbcas[1]	enbcas[0]	hdch[3]	hdch[2]	hdch[1]	hdch[0]	0Ch
33	R/W	侦头控制 2	Reserved	hdlen[2]	hdlen[1]	hdlen[0]	fixpklen	syncnlen[1]	syncnlen[0]	prealen[8]	22h
34	R/W	引导码长度	prealen[7]	prealen[6]	prealen[5]	prealen[4]	prealen[3]	prealen[2]	prealen[1]	prealen[0]	07h
35	R/W	引导码侦测控制	preath[4]	preath[3]	preath[2]	preath[1]	preath[0]	Reserved	Reserved	Reserved	20h
36	R/W	同步字 3	sync[31]	sync[30]	sync[29]	sync[28]	sync[27]	sync[26]	sync[25]	sync[24]	2Dh
37	R/W	同步字 2	sync[23]	sync[22]	sync[21]	sync[20]	sync[19]	sync[18]	sync[17]	sync[16]	D4h
38	R/W	同步字 1	sync[15]	sync[14]	sync[13]	sync[12]	sync[11]	sync[10]	sync[9]	sync[8]	00h
39	R/W	同步字 0	sync[7]	sync[6]	sync[5]	sync[4]	sync[3]	sync[2]	sync[1]	sync[0]	00h
3A	R/W	发射侦头 3	txhd[31]	txhd[30]	txhd[29]	txhd[28]	txhd[27]	txhd[26]	txhd[25]	txhd[24]	00h
3B	R/W	发射侦头 2	txhd[23]	txhd[22]	txhd[21]	txhd[20]	txhd[19]	txhd[18]	txhd[17]	txhd[16]	00h
3C	R/W	发射侦头 1	txhd[15]	txhd[14]	txhd[13]	txhd[12]	txhd[11]	txhd[10]	txhd[9]	txhd[8]	00h
3D	R/W	发射侦头 0	txhd[7]	txhd[6]	txhd[5]	txhd[4]	txhd[3]	txhd[2]	txhd[1]	txhd[0]	00h
3E	R/W	发射包长度	pklen[7]	pklen[6]	pklen[5]	pklen[4]	pklen[3]	pklen[2]	pklen[1]	pklen[0]	00h
3F	R/W	检测侦头 3	chhd[31]	chhd[30]	chhd[29]	chhd[28]	chhd[27]	chhd[26]	chhd[25]	chhd[24]	00h
40	R/W	检测侦头 2	chhd[23]	chhd[22]	chhd[21]	chhd[20]	chhd[19]	chhd[18]	chhd[17]	chhd[16]	00h
41	R/W	检测侦头 1	chhd[15]	chhd[14]	chhd[13]	chhd[12]	chhd[11]	chhd[10]	chhd[9]	chhd[8]	00h
42	R/W	检测侦头 0	chhd[7]	chhd[6]	chhd[5]	chhd[4]	chhd[3]	chhd[2]	chhd[1]	chhd[0]	00h
43	R/W	侦头使能 3	hden[31]	hden[30]	hden[29]	hden[28]	hden[27]	hden[26]	hden[25]	hden[24]	FFh
44	R/W	侦头使能 2	hden[23]	hden[22]	hden[21]	hden[20]	hden[19]	hden[18]	hden[17]	hden[16]	FFh
45	R/W	侦头使能 1	hden[15]	hden[14]	hden[13]	hden[12]	hden[11]	hden[10]	hden[9]	hden[8]	FFh
46	R/W	侦头使能 0	hden[7]	hden[6]	hden[5]	hden[4]	hden[3]	hden[2]	hden[1]	hden[0]	FFh
47	R	接收侦头 3	rxhd[31]	rxhd[30]	rxhd[29]	rxhd[28]	rxhd[27]	rxhd[26]	rxhd[25]	rxhd[24]	—
48	R	接收侦头 2	rxhd[23]	rxhd[22]	rxhd[21]	rxhd[20]	rxhd[19]	rxhd[18]	rxhd[17]	rxhd[16]	—
49	R	接收侦头 1	rxhd[15]	rxhd[14]	rxhd[13]	rxhd[12]	rxhd[11]	rxhd[10]	rxhd[9]	rxhd[8]	—
4A	R	接收侦头 0	rxhd[7]	rxhd[6]	rxhd[5]	rxhd[4]	rxhd[3]	rxhd[2]	rxhd[1]	rxhd[0]	—
4B	R	接收包长度	rxplen[7]	rxplen[6]	rxplen[5]	rxplen[4]	rxplen[3]	rxplen[2]	rxplen[1]	rxplen[0]	—

6.5. 数据白化,曼切斯特编码和CRC

在发射数据流中通过移除离散噪声的数据白化可以用于避免长序列的0或1来帮助达到一个一致的频谱。当使能了，有效负荷数据位伪随机序列EXOR-ed，内置PNS产生器输出。产生器在有效负荷的开头初始化。接收端通过重复相同的工作能重建原始数据。曼切斯特编码也可以用于确保DC-free（无直流）发射和良好的同步性能。当曼切斯特编码用于有效的数据速率保持相同，但是由于固有的编码性质，实际速率，引导码长度等将出现双倍。当使用曼切斯特编码的有效的数据率由于双倍的性质最大的极限是64kbps（128kBps/2）。数据白化和曼切斯特编码可以由SPI寄存器70h选择。SPI寄存器30h使能CRC并且仅仅使能数据是有效的。

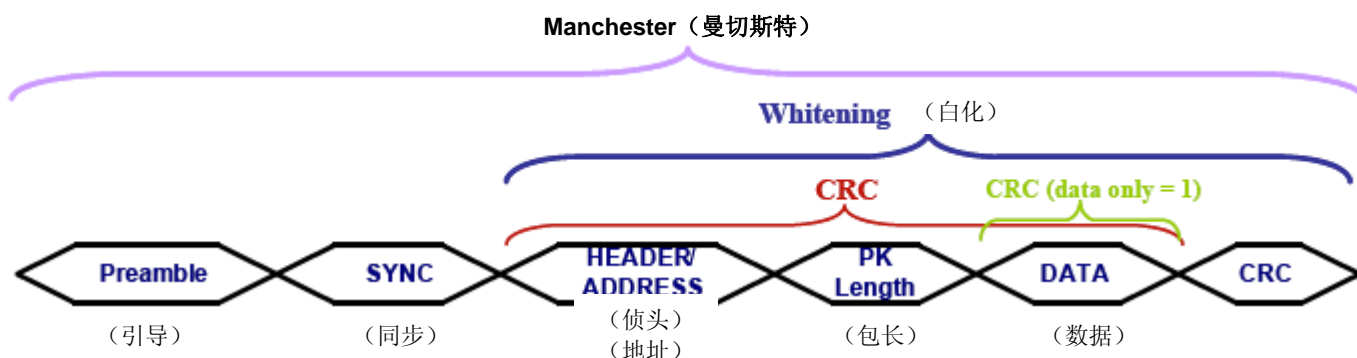


图 22: 数据白化工作，曼切斯特编码和 CR

6.6. 引导码侦测

芯片集成一个引导码侦测器（PD）电路。**引导码长度**是通过寄存器33h和34hprealen[7:0]字段从1-256个字节可配置。如7.2部分描述，引导码质量检测（PQD）是通过寄存器35h设置以4位为单位，引导码侦测器搜索一个Preath [4:0]长度的引导码。

引导码侦测器搜索失败，接收器将会一直搜索直到搜索到没有同步字节的引导码。引导码侦测器输出一个可被编程的GPIO或阅读的中断状态寄存器。

6.7. 引导码长度

所需**引导码长度的阈值**取决于接收模式时输入有关的转发数据包。在收到数据包很久之前接收器被启用，然后简短的引导码侦测阈值可能会造成虚假的检测对收到噪声的实际引导码到达之前。在这种情况下，建议项目的**20位**序言检测的门槛。一个较短的序言检测阈值时，可能会偶尔选择虚假检测是不能容忍的。当天线多样性已启用，建议使用20位阈值检测的引导码。当接收机的同步启用刚刚开始之前的数据包，然后在较短的阈值检测的引导码可能会选择（例如，8位）。The required preamble length threshold will depend on when the receive mode is entered in relation to the transmitted packet. When the receiver is enabled long before the arrival of the packet, then a short preamble detection threshold might result in false detects on the received noise before the actual preamble arrives. In this case, it is recommended to program a 20 位 preamble detection threshold. A shorter Preamble Detection Threshold might be chosen when occasional false detects are tolerable. When antenna diversity is enabled, it is advised to use a 20 位 preamble detection threshold. When the receiver is synchronously enabled just before the start of the packet, then a shorter preamble detection threshold might be chosen (e.g., 8 位).

引导码长度调节最大到256字节适合不同的应用和需求。引导码长度将需要调节取决于利用芯片里面模式。如上面的引导码长度描述由SPI寄存器34h调节。

所需的引导码长度是接收安置时间和阈值检测的引导码之合。接收机设置时间请查看表15。

表 15. 最小引导码长度

模式	最小引导码长度	长度8位引导码检测阈推荐值	长度20位引导码检测阈推荐值
(G)FSK AFC 禁止	1 byte	20 位s	32 位s
(G)FSK AFC 使能	2 byte	28 位s	40 位s
(G)FSK AFC Disabled +天线分集使能	1 byte	—	64 位s
(G)FSK AFC Enabled +天线分集使能	2 byte	—	8 byte
OOK	2 byte	3 byte	4 byte
OOK +天线分集使能	8 byte	—	8 byte

备注：推荐引导码长度可缩短数据包接收时间，偶然错误不能容忍的。

6.8. 无效引导码

When scanning channels in a Frequency Hopping System, it is desirable to determine if a channel is valid in the minimum amount of time. The preamble detector can output an invalid preamble detect signal. When an error is detected in the preamble, the Invalid Preamble Detect signal (nPQD) is asserted, indicating an invalid channel. The signal can be used to qualify the channel without requiring the full preamble to be received. The Preamble Detect and Invalid Preamble Detect signals are available in "Register 03h. Interrupt/Status 1"寄存器04h. 中断/状态2," 在97页。

The Invalid Preamble Detector issues an interrupt when no valid preamble signal is found. After the receiver is enabled, the Invalid Preamble Detector will be held low for 16 Tb (Tb is the time of the 位 duration) to allow the receiver to settle. The 16 Tb is a fixed time which will work with a 4-byte Preamble (or longer) when AFC is enabled, or a 3-byte preamble (or longer) when AFC is disabled. The invalid preamble detect interrupt can be useful to save power and speed-up search in receive mode.

It is advised to disable the invalid preamble interrupt when Antenna Diversity is enabled. The Invalid Preamble Detect interrupt may be triggered during the Antenna Diversity algorithm if one of the antennas is weak but the other is capable of still receiving the signal if the Antenna Diversity algorithm is allowed to complete.

在跳频系统中通过扫描频道可以确定是否有一个频道是在最低限度的时间是内有效的。引导码帧测可以输出一个无效的引导码检测信号。当检测到一个错误是在引导码中，无效引导码检测信号（ nPQD ）是断开，显示无效的频道。引导码检测和无效的引导码检测信号可在“输入03h 。中断/状态1 ”和“输入04h 。中断/状态2 ， 97页。

6.9. 发射重传和自动发射

芯片可以自动重传最后的存储在FIFO里面包。因此若没有新的把包装入TX FIFO，自动重传通过设置txon位再次进入发射状态轻松实现。这个特性有用于信标发射或当由于有效应答的丢失需要重传，在TX FIFO里仅仅完全符合的包才是有效的重传特性。当有需要TX FIFO用它的循环的读/写性能来发射更长的包。

一个自动发射也是有效的，当autotx = ‘1’ 以及TX FIFO几乎满，收发器自动进入发射状态。当TX FIFO空了收发器将自动进入IDLE（挂起）状态。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
08	R/W	工作和功能控制2	antdiv[2]	antdiv[1]	antdiv[0]	rxmpk	autotx	enldm	ffclrrx	ffclrtx	00h

7. 接收调制解调器配置

7.1. FSK和GFSK的调制解调器配置

调制解调器进行选择通道和解调在数字域。通道滤波器带宽配置从620至260kHz。的数据速率，调制指数和带宽设置通过输入1C-25。调制指数等于2倍的峰值偏差除以数据速率（Rb）。

表16给出了调制解调器寄存器设置为各种常用的数据速率。选择所需的数据速率（Rb），以及偏差（FD），以确定适当的寄存器设置。

当曼切斯特编码是禁止的，通道滤波器带宽计算公式为 $BW = 2 \times (\text{倍频} + 0.25Rb)$ ，Fd段的频率偏移和Rb的数据速率。调制指数低于1通道滤波器带宽计算公式为 $BW = \text{倍频} + Rb$ 。通道滤波器需要增加频率偏移时发射器和接收器之间是有一半以上的通道滤波器的带宽。在这种情况下，建议，以使AFC和选择IF带宽等于 $2 \times \text{频偏}$ 。

表16. FSK 和 GFSK接收调制解调器配置

FSK 和 GFSK接收调制解调器配置例子									
应用参数				输入值 (hex)					
Rb	Fd	mod index	BW -3dB	dwn3_bypass	ndec_exp[2:0]	filset[3:0]	rxosr[10:0]	ncoff[19:0]	crgain[10:0]
kbp/s	kHz		kHz	1Ch	1Ch	1Ch	20,21h	21,22,23h	24,25h
2	5	5.00	11.5	0	3	3	0FA	08312	06B
2.4	4.8	4.00	11.5	0	3	3	0D0	09D49	0A0
2.4	36	30.00	75.2	0	0	1	683	013A9	005
4.8	4.8	2.00	12.1	0	3	4	068	13A93	278
4.8	45	18.75	95.3	0	0	4	341	02752	00A
9.6	4.8	1.00	18.9	0	2	1	068	13A93	4EE
9.6	45	9.38	95.3	0	0	4	1A1	04EA5	024
10	5	1.00	18.9	0	2	1	064	147AE	521
10	40	8.00	90	0	0	3	190	051EC	02B
19.2	9.6	1.00	37.7	0	1	1	068	13A93	4EE
20	10	1.00	37.7	0	1	1	064	147AE	521
20	40	4.00	95.3	0	0	4	0C8	0A3D7	0A6
38.4	19.6	1.02	75.2	0	0	1	068	13A93	4D5
40	20	1.00	75.2	0	0	1	064	147AE	521
40	40	2.00	112.1	0	0	5	064	147AE	291
50	25	1.00	75.2	0	0	1	050	1999A	668
57.6	28.8	1.00	90	0	0	3	045	1D7DC	76E
100	50	1.00	191.5	1	0	F	078	11111	446
100	300	6.00	620.7	1	0	E	078	11111	0B8
125	125	2.00	335.5	1	0	8	060	15555	2AD

7.1.1. FSK 和 GFSK 预置设置

几乎在所有情况下，信息表16，“收发调制解调器配置FSK以及GFSK”，第49页可以用来确定所需的FSK和GFSK调制解调器参数。

在FSK信号或GFSK模式的接收器能够处理广泛的调制指数从0.5到32。调制指数（H）的定义如下：

$$h = \frac{2 \times Fd}{Rb \times (1 + enmanch)}$$

当调制指数为1或更高的调制带宽可按下列公式：

$$BW_{mod} = \left(\frac{Rb}{2} \times (1 + enmanch) + 2 \times Fd \right)$$

当调制指数低于1的调制带宽可如下公式：

$$BW_{mod} = (Rb \times (1 + enmanch) + Fd)$$

BWmod是一个近似千赫的调制带宽，Rb是以kbps为单位的比特率频偏，Fd是近似KHZ的GFSK/FSK信号频偏和enmanch是曼切斯特编码的有效载荷（输入70h，enmach是1时，曼切斯特编码已启用，enmanch为0时，禁用）。

The bandwidth of the channel select filter in the receiver might need some extra bandwidth to cope with tolerances in transmit and receive frequencies which depends on the tolerances of the applied crystals. When the relative frequency error (Error) between transmitter and receiver is less than half the modulation bandwidth (BWmod) then the AFC will correct the frequency error without needing extra bandwidth. When the frequency error exceeds BWmod/2 then some extra bandwidth will be needed to assure proper AFC operation under worst case conditions.

当AFC启用建议设置的带宽频道选择滤波器（BWch-选择素）根据公式如下：

$$F_{error} \leq \frac{BW_{mod}}{2} \Rightarrow BW_{ch-sel} = BW_{mod}$$

$$F_{error} > \frac{BW_{mod}}{2} \Rightarrow BW_{ch-sel} = 2 \times F_{error}$$

在AFC被禁用，建议设置的带宽频道选择滤波器（BWch-选择素）根据如下：

$$BW_{ch-sel} = BW_{mod} + 2 \times F_{error}$$

所需要的带宽（BW）的计算方法和三个滤波器参数，ndec_exp，dwn3_bypass和filset，可参考下面的表格。当计算带宽值是不完全可以选择较高的，可用带宽最接近计算带宽。

表17. 滤波器带宽参数

BW [kHz]	ndec_exp 1C-[6:4]	dwn3_bypass 1C-[7]	filset 1C-[3:0]
2.6	5	0	1
2.8	5	0	2
3.1	5	0	3
3.2	5	0	4
3.7	5	0	5
4.2	5	0	6
4.5	5	0	7
4.9	4	0	1
5.4	4	0	2
5.9	4	0	3
6.1	4	0	4
7.2	4	0	5
8.2	4	0	6
8.8	4	0	7
9.5	3	0	1
10.6	3	0	2
11.5	3	0	3
12.1	3	0	4
14.2	3	0	5
16.2	3	0	6
17.5	3	0	7
18.9	2	0	1
21.0	2	0	2
22.7	2	0	3
24.0	2	0	4
28.2	2	0	5
32.2	2	0	6
34.7	2	0	7
37.7	1	0	1

BW [kHz]	ndec_exp 1C-[6:4]	dwn3_bypass 1C-[7]	filset 1C-[3:0]
41.7	1	0	2
45.2	1	0	3
47.9	1	0	4
56.2	1	0	5
64.1	1	0	6
69.2	1	0	7
75.2	0	0	1
83.2	0	0	2
90.0	0	0	3
95.3	0	0	4
112.1	0	0	5
127.9	0	0	6
137.9	0	0	7
142.8	1	1	4
167.8	1	1	5
181.1	1	1	9
191.5	0	1	15
225.1	0	1	1
248.8	0	1	2
269.3	0	1	3
284.9	0	1	4
335.5	0	1	8
361.8	0	1	9
420.2	0	1	10
468.4	0	1	11
518.8	0	1	12
577.0	0	1	13
620.7	0	1	14

7.2. OOK的调制解调器配置

Si4432配置为OOK模式设置modtyp [1:0], OOK在“寄存器71h 。调制方式控制2 ”。在OOK模式，下面的参数可以配置：数据传输速率，曼切斯特编码，信道滤波器的带宽，和时钟恢复采样率。

所要求的数据速率（包）配置通过txdr [15:0], 寄存器 6Eh 。发射数据速率1 ”和“寄存器6Fh 。发射数据速率0 ”。对于数据传输速率<30 kbps, txdtrscale 在寄存器70h 。调制方式控制1 “应设置为1 ，数据传输率提高精度。曼切斯特编码是启用 设置enmanch寄存器70h 。

接收频道选择滤波器带宽配置通过“寄存器1Ch 。中频滤波器的带宽。”寄存器的设置可用的信道带宽的带宽列于表18 。

表18. 通道滤波器带宽设置

BW[kHz]	dwn3_bypass	filset[3:0]
75.2	0	1
83.2	0	2
90	0	3
95.3	0	4
112.1	0	5
127.9	0	6
137.9	0	7
191.5	1	F
225.1	1	1
248.8	1	2
269.3	1	3
284.9	1	4
335.5	1	8
361.8	1	9
420.2	1	10
468.4	1	11
518.8	1	12
577	1	13
620.7	1	14

当曼切斯特编码被启用，Rb是在数据传输率（包）的一倍。可以通过设置ndec [2: 0]列表19:

表 19. ndec[2:0] 设置

Rb(1+ enmanch) [kbps]		ndec[2:0]
Min	Max	
0	1	5
1	2	4
2	3	3
3	8	2
8	40	1
40	65	0

采样的时钟恢复率是通过rxosr [10: 0]在寄存器20h。

和“寄存器21h。时钟恢复偏移2 ”。

ndec_exp和dwn3_bypass连同接收数据率（包）是用来计算rxosr：

$$rxosr = \frac{500 \times (1 + 2 \times dwn3_bypass)}{2^{ndec_exp-3} \times Rb \times (1 + enmanch)}$$

如：Rb is in kbps和enmanch是曼切斯特编码参数。由此产生的rxosr [10: 0]值应为整数berounded十六进制数。

该时钟恢复偏移ncoff [19: 0]在“寄存器21h。时钟恢复偏移2 ”，“寄存器保障。时钟恢复补偿1 “和”寄存器23h。时钟恢复偏移0 “的计算方法如下：

$$ncoff = \frac{Rb \times (1 + enmanch) \times 2^{20+ndec_exp}}{500 \times (1 + 2 \times dwn3_bypass)}$$

该时钟恢复增益crgain [10:0]在寄存器24h。时钟恢复定时环路增益1 ”和寄存器25h。时钟恢复定时环路增益0 ”的计算方法如下：

$$crgain = 2 + \frac{2^{16}}{rxosr}$$

表 20. 曼切斯特禁止OOK接收调制解调器配置

OOK接收调制解调器配置例子 (曼切斯特禁止)							
应用参数		输入值					
Rb	RX BW	dwn3_bypass	ndec_exp[2:0]	filset[3:0]	rxosr[10:0]	ncoff[19:0]	crgain[10:0]
[kbps]	[kHz]	1Ch	1Ch	1Ch	20,21h	21,22,23h	24,25h
1.2	75	0	4	1	0D0	09D49	13D
1.2	110	0	4	5	0D0	09D49	13D
1.2	335	1	4	8	271	0346E	06B
1.2	420	1	4	A	271	0346E	06B
1.2	620	1	4	E	271	0346E	06B
2.4	335	1	3	8	271	0346E	06B
4.8	335	1	2	8	271	0346E	06B
9.6	335	1	1	8	271	0346E	06B
10	335	1	1	8	258	0369D	06F
15	335	1	1	8	190	051EC	0A6
19.2	335	1	1	8	139	068DC	0D3
20	335	1	1	8	12C	06D3A	0DC
30	335	1	1	8	0C8	0A3D7	14A
38.4	335	1	1	8	09C	0D1B7	1A6
40	335	1	1	8	096	0DA74	1B7

表21. 曼切斯特使能OOK接收调制解调器配置

OOK接收调制解调器配置例子 (曼切斯特使能)							
应用参数		输入值					
Rb	RX BW	dwn3_bypass	ndec_exp[2:0]	filset[3:0]	rxosr[10:0]	ncoff[19:0]	crgain[10:0]
[kbps]	[kHz]	1Ch	1Ch	1Ch	20,21h	21,22,23h	24,25h
1.2	75	0	3	1	0D0	04EA5	13D
1.2	110	0	3	5	0D0	04EA5	13D
1.2	335	1	3	8	271	01A37	06B
1.2	420	1	3	A	271	01A37	06B
1.2	620	1	3	E	271	01A37	06B
2.4	335	1	2	8	271	01A37	06B
4.8	335	1	1	8	271	01A37	06B
9.6	335	1	1	8	139	0346E	0D3
10	335	1	1	8	12C	0369D	0DC
15	335	1	1	8	0C8	051EC	14A
19.2	335	1	1	8	09C	068DC	1A6
20	335	1	1	8	096	06D3A	1B7
30	335	1	0	8	0C8	051EC	14A
38.4	335	1	0	8	09C	068DC	1A6
40	335	1	0	8	096	06D3A	1B7

8. 附加功能

8.1. 智能复位

The Si4432 包含一个高度集成的POR电路，POR电路与斜度探测器一样都包含典型的电平门限复位。这个复位电路为在任何的情况下产生可靠的复位信号而设计。发生以下条件芯片将开始复位：

起动上电，当VDD从0V 开始：复位将激活从直到VDD达到VRR（查看表）；

- 当由于任何原因VDD减小到VLD以下：激活复位直到VDD再次达到VRR；
- 若通过SPI总线写指令到寄存器08h执行软件复位：由于TSWRST 时间复位将激活。
- 在一个VDD上升沿毛刺当供电电压超过以下作用限制时间：

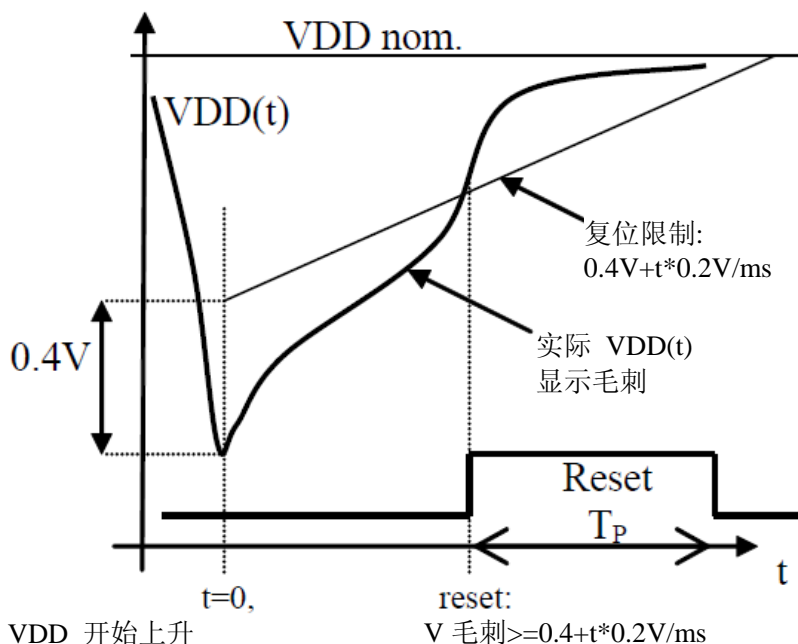


图 23: POR 毛刺参数

表 22: POR 参数

参数	标号	内容	最小	典型	最大	单位
释放复位电压	VRR		0.85	1.3	1.75	V
上电VDD斜率	SVDD	测试VDD斜率区	0.03		300	V/ms
低于VDD限制	VLD	VLD < VRR 是肯定的	0.7	1	1.3	V
软件复位脉冲	TSWRST		50		470	us
电压门限	VTSD			0.4		V
参考斜率	k			0.2		V/ms
VDD 毛刺复位脉冲	TP	Also occurs after SDN, and initial power on	5	15	40	ms

复位系统将复位所有寄存器到默认值。复位信号利用单片机通过使用默认的设置GPIO_0也是有效输出。反通过默认的GPIO_1的反相复位信号是有效的。

8.2. 单片机时钟

晶体振荡器频率内部分频并且可以通过GPIO2输出单片机，在系统应用中通过仅仅使用一个晶体的特点用于低成本，系统时钟频率从8个不同选项的某一个选择。如下面显示。除32.768 kHz选项之外，所有其他频率通过晶体振荡器频率分频得到，32.768 kHz 时钟信号从一个内部RC振荡器或一个外部32kHz晶体得到。取决于选择哪个。GPIO2默认一个1MHz时钟输出给单片机。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
0A	R/W	单片机输出时钟			clkt[1]	clkt[0]	enlfc	mclk[2]	mclk[1]	mclk[0]	0Bh

mclk[2:0]	调制源
000	30 MHz
001	15 MHz
010	10 MHz
011	4 MHz
100	3 MHz
101	2 MHz
110	1 MHz
111	32.768 kHz

若使用了单片机时钟选项在RFIC睡眠模式可以用于给单片机系统时钟的需要。在睡眠模式由于晶体振荡器禁止是为了节省电流。低功耗32.768kHz时钟可以自动切换成为单片机时钟，这个特点要求使能低频率时钟并且通过enlfc位使能。当enlfc = ‘1’ 并且芯片在睡眠模式，那么不管mclk[2:0]的设置32.768kHz时钟将提供到单片机当作系统时钟，例如，若mclk[2:0] = ‘000’，在所有的挂起模式、发射或接收状态通过GPIO输出输出将产生30MHz 给单片机当作系统时钟，当芯片通过SPI指令进入睡眠模式，系统时钟将变成32.768kHz。另一个对单片机时钟有效的特点是时钟尾巴，clkt[1:0]。若使能低频率时钟特点没有使能(enlfc = ‘0’)，那么睡眠模式禁止系统时钟到单片机。不过，它可以使用产生一些额外的周期为了单片机在系统时钟信号关闭之前来完成它的工作。设置clkt[1:0]段将在它关闭前产生系统时钟附加周期。

clkt[1:0]	调制源
00	0 cycles
01	128 cycles
10	256 cycles
11	512 cycles

若触发中断单片机时钟不管选择模式将保留使能，中断立即读状态机接着将移入选择模式。例如芯片指令进入睡眠模式但是一个中断发生，30MHz XTAL将不会禁止，直到中断被清除。

8.3. 通用 ADC

An 8-bit SAR ADC is integrated onto the chip for general purpose use, as well as for digitizing the temperature sensor reading. "Register 0Fh. ADC Configuration," on page 109 must be configured depending on the use of the GP ADC before use. The architecture of the ADC is demonstrated in 图 24. First the input of the ADC must be selected by setting the ADCSEL[2:0] depending on the use of the ADC. For instance, if the ADC is going to be used to read out the internal temperature sensor, then ADCSEL[2:0] should be set to 000. Next, the input reference voltage to the ADC must be chosen. By default, the ADC uses the bandgap voltage as a reference so the input range of the ADC is from 0–1.02 V with an LSB resolution of 4 mV (1.02/255). Changing the ADC reference will change the LSB resolution accordingly.

Every time the ADC conversion is desired, the ADCStart 位在 "Register 0Fh. ADC Configuration," on page 109 must be set to 1. This is a self clearing 位 that will be cleared at the end of the conversion cycle of the ADC. The conversion time for the ADC is 350 us. After the 350 us or when the ADCstart/busy 位 is cleared, then the ADC value may be read out of "Register 11h. ADC Value". Setting the "Register 10h. ADC Sensor Amplifier Offset", ADC Sensor Amplifier Offset is only necessary when the ADC is configured to be used as a Bridge Sensor as described in the following section.和读数字温度传感器一样，为了普通应用，芯片集成一个8位逐次逼近型模数转换器（SAR ADC），在任一差分或单端方式通过设置相应的GPIO和如下表所示的adcsel[2:0]段可以访问ADC。通过默认的，ADC使用能隙电压当作一个参考，因此ADC的输入范围是0-1.25V，4.90mV 的LSB分辨率。ADC每次转换时间接近310us。ADC的值可以在寄存器11h读出，为了从ADC触发一个读，地址0Fh的D7必须设置为“1”。

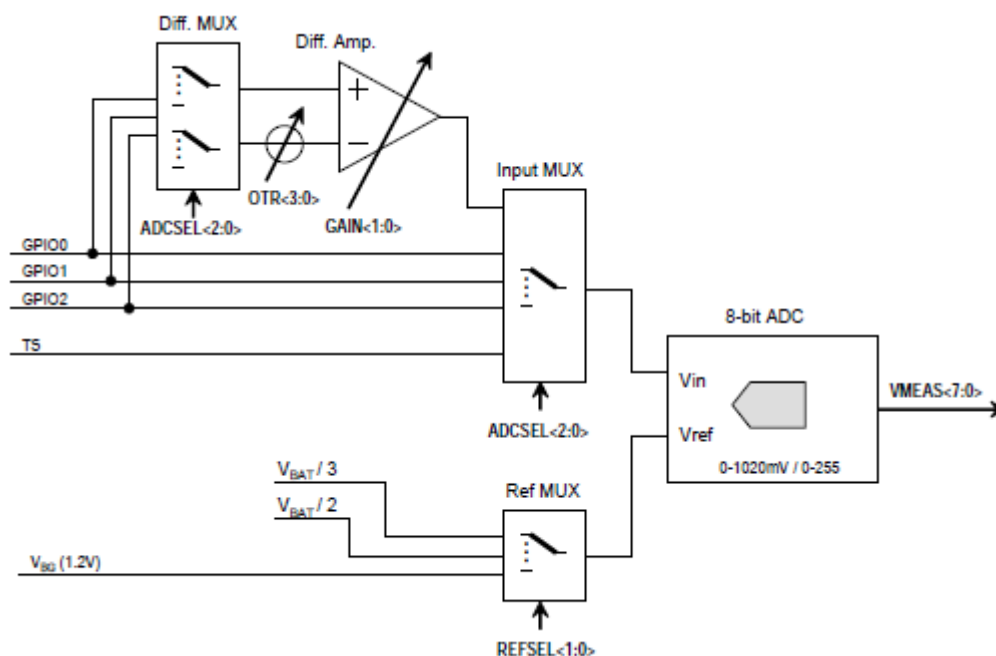


图 24: 通用ADC结构

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
0F	R/W	ADC 配置	Adcstart /adcbusy	adcse[2]	adcse[1]	adcse[0]	adcref[1]	adcref[0]	adcgain[1]	adcgain[0]	00h
10	R/W	ADC 传感放大器偏移					adcoffs[3]	adcoffs[2]	adcoffs[1]	adcoffs[0]	00h
11	R	ADC 值	adc[7]	adc[6]	adc[5]	adc[4]	adc[3]	adc[2]	adc[1]	adc[0]	—

8.3.1. ADC差分输入模式-桥传感器

The differential input mode of ADC8 is designed to directly interface any bridge-类型 sensor, which is demonstrated in the figure below. As seen in the figure the use of the ADC in this configuration will utilize two GPIO pins. The supply source of the bridge and chip should be the same to eliminate the measuring error caused by battery discharging. For proper operation one of the VDD dependent references (VDD/2 or VDD/3) should be selected for the reference voltage of ADC8. VDD/2 reference should be selected for VDD lower than 2.7 V, VDD/3 reference should be selected for VDD higher than 2.7 V. The differential input mode supports programmable gain to match the input range of ADC8 to the characteristic of the sensor and VDD proportional programmable offset adjustment to compensate the offset of the sensor.

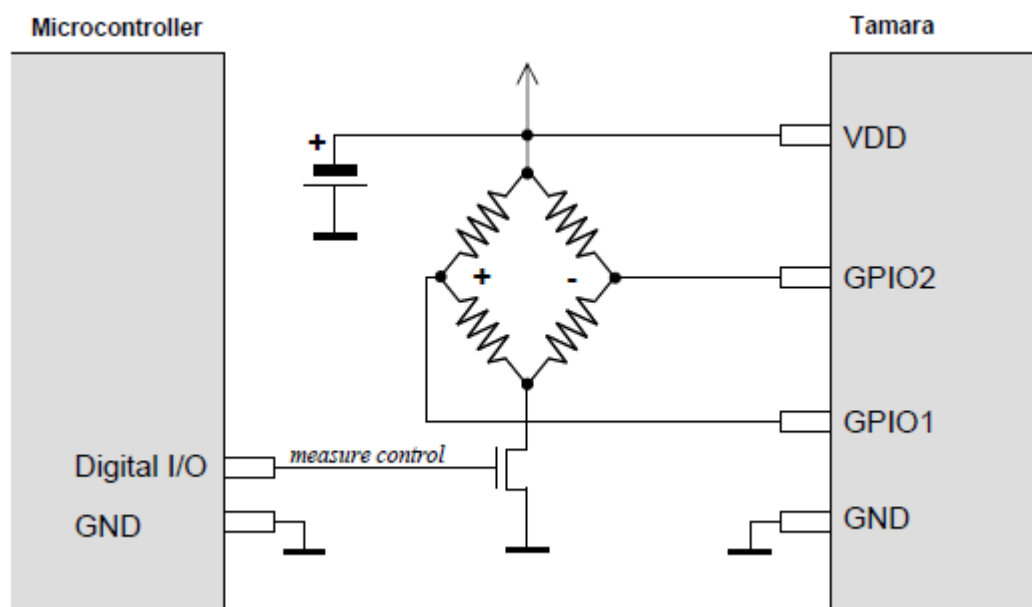


图25. ADC差分输入的桥传感器

The `adcgain[1:0]` bits in "Register 0Eh. I/O Port Configuration" determine the gain of the differential/single ended amplifier. This is used to fit the input range of the ADC8 to bridge sensors having different sensitivity:

adcgain[1]	adcgain[0]	Differential Gain		Input Range (% of VDD)
		adcref[0] = 0	adcref[0] = 1	
0	0	22/13	33/13	16.7
0	1	44/13	66/13	8.4
1	0	66/13	99/13	5.6
1	1	88/13	132/13	4.2

Note: The input range is the differential voltage measured between the selected GPIO pins corresponding to the full ADC range (255). The gain is different for different VDD dependent references so the reference change has no influence on input range and digital measured values.

The differential offset can be coarse compensated by the `adcoffs[3:0]` 位s found in "Register 11h. ADC Value". Fine compensation should be done by the microcontroller software. The main reason for the offset compensation is to shift the negative offset voltage of the bridge sensor to the positive differential voltage range. This is essential as the differential input mode is unipolar. The offset compensation is VDD proportional, so the VDD change has no influence on the measured value.

<code>adcoffs[3]</code>	Input Offset (% of VDD)
0	0 if <code>adcoffs[2:0] = 0</code>
	$-(8 - \text{adcoffs}[2:0]) \times 0.12$
1	$\text{adcoffs}[2:0] \times 0.12$

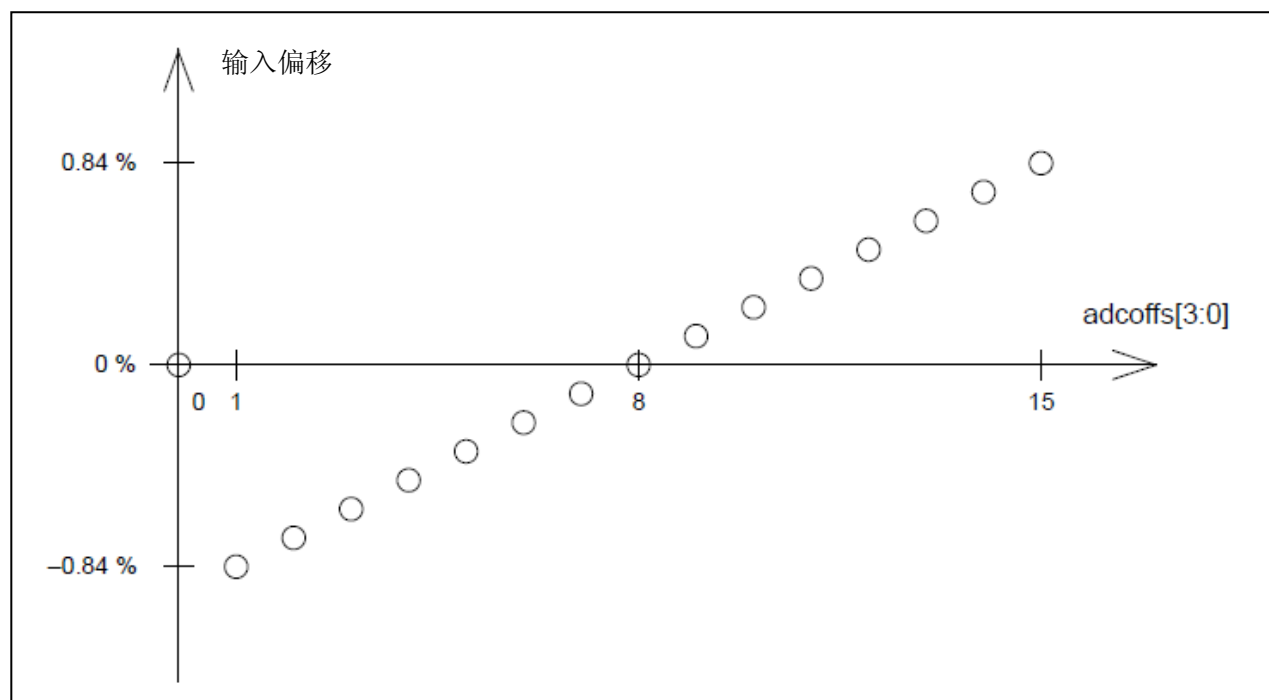


图26。ADC Differential input offset for sensor offset coarse compensation

8.4. 温度传感器

芯片内部集成一个模拟温度传感器，温度传感器通过寄存器07h的ents = '1'使能。温度传感器的值可以用通用ADC数字化并且通过SPI操作寄存器10h读出。模拟温度传感器电压也可以通过模拟测试总线读出。温度传感器为工作在-40°C 到 +85°C准确度 $\pm 5^{\circ}\text{C}$ 而设计。温度传感器的斜率是5 mV/°C。一个数字偏移寄存器是有效的，因此可以校正那些温度传感器的绝对值。温度传感器偏移寄存器可以校正温度传感器达到比0.5°C精度更高。

用于温度传感器一个简单的逐步程序：

#1 - 设置ADC为温度传感器输入 - `adcsel[2:0]=' 000'`

#2 - 设置ADC参考 - `adcref[1:0]=' 00'`

#3 - 设置ADC温度范围 - `tsrange[1:0]`

#4 - 设置entsoffs = 1，温度传感器校准”

#5 - 触发读ADC - `adcstart=' 1'`

#6 - 读出ADC的值 - Read Address 11h

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
12	R/W	温度传感器控制	tsrange[1]	tsrange[0]	entsoffs	entstrim	vbgtrim[3]	vbgtrim[2]	vbgtrim[1]	vbgtrim[0]	20h
13	R/W	温度值偏移	tvoffs[7]	tvoffs[6]	tvoffs[5]	tvoffs[4]	tvoffs[3]	tvoffs[2]	tvoffs[1]	tvoffs[0]	00h

表 23. 温度传感器范围

entoff	tsrange[1]	tsrange[0]	温度范围	单位	Slope	ADC8 LSB
1	0	0	-64 ... 64	°C	8 mV/°C	0.5 °C
1	0	1	-64 ... 192	°C	4 mV/°C	1 °C
1	1	0	0 ... 128	°C	8 mV/°C	0.5 °C
1	1	1	-40 ... 216	°F	4 mV/°F	1 °F
0*	1	0	0 ... 341	°K	3 mV/°K	1.333 °K

注：绝对温度模式，没有固定。此模式仅用于测试目的。

Control to adjust the temperature sensor accuracy is available by adjusting the bandgap voltage. By enabling the envbgcal and using the vbgcal[3:0] bits to trim the bandgap the temperature sensor accuracy may be fine tuned in the final application. The slope of the temperature sensor is very linear and monotonic but the exact accuracy or offset in temperature is difficult to control better than $\pm 10^{\circ}\text{C}$. With the vbgtrim or bandgap trim though the initial temperature offset can be easily adjusted and be better than $\pm 3^{\circ}\text{C}$.

The different ranges for the temperature sensor and ADC8 are demonstrated in 图 27. The value of the ADC8 may be translated to a temperature reading by $\text{ADC8Value} \times \text{ADC8 LSB} + \text{Lowest Temperature in Temp Range}$. For instance for a `tsrange = 00`, $\text{Temp} = \text{ADC8Value} \times 0.5 - 64$.

调整温度传感器的准确度可通过调节带隙基准电压。通过envbgcal和vbgcal [3:0]，偏移温度难以控制优于 $\pm 10^{\circ}\text{C}$ ，随着vbgtrim和改变初始温度偏移可以很容易地调整优于 $\pm 3^{\circ}\text{C}$ 的

使用8位ADC的不同范围的温度传感器在图27

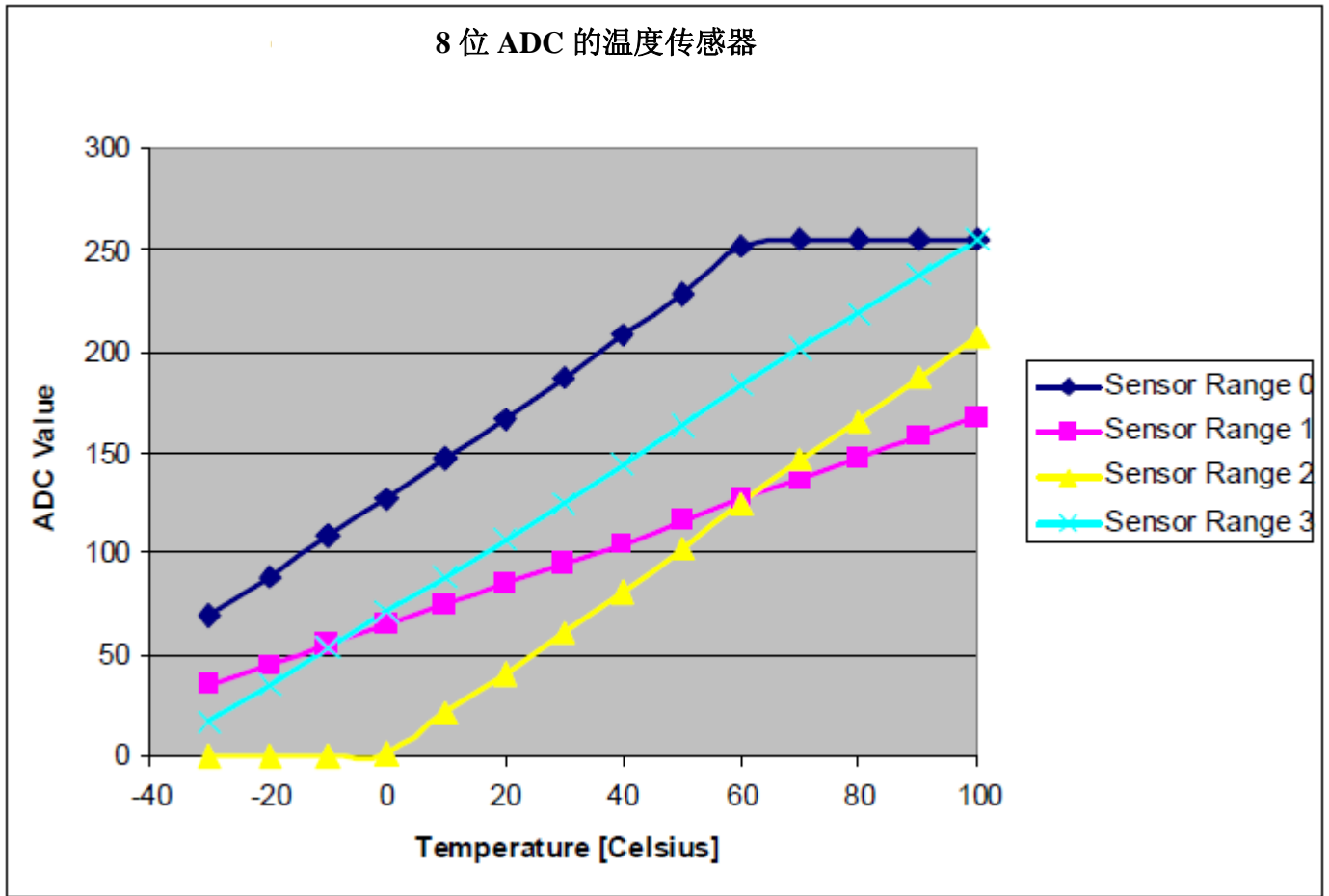


图27 8位ADC的温度传感器范围

8.5. 电池欠压侦测器

A low battery detector (LBD) with digital read-out is integrated into the chip. A digital threshold may be programmed into the lbd[4:0] field in "Register 1Ah. Low Battery Detector Threshold". When the digitized battery voltage reaches this threshold an interrupt will be generated on the nIRQ pin to the microcontroller. The microcontroller will then need to verify the interrupt by reading "Register 03h. Interrupt/Status 1" and "Register 04h. Interrupt/Status 2," on page 64.

If the LBD is enabled while the chip is in SLEEP mode, it will automatically enable the RC oscillator which will periodically turn on the LBD circuit to measure the battery voltage. The battery voltage may also be read out through "Register 1Bh. Battery Voltage Level" at any time when the LBD is enabled. The Low Battery Detect 功能 is enabled by setting enlbd=1 in "Register 07h. Operating Mode and 功能 Control 1".

芯片内部集成数字读出的电池欠压侦测器(LBD)。一个数字门限编程到寄存器16h的lbd[4:0]段,当数字化电池电压达到这个门限将在nIRQ产生一个中断到单片机。单片机将需要通过读中断状态寄存器来核实这个中断。地址03h 和 04h。

若芯片在睡眠模式使能电池欠压侦测器,它将自动使能RC振荡器定期打开电池欠压侦测器电路来测量电池电压,电池电压也可以通过SPI寄存器17h当电池欠压侦测器使能的任何时间读出。电池欠压侦测功能通过设置寄存器07h的enlbd='1'使能。

Ad	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
1A	R/W	电池欠压侦测器门檻				lbd[4]	lbd[3]	lbd[2]	lbd[1]	lbd[0]	14h
1B	R	电池电压等级	0	0	0	vbat[4]	vbat[3]	vbat[2]	vbat[1]	vbat[0]	—

The LBD output is digitized by a 5-位 ADC. When the LBD 功能 is enabled, enlbd = 1 in "Register 07h. Operating Mode and 功能 Control 1", the battery voltage may be read at anytime by reading "Register 1Bh. Battery Voltage Level". A Battery Voltage Threshold may be programmed to register 1Ah. When the battery voltage level drops below the battery voltage threshold an interrupt will be generated on nIRQ pin to the microcontroller if the LBD interrupt is enabled in "Register 06h. Interrupt Enable 2," on page 67. The microcontroller will then need to verify the interrupt by reading the interrupt status register, Addresses 03 and 04H. The LSB step size for the LBD ADC is 50 mV, with the ADC range demonstrated in the 表格 below. If the LBD is enabled the LBD and ADC will automatically be enabled every 1 s for approximately 250 μs to measure the voltage which minimizes the current consumption in Sensor mode. Before an interrupt is activated four consecutive readings are required.

电池欠压侦测器输出通过5位ADC数字化,当使能电池欠压侦测器,寄存器07H的enlbd='1',电池电压可以通过读电池电压级别寄存器(地址17h)在任何时间读出。一个电池电压门限可编程序在寄存器16h.当电池电压级别地道到在电池电压门檻以下将在nIRQ引脚产生一个中断给单片机.单片机将通过读取中断状态寄存器来核实这个中断,地址03和04H.LBD ADC的最低有效位(LSB)步长尺寸是50mV,ADC范围在下表显示:

$$\text{Battery Voltage} = 1.7 + 50\text{mV} \times \text{ADC Value}$$

ADC的值	VDD 电压 [V]
0	< 1.7
1	1.7–1.75
2	1.75–1.8
...	...
29	3.1–3.15
30	3.15–3.2
31	> 3.2

8.6. 唤醒定时器

芯片包含一个集成唤醒定时器从睡眠模式定期唤醒芯片.唤醒定时器基于内部32.768 kHz RC振荡器运行.当在睡眠模式唤醒定时器的功能发生.当进入睡眠模式若寄存器07h的enwt='1',唤醒定时器将指定唤醒定时器周期寄存器10h-12h开始计间.在这个周期结束在nIRQ引脚产生一个中断,单片机将需要通过读取中断状态寄存器03h-04h来核实这个中断.唤醒定时器的值可以在通过只读寄存器13h-14h wtv[15:0]在任何时间读出.

以下这个公式是计算唤醒周期:

$$WUT = \frac{32 \times M \times 2^{R-D}}{32.768} ms$$

WUT 寄存器	描述
wtr[3:0]	公式中R值
wtd[1:0]	公式中D值
wtm[15:0]	公式中M值

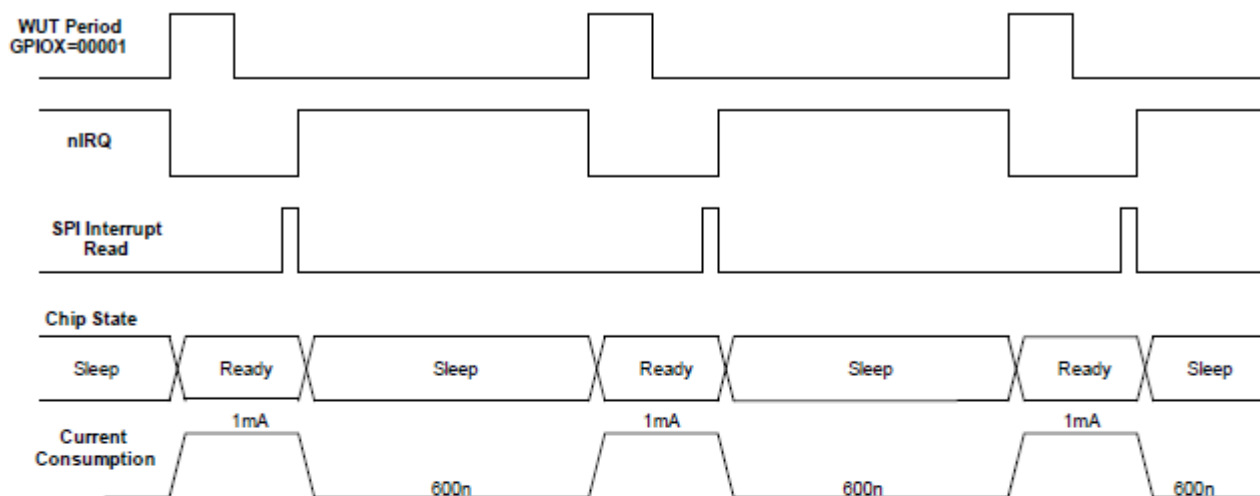
如果需要比给R的值更高精度仅需要使用公式中的D变量.

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
14	R/W	唤醒定时器周期 1			wtr[3]	wtr[2]	wtr[1]	wtr[0]	wtd[1]	wtd[0]	00h
15	R/W	唤醒定时器周期 2	wtm[15]	wtm[14]	wtm[13]	wtm[12]	wtm[11]	wtm[10]	wtm[9]	wtm[8]	00h
16	R/W	唤醒定时器周期3	wtm[7]	wtm[6]	wtm[5]	wtm[4]	wtm[3]	wtm[2]	wtm[1]	wtm[0]	00h
17	R	唤醒定时器值 1	wtv[15]	wtv[14]	wtv[13]	wtv[12]	wtv[11]	wtv[10]	wtv[9]	wtv[8]	—
18	R	唤醒定时器值 2	wtv[7]	wtv[6]	wtv[5]	wtv[4]	wtv[3]	wtv[2]	wtv[1]	wtv[0]	—

There are two different methods for utilizing the wake-up timer (WUT) depending on if the WUT interrupt is enabled in "Register 06h. Interrupt Enable 2," on page 67. If the WUT interrupt is enabled then nIRQ pin will go low when the timer expires. The chip will also change state so that the 30 M XTAL is enabled so that the microcontroller clock output is available for the microcontroller to use process the interrupt. The other method of use is to not enable the WUT interrupt and use the WUT GPIO setting. In this mode of operation the chip will not change state until commanded by the microcontroller. The two different modes of operation of the WUT are demonstrated in 图28.

A 32 kHz XTAL may also be used for better timing accuracy. By setting the x32 ksel 位 in 07h, GPIO0 is automatically recon图d so that an external 32 kHz XTAL may be connected to this pin. In this mode, the GPIO0 is extremely sensitive to parasitic capacitance, so only the XTAL should be connected to this pin and the XTAL should be physically located as close to the pin as possible. Once the x32 ksel 位 is set, all internal functions such as WUT, micro-controller clock, and LDC mode will use the 32 K XTAL and not the 32 kHz RC oscillator.

中断使能 **enwut=1 (Reg 06h)**



中断使能 **enwut=0 (Reg 06h)**

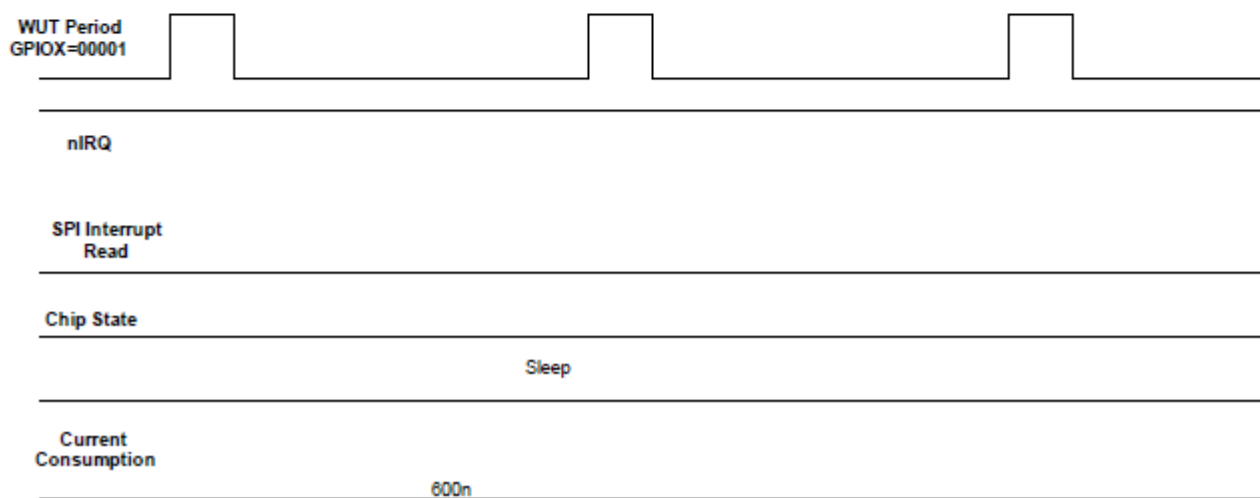


图28. WUT中断和WUT运行

8.7. 低功耗模式

低功耗模式是可用的，自动唤醒接收器来检测如果一个有效信号是可用的。在下图所示低功耗模式的基本工作。如果没有侦测一个有效的引导码或同步字，芯片将回到睡眠模式直到一个新的WUT周期的开始。如果检测到一个有效的引导码和同步字接收器在周期将延长为低功耗持续来接收所有的包。这个TLDC时间由下面的公式决定：

$$TLDC = ldc[7:0] \times \frac{2 \times (R - D) \times 32}{32.768} ms$$

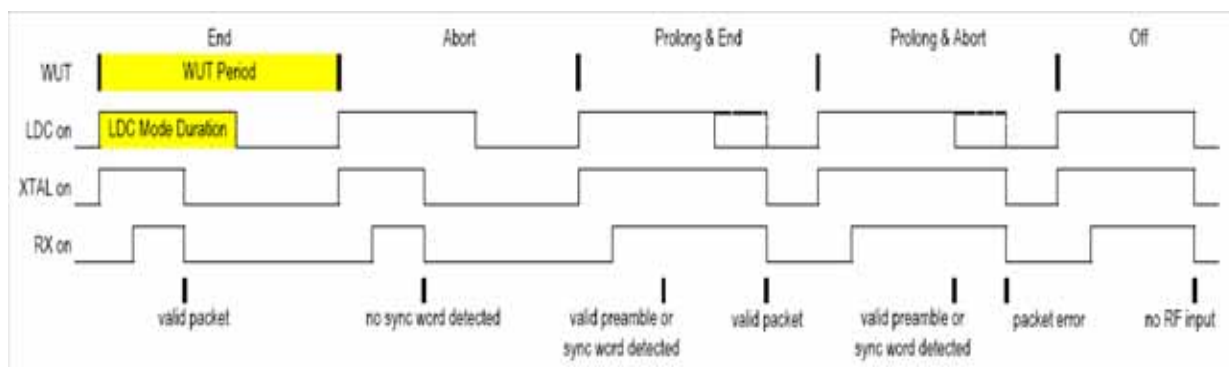


图 29. 低功耗模式

8.8. GPIO配置

3个通用I/O口(GPIOs)有效于配置满足要求的应用的需求，很多功能诸如特殊的中断、收发切换（TRSW）、天线分集切换控制、单片机输出等作用，如下表所示。当关闭模式所有的GPIO引脚下拉低=“0”。

注：该ADC不应被选定作为投入的GPIO待命或休眠模式，并会导致目前的节能~超过负荷。

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
0B	R/W	GPIO0 Configuration	gpio0drv[1]	gpio0drv[0]	pup0	gpio0[4]	gpio0[3]	gpio0[2]	gpio0[1]	gpio0[0]	00h
0C	R/W	GPIO1 Configuration	gpio1drv[1]	gpio1drv[0]	pup1	gpio1[4]	gpio1[3]	gpio1[2]	gpio1[1]	gpio1[0]	00h
0D	R/W	GPIO2 Configuration	gpio2drv[1]	gpio2drv[0]	pup2	gpio2[4]	gpio2[3]	gpio2[2]	gpio2[1]	gpio2[0]	00h
0E	R/W	I/O Port Configuration		extitst[2]	extitst[1]	extitst[0]	itsdo	dio2	dio1	dio0	00h

GPIO设置GPIO1和GPIO2是一样的GPIO0除00000默认设置。默认设置为每个个GPIO列举如下：

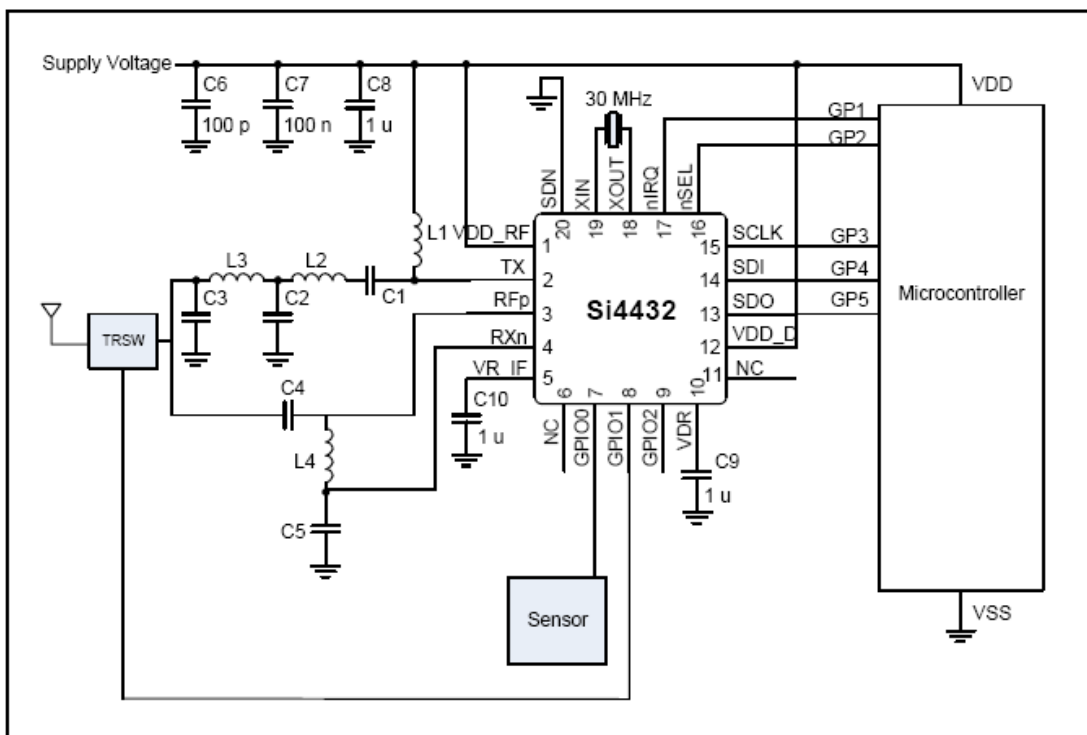
GPIO	00000—Default Setting
GPIO0	POR
GPIO1	POR 反向
GPIO2	单片机时钟

The diagrams in 图 30 show two different configurations/usage of the GPIO. In Configuration A an external sensor is used and the GPIO is configured as an input with the 00101 External Interrupt, Rising Edge setting. When the sensor is triggered the nIRQ pin will go high and the microcontroller will be able to read the interrupt register and know that an event occurred on the sensor. The advantage of this configuration is that it saves a microcontroller pin. This application utilizes the high output power so a TRSW is required.

In Configuration B, the chip is configured to provide the System Clock output to the microcontroller so that only one crystal is needed in the system, therefore reducing the BOM cost. For the TX Data Source, Direct Mode is used because long packets are desired with a unique packet handling format already implemented in the microcontroller. In this configuration the TX Data Clock is configured onto GPIO0, the TX Data is configured onto GPIO1, and the Microcontroller System Clock output is configured onto GPIO2. In this application only the lowest output power setting is required so no TRSW is needed.

For a complete list of the available GPIO's see “Register 0Ch. GPIO Configuration 1,” on page 106, “Register 0Dh. GPIO Configuration 2,” on page 107, and “Register 0Eh. I/O Port Configuration,” on page 108.

GPIO 配置 A



GPIO 配置 B

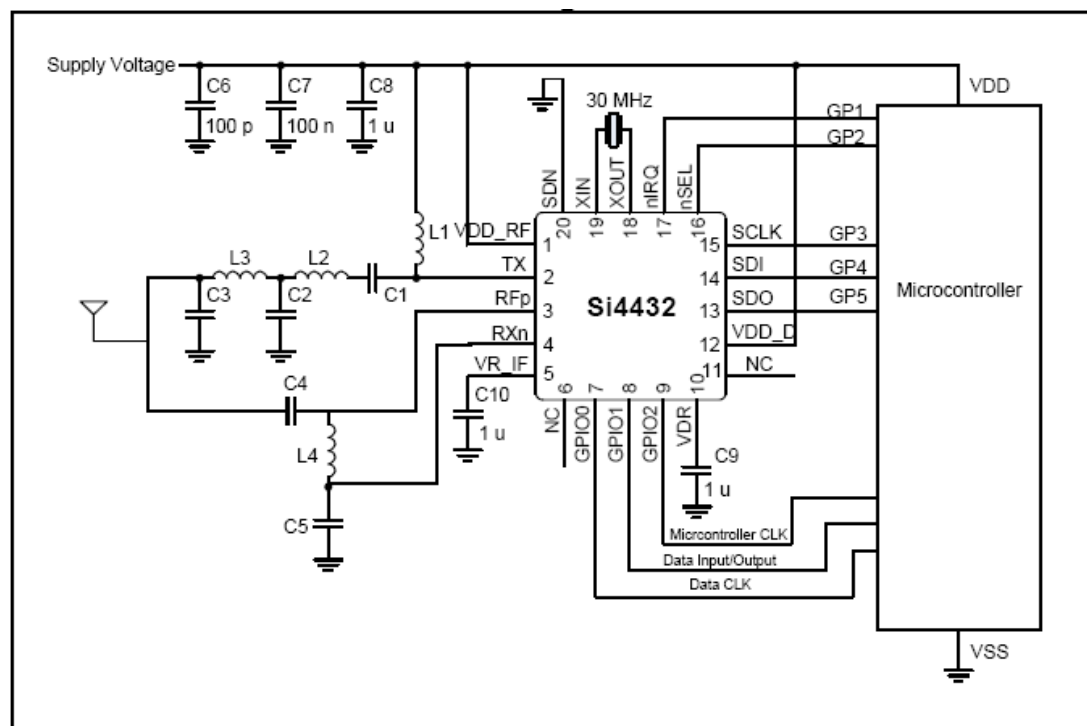


图30.GPIO 使用例子

8.9. 天线分集

为了避免由于多路径传播频率选择性衰减的问题,多个收发器系统使用一个方案称做“天线分集”。这个方案,使用两个天线。每个时间收发器进入接收模式评估每个天线的接收信号强度。在包的引导码部分发生这个评估处理。接收到信号最强的天线用于接收包的剩余部分。相同的天线也用于下一个相应的发射包。

芯片集成天线分集控制算法完全支持天线分集。设置GPIOx[5:0]='10111' and '11000', GPIOx引脚有效使得所需的信号需要控制一个外部单刀双掷(SPDT) RF切换(如PIN二极管或GaAs(砷化镓)切换)。这些切换工作是可编程的允许对于不同的天线分集结构和配置。寄存器08h可找到antdiv[2:0]。GPIO引脚电流源达到5mA能力,因此如果要求它可以直接用于正偏一个PIN二极管。

When the arrival of the packet is unknown by the receiver the antenna diversity algorithm (antdiv[2:0] = 100 or 101) will detect both packet arrival and selects the antenna with the strongest signal. The recommended preamble length to obtain good antenna selection is 8 bytes. A special antenna diversity algorithm (antdiv[2:0] = 110 or 111) is included that allows for shorter preamble for TDMA like systems where the arrival of the packet is synchronized to the receiver enable. The recommended preamble length to obtain good antenna selection for synchronized mode is 4 bytes.

Add	R/W	功能/描述	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
08	R/W	Operating & 功能 Control 2	antdiv[2]	antdiv[1]	antdiv[0]	rxmpk	autotx	enldm	ffclrx	ffclrtx	00h

表 24. 天线分集控制

antdiv[2:0]	RX/TX 状态		Non RX/TX 状态	
	GPIO Ant1	GPIO Ant2	GPIO Ant1	GPIO Ant2
000	0	1	0	0
001	1	0	0	0
010	0	1	1	1
011	1	0	1	1
100	天线分集算法		0	0
101	天线分集算法		1	1
110	信标模式天线分集算法		0	0
111	信标模式天线分集算法		1	1

8.10. TX/RX切换控制

当使用+20dBm最大输出功率可能需要一个收发切换(TRSW)。适当的定时切换控制作用在GPIO引脚上。多种选项使用TX/RX切换查看应用原理图

8.11. RSSI（接收信号强度指示）和信道空闲评估

RSSI（接收信号强度指示）信号接收器打开了在信道的一个信号强度评估，当使能同步字侦测在同步字已经侦测到后将会冻结RSSI的值，当禁止同步字侦测或同步字没有侦测到，RSSI的值将连续不断的更新。从一个8位的寄存器能读出每位精度是0.5dB的RSSI的值，总的127.5dB的RSSI的范围。图26显示了输入功率等级和RSSI的值的范围：

The RSSI may be read at anytime, but an incorrect error may rarely occur. The RSSI value may be incorrect if read during the update period. The update period is approximately 10 ns every 4 Tb. For 10 kbps, this would result in a 1 in 40,000 probability that the RSSI may be read incorrectly. This probability is extremely low, but to avoid this, one of the following options is recommended: majority polling, reading the RSSI value within 1 Tb of the RSSI interrupt, or using the RSSI threshold described in the next paragraph for Clear Channel Assessment.

Add	R/W	Function/Description	数据								POR Def.
			D7	D6	D5	D4	D3	D2	D1	D0	
26	R	Received Signal Strength Indicator	rssl[7]	rssl[6]	rssl[5]	rssl[4]	rssl[3]	rssl[2]	rssl[1]	rssl[0]	—
27	R/W	RSSI Threshold for Clear Channel Indicator	rsslth[7]	rsslth[6]	rsslth[5]	rsslth[4]	rsslth[3]	rsslth[2]	rsslth[1]	rsslth[0]	00h

信道空闲评估门槛在寄存器可编程27h的rsslth[7:0]，在引导码RSSI评估后，如果在这个信道上无信号强度产生一个判断是在门槛以上或者以下。如果信号强度在可编程的门槛以上那么一个“1”将出现在器件状态寄存器02h的RSSI状态位上。中断状态寄存器04h，或配置GPIO (GPIOx[3:0]='1110')。

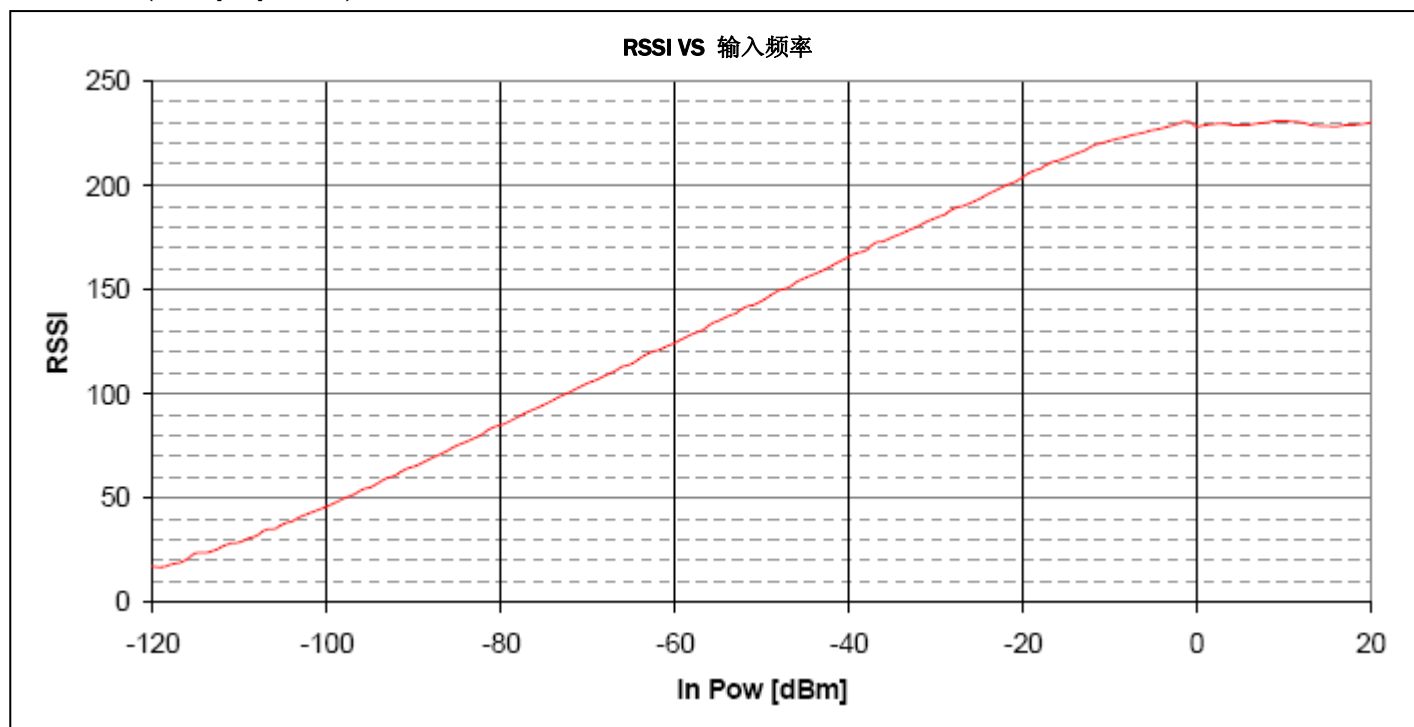


图 31: RSSI 值 vs. 输入功率

9. 参考设计

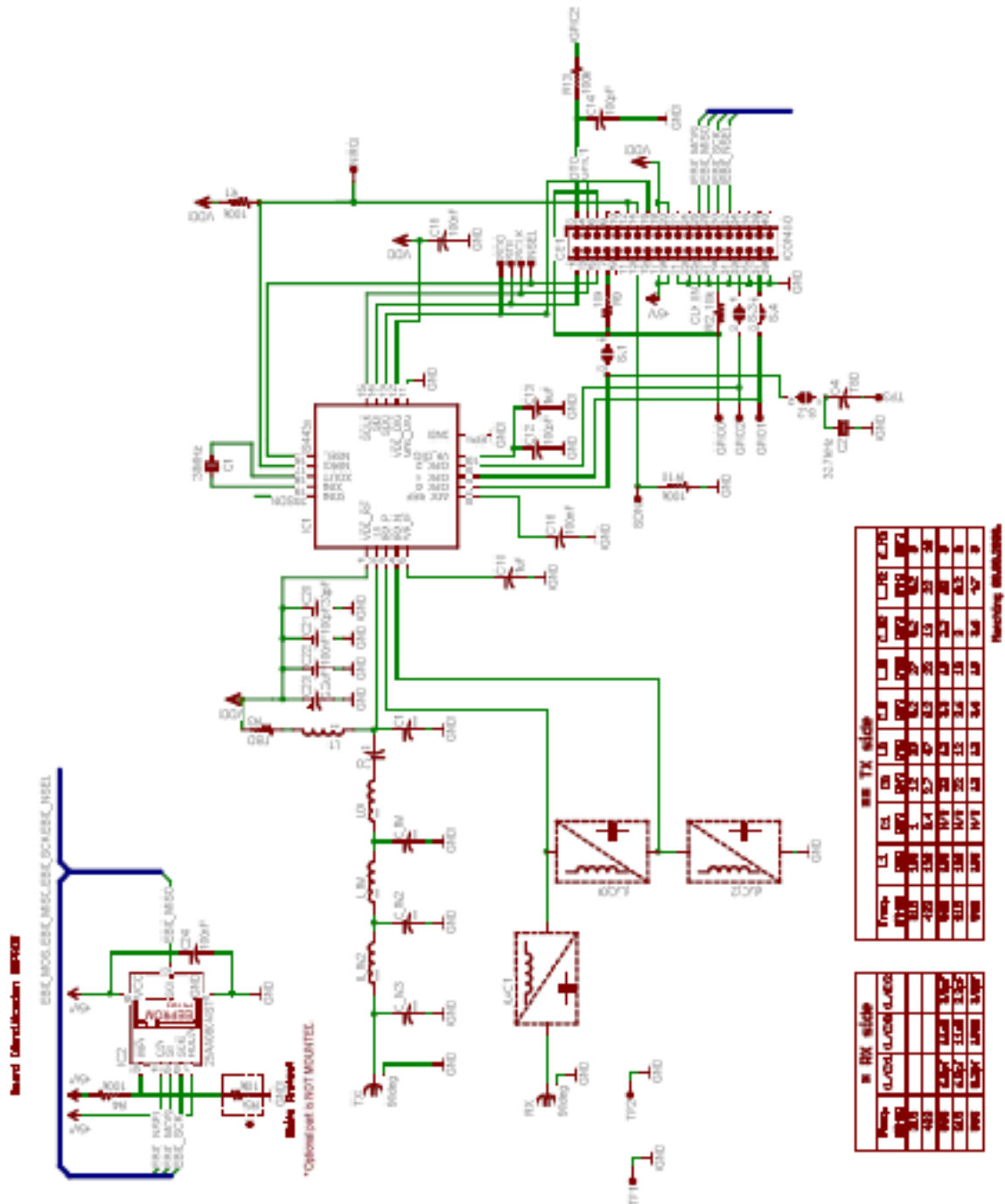


图32. Split RF I/Os with Separated TX and RX Connectors – 电路图

表 25. Split RF I/Os 物料清单

Part	数值	Device	封装	描述
(L/C)0	**	Inuctor/Capacitor **	0603	Coilcraft 0603CS / Murata GRM18 series
(L/C)1	**	Inuctor/Capacitor **	0603	Coilcraft 0603CS / Murata GRM18 series
(L/C)2	**	Inuctor/Capacitor **	0603	Coilcraft 0603CS / Murata GRM18 series
C0	**	Capacitor	0603	Murata GRM18 series
C1	**	Capacitor	0603	Murata GRM18 series
C4	TBD	Capacitor	0603	Murata GRM18 series
C10	1uF	Capacitor	0603	Murata GRM18 series
C12	100pF	Capacitor	0603	Murata GRM18 series
C13	1uF	Capacitor	0603	Murata GRM18 series
C14	100pF	Capacitor	0603	Murata GRM18 series
C16	100nF	Capacitor	0603	Murata GRM18 series
C18	100nF	Capacitor	0603	Murata GRM18 series
C20	33pF	Capacitor	0603	Murata GRM18 series
C21	100pF	Capacitor	0603	Murata GRM18 series
C22	100nF	Capacitor	0603	Murata GRM18 series
C23	2.2uF	POLARIZED CAPACITOR	0804	POLARIZED CAPACITOR
C24	100nF	Capacitor	0603	Murata GRM18 series
CS1	CON40-0	CON40-0	PANDUIT-057-040-0	40-PIN male connector, 90° deg
C_M	**	Capacitor	0603	Murata GRM18 series
C_M2	**	Capacitor	0603	Murata GRM18 series
C_M3	**	Capacitor	0603	Murata GRM18 series
IC1	Si4432	Si4432	QFN-20	Silicon Lab's RF transceiver IC
IC2	25AA080-I/ST	25AA080ST	TSSOP8	Serial EEPROM
L0	**	Inductor	0603	Coilcraft 0603CS
L1	**	Inductor	0603	Coilcraft 0603CS
L_M	**	Inductor	0603	Coilcraft 0603CS
L_M2	**	Inductor	0603	Coilcraft 0603CS
Q1	30MHz	CRYSTAL-4PINSX-2520-NEW1	N/A	SIWARD 2520
Q2	32.7 kHz	CRYSTAL32SL	N/A	SMQ32SL
R1	100k	Resistor	0603	
R2	10k	Resistor	0603	
R3	TBD	Resistor	0603	
R4	100k	Resistor	0603	
R5	10k	Resistor	0603	
R9	10k	Resistor	0603	
R10	100k	Resistor	0603	
R13	100k	Resistor	0603	
RX	90deg	BU-SMA-RADIAL	BU-SMA-V	90°degree bent, female SMA connector
TX	90deg	BU-SMA-RADIAL	BU-SMA-V	90°degree bent, female SMA connector

**注: 请在下面找到确切价值的示意图的表与appropite匹配网络的价值。

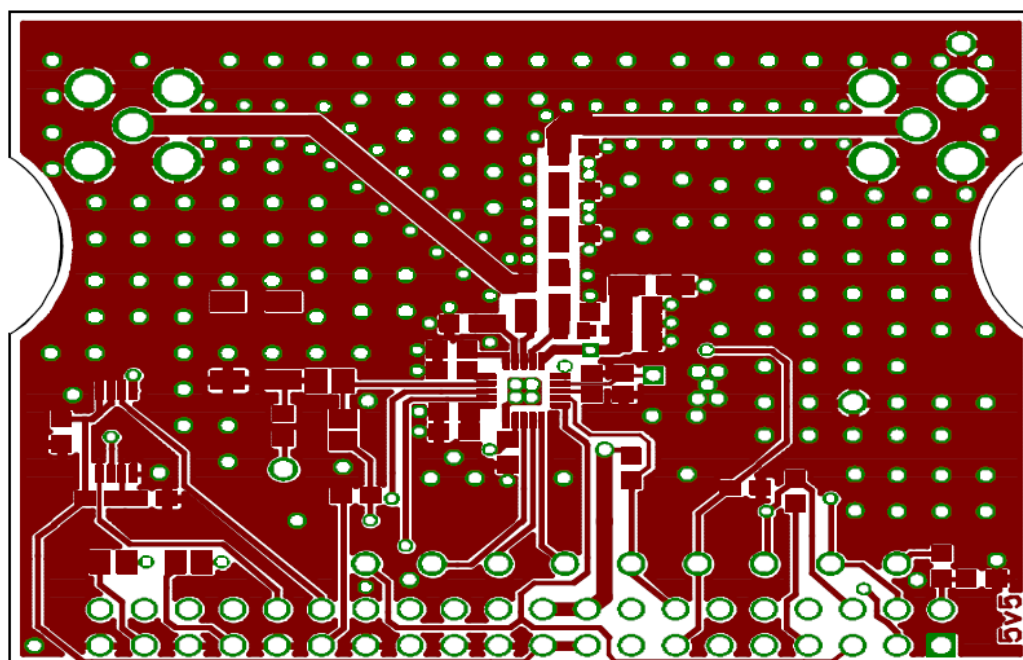


图33. Split RF I/Os with Separated TX and RX Connectors - Top 图

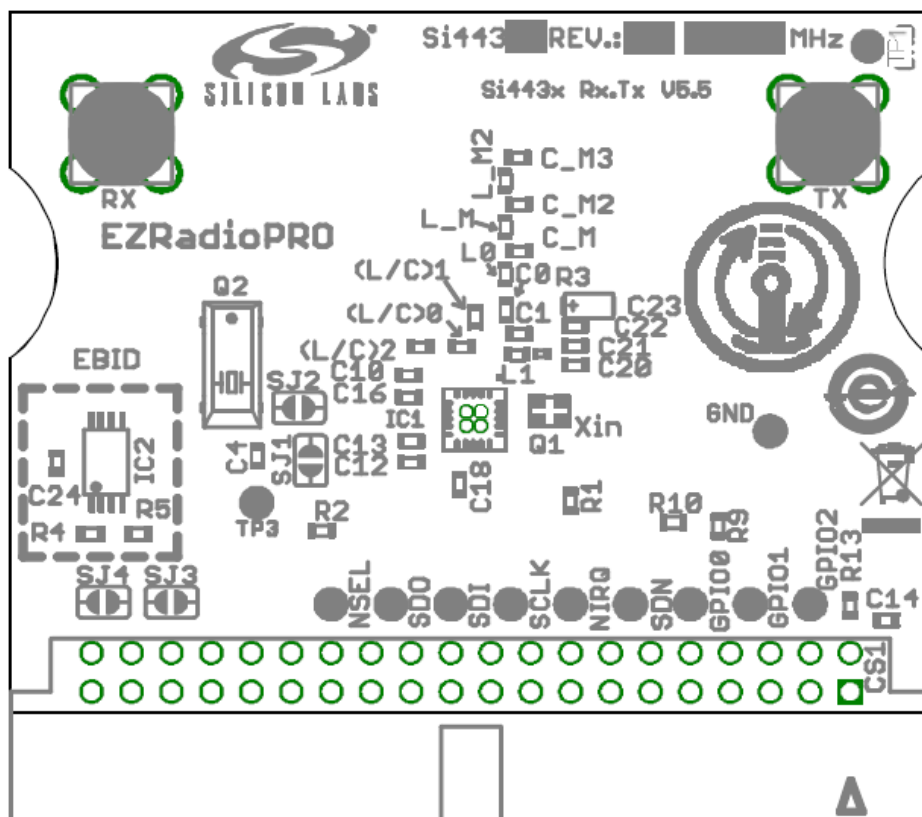


图 34. Split RF I/Os with Separated TX and RX Connectors - Top Silkscreen

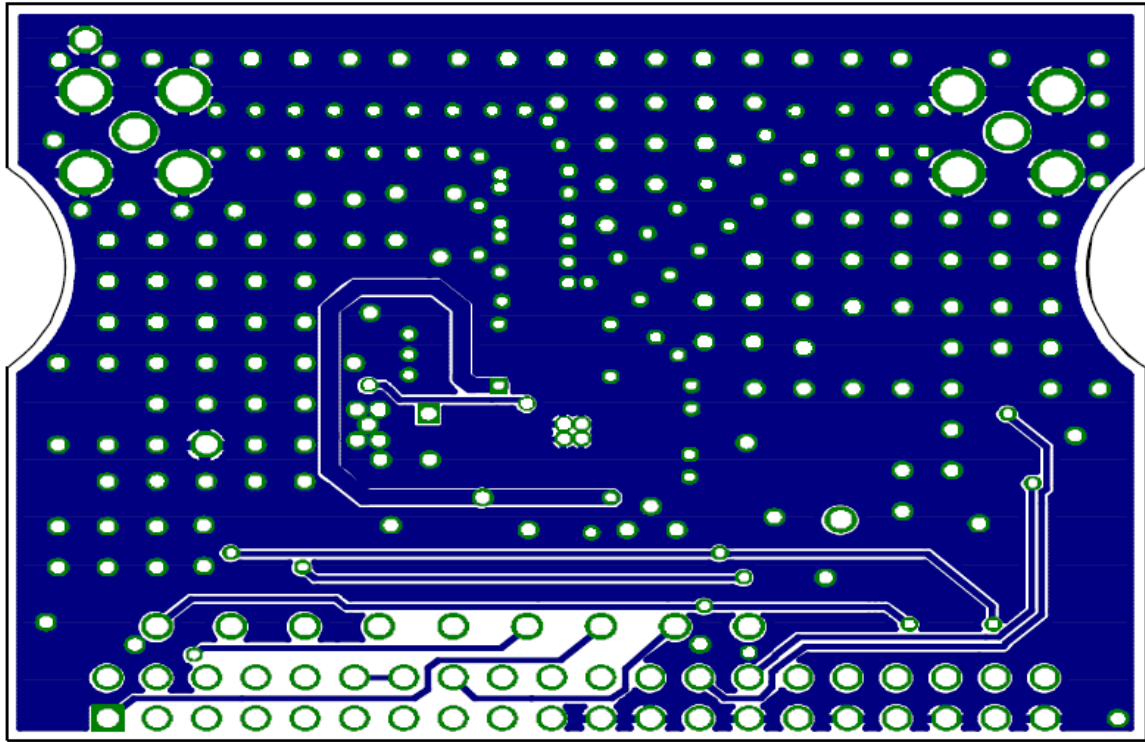


图35. Split RF I/Os with Separated TX and RX Connectors - Bottom

注：该参考设计上面显示的是该标准的testcard可直接从Silicon Labs公司网站下载。在这个参考设计是一种电可擦除只读存储器称为EBID（评估板识别）。该EBID所使用的其他Silicon Labs公司的开发工具，而不是要求客户设计。

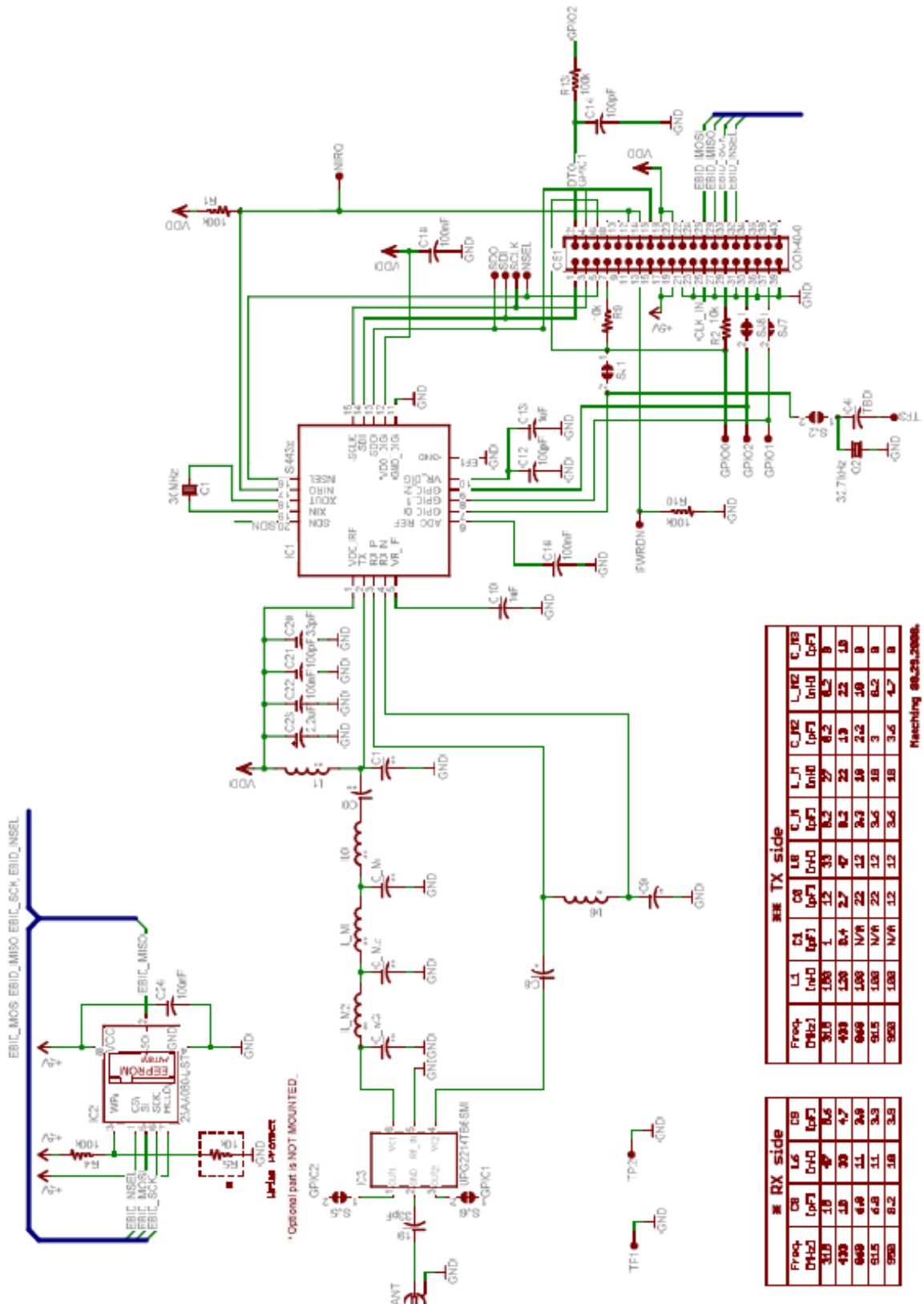


表 26. Common TX/RX Connector Bill of Materials

Part	Value	Device	Package	Description
ANT	vertical	SMA connector	BU-SMA-V	SMA connector, vertical
C_M	**	Capacitor	0603	Murata GRM18 series
C_M2	**	Capacitor	0603	Murata GRM18 series
C_M3	**	Capacitor	0603	Murata GRM18 series
C0	**	Capacitor	0603	Murata GRM18 series
C1	**	Capacitor	0603	Murata GRM18 series
C10	1uF	Capacitor	0603	Murata GRM18 series
C12	100pF	Capacitor	0603	Murata GRM18 series
C13	1uF	Capacitor	0603	Murata GRM18 series
C14	100pF	Capacitor	0603	Murata GRM18 series
C16	100nF	Capacitor	0603	Murata GRM18 series
C18	100nF	Capacitor	0603	Murata GRM18 series
C19	33pF	Capacitor	0603	Murata GRM18 series
C20	33pF	Capacitor	0603	Murata GRM18 series
C21	100pF	Capacitor	0603	Murata GRM18 series
C22	100nF	Capacitor	0603	Murata GRM18 series
C23	2.2uF	Polarized capacitor	0804	POLARIZED CAPACITOR
C24	100nF	Capacitor	0603	Murata GRM18 series
C4	TBD	Capacitor	0603	Murata GRM18 series
C8	*	Capacitor	0603	Murata GRM18 series
C9	*	Capacitor	0603	Murata GRM18 series
CS1	CON40-0	CON40-0	PANDUIT-057-040-0	40-PIN male connector, 90° deg
IC1	Si4432	Si4432	QFN-20	Silicon Lab's RF transceiver IC
IC2	25AA080-I/ST	25AA080ST	TSSOP8	Serial EEPROM
IC3	UPG2214TB6SM	UPG2214TB6SM	6-PIN SUPER MINIMOLD	NEC's SPDT RF switch
L_M	**	Inductor	0603	Coilcraft 0603CS series
L_M2	**	Inductor	0603	Coilcraft 0603CS series
L0	**	Inductor	0603	Coilcraft 0603CS series
L1	**	Inductor	0603	Coilcraft 0603CS series
L6	*	Inductor	0603	Coilcraft 0603CS series
Q1	30MHz	Crystal	N/A	SIWARD 2520
Q2	32.7 kHz	Crystal	N/A	SMQ32SL
R1	100k	Resistor	0603	
R10	100k	R-US_R0603	0603	
R13	100k	R-US_R0603	0603	
R2	10k	R-US_R0603	0603	
R4	100k	R-US_R0603	0603	
R5	10k	R-US_R0603	0603	
R9	10k	R-US_R0603	0603	
**Note: For exact values please find the schematic's 表格 with the appropriate matching network values.				

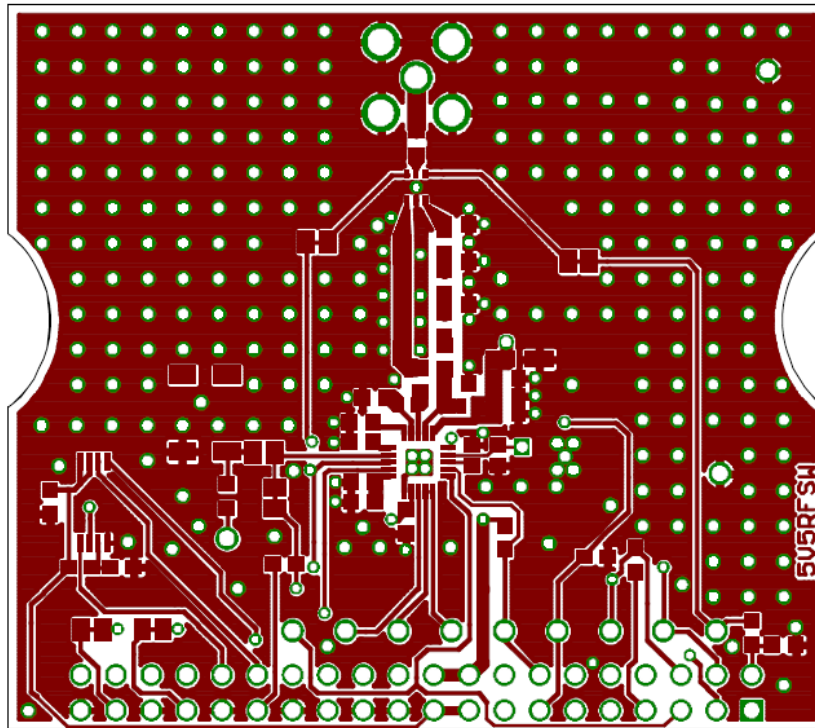


图37. Common TX/RX Connector with RF Switch - Top

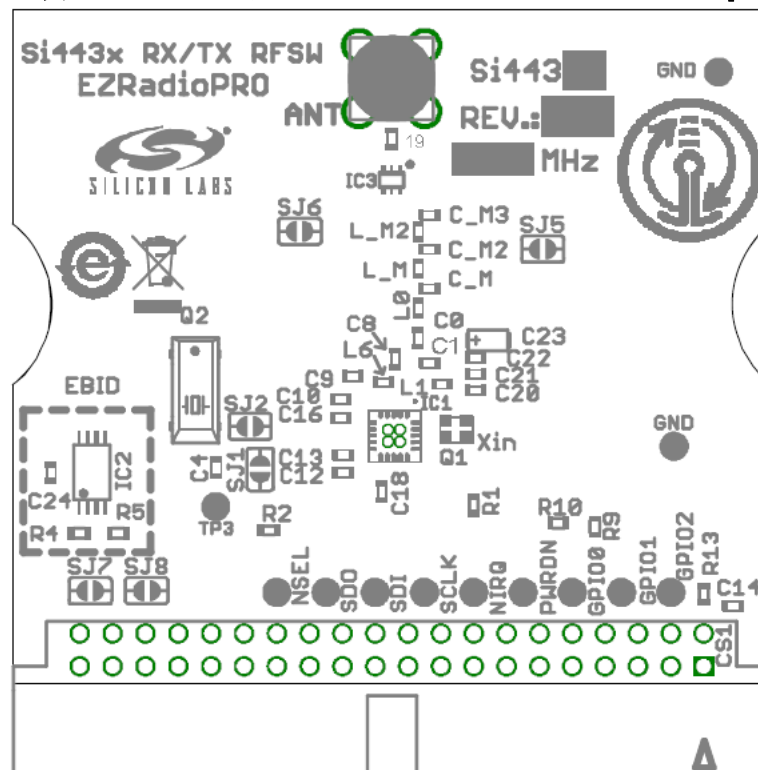


图38. Common TX/RX Connector with RF Switch-TopSilkscreen

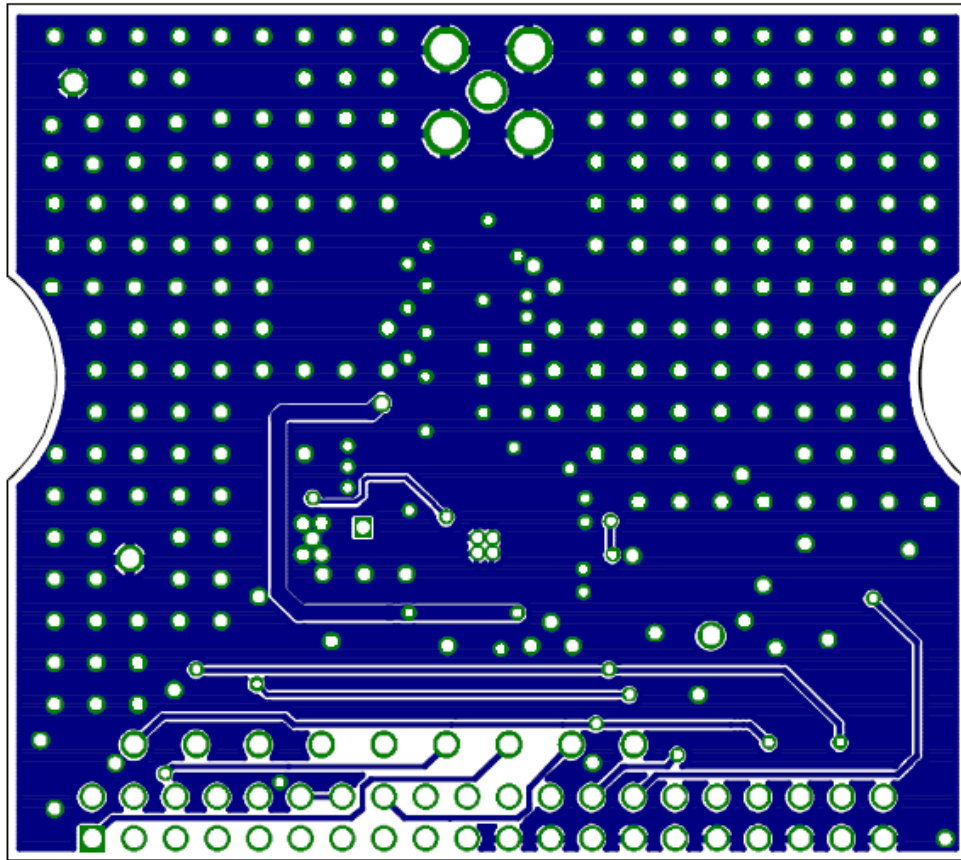


图 39. Common TX/RX Connector with RF Switch - Bottom

Note: The reference design shown above is the that of the standard testcard that may be ordered directly from Silicon Labs. Within this reference design is a EEPROM called the EBID (Evaluation Board IDentification). The EBID is used by other Silicon Labs development tools and is not required on customer designs.

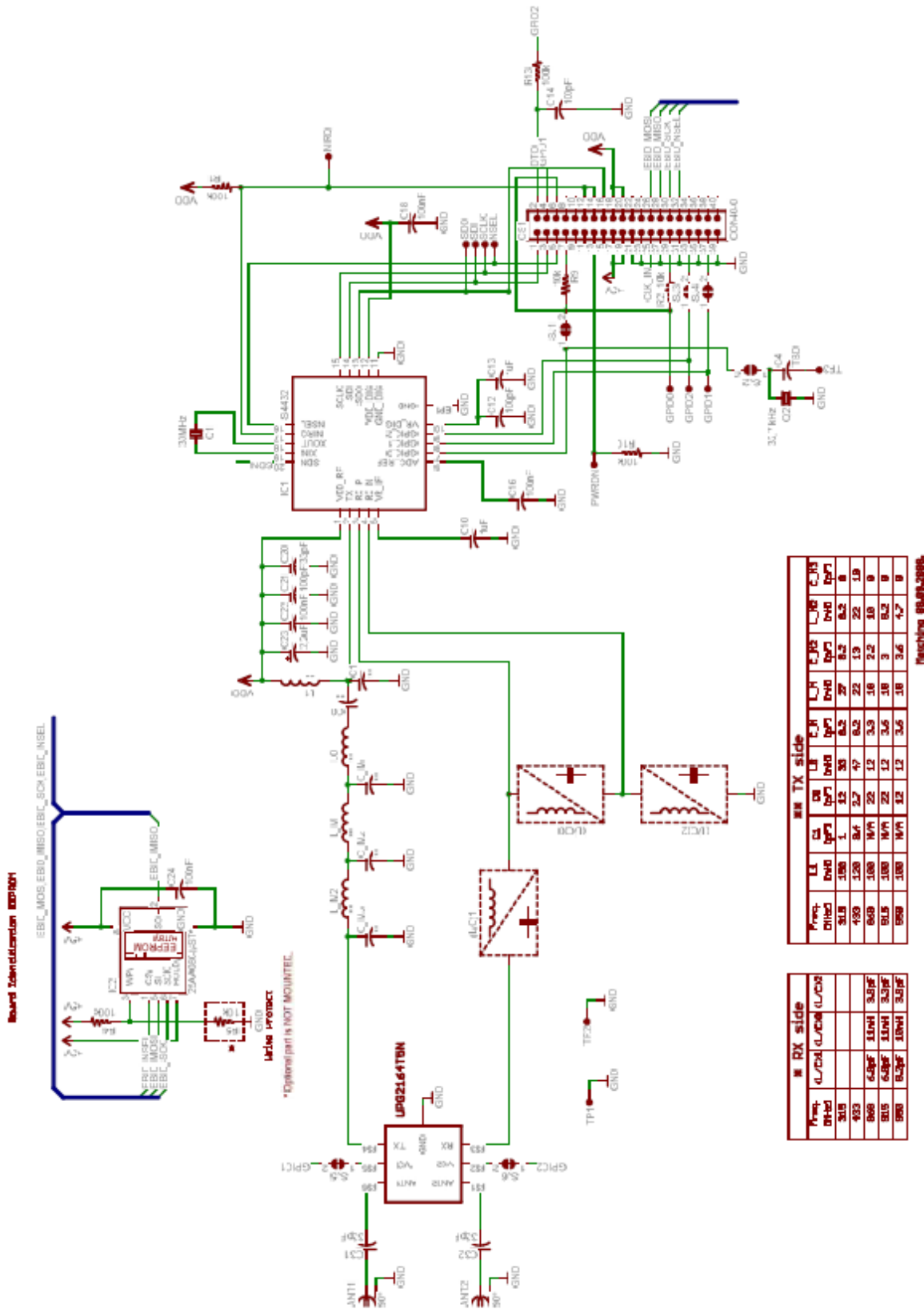


图 40. Antenna Diversity Reference Design - Schematic

表 27. 多级天线表格

Part	Value	Device	Package	Description
(L/C)0	**	Inductor/Capacitor **	0603	Coilcraft 0603CS/Murata GRM18 series
(L/C)1	**	Inductor/Capacitor **	0603	Coilcraft 0603CS/Murata GRM18 series
(L/C)2	**	Inductor/Capacitor **	0603	Coilcraft 0603CS/Murata GRM18 series
ANT1	90°	BU-SMA-RADIAL	BU-SMA-V	SMA female connector, vertical
ANT2	90°	BU-SMA-RADIAL	BU-SMA-V	SMA female connector, vertical
C0	**	Capacitor	0603	Murata GRM18
C1	**	C-USC0603K	0603	Murata GRM18
C4	TBD	C-USC0603K	0603	Murata GRM18
C10	1uF	C-USC0603K	0603	Murata GRM18
C12	100pF	C-USC0603K	0603	Murata GRM18
C13	1uF	C-USC0603K	0603	Murata GRM18
C14	100pF	C-USC0603K	0603	Murata GRM18
C16	100nF	C-USC0603K	0603	Murata GRM18
C18	100nF	C-USC0603K	0603	Murata GRM18
C20	33pF	C-USC0603K	0603	Murata GRM18
C21	100pF	C-USC0603K	0603	Murata GRM18
C22	100nF	C-USC0603K	0603	Murata GRM18
C23	2.2uF	CPOL-USCT3216	0804	Polarized capacitor
C24	100nF	C-USC0603K	0603	Murata GRM18
C31	33pF	C-USC0402	0402	Murata GRM15
C32	33pF	C-USC0402	0402	Murata GRM15
CS1	CON40-0	CON40-0	PANDUIT-057-040-0	40-PIN male connector, 90° deg
C_M	**	C-USC0603K	0603	Murata GRM18
C_M2	**	C-USC0603K	0603	Murata GRM18
C_M3	**	C-USC0603K	0603	Murata GRM18
IC1	Si4432	Si4432	QFN-20	Silicon Lab's RF transceiver IC
IC2	25AA080-I/ST	25AA080ST	TSSOP8	Serial EEPROM for board identification
IC3	UPG2164T5N	UPG2164T5N	6-PIN_PLASTIC_TSON	NEC Diversity RF switch
L0	**	Inductor	0603	Coilcraft 0603CS
L1	**	Inductor	0603	Coilcraft 0603CS
L_M	**	Inductor	0603	Coilcraft 0603CS
L_M2	**	Inductor	0603	Coilcraft 0603CS
Q1	30MHz	CRYSTAL	N/A	QUARTZ SIWARD 2520
Q2	32.7 kHz	CRYSTAL	N/A	SMQ32SL
R1	100k	Resistor	0603	Resistor
R2	10k	Resistor	0603	Resistor
R4	100k	Resistor	0603	Resistor
R5	10k	Resistor	0603	Resistor
R9	10k	Resistor	0603	Resistor
R10	100k	Resistor	0603	Resistor
R13	100k	Resistor	0603	Resistor
**Note: For exact values please find the schematic's 表格 with the appropriate matching network values.				

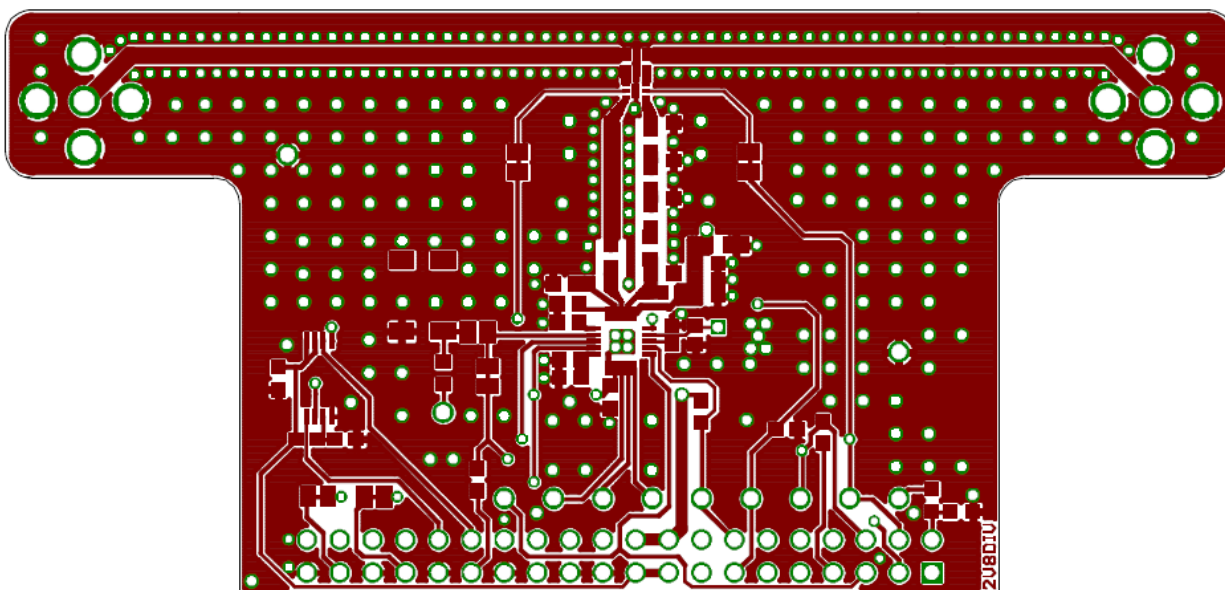


图41. Antenna Diversity Reference Design - Top Silkscreen

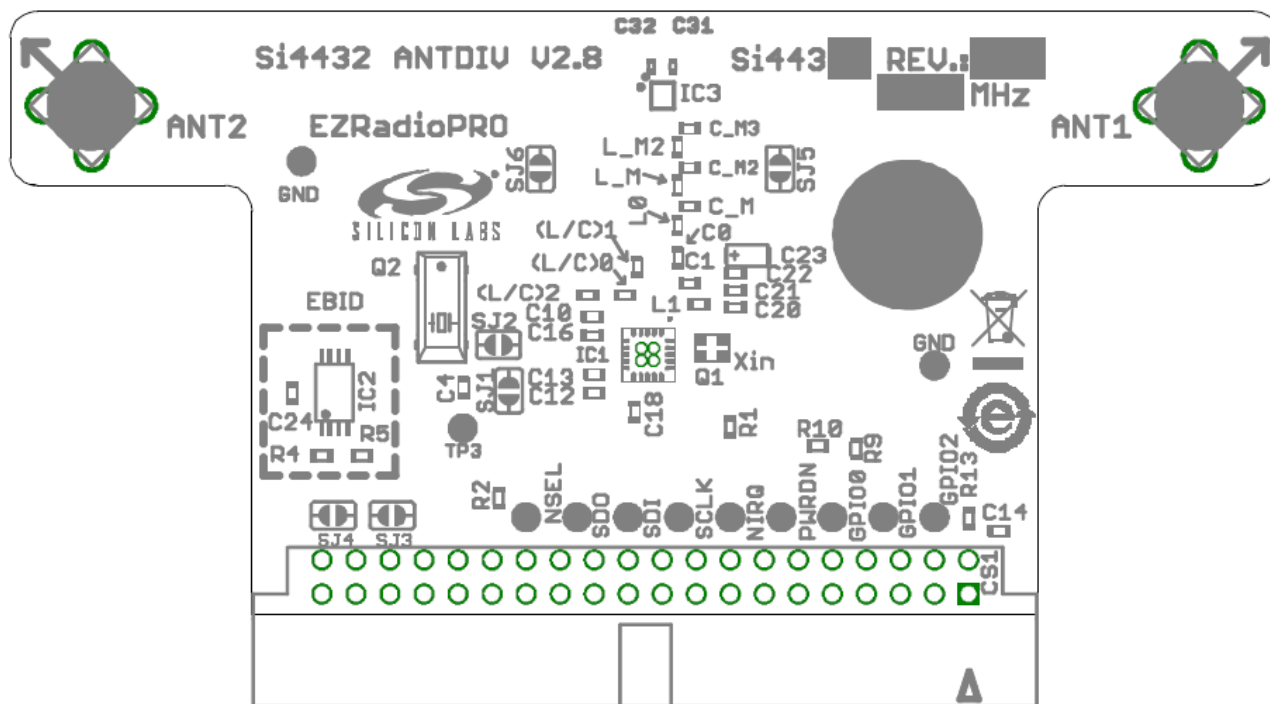


图 42. Antenna Diversity Reference Design - Top Silkscreen

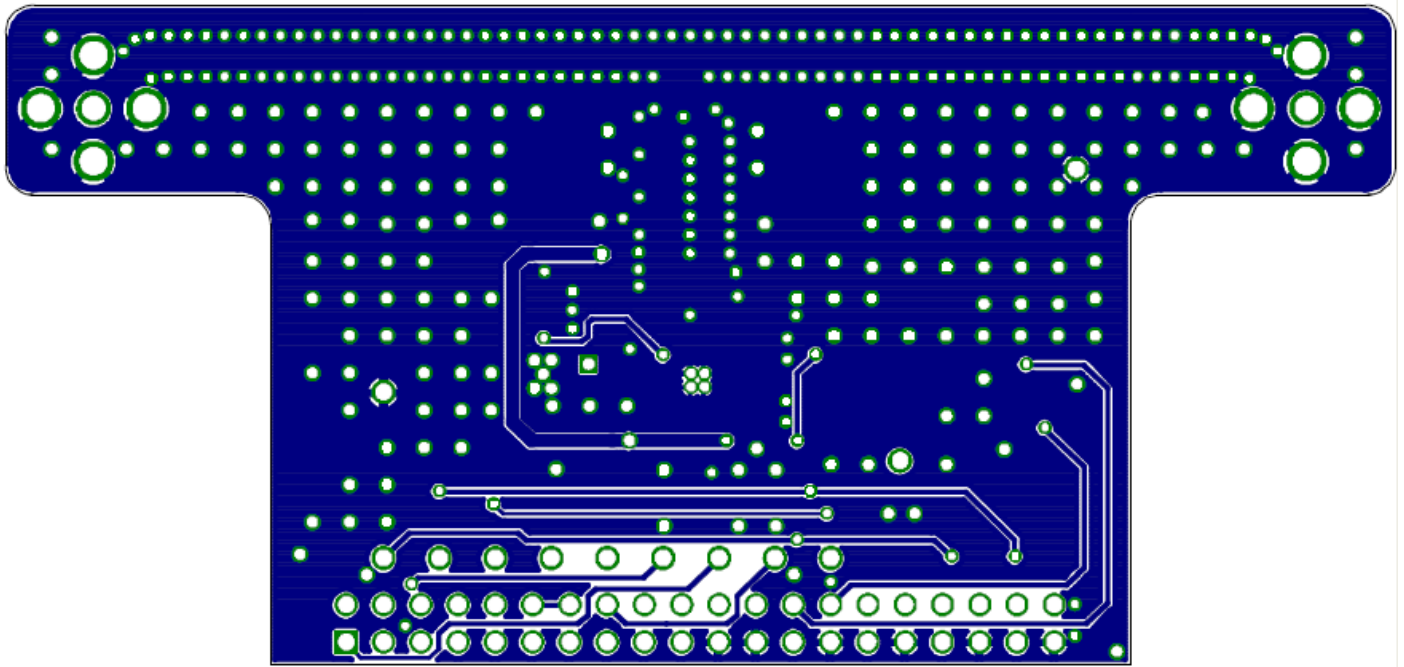
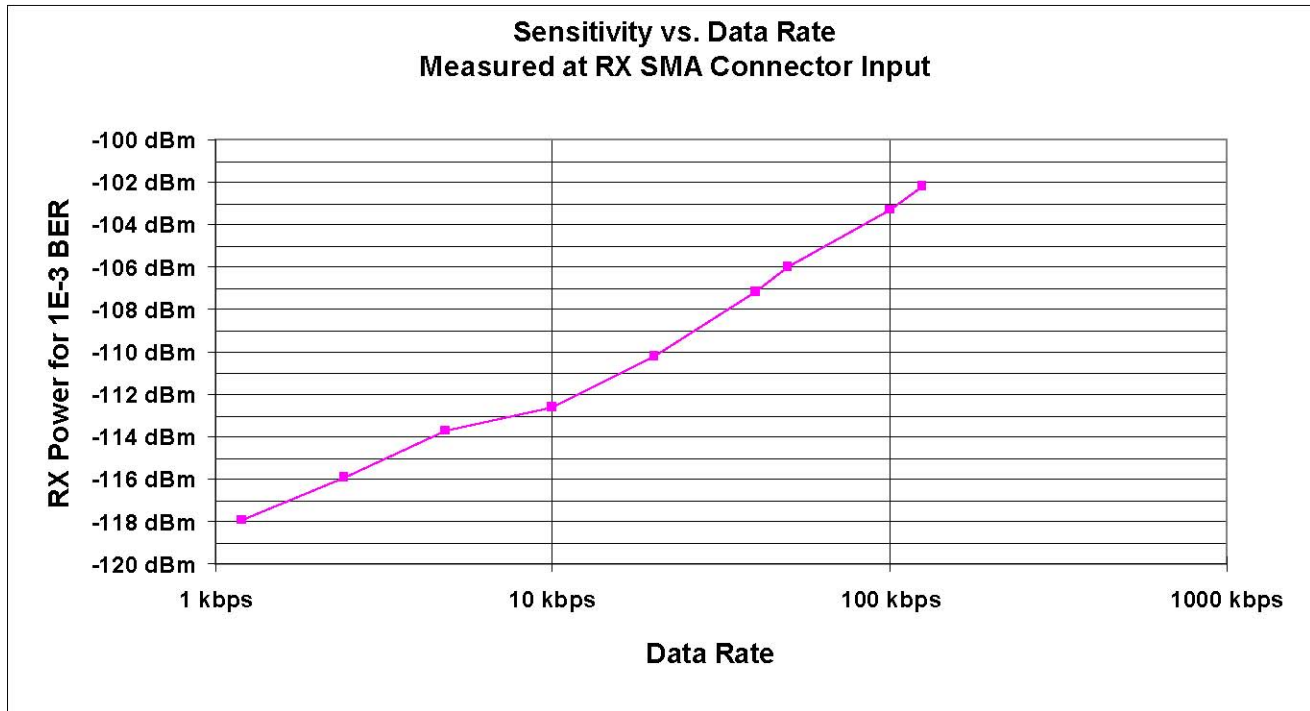


图43. Antenna Diversity Reference Design - Bottom

Note: The reference design shown above is the that of the standard testcard that may be ordered directly from Silicon Labs. Within this reference design is a EEPROM called the EBID (Evaluation Board IDentification). The EBID is used by other Silicon Labs development tools and is not required on customer designs.

10. 测试结果



说明：误码率测量灵敏度，GFSK调制，BT = 0.5，H = 1.

图44. 灵敏度对比数据率

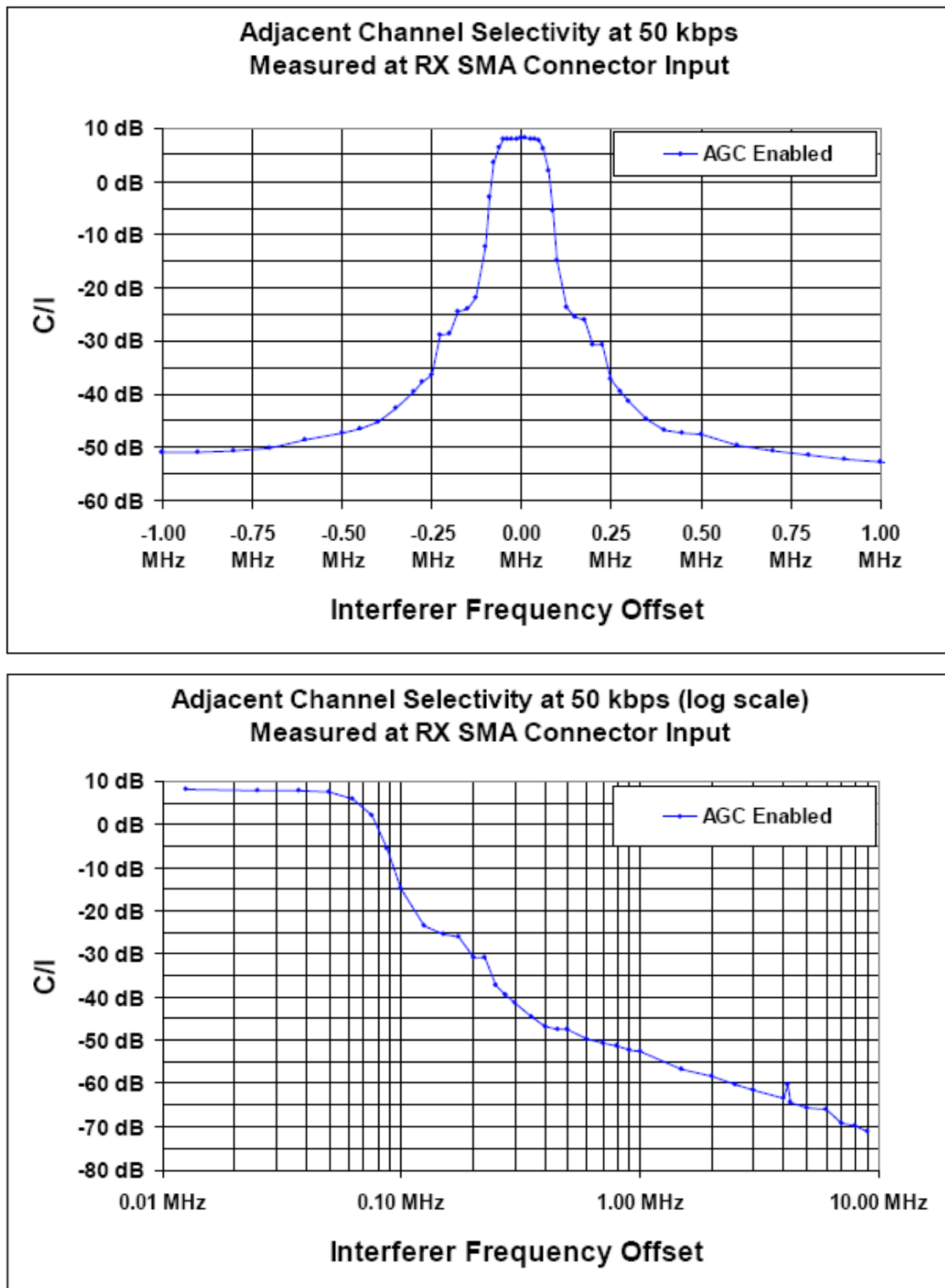


图 45. 接收器选择性

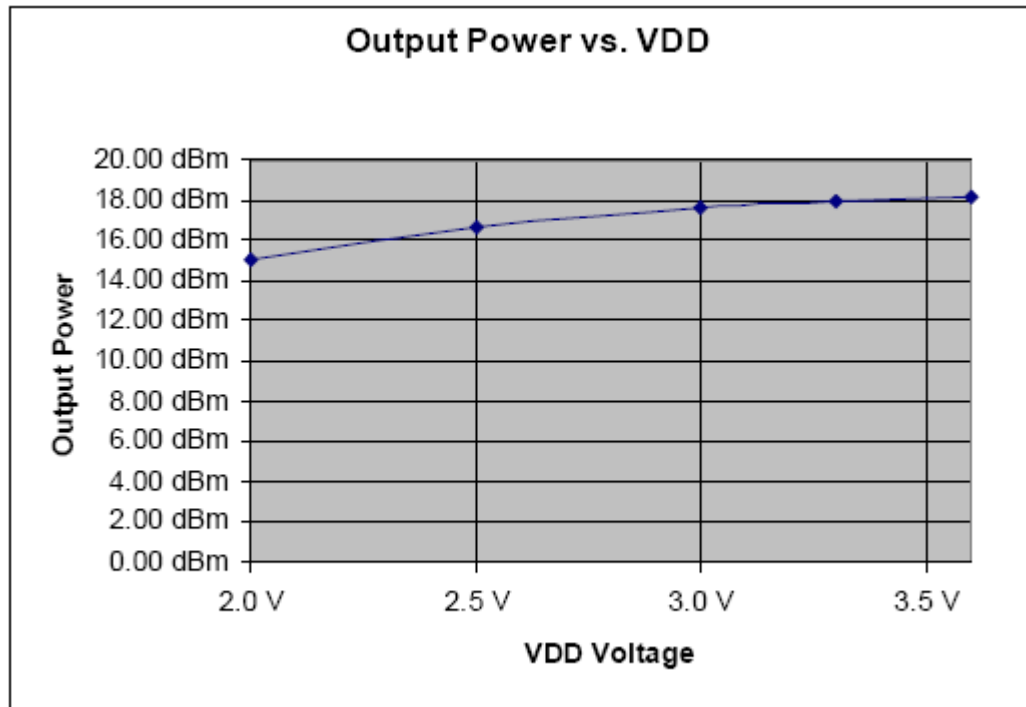


图46.发射器输出功率vsVDD电压

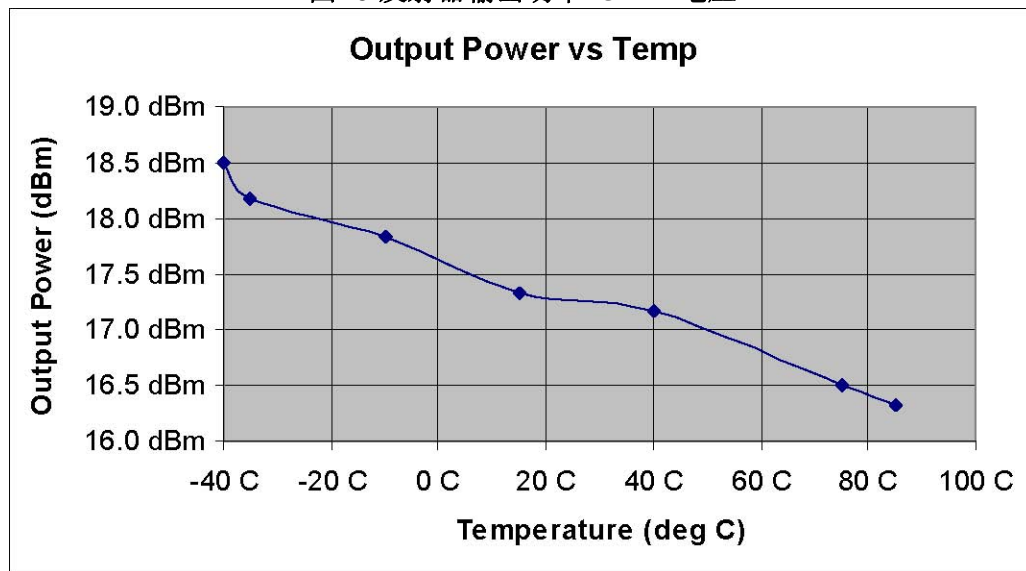


图 47. 发射器输出功率vs温度

Date: 04-22-08 Time: 02:28 PM

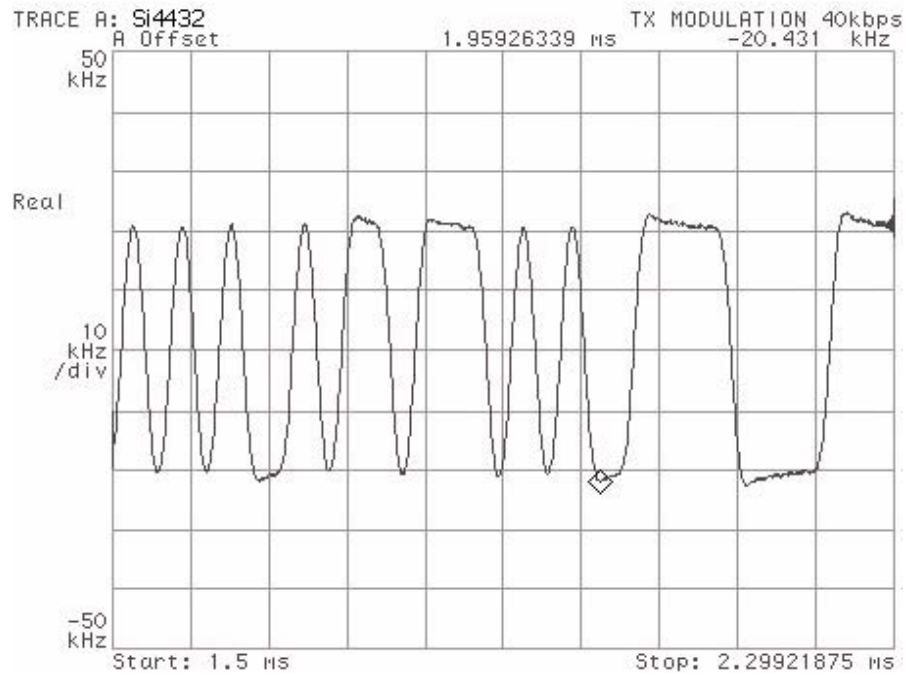


图48. 发射器调制 (40 kbps, 20 kHz 偏移)

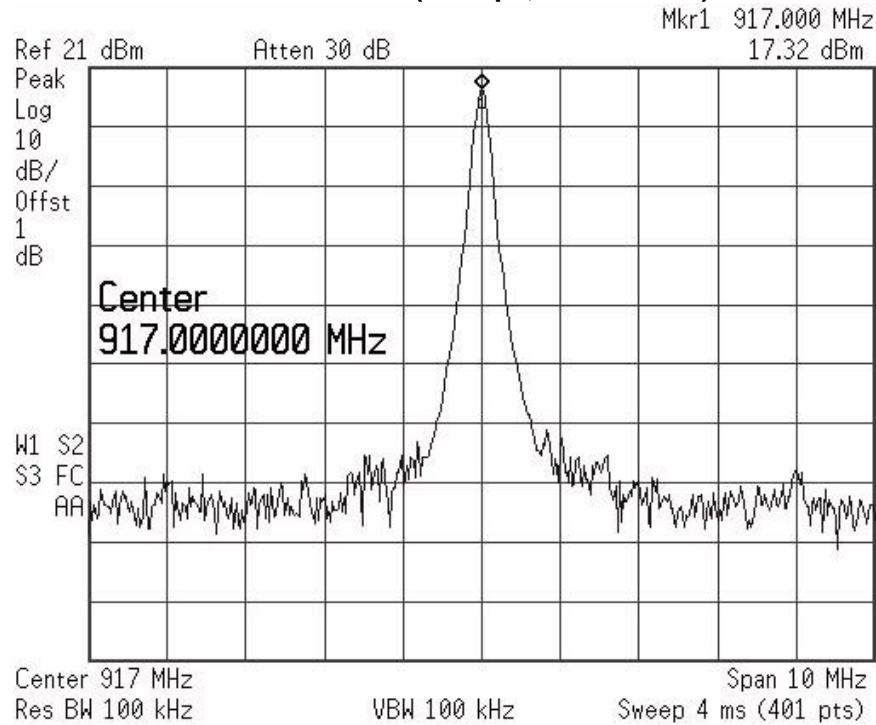


图49.发射器未调制频谱 (917 MHz)

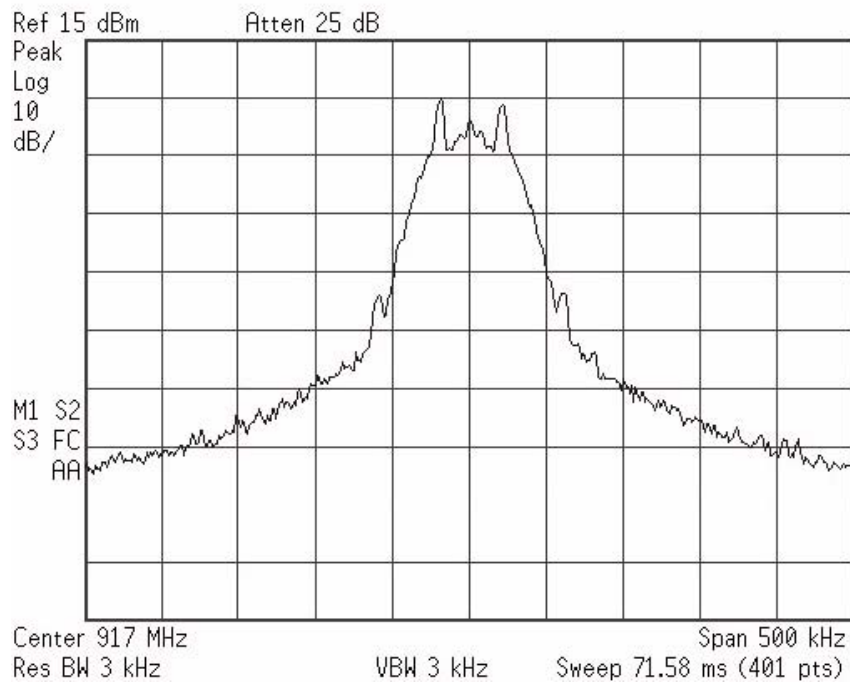


图 50. TX 调制频谱 (917 MHz, 40 kbps, 20 kHz 偏移, GFSK)

Date: 04-23-08 Time: 04:03 PM

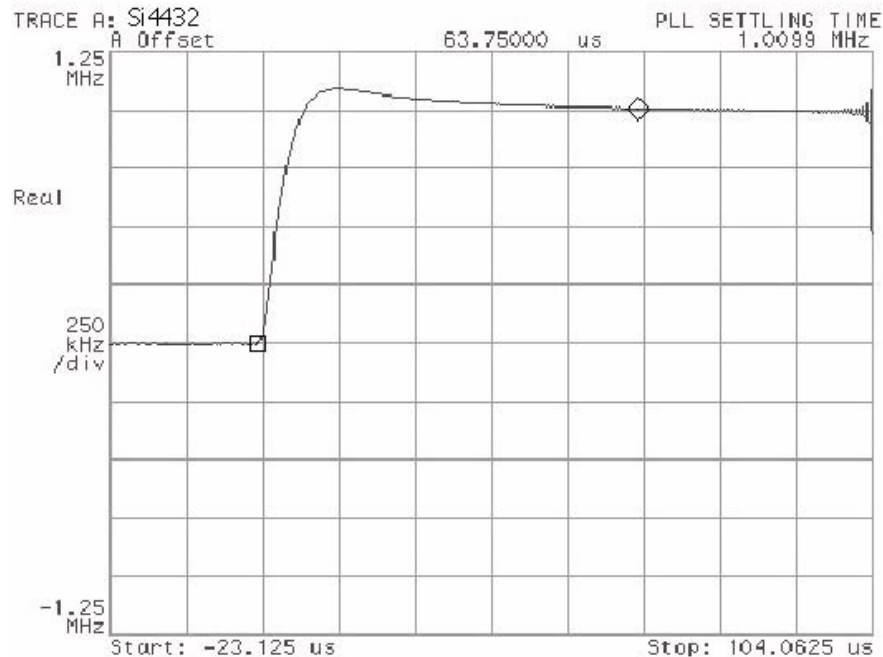


图 51. Synthesizer Settling Time for 1 MHz Jump Settled within 10 kHz

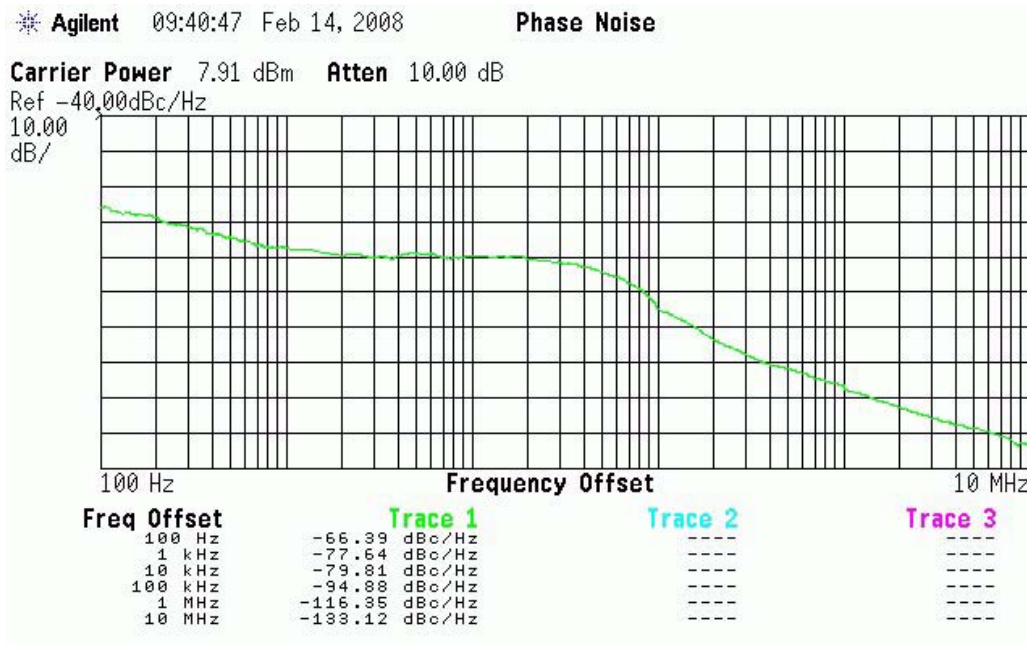


图 52. 合成器相位噪声 (VCOCURR = 11)

11. 应用笔记

11.1. 晶体选择

表28给出了建议晶体参数.

表 28. 推荐的晶体参数

频率	ESR	CL	C0	频率精度
30 MHz	60 Ω	12 pF	5 pF	± 20 ppm

内部XTAL振荡器相关的一些参数: ESR、CL、C0和ppm精度,

The internal XTAL oscillator will work over a range for the parameters of ESR, CL, C0, and ppm accuracy. Extreme values may affect the XTAL start-up and sensitivity of the link. For questions regarding the use of a crystal parameters greatly deviating from the recommend values listed above, please contact customer support.

The crystal used for engineering evaluation and the reference design is the SIWARD –SX2520–30.0 MHz – 12.0R. Ordering number XTL581200JIG.

11.2. 布板实践

下面是一些应用EZRadioPro画PCB板常规的实践指导:

- Bypass capacitors should be placed as close as possible to the pin.
- TX/RX matching/layout should mimic reference as much as possible. Failing to do so may cause loss in performance.
- A solid ground plane is required on the backside of the board under TX/RX matching components
- Crystal should be placed as close as possible to the XIN/XOUT pins and should not have VDD traces running underneath or near it.
- The paddle on the backside of the QFN package needs solid grounding and good soldered connection
- Use GND stitch vias liberally throughout the board, especially underneath the paddle.

11.3. 匹配网络设计

11.3.1. 接收器LNA的匹配

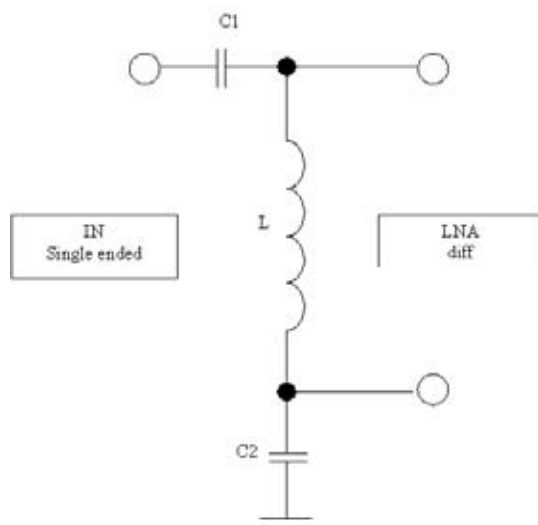


图 53. 接收器LNA的匹配

表29.接收器频段匹配

频段	C1	L	C2
915MHz	6.8pF	11.0nH	3.3 pF
868MHz	6.8pF	11.0nH	3.9 pF
433 MHz	10.0 pF	33.0 nH	4.7 pF
315 MHz	15.0 pF	47.0 nH	5.6 pF

11.3.2. 发射器PA滤波匹配

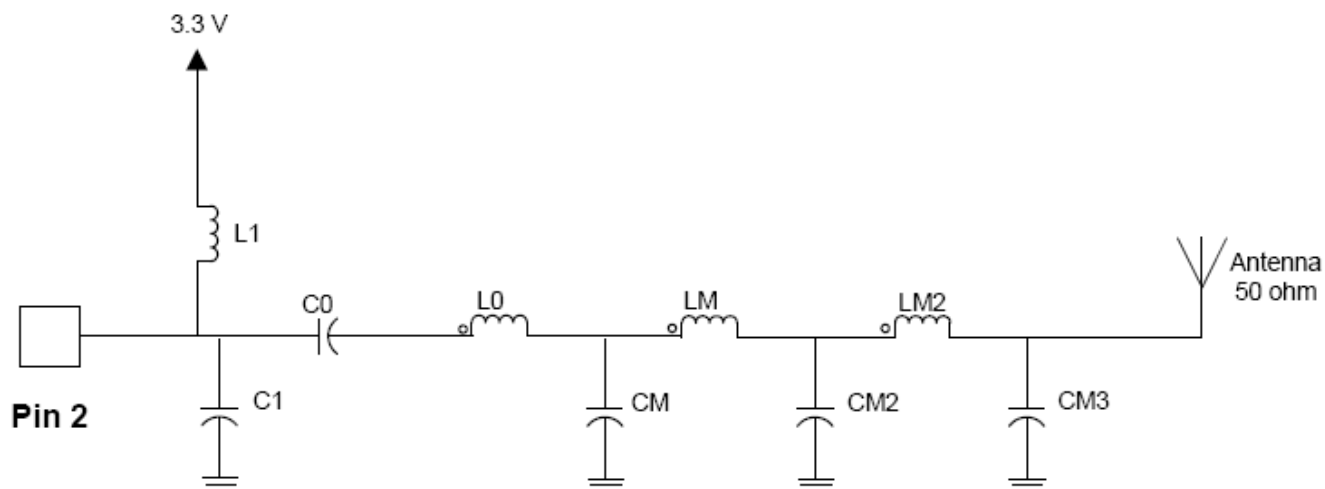


图 54. 发射器频段匹配

频段	L1	C1	C0	L0	CM	LM	CM2	LM2	CM3
915 MHz	100.0 nH	N/A	22.0 pF	12.0 nH	3.6 pF	18.0 nH	3.0 pF	8.2 nH	0.0 pF
868 MHz	100.0 nH	N/A	22.0 pF	12.0 nH	3.3 pF	18.0 nH	2.2 pF	10.0 nH	0.0 pF
433 MHz	120.0 nH	0.4 pF	2.7 pF	47.0 nH	8.2 pF	22.0 nH	13.0 pF	22.0 nH	10.0 pF
315 MHz	150.0 nH	1.0 pF	12.0 pF	33.0 nH	8.2 pF	27.0 nH	8.2 pF	8.2 nH	0.0 pF

12. 参考材料

12.1. 完整寄存器列表和描述

表30. 寄存器说明

Add	R/W	功能/描述	数据								POR Default
			D7	D6	D5	D4	D3	D2	D1	D0	
00	R	器件类型	0	0	0	dt[4]	dt[3]	dt[2]	dt[1]	dt[0]	0011
01	R	器件版本	0	0	0	vc[4]	vc[3]	vc[2]	vc[1]	vc[0]	—
02	R	器件状态	ffovfl	ffunfl	rxffem	headerr	freqerr	lockdet	cps[1]	cps[0]	10
03	R	中断状态 1	ifferr	itxffaull	itxffaem	irxffaull	ixext	ipksent	ipkvalid	icrcerror	—
04	R	中断状态 2	iswdet	ipreaval	ipreainval	irssi	iwut	ilbd	ichiprdy	ipor	—
05	R/W	中断使能 1	enferr	entxffaull	entxffaem	enrxffaull	enext	enpkscnt	enpkvalid	encrcerror	00h
06	R/W	中断使能 2	enswdet	enpreaval	enpreainval	enrssi	enwut	enlbd	enchiprdy	enpor	03h
07	R/W	工作&功能控制 1	swres	enlbd	enwt	x32ksel	txon	rxon	pllon	xtion	01h
08	R/W	工作&功能控制 2	antdiv[2]	antdiv[1]	antdiv[0]	rxmpk	autotx	enldm	ffclrx	ffclrtx	00h
09	R/W	晶体振荡负载电容	xtalshft	xlcl[6]	xlcl[5]	xlcl[4]	xlcl[3]	xlcl[2]	xlcl[1]	xlcl[0]	40h
0A	R/W	微控制器输出时钟	Reserved	Reserved	clkt[1]	clkt[0]	enlfc	mclck[2]	mclck[1]	mclck[0]	06h
0B	R/W	通用IO0配置	gpio0drv[1]	gpio0drv[0]	pup0	gpio0[4]	gpio0[3]	gpio0[2]	gpio0[1]	gpio0[0]	00h
0C	R/W	通用IO1配置	gpio1drv[1]	gpio1drv[0]	pup1	gpio1[4]	gpio1[3]	gpio1[2]	gpio1[1]	gpio1[0]	00h
0D	R/W	通用IO3配置	gpio2drv[1]	gpio2drv[0]	pup2	gpio2[4]	gpio2[3]	gpio2[2]	gpio2[1]	gpio2[0]	00h
0E	R/W	I/O端口配置	Reserved	extitst[2]	extitst[1]	extitst[0]	itsdo	dio2	dio1	dio0	00h
0F	R/W	ADC 配置	adcstart/adcdone	adcsl[2]	adcsl[1]	adcsl[0]	adcreff[1]	adcreff[0]	adcgain[1]	adcgain[0]	00h
10	R/W	ADC 传感器放大器偏差	Reserved	Reserved	Reserved	Reserved	adcoffs[3]	adcoffs[2]	adcoffs[1]	adcoffs[0]	00h
11	R	ADC 值	adc[7]	adc[6]	adc[5]	adc[4]	adc[3]	adc[2]	adc[1]	adc[0]	—
12	R/W	温度传感器控制	tsrange[1]	tsrange[0]	entsoffs	entstrim	tstrim[3]	tstrim[2]	tstrim[1]	tstrim[0]	20h
13	R/W	温度值偏差	tvoffs[7]	tvoffs[6]	tvoffs[5]	tvoffs[4]	tvoffs[3]	tvoffs[2]	tvoffs[1]	tvoffs[0]	00h
14	R/W	唤醒定时器时期1	Reserved	Reserved	wtr[3]	wtr[2]	wtr[1]	wtr[0]	wtcl[1]	wtcl[0]	00h
15	R/W	唤醒定时器时期 2	wtm[15]	wtm[14]	wtm[13]	wtm[12]	wtm[11]	wtm[10]	wtm[9]	wtm[8]	00h
16	R/W	唤醒定时器时期 3	wtm[7]	wtm[6]	wtm[5]	wtm[4]	wtm[3]	wtm[2]	wtm[1]	wtm[0]	00h
17	R	唤醒定时器值 1	wtv[15]	wtv[14]	wtv[13]	wtv[12]	wtv[11]	wtv[10]	wtv[9]	wtv[8]	—
18	R	唤醒定时器值 2	wtv[7]	wtv[6]	wtv[5]	wtv[4]	wtv[3]	wtv[2]	wtv[1]	wtv[0]	—
19	R/W	低任务周期模式	ldc[7]	ldc[6]	ldc[5]	ldc[4]	ldc[3]	ldc[2]	ldc[1]	ldc[0]	00h
1A	R/W	电池欠压检测门限	Reserved	Reserved	Reserved	lbd[4]	lbd[3]	lbd[2]	lbd[1]	lbd[0]	14h
1B	R	电池电压级别	0	0	0	vbat[4]	vbat[3]	vbat[2]	vbat[1]	vbat[0]	—
1C	R/W	IF 滤波器带宽	dwn3_bypass	ndec[2]	ndec[1]	ndec[0]	filset[3]	filset[2]	filset[1]	filset[0]	01h
1D	R/W	AFC 循环变速超驰	afcbd	enafc	afcgearh[2]	afcgearh[1]	afcgearh[0]	afcgearl[2]	afcgearl[1]	afcgearl[0]	40h
1E	R/W	AFC 定时控制	Reserved	Reserved	shwait[2]	shwait[1]	shwait[0]	lgwait[2]	lgwait[1]	lgwait[0]	08h
1F	R/W	时钟恢复变速超驰	Reserved	rxready	crfast[2]	crfast[1]	crfast[0]	crslow[2]	crslow[1]	crslow[0]	03h
20	R/W	时钟恢复过抽样率	rxosr[7]	rxosr[6]	rxosr[5]	rxosr[4]	rxosr[3]	rxosr[2]	rxosr[1]	rxosr[0]	64h
21	R/W	时钟恢复偏差 2	rxosr[10]	rxosr[9]	rxosr[8]	stallctrl	ncoff[19]	ncoff[18]	ncoff[17]	ncoff[16]	01h
22	R/W	时钟恢复偏差 1	ncoff[15]	ncoff[14]	ncoff[13]	ncoff[12]	ncoff[11]	ncoff[10]	ncoff[9]	ncoff[8]	47h
23	R/W	时钟恢复偏差 0	ncoff[7]	ncoff[6]	ncoff[5]	ncoff[4]	ncoff[3]	ncoff[2]	ncoff[1]	ncoff[0]	AEh
24	R/W	时钟恢复定时环增益 1	Reserved	Reserved	Reserved	Reserved	Reserved	rcgain[10]	rcgain[9]	rcgain[8]	02h
25	R/W	时钟恢复定时环增益 0	rcgain[7]	rcgain[6]	rcgain[5]	rcgain[4]	rcgain[3]	rcgain[2]	rcgain[1]	rcgain[0]	8Fh
26	R	接收信号强度	rsi[7]	rsi[6]	rsi[5]	rsi[4]	rsi[3]	rsi[2]	rsi[1]	rsi[0]	—
27	R/W	无干扰信道指示器RSSI门限	rsi[7]	rsi[6]	rsi[5]	rsi[4]	rsi[3]	rsi[2]	rsi[1]	rsi[0]	00h
28	R	无线分集寄存器 1	adrssi[7]	adrssi[6]	adrssi[5]	adrssi[4]	adrssi[3]	adrssi[2]	adrssi[1]	adrssi[0]	—
29	R	无线分集寄存器 2	adrssib[7]	adrssib[6]	adrssib[5]	adrssib[4]	adrssib[3]	adrssib[2]	adrssib[1]	adrssib[0]	—
2A-2F			Reserved								
30	R/W	数据通道控制	enpacrx	lsbfrst	crdonly	Reserved	enpactx	enrc	crc[1]	crc[0]	1Dh
31	R	EzMAC 状态	0	rxrcr1	pkscrh	pkrx	pkvalid	crerror	pktx	pkscnt	—
32	R/W	帧头控制 1	bcen[3:0]				hdch[3:0]				0Ch
33	R/W	帧头控制 2	Reserved	hdlen[2]	hdlen[1]	hdlen[0]	fixpken	syncnlen[1]	syncnlen[0]	prealen[8]	22h
34	R/W	引导码长度	prealen[7]	prealen[6]	prealen[5]	prealen[4]	prealen[3]	prealen[2]	prealen[1]	prealen[0]	07h
36	R/W	同步字 3	sync[31]	sync[30]	sync[29]	sync[28]	sync[27]	sync[26]	sync[25]	sync[24]	2Dh
37	R/W	同步字 2	sync[23]	sync[22]	sync[21]	sync[20]	sync[19]	sync[18]	sync[17]	sync[16]	D4h
38	R/W	同步字 1	sync[15]	sync[14]	sync[13]	sync[12]	sync[11]	sync[10]	sync[9]	sync[8]	00h
39	R/W	同步字 0	sync[7]	sync[6]	sync[5]	sync[4]	sync[3]	sync[2]	sync[1]	sync[0]	00h
3A	R/W	发射帧头 3	txhd[31]	txhd[30]	txhd[29]	txhd[28]	txhd[27]	txhd[26]	txhd[25]	txhd[24]	00h
3B	R/W	发射帧头 2	txhd[23]	txhd[22]	txhd[21]	txhd[20]	txhd[19]	txhd[18]	txhd[17]	txhd[16]	00h
3C	R/W	发射帧头 1	txhd[15]	txhd[14]	txhd[13]	txhd[12]	txhd[11]	txhd[10]	txhd[9]	txhd[8]	00h
3D	R/W	发射帧头 0	txhd[7]	txhd[6]	txhd[5]	txhd[4]	txhd[3]	txhd[2]	txhd[1]	txhd[0]	00h
3E	R/W	发射包长度	pklen[7]	pklen[6]	pklen[5]	pklen[4]	pklen[3]	pklen[2]	pklen[1]	pklen[0]	00h
3F	R/W	帧头检测 3	chhd[31]	chhd[30]	chhd[29]	chhd[28]	chhd[27]	chhd[26]	chhd[25]	chhd[24]	00h
40	R/W	帧头检测 2	chhd[23]	chhd[22]	chhd[21]	chhd[20]	chhd[19]	chhd[18]	chhd[17]	chhd[16]	00h
41	R/W	帧头检测 1	chhd[15]	chhd[14]	chhd[13]	chhd[12]	chhd[11]	chhd[10]	chhd[9]	chhd[8]	00h
42	R/W	帧头检测 0	chhd[7]	chhd[6]	chhd[5]	chhd[4]	chhd[3]	chhd[2]	chhd[1]	chhd[0]	00h
43	R/W	帧头使能 3	hden[31]	hden[30]	hden[29]	hden[28]	hden[27]	hden[26]	hden[25]	hden[24]	FFh

表30. 寄存器说明 (续)

Add	R/W	Function/Dsc	Data								POR Defau lt
			D7	D6	D5	D4	D3	D2	D1	D0	
44	R/W	帧头使能 2	hden[23]	hden[22]	hden[21]	hden[20]	hden[19]	hden[18]	hden[17]	hden[16]	FFh
45	R/W	帧头使能 1	hden[15]	hden[14]	hden[13]	hden[12]	hden[11]	hden[10]	hden[9]	hden[8]	FFh
46	R/W	帧头使能 0	hden[7]	hden[6]	hden[5]	hden[4]	hden[3]	hden[2]	hden[1]	hden[0]	FFh
47	R	接收帧头 3	rxhd[31]	rxhd[30]	rxhd[29]	rxhd[28]	rxhd[27]	rxhd[26]	rxhd[25]	rxhd[24]	—
48	R	接收帧头 2	rxhd[23]	rxhd[22]	rxhd[21]	rxhd[20]	rxhd[19]	rxhd[18]	rxhd[17]	rxhd[16]	—
49	R	接收帧头 1	rxhd[15]	rxhd[14]	rxhd[13]	rxhd[12]	rxhd[11]	rxhd[10]	rxhd[9]	rxhd[8]	—
4A	R	接收帧头 0	rxhd[7]	rxhd[6]	rxhd[5]	rxhd[4]	rxhd[3]	rxhd[2]	rxhd[1]	rxhd[0]	—
4B	R	接收数据包长度	rxplen[7]	rxplen[6]	rxplen[5]	rxplen[4]	rxplen[3]	rxplen[2]	rxplen[1]	rxplen[0]	—
4C~4F			Reserved								
50	R/W	模拟测试总线	Reserved	Reserved	Reserved	atb[4]	atb[3]	atb[2]	atb[1]	atb[0]	00h
51	R/W	数字测试总线	Reserved	ensctest	dtb[5]	dtb[4]	dtb[3]	dtb[2]	dtb[1]	dtb[0]	00h
52	R/W	发射斜坡控制	Reserved	txmod[2]	txmod[1]	txmod[0]	ldoramp[1]	ldoramp[0]	txramp[1]	txramp[0]	20h
53	R/W	PLL 调谐时间	pllts[4]	pllts[3]	pllts[2]	pllts[1]	pllts[0]	pllt0[2]	pllt0[1]	pllt0[0]	52h
54			保留								0Fh
55	R/W	校正控制	Reserved	xtalstartha lf	adccaldone	enrcfcal	rccal	vcocaldp	vcocal	skipvco	04h
56	R/W	调制解调器测试	bcfbyp	slicfbyp	dt类型	afcpol	Reserved	refclkse1	refclkinv	iqswitch	00h
57	R/W	充电泵测试	pfdrst	fbdiv_rst	cpforceup	cpforcedn	cdonly	cdccur[2]	cdccur[1]	cdccur[0]	00h
58	R/W	充电泵电流微调/超驰	cpcurr[1]	cpcurr[0]	cpccorrov	cpccorr[4]	cpccorr[3]	cpccorr[2]	cpccorr[1]	cpccorr[0]	80h
59	R/W	分流微调	txcorboosten	fbdivhc	d3trim[1]	d3trim[0]	d2trim[1]	d2trim[0]	dlp5trim[1]	dlp5trim[0]	80h
5A	R/W	VCO电流微调	txcurboosten	vcocorrov	vcocorr[3]	vcocorr[2]	vcocorr[1]	vcocorr[0]	vcocur[1]	vcocur[0]	83h
5B	R/W	VCO 校正/超驰	vcocalov/vcdon e	vcocal[6]	vcocal[5]	vcocal[4]	vcocal[3]	vcocal[2]	vcocal[1]	vcocal[0]	00h
5C	R/W	合成器测试	dsmdt	vco类型	enoloop	dsmod	dsorder[1]	dsorder[0]	dsrstmod	dsrst	0Eh
5D	R/W	模块使能超驰 1	enmix	enlna	enpga	enpa	enbf5	endv32	enbf12	enmx2	00h
5E	R/W	模块使能超驰 2	ends	enldet	enmx3	enbf4	enbf3	enbf11	enbf2	pllreset	40h
5F	R/W	模块使能超驰 3	enfrdv	endv31	endv2	endv1p5	dvbshunt	envco	encp	enbg	00h
60	R/W	信道滤波器系数地址	Reserved	Reserved	Reserved	Reserved	chfiladd[3]	chfiladd[2]	chfiladd[1]	chfiladd[0]	00h
61	R/W	信道滤波率系数值	Reserved	Reserved	chfilval[5]	chfilval[4]	chfilval[3]	chfilval[2]	chfilval[1]	chfilval[0]	00h
62	R/W	晶体振荡器/控制测试	pwst[2]	pwst[1]	pwst[0]	clkhyst	enbias2x	enamp2x	bufovr	enbuf	24h
63	R/W	晶体振荡器粗较少	rccov	rcc[6]	rcc[5]	rcc[4]	rcc[3]	rcc[2]	rcc[1]	rcc[0]	00h
64	R/W	RC 振荡器精密校正	rcfov	ref[6]	ref[5]	ref[4]	ref[3]	ref[2]	ref[1]	ref[0]	00h
65	R/W	LDO 控制超驰	enspor	enbias	envcldo	enifldo	enrflldo	enplldo	endigldo	endigpwn	81h
66	R/W	LDO 级别设置	enovr	enxtal	ents	enrc32	*	diglvl[2]	diglvl[1]	diglvl[0]	03h
67	R/W	Deltasigma ADC 调谐 1	adcrst	enrfdac	enadc	adctuneovr	adctune[3]	adctune[2]	adctune[1]	adctune[0]	1Dh
68	R/W	Deltasigma ADC 调谐 2	Reserved	Reserved	Reserved	envcm	adcoloop	adcref[2]	adcref[1]	adcref[0]	03h
69	R/W	AGC 超驰 1	Reserved	Reserved	agcen	lnagain	pga3	pga2	pga1	pga0	20h
6A	R/W	AGC 超驰 2	agcovpm	agcslow	lnacomp[3]	lnacomp[2]	lnacomp[1]	lnacomp[0]	pgath[1]	pgath[0]	1Dh
6B	R/W	GFSK FIR 滤波器系数地址	Reserved	Reserved	Reserved	Reserved	Reserved	firadd[2]	firadd[1]	firadd[0]	00h
6C	R/W	GFSK FIR 滤波器系数值	Reserved	Reserved	firval[5]	firval[4]	firval[3]	firval[2]	firval[1]	firval[0]	01h
6D	R/W	发射功率	Reserved	Reserved	Reserved	Reserved	Reserved	txpow[2]	txpow[1]	txpow[0]	03h
6E	R/W	发射数据率 1	txdr[15]	txdr[14]	txdr[13]	txdr[12]	txdr[11]	txdr[10]	txdr[9]	txdr[8]	0Ah
6F	R/W	发射数据率 0	txdr[7]	txdr[6]	txdr[5]	txdr[4]	txdr[3]	txdr[2]	txdr[1]	txdr[0]	3Dh
70	R/W	调制模式控制 1	Reserved	Reserved	txdtrtscale	enphpwn	manppol	enmaninv	enmanch	enwhite	0Ch
71	R/W	调制模式控制 2	trclk[1]	trclk[0]	dtmod[1]	dtmod[0]	eninv	fd[8]	modtyp[1]	modtyp[0]	00h
72	R/W	频率偏差	fd[7]	fd[6]	fd[5]	fd[4]	fd[3]	fd[2]	fd[1]	fd[0]	20h
73	R/W	频率偏移 1	fo[7]	fo[6]	fo[5]	fo[4]	fo[3]	fo[2]	fo[1]	fo[0]	00h
74	R/W	频率偏移 2	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	fo[9]	fo[8]	00h
75	R/W	频段选择	Reserved	sbsel	hbsel	fb[4]	fb[3]	fb[2]	fb[1]	fb[0]	75h
76	R/W	标称载波频率 1	fc[15]	fc[14]	fc[13]	fc[12]	fc[11]	fc[10]	fc[9]	fc[8]	BBh
77	R/W	标称载波频率 0	fc[7]	fc[6]	fc[5]	fc[4]	fc[3]	fc[2]	fc[1]	fc[0]	80h
78			Reserved								
79	R/W	调频信道选择	fhch[7]	fhch[6]	fhch[5]	fhch[4]	fhch[3]	fhch[2]	fhch[1]	fhch[0]	00h
7A	R/W	调频步码	fhs[7]	fhs[6]	fhs[5]	fhs[4]	fhs[3]	fhs[2]	fhs[1]	fhs[0]	00h
7B			Reserved								
7C	R/W	发射FIFO控制 1	Reserved	Reserved	txafthr[5]	txafthr[4]	txafthr[3]	txafthr[2]	txafthr[1]	txafthr[0]	37h
7D	R/W	发射FIFO控制 2	Reserved	Reserved	txaethr[5]	txaethr[4]	txaethr[3]	txaethr[2]	txaethr[1]	txaethr[0]	04h
7E	R/W	发射FIFO控制	Reserved	Reserved	rxafthr[5]	rxafthr[4]	rxafthr[3]	rxafthr[2]	rxafthr[1]	rxafthr[0]	37h
7F	R/W	FIFO存取	fifod[7]	fifod[6]	fifod[5]	fifod[4]	fifod[3]	fifod[2]	fifod[1]	fifod[0]	—

寄存器 00h. 器件类型码 (DT)

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved			dt[4:0]				
类型	R				R			

复位值 = 00001000

位	名称	功能
7:5	Reserved	Reserved.
4:0	dt[4:0]	器件类型码. 这个内部硬连线代码允许用户识别这是发射器、接收器或收发器， 接收/收发: 01000. 发射: 00111.

地址: 01h. 版本码(VC)

位	D7	D6	D5	D4	D3	D2	D1	D0
名字	Reserved			vc[4:0]				
类型	R				R			

复位值 = xxxxxxxx

位	名称	功能
7:5	Reserved	Reserved.
4:0	vc[4:0]	版本码. 芯片的内部硬连线版本号. Rev X4: 01 Rev V2: 02Rev A0: 03

寄存器 02h. 器件状态

位	D7	D6	D5	D4	D3	D2	D1	D0
名字	ffovfl	ffunfl	rxffem	headerr	freqerr	lockdet	cps[1:0]	
类型	R	R	R	R	R	R	R	

复位值 = × × × × × × × ×

0x20: RXFIFO空, 芯片挂起
0x21: RXFIFO空, 接收状态

位	名称	功能
7	ffovfl	RX/TX FIFO 上溢状态.
6	ffunfl	RX/TX FIFO 下溢状态.
5	rxffem	RX FIFO 空状态.
4	headerr	帧头错误状态. 帧头错误状态, 实际接收收到的包有帧头检测错误.
3	freqerr	频率错误状态. 频率错误状态, 可编程率超出了工作范围, 实际频率不在最大/最小值内.
2	lockdet	合成器锁定帧测状态.
1:0	cps[1:0]	芯片电源状态. 00: 挂起状态 01: 接收状态 10: 发射状态

寄存器03h.中断状态 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	ifferr	itxffaull	ixtffaem	irxffaull	iext	ipksent	ipkvalid	icrcerror
类型	R	R	R	R	R	R	R	R

复位值=××××××××

位	名称	功能
7	ifferr	FIFO 下溢/上溢.当设置“1”发射或接收FIFO有上溢或下溢
6	itxffaull	TX FIFO 几乎满. 当设置“1” TX FIFO遇到他几乎满的门限需要发射
5	ixtffaem	TX FIFO 几乎空. 当设置“1”，TX FIFO几乎空并需要填充。
4	irxffaull	RX FIFO 几乎满.当设置“1”，RX FIFO遇到几乎满的门限需要由单片机读走。
3	iext	外部中断 . 当设置“1”一个中断发生其中一个GPIO ‘s上，当设置“1”一个中断发生一个GPIO’ s，如果它也是可编程，状态能在寄存器0Eh被检测查看GPIOx详细的配置选择
2	ipksent	包发送中断 . 当设置“1”已经发射一个有效的包。
1	ipkvalid	接收到有效的包 .当设置“1”已经接收到一个有效的包。
0	icrcerror	CRC 错误 .当设置“1”循环冗余校验失败。

当以下任何改变状态从“0”到“1”，控制模块如果使能了中断使能1寄存器，那么控制模块将通过nIRQ引脚**LOW=0**通知单片机，当单片机读走这个地址并且清楚了所有的中断位nIRQ引脚将变高电平，如果在中断使能1寄存器其中一位没有使能，那么它变成的状态信号可以在相同的位置任何时间读并且通过读寄存器不会清除。

表格 31. Interrupt or Status 1 bit Set/Clear Description

位	状态	Set/Clear Conditions
7	ifferr	Set if there is a FIFO overflow or underflow. Cleared by applying FIFO reset.
6	itxffaull	Set when the number of bytes written to TX FIFO is greater than the Almost Full threshold. Automatically cleared at the start of transmission when the number of bytes in the FIFO is less than or equal to the threshold.
5	itxffaem	Set when the number of bytes in the TX FIFO is less than or equal to the Almost Empty threshold. Automatically cleared when the number of data bytes in the TX FIFO is above the Almost Empty threshold.
4	irxffaull	Set when the number of bytes in the RX FIFO is greater than the Almost Full threshold. Cleared when the number of bytes in the RX FIFO is below the Almost Full threshold.
3	iext	External interrupt source.
2	ipksent	Set once a packet is successfully sent (no TX abort). Cleared upon leaving FIFO mode or at the start of a new transmission.
1	ipkvalid	Set up the successful reception of a packet (no RX abort). Cleared upon receiving and acknowledging the Sync Word for the next packet.
0	icrcerror	Set if the CRC computed from the RX packet differs from the CRC in the TX packet. Cleared at the start of reception for the next packet.

表格 32. When are Individual Status bits Set/Cleared if not Enabled as Interrupts?

位	Status 名称	Set/Clear Conditions
7	ifferr	Set if there is a FIFO Overflow or Underflow. It is cleared only by applying FIFO reset to the specific FIFO that caused the condition.
6	itxffaull	Will be set when the number of bytes written to TX FIFO is greater than the Almost Full threshold set by SPI. It is automatically cleared when we start transmitting and the FIFO data is read out and the number of bytes left in the FIFO is smaller or equal to the threshold).
5	itxffaem	Will be set when the number of bytes (not yet transmitted) in TX FIFO is smaller or equal than the Almost Empty threshold set by SPI. It is automatically cleared when we write enough data to TX FIFO so that the number of data bytes not yet transmitted is above the Almost Empty threshold.
4	irxffaull	Will be set when the number of bytes received (and not yet read-out) in RX FIFO is greater than the Almost Full threshold set by SPI. It is automatically cleared when we read enough data from RX FIFO so that the number of data bytes not yet read is below the Almost Full threshold.
3	iext	External interrupt source
2	ipksent	Will go high once a packet is sent all the way through (no TX abort). This status will be cleaned if 1) We leave FIFO mode or 2) In FIFO mode we start a new transmission.
1	ipkvalid	Goes high once a packet is fully received (no RX abort). It is automatically cleaned once we receive and acknowledge the Sync Word for the next packet.
0	icrcerror	Goes High once the CRC computed during RX differs from the CRC sent in the packet by the TX. It is cleaned once we start receiving new data in the next packet.

地址04h. 中断/中断2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	iswdet	ipreaval	ipreainval	irssi	iwut	ilbd	ichiprdy	ipor
类型	R	R	R	R	R	R	R	R

复位值=××××××××

位	名称	功能
7	iswdet	侦测到同步字, 当侦测到一个同步字这个位设置为“1”
6	ipreaval	侦测到有效引导码, 当侦测到一个引导码这个位设置为“1”
5	ipreainval	侦测到无效引导码, 当引导码侦测失败这个位设置为“1”
4	irssi	RSSI . 当RSSI等级超过可编程阈值这个位置为“1”
3	iwut	定时唤醒 . 可编程唤醒定时器溢出这个位设置为“1”
2	ilbd	电池欠电压侦测 . 当侦测到一个电池欠压事件这个位设置为“1”, 这个中断时间保存, 那么如果它通过mask寄存器位没有使能并且在它使能后导。
1	ichiprdy	芯片预备(XTAL) . 当已经侦测到一个芯片预备时间这个位设置为“1”.
0	ipor	上电复位(POR) . 当侦测一个上电复位在要求以上这个位设置为“1”

当下列任何位从‘0’状态改变到‘1’状态, 如果在中断使能2寄存器使能nIRQ引脚, 控制时钟将通过设置nIRQ引脚低电平= ‘0’来通知单片机. 当单片机读出这个地址, 所有的中断位被清除时, nIRQ 引脚变为高电平. 如果在中断使能2寄存器没有使能这些位中的任何位, 它将变成一个可以在任何时间在相同位置读取的状态信号, 读取寄存器时不会被清除.

表格 33. Interrupt or Status 2 位 Set/Clear Description

位	Status 名称	Set/Clear Conditions
7	iswdet	Goes high once the Sync Word is detected. Goes low once we are done receiving the current packet.
6	ipreaval	Goes high once the preamble is detected. Goes low once the sync is detected or the RX wait for the sync times-out.
5	ipreainval	Self cleaning, user should use this as an interrupt source rather than a status.
4	irssi	Should remain high as long as the RSSI value is above programmed threshold level
3	iwut	Wake time timer interrupt. Use as an interrupt, not as a status.
2	ilbd	Low Battery Detect. When a low battery event is been detected this 位 will be set to 1. This interrupt event is saved even if it is not enabled by the mask register 位 and causes an interrupt after it is enabled. Probably the status is cleared once the battery is replaced.
1	ichiprdy	Chip ready goes high once we enable the xtal, TX or RX and a settling time for the Xtal clock elapses. The status stay high unless we go back to Idle mode.
0	ipor	Power on status.

表格 34. Detailed Description of Status Registers when not Enabled as Interrupts

位	Status 名称	Set/Clear Conditions
7	iswdet	Goes high once the Sync Word is detected. Goes low once we are done receiving the current packet.
6	ipreaval	Goes high once the preamble is detected. Goes low once the sync is detected or the RX wait for the sync times-out.
5	ipreainval	Self cleaning, user should use this as an interrupt source rather than a status.
4	irssi	Should remain high as long as the RSSI value is above programmed threshold level
3	iwut	Wake time timer interrupt. Use as an interrupt, not as a status.
2	ilbd	Low Battery Detect. When a low battery event is been detected this 位 will be set to 1. This interrupt event is saved even if it is not enabled by the mask register 位 and causes an interrupt after it is enabled. Probably the status is cleared once the battery is replaced.
1	ichiprdy	Chip ready goes high once we enable the xtal, TX or RX, and a settling time for the Xtal clock elapses. The status stay high unless we go back to Idle mode.
0	ipor	Power on status.

地址 05h.中断使能 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	enfferr	entxffafull	entxffaem	enrxffafull	enext	enpksent	enpkvalid	encrcerror
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值=0000000

位	名称	功能
7	enfferr	使能FIFO上溢/下溢。当FIFO上溢/下溢，中断使能此位为“1”。
6	entxffafull	使能发射FIFO几乎是满。当发射FIFO几乎是满的中断使能此位为“1”。
5	entxffaem	使能发射FIFO几乎是空。当发射FIFO几乎是空的中断此位为“1”。
4	enrxffafull	使能接收FIFO几乎是满的。当接收FIFO几乎是满的中断使能此位为“1”。
3	enext	使能外部中断。当外部中断使能时此位为“1”。
2	enpksent	使能数据包发送。当数据包传输中断使能时ipksent=“1”
1	enpkvalid	使能接收的有效数据包。当接收的有效数据包使能中断时，ipkvalid=“1”
0	encrcerror	使能CRC错误。当循环冗余码校正中断使能此位为“1”

地址 06h. 中断使能 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	enswdet	enpreaval	enpreainval	enrssi	enwut	enlbd	enchiprpy	enpor
类型	R	R	R	R	R/W	R/W	R/W	R/W

复位值=00000011

位	名称	功能
7	enswdet	使能同步字侦测。当前导码中断使能 mpreadet = '1'.
6	enpreaval	使能有效前导码侦测。当有效前导码侦测中断使能mpreadet='1'
5	enpreainval	使能无效前导码侦测。当无效前导码侦测中断使能mpreadet = "1"
4	enrssi	使能RSSI（接收信号强度指示）。当RSSI中断使能此位为 "1"
3	enwut	使能唤醒定时时器。当唤醒定时器中断使能此位为 "1"
2	enlbd	使能电池欠压侦测。当电池欠压侦测中断使能此位为 "1"
1	enchiprpy	使能芯片预备(XTAL)。当芯片预备中断使能此位为 "1"
0	enpor	使能上电复位（POR）。当上电复位中断使能此位为 "1"

地址 07h. 运行模式和功能控制1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	swres	enlbd	enwt	x32ksel	txon	rxon	pllon	xton
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值=00000001

位	名称	功能
7	swres	软件寄存器重设位. 此位用于复位所有SPI寄存器同时成默认状态,无需要继续写进每个单一的寄存器. 通过设置swres = '1'. 完成复位.此位将被自动清除.
6	enlbd	使能电池欠压侦测. 此位为“1”时, 使能电池欠压侦测电路和门限比较。
5	enwt	enwt = 使能唤醒定时器. 当enwt = '1'将使能这些功能. 如果使能了唤醒定时器, 它将在任何模式工作并且当定时器定时时间到了时通过GPIO中断通知单片机。
4	x32ksel	32,768 kHz晶体振荡器选择. 当此位为“1”时, 32kHz 时钟源是用是用表用晶体振荡器代替RC振荡器。
3	txon	在手动发射模式打开发射. 一旦数据包发送出去, 此位在FIFO模式被清除, 发送会失败在数据包发送过程中, 如果没有数据发送, 器件被设置为“未调制载波”(“地址71h. 调制解调控制2”)发送才会失败.
2	rxon	在手动接收模式打开接收. 如果多个数据包丢失, 并受到一个有效的数据包, 此位清除。
1	pllon	调谐模式TUNE Mode (PLL锁相环打开). 当pllon = 1, 锁相环PLL仍然在挂起状态被激活, 这样将在挂起状态增加电流消耗为代价来加快转换时间
0	xton	预备打开模式 (Xtal打开).

地址 08h. 工作模式和功能控制2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	antdiv[2:0]			rxmpk	autotx	enldm	ffclrx	ffclrtx
类型	R/W			R/W	R/W	R/W	R/W	R/W

复位值=00000000

位	名称	功能																																													
7:5	antdiv[2:0]	<p>使能天线分集. 天线分集算法配置GPIO从而正常工作</p> <table><thead><tr><th></th><th>接收/发射状态 GPIO Ant1</th><th>不接收/发射状态 GPIO Ant2</th><th>GPIO Ant1</th><th>GPIO Ant2</th></tr></thead><tbody><tr><td>000 :</td><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>001 :</td><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>010 :</td><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>011 :</td><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>100 :</td><td>天线分集算法</td><td>0</td><td>0</td><td></td></tr><tr><td>101 :</td><td>天线分集算法</td><td>1</td><td>1</td><td></td></tr><tr><td>110 :</td><td>信标模式天线分集算法</td><td>0</td><td>0</td><td></td></tr><tr><td>111 :</td><td>信标模式天线分集算法</td><td>1</td><td>1</td><td></td></tr></tbody></table>		接收/发射状态 GPIO Ant1	不接收/发射状态 GPIO Ant2	GPIO Ant1	GPIO Ant2	000 :	0	1	0	0	001 :	1	0	0	0	010 :	0	1	1	1	011 :	1	0	1	1	100 :	天线分集算法	0	0		101 :	天线分集算法	1	1		110 :	信标模式天线分集算法	0	0		111 :	信标模式天线分集算法	1	1	
	接收/发射状态 GPIO Ant1	不接收/发射状态 GPIO Ant2	GPIO Ant1	GPIO Ant2																																											
000 :	0	1	0	0																																											
001 :	1	0	0	0																																											
010 :	0	1	1	1																																											
011 :	1	0	1	1																																											
100 :	天线分集算法	0	0																																												
101 :	天线分集算法	1	1																																												
110 :	信标模式天线分集算法	0	0																																												
111 :	信标模式天线分集算法	1	1																																												
4	rxmpk	接收多种数据包 , 当芯片选择使用FIFO模式(dtmod[1:0]), 接收数据包处理时,如果此位被设为 ‘1’ , 它将用多种有效的数据包填满FIFO.否则发射器在接收到第一个有效的数据包之后将自动离开接收状态。																																													
3	autotx	自动发射 , 当 autotx = ‘1’ , FIFO 几乎是满的时, 发射器将自动进入发射模式.当 FIFO 是空的时, 发射器将自动返回到挂起状态。																																													
2	enldm	使能低任务周期模式 .如果此位设为 ‘1’ , 芯片有规律地打开发射。频率应该在唤醒定时器周期寄存器设定,而最微短打开时间应该在低任务周期持续时间寄存器设置. 也应该使能FIFO模式																																													
1	ffclrx	接收FIFO清除 .设置ffclrx=’ 1’ 将清除接收FIFO的内容。																																													
0	ffclrtx	发射FIFO 清除 .设置ffclrtx=’ 1’ 将清除发射FIFO内容。																																													

地址 **09h. 30 MHz**晶体振荡器负载电容

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	xtalshft	xlc[6:0]						
类型	R/W	R/W						

复位值=01000000

位	名称	功能
7	xtalshft	直接模拟控制
6:0	xlc[6:0]	给30Mhz XTAL的调谐电容

地址0Ah. 微控制器输出时钟

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		clkt[1:0]		enlfc	mclk[2:0]		
类型	R		R/W		R/W	R/W		

复位值 = $\times \times 000110$

位	名称	功能
7:6	Reserved	保留.
5:4	clkt[1:0]	时钟踪迹. 如要 enlfc = '0', 它对提供一些额外的循环来使单片机完成它的工作来说是有用的. 设置clkt[1:0] 寄存器, 在它关闭之前将提供循环周期时钟.. 00 – 0 cycle 01 – 128 cycles 10 – 256 cycles 11 – 512 cycles
3	enlfc	使能低频率时钟. 当enlfc='1', 芯片处于睡眠模式时, 不管mclk[2:0]是什么选择, 32.768kHz频率时钟都将提供给单片机. 例如如果 mclk[2:0] = '000', 在所有挂起. 发射. 接收状态, 30MHz频率将有效的通过GPIO输出给单片机. 当芯片被命令进入睡眠模式, 30MHz频率始终将变为 32.768kHz.
2:0	mclk[2:0]	微控制器时钟. 可能为配置GPIO时钟输出选择不同时钟频率. 所有的时钟频率都是通过划分XTAL创建的除了直接来自32kHz RC振荡器的32kHz 时钟. 只有当xton = '1' 时, mclk[2:0]设置才是有效的, 除了'111'.. 000 – 30 MHz 001 – 15 MHz 010 – 10 MHz 011 – 4 MHz 100 – 3 MHz 101 – 2 MHz 110 – 1 MHz 111 – 32.768 kHz

地址 0Bh. GPIO配置 0

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	gpiodrv0[1:0]		pup0	gpio0[4:0]				
类型	R/W		R/W	R/W				

复位值=00000000

位	名称	功能
7:6	gpiodrv0[1:0]	GPIO 驱动能力设置
5	pup0	上拉电阻在 GPIO0 上使能. 如果GPIO被配置作为数字输入,当一个200k ohm电阻联接在内部VDD和引脚之间,此位为'1'.
4:0	gpio0[4:0]	00000 - 上电复位 (输出) 00001 - 唤醒定时器 当WUT定时时间已经,此位为'1' (输出) 00010 - 电池欠压侦测: 当电池低于设置的门限,此位为'1' (输出) 00011 - 直接数字输入 00100 - 外部中断,,下降沿 (输入) 00101 - 外部中断, 上升沿(输入) 00110 - 外部中断, 状态改变(输入) 00111 - ADC模拟输入 01000 - 保留(模拟测试N输入) 01001 - 保留 (模拟测试P输入) 01010 - 直接数字输出 01011 - 保留 (安息字测试输出) 01100 - 保留 (模拟测试 N输出) 01101 - 保留 (模拟测试P输出) 01110 - 参考电压 (输出) 01111 - 发射数据时钟 输出用于联接发射数据引脚 (输出) 10000 - 发射数据输入用于直接调制(输入) 10001 - 外部重复发射请求 (输入) 10010 - 发射状态 (输出) 10011 - 发射FIFO几乎满的(输出) 10100 - 接收数据 (输出) 10101 - 接收状态 (输出) 10110 - 接收 FIFO几乎是满的 (输出) 10111 - 天线1开关 用于天线分集 (输出t) 11000 - 天线2开关 用于天线分集 (输出) 11001 - 有效前导码检测 (输出) 11010 - 无效前导码检测(输出) 11011 - 同步字检测 (输出) 11100 - 无干扰信道评估 (输出) 11101 - VDD 其它 - GND

地址 0Ch. GPIO配置 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	gpiodrv1[1:0]		pup1	gpio1[4:0]				
类别	R/W		R/W	R/W				

复位值=00000000

位	名称	功能
7:6	gpiodrv1[1:0]	GPIO驱动能力设置。
5	pup1	上拉电阻在 GPIO1 上使能。如果GPIO被配置作为数字输入,当一个200k ohm电阻联接在内部VDD和引脚之间,此位为'1'。
4:0	gpio1[4:0]	GPIO1引脚功能选择。 00000 - 上电复位逆转 (输出) 00001 - 唤醒定时器: 当WUT定时时间已到,此位为'1' (输出) 00010 - 电池欠压侦测: 当电池低于设置的门限,此位为'1' (输出) 00011 - 直接数字输入 00100 - 外部中断,下降沿 (输入) 00101 - 外部中断,,上升沿(输入) 00110 - 外部中断,,状态改变 (输入) 00111 - ADC 模拟输入 01000 - 保留(模拟测试N输入) 01001 - 保留(模拟测试P输入) 01010 - 直接数字输出 01011 - 保留 (数字测试输出) 01100 - 保留 (模拟测试N输出) 01101 - 保留 (模拟测试P输出) 01110 - 参考电压 (输出) 01111 - 发射数据时钟输出用于联接发射数据引脚 (输出) 10000 - 发射数据输入用于直接调制 (输入) 10001 - 外部重复发射要求 (输入) 10010 - 发射状态 (输出) 10011 - 发射FIFO几乎是满的I (输出) 10100 - 接收数据 (输出) 10101 - 接收状态 (输出) 10110 - 接收FIFO几乎是满的 (输出) 10111 - 天线1开关用于天线分集 (输出) 11000 - 天线2开关用于天线分集 (输出) 11001 - 有效前导码侦测 (输出) 11010 - 无效前导码侦测 (输出) 11011 - 同步字侦测 (输出) 11100 - 无干扰信道评估 (输出) 11101 - VDD 其它 - GND

地址 0Dh. GPIO配置2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	gpiodrv2[1:0]		pup2	gpio2[4:0]				
类型	R/W		R/W	R/W				

复位值=00000000

位	名称	功能
7:6	gpiodrv2[1:0]	GPIO驱动能力设置。
5	pup2	上拉电阻在 GPIO2 上使能。如果GPIO被配置作为数字输入,当一个200k ohm电阻联接在内部VDD和引脚之间,此位为'1'。
4:0	gpio2[4:0]	GPIO2引脚功能选择。 00000 - 微控制器时钟 (输出) 00001 - 唤醒定时器: 当WUT定时时间已到,此位为'1' (输出) 00010 - 电池欠压侦测: 当电池低于设置的门限,此位为'1' (输出) 00011 - 直接数字输入 00100 - 外部中断, 下降沿 (输入) 00101 - 外部中断, 上升沿 (输入) 00110 - 外部中断,, 状态改变 (输入) 00111 - ADC 模拟输入 01000 - 保留 (模拟测试 N 输入) 01001 - 保留(模拟测试 P 输入) 01010 - 直接数字输出 01011 - 保留 (数字测试输出) 01100 - 保留 (模拟测试 N输出) 01101 - 保留 (模拟测试 P 输出) 01110 - 参考电压 (输出) 01111 - 发射数据时钟输出用于联接发射数据引脚 (输出) 10000 - 发射数据输入用于直接调制 (输入) 10001 - 外部重复发射要求 (输入) 10010 - 发射状态 (输出) 10011 - 发射 FIFO几乎是满的(输出) 10100 - 接收数据 (输出) 10101 - 接收状态(输出) 10110 - 发射 FIFO几乎是满的 (输出) 10111 - 天线 1开关用于天线分集 (输出) 11000 - 天线 2开关用于天线分集(输出) 11001 - 有效前导码侦测(输出) 11010 - 无效前导码侦测 (输出) 11011 - 同步字检测 (输出) 11100 - 无干扰信道评估 (输出) 11101 - VDD 其它 - GND

地址0Eh. I/O 端口配置

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	extitst[2]	extitst[1]	extitst[0]	itsdo	dio2	dio1	dio0
类型	R	R	R	R	R/W	R/W	R/W	R/W

复位值=00000000

位	名称	功能
7	Reserved	保留。
6	extitst[2]	外部中断状态。 如果GPIO2被编程成外部中断源,那么可以在此位读取该状态。
5	extitst[1]	外部中断状态。 如果GPIO1被编程成外部中断源,那么可以在此位读取该状态。
4	extitst[0]	外部中断状态。 如果GPIO0被编程成外部中断源,那么可以在此位读取该状态。
3	itsdo	在SDO引脚上的中断要求输出.如果此位被设为'1'并且nSEL输出是非活动的,那么nIRQ输出会出现在SDO引脚上。
2	dio2	为GPIO2的直接IO.如果GPIO2被配置成一个直接的输出,那么在GPIO引脚上的值可以在此位设置. 如果GPIO2被配置成一个直接的输入,那么引脚的值可以在此位读取。
1	dio1	为GPIO1的直接IO. 如果GPIO1被配置成一个直接的输出,那么那么在GPIO引脚上的值可以在此位设置. 如果GPIO1被配置成一个直接的输入,那么引脚的值可以在此位读取。
0	dio0	为GPIO0的直接IO. 如果GPIO0被配置成一个直接的输出,那么那么在GPIO引脚上的值可以在此位设置. 如果GPIO0被配置成一个直接的输入,那么引脚的值可以在此位读取。

地址 0Fh. ADC 配置

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	adcstart/ adcdone	adcse[2:0]			adcref[1:0]		adcgain[1:0]	
类型	R/W	R/W			R/W		R/W	

复位值=00000000

位	名称	功能
7	adcstart/adcdone	ADC 测量开始位. 如果ADC测量周期已经完成,读出此位将得到'1'
6:4	adcsel[2:0]	ADC 输入源选择. 内部8位ADC输入源选择如下 000 - 内部温度传感器 001 - GPIO0, 单端 010 - GPIO1,单端 011 - GPIO2, 单端 100 - GPIO0(+) - GPIO1(-), 差分 101 - GPIO1(+) - GPIO2(-), 差分 110 - GPIO0(+) - GPIO2(-), 差分 111 – GND
3:2	adcref[1:0]	ADC参考电压选择. 内部8位ADC参考电压选择如下: 0X - 带隙电压 (1.2V) 10 – VDD / 3 11 – VDD / 2
1:0	adcgain[1:0]	ADC传感放大器增益选择. 在差分模式,内部8位ADC满标范围设置如下: adcref[0] = 0: adcref[0] = 1: $FS = 0.014 \times (\text{adcgain}[1:0] + 1) \times VDD$ $FS = 0.021 \times (\text{adcgain}[1:0] + 1) \times VDD$

地址10h. ADC 传感放大器偏差

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved				adcoffs[3:0]			
类型	R				R/W			

复位值 = $\times \times \times \times 0000$

位	名称	功能
7:4	Reserved	保留.
3:0	adcoffs[3:0]	ADC 传感放大器偏差*.
*说明: 偏移可以按照这样计算 偏移 = $\text{adcoffs}[2:0] \times \text{VDD} / 1000$; MSB = $\text{adcoffs}[3]$ = Sign 位.		

地址11h. ADC 值

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	adc[7:0]							
类型	R							

复位值 = xxxxxxxx

位	名称	功能
7:0	adc[7:0]	内部8位ADC输出值

地址 12h. 温度传感器校正

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	tsrange[1:0]		entsoffs	entstrim	tstrim[3:0]			
类型	R/W		R/W	R/W	R/W			

复位值 = 00100000

位	名称	功能
7:6	tsrange[1:0]	温度传感器范围选择 (FS范围是 0..1024mV) 00 - -40° C .. 64° C (完全工作范围), 误差为0.5° C (1 LSB 在 8 位 ADC) 01 - -40° C .. 85° C, 精度为 1° C (1 LSB 在8 位ADC) 11 - 0° C .. 85° C, 精度为0.5° C (1 LSB在8位ADC) 10 - -40° F .. 216° F,精度为1° F(11 LSB在8位ADC)
5	entsoffs	温度传感器偏差从K转换到 °C.
4	entstrim	温度传感器调整使能.
3:0	tstrim[3:0]	温度传感器调整使能.

Register 13h. Temperature Value Offset

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	tvoffs[7:0]							
类型	R/W							

复位值= 00000000

位	名称	功能
7:0	tvoffs[7:0]	温度值偏差.把这个值加到测量的温度值. (MSB, tvoffs[8]: sign bit)

地址 14h. 唤醒定时器时期 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		wtr[3:0]				wtd[1:0]	
类型	R/W		R/W				R/W	

位	名称	功能
7:6	Reserved	保留.
5:2	wtr[3:0]	唤醒定时器指数(R)值*.
1:0	wtd[3:0]	唤醒定时器指数(D)值*.
*说明: 唤醒定时器时期计算为: $TWUT = (32 * M * 2R-D) / 32.768 [ms]$		

地址 15h. 唤醒定时器时期 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	wtm[15:8]							
类型	R/W							

复位值 = 00000000

位	名称	功能
7:0	wtm[15:8]	唤醒定时器尾数 (M) 值*.
*说明: 唤醒定时器时期计算为 $TWUT = (32 \times M \times 2R-D) / 32.768 ms.$		

地址16h. 唤醒定时器时期 3

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	wtm[7:0]							
类型	R/W							

复位值 = 00000000

位	名称	功能
7:0	wtm[7:0]	唤醒定时器尾数 (M) 值*.
*说明: 唤醒定时器时期计算为 $TWUT = (32 \times M \times 2R-D) / 32.768 ms.$		

地址 17h. 唤醒定时器值1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	wtm[15:8]							
类型	R							

复位值 = xxxxxxxx

位	名称	功能
7:0	wtm[15:8]	唤醒定时器当前尾数 (M) 值*.
*说明:唤醒定时器时期计算为 $TWUT = (32 \times M \times 2R-D) / 32.768 \text{ ms}$.		

地址 18h.唤醒定时器值 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	wtm[7:0]							
类型	R							

复位值 = xxxxxxxx

位	名称	功能
7:0	wtm[7:0]	唤醒定时器当前尾数 (M) 值*.
*说明:唤醒定时器时期计算为 $TWUT = (32 \times M \times 2R-D) / 32.768 \text{ ms}$.		

地址 19h. 低任务周期模式持续时间

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	ldc[7:0]							
类型	R/W							

复位值 = 00000000

位	名称	功能
7:0	ldc[7:0]	低任务周期模式持续时间 (LDC)*.
*Note: 低任务周期模式持续时计算为 $TLDC_ON = (32 \times LDC \times 2R-D) / 32.768 \text{ [ms]}$ R and D 值是和唤醒时间一样设置在"地址 14h. 唤醒时间时期 1".		

地址 1Ah. 电池欠压检测门限

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved			lbd[4:0]				
类型	R			R/W				

复位值 = xxx10100

位	名称	功能
7:5	Reserved	保留.
4:0	lbd[4:0]	电池欠压检测门限.这个门限相比较于电池电压级别,如果电池电压小于门限值,低电池中断就会被设定.默认值 = 2.7V.
*说明: T 电池欠压检测门限计算为 $V_{threshold} = 1.7 + lbd \times 50mV$.		

地址1Bh. 电池电压级别

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved			vbat[4:0]				
类型	R			R				

复位值 = xxxxxxxx

位	名称	功能
7:5	Reserved	保留.
4:0	vbat[4:0]	电池电压级别. 电池电压由一个5位ADC转换.在睡眠模式每隔1S钟更新一次寄存器.在其它状态,它持续不断地测量

地址 1Ch. IF 滤波器带宽

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	dwn3_bypass	ndec_exp[2:0]			filset[3:0]			
类型	R/W	R/W			R/W			

复位值 = 01000000

位	名称	功能
7	dwn3_bypass	避开上限位 by 3 (如果设置).
6:4	ndec_exp[2:0]	IF滤波器抽样率上限位.
3:0	filset[3:0]	IF滤波器系数设定. 默认值是Rb = 40kbps, Fd = 20kHz, 所以Bw = 80kHz

地址 1Dh. AFC 循环变速超速

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	afcbd	enafc	afcgearh[2:0]			afcgearl[2:0]		
类型	R/W	R/W	R/W			R/W		

复位值 = 01000000

位	名称	功能
7	afcbd	如果设置, 容忍的AFC频率误差将被减半.
6	enafc	AFC 使能.
5:3	afcgearh[2:0]	AFC 高速档设置.
2:0	afcgearl[2:0]	AFC 低速档设置.

地址 1Eh. AFC定时控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		shwait[2:0]			lgwait[2:0]		
类型	R		R/W			R/W		

复位值 = xx001000

位	名称	功能
7:6	Reserved	保留.
5:3	shwait[2:0]	使用 AFC 校正之后有短时间等待. 检测到引导码之前, 短时间= (RegValue + 1) x 2Tb. 如果设置为0在检测到引导码之前没有AFC校正发生i.e. AFC将会被禁止.
2:0	lgwait[2:0]	使用 AFC 校正之后有长时间等待. 检测到引导码之前, 长等待 = (RegValue + 1) x 2Tb. 如果设置为0, 当检测到引导码之后没有AFC校正发生.

The gear-shift register controls BCR loop gain. Before the preamble is detected, BCR loop gain is as follows:

$$BCRLoopGain = \frac{crgain}{2^{crfast}}$$

一旦发现引导码, 内部状态下机器自动转移导BCR闭环增益如下:

$$BCRLoopGain = \frac{crgain}{2^{crslow}}$$

crfast = 3'b000和crslow = 3'b101是建议应用, "crslow" 的值大于"crfast".

地址 1Fh. 时钟恢复变速超速

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	rxready	crfast[2:0]			crslow[2:0]		
类型	R/W	R/W	R/W			R/W		

复位值 = 00000011

位	名称	功能
7	Reserved	保留.
6	rxready	当在直接模式提高接收器噪音免疫性. 建议在检测到前导码后设置此位. 当在FIFO模式时,此位应该设为 “0” 然后噪音免疫性被自动控制.
5:3	crfast[2:0]	时钟恢复快变速值.
2:0	crslow[2:0]	时钟恢复慢变速值.

The oversampling rate can be calculated as $rxosr = 500 \text{ kHz} / (2^{ndec_exp} \times RX_DR)$. The *ndec_exp* and the *dwn3_bypass* values found at Address: 1Ch – IF Filter Bandwidth register together with the receive data rate (*Rb*) are the parameters needed to calculate *rxosr*:

$$rxosr = \frac{500 \times (1 + 2 \times dwn3_bypass)}{2^{ndec_exp-3} \times Rb \times (1 + enmanch)}$$

The *Rb* unit used in this equation is in kbps. The *enmanch* is the Manchester Coding parameter (see Reg. 70h, *enmach* is 1 when Manchester coding is enabled, *enmanch* is 0 when disabled). The number found in the equation should be rounded to an integer. The integer can be translated to a hexadecimal.

For optimal modem performance it is recommended to set the *rxosr* to at least 8. A higher *rxosr* can be obtained by choosing a lower value for *ndec_exp* or enable *dwn3_bypass*. A correction in *filset* might be needed to correct the channel select bandwidth to the desired value. Note that when *ndec_exp* or *dwn3_bypass* are changed the related parameters (*rxosr*, *ncoff* and *crgain*) need to be updated.

地址 20h. 时钟恢复过抽样率

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rxosr[7:0]							
类型	R/W							

复位值 = 01100100

位	名称	功能
7:0	rxosr[7:0]	超抽样率. 3 LSBs are the fraction, default = 0110 0100 = 12.5 clock cycles per data bit

The offset can be calculated as follows:

$$ncoff = \frac{Rb \times (1 + enmanch) \times 2^{20 + ndec_exp}}{500 \times (1 + 2 \times dwn3_bypass)}$$

The default values for register 20h to 23h gives 40 kbps RX_DR with Manchester coding is disenabled.

地址 21h. 时钟恢复偏差 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rxosr[10:8]			stallctrl	ncoff[19:16]			
类型	R/W			R/W	R/W			

复位值 = 00000001

位	名称	功能
7:5	rxosr[10:8]	过抽样率. 上限位
4	stallctrl	为BCR之用
3:0	ncoff[19:16]	NCO 偏差. 见上面.

地址 22h. 时钟恢复偏差 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	ncoff[15:8]							
类型	R/W							

复位值= 01000111

位	名称	功能
7:0	ncoff[15:8]	NCO 偏差. 见上面公司

Register 23h. Clock Recovery Offset 0

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	ncoff[7:0]							
类型	R/W							

复位值= 10101110

位	名称	功能
7:0	ncoff[7:0]	NCO 偏差. 见上面的公式

循环增益可计算为 $\text{crgain} = 2^{16} / (\text{rxosr} \times h \times P)$, 调制指引 $h = 2 \times \text{FD} / \text{RX_DR}$.

地址 24h. 时钟恢复定时循环增益1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved					crgain[10:8]		
类型	R/W					R/W		

复位值 = 00000010

位	名称	功能
7:3	Reserved	保留
2:0	crgain[10:8]	时钟恢复定时循环增益。

地址 25h. 时钟恢复定时循环增益0

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	crgain[7:0]							
类型	R/W							

位	名称	功能
7:0	crgain[7:0]	Clock Recovery Timing Loop Gain.

复位值: 10001111

地址 26h. 接收信号强度指示器 (RSSI)

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rssi[7:0]							
类型	R							

复位值=00000000

位	名称	功能
7:0	rssi[7:0]	接收信号强度指示器 (RSSI) 值

地址 27h. RSSI无干扰信道指示器接收信号强度指示

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rssith[7:0]							
类型	R/W							

复位值 = 00000000

位	名称	功能
7:0	rssith[7:0]	(接收信号强度指示 (RSSI) 门限, 如果RSSI值超过了门限值, 中断就会被设置

地址 28h. 天线分集1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	adrssi[7:0]							
类型	R							

复位值 = 00000000

位	名称	功能
7:0	adrssi[7:0]	在天线1上测量的RSSI值

地址 29h. 天线分集2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	adrssi2[7:0]							
类型	R							

复位值 = 00000000

位	名称	功能
7:0	adrssi2[7:0]	在天线2上测量的RSSI值。

地址 30h. 数据存取控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	enpacrx	lsbfrst	crcdonly	Reserved	enpactx	encrc	crc[1:0]	
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

复位值 =10001101

位	名称	功能
7	enpacrx	使能数据包处理, 如果正在使用FIFO模式(dtmod='10'),可能使能自动数据包处理. 设置enpacrx='1' 在接收通道将使能自动使能数据包处理. 寄存器30-4D容许数据包结构的多种配置. 设置 enpacrx='0', 在接收通道通道将不做数据包处理. 它将在同步字填满接收FIFO后接收一切
6	lsbfrst	最低有效位, LSB 首先使能. 如果此位设为'1', 数据的最低有效位将被发射/接收.
5	crcdonly	仅仅CRC数据使能, 当此位设为“1”, CRC计算打开并且值检测信息包数据域。
4	Reserved	保留.
3	enpactx	使能数据包发射处理. 如果正在使用FIFO模式(dtmod='10'),可能使能自动数据包处理. 设置enpacrx='1' 在发射通道将使能自动使能数据包处理. 寄存器30-4D容许数据包结构的多种配置. 设置 enpacrx='0', 在接收通道通道将不做数据包处理. 它将在同步字填满接收FIFO后接收一切.
2	encrc	CRC使能. 如果此位设为“1”, 就会使能循环冗余码校正产生
1:0	crc[1:0]	CRC 多项选择: 00: CCITT 01: CRC-16 10: IEC-16 11: Biacheva

地址 31h. EZMAC[®] 状态

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	rxcrc1	pksrc1	pkrx	pkvalid	crcerror	pktx	pkstent
类型	R	R	R	R	R	R	R	R

复位值 = 00000000

位	名称	功能
7	Reserved	保留.
6	rxcrc1	If high, it indicates the last CRC received is all one's. May indicated Transmitter underflow in case of CRC error.
5	pksrc1	数据包搜索, 当pksrc1=1时, 无线正搜索一个有效的数据包。
4	pkrx	接收数据包, 当pkrx = 1 时, 无线当前正在接收一个有效的数据包。
3	pkvalid	接收到的有效数据包.当pkvalid = '1' 时,接收器已经接收到一个有效的数据包. (如寄存器03相同的位, 但是读它IRQ不会复位)
2	crcerror	循环冗余码校正错误(CRC).当crcerror = '1' 时,一个循环冗余码校正错误已经被检测到.(如寄存器03相同的位, 但是读它IRQ不会复位)
1	pktx	数据包发射, 当pktx = 1 时, 无线当前正在发射一个数据包。
0	pkstent	数据包发送, 当pkstent = '1' 时, 无线已经发送了一个数据包.(如寄存器03相同的位, 但是读它IRQ不会复位)。

地址 32h. 帧头控制1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	bcen[3:0]				hdch[3:0]			
类型	R/W				R/W			

复位值 = 00001100

位	名称	功能
7:4	bcen[3:0]	<p>广播地址(FFh)检测使能. 如果它与帧头字节检测一起使能,则帧头检测OK. 若进来的帧头字节和相应的检测[了节相等或FFh-一位独热码</p> <p>0000 - 无广播地址使能.</p> <p>0001 - 帧头字节 0 广播地址使能</p> <p>0010 - 帧头字节 1 广播地址使能</p> <p>0011 - 帧头字节 0 和 1 广播地址使能.</p> <p>0100 - ...</p>
3:0	hdch[3:0]	<p>检测帧头字节检查接收到的帧头字节.一个独热编码.接收器利用 hdch[2:0] 得知帧头字节的位置.</p> <p>0000 - 没有接收到帧头检测</p> <p>0001 - 字节 0 接收到帧头检测.</p> <p>0010 - 字节 1 接收到帧头检测..</p> <p>0011 - 字节 0 和 1接收到帧头检测.</p> <p>0100 - ...</p>

地址33h. 帧头控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	hdlen[2:0]			fixpklen	syncnlen[1:0]		prealen[8]
类型	R	R/W			R/W	R/W		R/W

复位值 =00100010

位	名称	功能
7	Reserved	保留.
6:4	hdlen[2:0]	发射帧头长度. 如果为发射(enpactx)使能数据包处理器,则使用帧头长度.帧头按递减顺序发射. 000 - 没有发射帧头 001 - 帧头3 010 - 帧头 3 和 2 011 - 帧头 3.2 和1 100 - 帧头 3. 2.1 和 0
3	fixpklen	确定帧头长度.当fixpklen = '1' 时,帧头不包括数据包长(pklen[7:0]) 而且没有执行数据包长度检测.当fixpklen = '0',帧头包括数据包长度.
2:1	syncnlen[1:0]	同步字长度. 寄存器的值相当于同步字使用的字节数.同步字字节按递减顺序发射. 00 - 同步字3 01 - 同步字3和2 10 - 同步字3.2和1 11 - 同步字3.2.1和 0
0	prealen[8]	前导码长度最高有效位(MSB).见寄存器前导码长度.

地址 34h. 前导码长度

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	prealen[7:0]							
类型	R/W							

Reset value = 00001000

位	名称	功能
7:0	prealen[7:0]	前导码长度， [8:0]寄存器的值相当数据包的半字节，例如 prealen[8:0] = '0000001111相当于32位或4个字节导码长度最大的前导码长度是prealen[8:0] = 111111111 相当于一个255 个字节长度，写0 will have the same result as if writing 1, which corresponds to one single nibble of preamble.

地址 35h. 前导码侦测控制1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	preath[4:0]					Reserved		
类型	R/W					R/W		

Reset value = 00100000

位	名称	功能
7:3	preath[4:0]	在侦测期间处理半字节数。
2:0	Reserved	保留。

地址 36h. 同步字3

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	sync[31:24]							
类型	R/W							

Reset value = 00101101

位	名称	功能
7:0	sync[31:24]	同步字3，同步字的第四字节。

地址 37h. 同步字2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	sync[23:16]							
类型	R/W							

Reset value = 11010100

位	名称	功能
7:0	sync[23:16]	同步字2, 同步字的第三个字节

地址 38h. 同步字1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	sync[15:8]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	sync[15: 8]	同步字1. 同步字第二个字节。

地址 39h. 同步

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	sync[7:0]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	sync[7:0]	同步字0, 同步字的第一个字节

地址 **3Ah. 发射帧头3**

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	txhd[31:24]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	txhd[31:24]	发射帧头3, 发射帧头第四字节。

地址 **3Bh. 发射帧头2**

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	txhd[23:16]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	txhd[23:16]	发射帧头2, 发射帧头第三个字节。

地址 **3Ch. 发射帧头1**

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	txhd[15:8]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	txhd[15:8]	发射帧头1, 发射帧头第二个字节

地址 **3Dh. 发射帧头0**

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	txhd[7:0]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	txhd[7:0]	发射帧头0, 发射帧头第一个字节。

地址 **3Eh. 发射数据包长度**

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	pklen[7:0]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	pklen[7:0]	数据保长度. pklen[7:0] 寄存器的值直接等于发射包字节数, 例如 pklen[7:0] = '00001000' 相当于一个位数据保长度, 最大的数据包长度是pklen[7:0] = '11111111', 一个 255位数据包, Writing 0 is possible, in this case we do not send any data in the packet. During RX, if fixpklen = 1, this will specify also the Packet Length for RX mode.

帧头控制寄存器 (31h) 如果使能检测在接收器帧头提取检测帧头字节3到0相应的字节。EZMAC[®] 状态”。

地址 3Fh. 检测帧头3

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	chhd[31:24]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	chhd[31:24]	侦测头3, 侦测头第四字节

地址 40h. 侦测头 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	chhd[23:16]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	chhd[23:16]	侦测头2, 侦测头第三个字节。

地址 41h. 侦测头1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	chhd[15:8]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	chhd[15:8]	侦测头2, 侦测头第三个字节。

地址 42h. 侦测头0

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	chhd[7:0]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	chhd[7:0]	侦测头0，侦测头第一个字节。

帧头使能字节3到0相应的位控制接收到帧头里对应检测帧头字节的位。使能位设置为“1” 仅比较这些位。

地址 43h. 帧头使能3

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	hden[31:24]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	hden[31:24]	帧头使能3，帧头使能第四个字节的。

地址 44h. 帧头使能 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	hden[23:16]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	hden[23: 16]	帧头使能2，帧头使能第三个字节。

寄存器 45h. 帧头使能1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	hden[15:8]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	hden[15:8]	帧头使能1，帧头使能第二个字节。

地址 46h. 帧头使能0

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	hden[7:0]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	hden[7:0]	帧头使能0，帧头使能第一个字节。

地址 47h. 接收到的帧头3

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rxhd[31:24]							
类型	R							

Reset value = 00000000

位	名称	功能
7:0	rxhd[31: 24]	接收到的帧头3，接收到帧头的第四字节。

地址 48h. 接收到帧头2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rxhd[23:16]							
类型	R							

Reset value = 00000000

位	名称	功能
7:0	rxhd[23:16]	接收到的帧头2, 接收到的帧头的三个字节

地址49h. 接收到的帧头 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rxhd[15:8]							
类型	R							

Reset value = 00000000

位	名称	功能
7:0	rxhd[15: 8]	接收到的帧头1, 接收到的帧头的第二个字节。

地址 4Ah. 接收到的帧头0

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rxhd[7:0]							
类型	R							

Reset value = 00000000

位	名称	功能
7:0	rxhd[7:0]	接收到的帧头0, 接收到的帧头的第一个字节。

地址4Bh. 接收到的数据包长度

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rxplen[7:0]							
类型	R							

Reset value = 11111111

位	名称	功能
7:0	rxplen[7:0]	当fixpklen=0, 接收到的数据包帧头长度, (Specifies the number of Data bytes in the last received packet) This will be relevant ONLY if fixpklen (address 33h, 位[3]) is low during the receive time. If fixpklen is high, then the number of received Data Bytes can be read from the pklen register (address h3E).

地址50h. 模拟测试总线选择

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved			atb[4:0]				
类型	R/W			R/W				

Reset value = 00000000

位	名称	功能
7:5	Reserved	保留.
4:0	atb[4:0]	拟测试总线. 混合在TESTp and TESTn上的内部模拟测试点的选择.

表格 35. 模拟测试总线上的有效的内部模拟信号

atb[4:0]	GPIOx	GPIOx
1	MixIp	MixIn
2	MixQp	MixQn
3	PGA_Ip	PGA_In
4	PGA_QP	PGA_Qn
5	ADC_vcm	ADC_vcmb
6	ADC_ipoly10u	ADC_ref
7	ADC_Refdac_p	ADC_Refdac_n
8	ADC_ipoly10	ADC_ipoly10
9	ADC_Res1Ip	ADC_Res1In
10	ADC_Res1Qp	ADC_Res1Qn
11	Reserved	Reserved
12	Reserved	Reserved
13	Reserved	Reserved
14	Reserved	Reserved
15	Reserved	Reserved
16	Reserved	Reserved
17	Reserved	Reserved
18	ICP_Test	PLL_IBG_05
19	PLL_VBG	VSS_VCO
20	Vctrl_Test	PLL_IPTAT_05
21	PA_vbias	Reserved
22	DIGBG	DIGVFB
23	IFBG	IFVFB
24	PLLBG	PLLVReg
25	IBias10u	IBias5u
26	32KRC_Ucap	32KRC_Ures
27	ADC8_VIN	ADC8_VDAC
28	LBDcomp	LBDcompref
29	TSBG	TSVtemp
30	RFBG	RFVREG
31	VCOBG	VCOVREG

地址51h. 数字测试总线

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	ensctest	dtb[5:0]					
类型	R/W	R/W	R/W					

Reset value = 00000000

位	名称	功能
7	Reserved	保留.
6	ensctest	扫描测试使能, 此位为“1”时, GPIO0将是ScanEn输入。
5:0	dtb[5:0]	数字测试总线. GPIO必须配置成数字测试混合输出。

表格 36. 数字测试总线上的有效的内部数字信号

dtb[4:0]	GPIO0	Signal	GPIO1	Signal	GPIO2	Signal
0	wkup_clk_32k	wake-up 32kHz clock	rbase_en	first divided clock	clk_base	timebase clock
1	wkup_clk_32k	wake-up 32kHz clock	wake_up	wake-up event	tm1sec	1 sec timebase
2	ts_adc_en	aux. ADC enable	adc_rdy_n	aux. ADC conversion ready	adc_done	aux. ADC measurement done
3	cont_lbd	low battery continuous mode	lbd_on	low battery ON signal	lbd	unfiltered output of LBD
4	div_clk_g	gated divided clock	uc_clk	microcontroller clock	ckout_rcsel	slow clock selected
5	en_div_sync	clock divider enable (sync'ed)	en_ckout	clock out enable	en_ckout_s	clock out enable (sync'ed)
6	osc30_en	oscillator enable	osc30_bias2x	oscillator bias control	xok	chip ready
7	xok	chip ready	zero_cap	cap. load zero	osc30_buff_en	buffer enable
8	tsadc_needed	aux. ADC enable	ext_retran	ext. retransmission request	tx_mod_gpio	TX modulation input
9	gpio_0_oen_n	GPIO0 output enable	gpio_0_aen	GPIO0 analog selection	gpio_0_aden	GPIO0 ADC input line enable
10	int_ack1	interrupt acknowledge 1	int_ack2	interrupt acknowledge 2	int_store	interrupt latch closed
11	ext_int2	ext. interrupt from GPIO2	irq_位8	combined external status	msk_位8	combined masked ext. int.
12	sdo_aux_sel	SDO aux. 功能select	sdo_aux	SDO aux. signal	nirq_aux_sel	nIRQ aux. 功能select
13	trdata_on_sdi	TX/RX data on SDI	tx_mod	TX modulation input	tx_clk_out	TX clock output
14	start_full_sync	RC osc. full calibration start	start_fine_sync	RC osc. fine calibration start	xtal_req	crystal req. for RC osc. cal.
15	coarse_rdy	RC osc. coarse cal. ready	fine_rdy	RC osc. fine cal. ready	xtal_req_sync	sync'ed crystal request
16	vco_cal_rst_s_n	VCO calibration reset	vco_cal	VCO calibration is running	vco_cal_done	VCO calibration done
17	vco_cal_en	VCO calibration enable	en_ref_cnt	reference counter enable	en_freq_cnt_s	frequency counter enable
18	vco_cal_en	VCO calibration enable	pos_diff	positive difference to goal	en_freq_cnt_s	frequency counter enable
19	dsm_clk_mux	DSM multiplexed clock	pll_fb_clk_tst	PLL feedback clock	pll_ref_clk_tst	PLL reference clock
20	dsm[0]	delta-sigma output	dsm[1]	delta-sigma output	dsm[2]	delta-sigma output
21	dsm[3]	delta-sigma output	pll_fbdiv15		dsm_rst_s_n	delta-sigma reset
22	pll_en	PLL enable: TUNE state	pll0_ok	PLL initial settling OK	pllts_ok	PLL soft settling OK
23	ch_freq_req	frequency change request	pllts_ok	PLL soft settling OK	vco_cal_done	VCO calibration done
24	vco_cal_en	VCO calibration enable	pll_vbias_shunt_en	VCO bias shunt enable	prog_req	frequency recalculation req.
25	bandgap_en	bandgap enable	frac_div_en	fractional divider enable	buff3_en	buffer3 enable
26	pll_pfd_up	PFD up signal	pll_pfd_down	PFD down signal	pfd_up_down	PFD output change (XOR'ed)
27	pll_lock_detect	PLL lock detect	pll_en	PLL enable: TUNE state	pll0_ok	PLL initial settling OK
28	pll_en	PLL enable: TUNE state	pll_lock_detect	PLL lock detect	pllts_ok	PLL soft settling OK
29	pwrst[0]	internal power state	pwrst[1]	internal power state	pwrst[2]	internal power state

表格 36. 数字测试总线上的内部数字信号 (续上页)

dtb[4:0]	GPIO0	Signal	GPIO1	Signal	GPIO2	Signal
30	xok	chip ready: READY state	pll_en	PLL enable: TUNE state	tx_en	TX enable: TX state
31	ts_en	temperature sensor enable	auto_tx_on	automatic TX ON	tx_off	TX OFF
32	ch_freq_req	frequency change request	return_tx	return from TX	pk_sent	packet sent
33	retran_req	retransmission request	tx_ffpt_store	TX FIFO pointer store	tx_ffpt_restore	TX FIFO pointer restore
34	pa_on_trig	PA ON trigger	dly_5us_ok	5 us delay expired	mod_dly_ok	modulator delay expired
35	tx_shdwn	TX shutdown	ramp_start	modulator ramp down start	ramp_done	modulator ramp down ended
36	pk_sent_dly	delayed packet sent	tx_shdwn_done	TX shutdown done	pa_ramp_en	PA ramp enable
37	tx_en	TX enable: TX state	ldo_rf_precharge	RF LDO precharge	pa_ramp_en	PA ramp enable
38	pa_on_trig	TX enable: TX state	dp_tx_en	packet handler (TX) enable	mod_en	modulator enable
39	reg_wr_en	register write enable	reg_rd_en	register rread enable	addr_inc	register address increment
40	dp_tx_en	packet handler (TX) enable	data_start	start of TX data	pk_sent	packet has been sent
41	data_start	start of TX data	tx_out	packet handler TX data out	pk_sent	packet has been sent
42	ramp_done	ramp is done	data_start	start of TX data	pk_tx	packet is being transmitted
43	tx_ffaf	TX FIFO almost full	tx_fifo_wr_en	TX FIFO write enable	tx_ffem_tst	internal TX FIFO empty
44	clk_mod	modulator gated 10MHz clock	tx_clk	TX clock from NCO	rd_clk_x8	read clock = tx_clk / 10
45	mod_en	modulator enable	ramp_start	start modulator ramping down	ramp_done	modulator ramp done
46	data_start	data input start from PH	ook_en	OOK modulation enable	ook (also internal PN9)	OOK modulation
47	prog_req	freq. channel update request	freq_err	wrong freq. indication	dsm_rst_s_n	dsm sync. reset
48	mod_en	modulator enable	tx_rdy	TX ready	tx_clk	TX clock from NCO
49	dp_rx_en	packet handler (RX) enable	prea_valid	valid preamble	pk_srch	packet is being searched
50	pk_srch	packet is being searched	sync_ok	sync. word has been detected	rx_data	packet handler RX data input
51	pk_rx	packet is being received	sync_ok	sync. word has been detected	pk_valid	valid packet received
52	sync_ok	sync. word has been detected	crc_error	CRC error has been detected	hdch_error	header error detected
53	direct_mode	direct mode	rx_ffaf	RX FIFO almost full	rx_fifo_rd_en	RX FIFO read enable
54	位_clk	位 clock	prea_valid	valid preamble	rx_data	demodulator RX data output
55	prea_valid	valid preamble	prea_inval	invalid preamble	ant_div_sw	antenna switch (algorhythm)
56	sync_ok	sync. word has been detected	位_clk	位 clock	rx_data	demodulator RX data output
57	demod_phase[4]	demodulator phase MSB	demod_phase[3]	demodulator MSB-1	demod_phase[2]	demodulator MSB-2
58	prea_valid	valid preamble	demod_tst[2]	demodulator test	demod_tst[1]	demodulator test
59	agc_smp_clk	AGC sample clock	win_h_tp	window comparator high	win_l_tp	window comparator low dly'd
60	agc_smp_clk	AGC sample clock	win_h_dly_tp	window comparator high	win_l_dly_tp	window comparator low dly'd
61	ldc_on	active low duty cycle	pll_en	PLL enable: TUNE state	rx_en	RX enable: RX state
62	ldc_on	active low duty cycle	no_sync_det	no sync word detected	prea_valid	valid preamble
63	adc_en	ADC enable	adc_refdac_en	ADC reference DAC enable	adc_rst_n	combined ADC reset

地址 52h.发射斜坡控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	txmod[2:0]			ldoramp[1:0]		txramp[1:0]	
类型	R/W	R/W			R/W		R/W	

位	名称	功能
7	Reserved	保留
6:4	txmod[2:0]	发射调制滞后. 在 PA 使能和发射调制开始之间时间滞后,容许 PA 斜率上升.它能够设置从 0 μ s 到 28 μ s, 步长.4 μ s.这也容许 PA 斜坡下降工作。
3:2	ldoramp[1:0]	发射 LDO Ramp Time . The RF LDO is used to help ramp the PA to prevent VCO pulling and spectral splatter. 00: 5 μ s 01: 10 μ s 10: 15 μ s 11: 20 μ s
1:0	txramp[1:0]	发射 Ramp Time . The PA is ramped up slowly to prevent VCO pulling and spectral splatter. This register sets the time the PA is ramped up. 00: 5 μ s 01: 10 μ s 10: 15 μ s 11: 20 μ s

校正后PLL总的设定时间（冷启动）可计算为： $T_{cs} = T_s + T_o$.

地址 53h. PLL 调谐时间

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	pllts[4:0]					pllt0		
类型	R/W					R/W		

Reset value=01010010

位	名称	功能
7:3	pllts[4:0]	PLL 软建立时间(Ts). 在调谐模式这个寄存器将从预先锁定的频率为PLL设定一个建立时间.这个值在 0 μ s到310 μ s之间可配置, 步长10 μ s. 默认的PLL时间接近100 μ s. 见上面公式.
2:0	pllt0	PLL 建立时间(To). 这个寄存器设置时间容许PLL在校正完成之后处理.这个值在0 μ s到70 μ s之间可配置,步长10 μ s.默认的PLL时间接近20 μ s.见上面公式.

地址 55h.校正控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	xtalstarhalf	adccaldone	enrcfcal	rccal	vcocaldp	vcocal	skipvco
类型	R	R/W	R	R/W	R/W	R/W	R/W	R/W

位	名称	功能
7	Reserved	保留.
6	xtalstarhalf	If Set, the Xtal Wake Time Period is Halved.
5	adccaldone	Delta-sigma ADC校正已进行. 如果校正过程已经完成读取此位得到“1”。
4	enrcfcal	RC 振荡器精细校正使能. 如要此位设为“1”，RC振荡器每隔20s执行一次检测。
3	rccal	RC 强制校正. 如果设置 rccal=“1”，将自动执行 32kHz RC 振荡器的强迫性校正。如果使能唤醒定时器或处于唤醒接收器状态,将自动校正RC振荡器.校正要发 2ms. 使能 32kHz RC 振荡器执行一个校正. 设置这个信号从’0’到’1’开始校正.此位将自动清零.
2	vcocaldp	VCO校正双精度使能. 当此位为’1’,VCO校正测量更持久,因而校正更精确。
1	vcocal	VCO强制校正. 如果处于挂起模式并且pllcn=’1’,设置vcocal=’1’时将迫使合成器VCO校正一次.此位将自动清零.
0	skipvco	跳过校正, 设置skipvco=1,当从挂起状态进入发射状态或是接收状态时将跳过VOC校正。

地址 56h. 调制测试

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	bcrfbyp	slicfbyp	Dttype	afcpol	Reserved	refclkssel	refclkinv	iqswitch
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Reset value = 00000000

位	名称	功能
7	bcrfbyp	If set, BCR phase compensation will be bypassed.
6	slicfbyp	If set, slicer phase compensation will be bypassed.
5	Dttype	Dithering 类型. If low and dither enabled, we add +1/0, otherwise if high and dithering enabled, we add ± 1 .
4	afcpol	AFC loop polarity selector (costumer should not touch it).
3	Reserved	保留.
2	refclkssel	Delta-Sigma参考时钟源选择 (1: 10 MHz 0: PLL)
1	refclkinv	Delta-Sigma 参考时钟源倒置使能.
0	iqswitch	I&Q 信道切换使能.

地址 57h. 充电泵测试

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	pfdrst	fbdiv_rst	Cpforceup	cpforcedn	cdonly	cdcurr[2:0]		
类型	R/W	R/W	R/W	R/W	R/W	R/W		

Reset value = 00000000

位	名称	功能
7	pfdrst	Direct Control to Analog.
6	fbdiv_rst	Direct Control to Analog.
5	cpforceup	充电泵强制上升.
4	cpforcedn	充电泵强制下降.
3	cdonly	充电器仅仅DC偏移.
2:0	cdcurr[2:0]	充电泵DC电流选择.

地址 58h. 充电泵电流微调/Override

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	cpcurr[1:0]		cpcorrov	cporr[4:0]				
类型	R/W		R/W	R/W				

Reset value = 100 × × × × ×

位	名称	功能
7:6	cpcurr[1:0]	充电泵电流 (增益设置). 改变这些位将改变PLL带宽. 默认值对于所有的数据传输率来说都是适当的.
5	cpcorrov	充电泵修正超驰使能
4:0	cpcorr[4:0]	充电泵修正值.

地址 59h. 电流分压器微调/Delta-Sigma 测试

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	txcorboosten	fbdivhc	d3trim[1:0]		d2trim[1:0]		d1p5trim[1:0]	
类型	R/W	R/W	R/W		R/W		R/W	

Reset value = 10000000

位	名称	功能
7	txcorboosten	If this is Set, then vcocorr (reg 5A[5:2]) = 1111 during TX Mode and VCO CAL followed by TX.
6	fbdivhc	反馈 (部分的) 分频器高电流使能(+5 μ A).
5:4	d3trim[1:0]	分配器3电流微调值.
3:2	d2trim[1:0]	分配器2电流微调值.
1:0	d1p5trim[1:0]	分配器1.5 (div-by-1.5) 电流微调值.

地址 5Ah. VCO 电流微调节

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	txcurboosten	vcocorrov	vcocorr[3:0]				vcocur[1:0]	
类型	R/W	R/W	R/W				R/W	

Reset value = 00000000

位	名称	功能
7	txcurboosten	If this is Set, then vcocur = 11 during TX Mode and VCO CAL followed by TX.
6	vcocorrov	VCO Current Correction Override.
5:2	vcocorr[3:0]	VCO 电流修正值.
1:0	vcocur[1:0]	VCO 电流微调节值.

地址 5Bh. VCO 校正/超驰

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	vcocalov/vcdone	vcocal[6:0]						
类型	R/W	R/W						

Reset value = 00000000

位	名称	功能
7	vco-calov/vcdone	VCO 校正 Override / 完成. 当vcocalov=' 0' ,通过读取vcocal寄存器,观察内部VCO校正结果.当vcocalov=' 1' 时, VCO结果通过SPI写入rcccal寄存器外部超驰. 若校正过程完成,读取此位将得到' 1' .
6:0	vcocal[6:0]	VCO 校正结果.

地址5Ch. 合成器测试

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	dsmdt	Vcotype	enoloop	dsmod	dsorder[1:0]		dsrstmode	dsrst
类型	R/W	R	R/W	R/W	R/W		R/W	R/W

Reset value = 0 × 001110

位	名称	功能
7	dsmdt	Enable DSM Dithering. If low, dithering is disabled.
6	Vcotype	VCO 类型. 0: basic, constant K 1: 单端可变电阻器, 变成K
5	enoloop	打开循环模式使能.
4	dsmod	Delta-Sigma 系数. 0: 64 000 1: 65 536
3:2	dsorder[1:0]	Delta-Sigma 顺序. 00: 0 order 01: 1st order 10: 2nd order 11: Mash 111
1	dsrstmode	Delta-Sigma 复位模式.
0	dsrst	Delta-Sigma 复位.

地址 5Dh. 模块使能超驰 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	enmix	enina	enpga	enpa	enbf5	endv32	enbf12	enmx2
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Reset value = 00000000

位	名称	功能
7	enmix	混频器使能超驰.
6	enlna	LNA 使能超驰.
5	enpga	PGA 使能超驰.
4	enpa	功率放大器使能超驰.
3	enbf5	缓冲器5使能超驰.
2	endv32	分配器3_2 使能超驰.
1	enbf12	缓冲器1_2 使能超驰.
0	enmx2	复合器 2 使能超驰.

地址 5Eh. 模块使能2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	ends	enldet	enmx3	enbf4	enbf3	enbf11	enbf2	pllreset
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Reset value = 01000000

位	名称	功能
7	ends	Delta-Sigma 使能超驰.
6	enldet	锁侦测使能（直接控制不超驰）.
5	enmx3	复合器 3 使能超驰.
4	enbf4	缓冲器4 使能超驰.
3	enbf3	缓冲器 3 使能超驰.
2	enbf11	缓冲器1_1 使能超驰.
1	enbf2	缓冲器 2 使能超驰.
0	pllreset	PLL复位使能超驰.

地址 5Fh. 模块使能超驰 3

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	enfrdv	endv31	endv2	endv1p5	dvbshunt	envco	encp	enbg
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Reset value = 00000000

位	名称	功能
7	enfrdv	微分分配器使能超驰.
6	endv31	分配器 3_1 使能超驰.
5	endv2	分配器 2 使能超驰.
4	endv1p5	分配器 1.5 (div-by-1.5) 使能超驰.
3	dvbshunt	VCO 偏压分流禁止超驰.
2	envco	VCO 使能超驰.
1	encp	充电泵使能超驰.
0	enbg	带溪使能超驰.

地址 60h. 频道滤波器系数地址

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved				chfiladd[3:0]			
类型	R/W				R/W			

Reset value = 00000000

位	名称	功能
7:4	Reserved	保留.
3:0	chfiladd[3:0]	频道滤波波器系数查找表格地址. 频道滤波波器系数地址用于接收通道.

地址 61h. 频道滤波器系数值

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		chfilval[5:0]					
类型	R/W		R/W					

Reset value = 00000000

位	名称	功能
7:6	Reserved	保留.
5:0	chfilval[5:0]	在查找表格chfiladd[3:0]给出的地址里滤波器系数值。

地址 62h. 晶体振荡器/上电复位控制

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	pwst[2:0]			clkhyst	enbias2x	enamp2x	bufovr	enbuf
类型	R			R/W	R/W	R/W	R/W	R/W

Reset value = xxx00100

位	名称	功能
7:5	pwst[2:0]	芯片内部电源状态. LP:000 预备: 001 调谐: 011 发射: 010 接收: 111
4	clkhyst	时钟滞后设置
3	enbias2x	2 次高级偏流使能.
2	enamp2x	2 次高级放大使能.
1	bufovr	输出缓冲器使能超驰,如果此位为“1”,那位enbuf位控制输出缓冲器. 0 - 由状态机器控制输出缓冲器 1 - 由enbuf 位控制输出缓冲器
0	enbuf	输出缓冲器使能.只有bufovr 位设为'1',此位才是激活的.

地址63h. RC 振荡器粗略校正/超驰

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rccov	rcc[6:0]						
类型	R/W	R/W						

Reset value

位	名称	功能
7	rccov	当rccov=' 0' 时,通过读取rcccal寄存器观察内部粗略校正结果.当rccov=' 1'时,粗略校正结果通过SPI写入rcccal寄存器外部超驰.
6:0	rcc[6:0]	RC 振荡器粗略校正超驰Override值/结果.

地址 64h. RC 振荡器精细校正

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	rcfov	rcf[6:0]						
类型	R/W	R/W						

Reset value = 00000000

位	名称	功能
7	rcfov	RC振荡器精细校正超驰. 当rcfov=' 0' 时,通过读取rcfcal 寄存器观察内部精细校正.当rcfov=' 1' 精细校正结果通过SPI写入rcccal寄存器外部超驰.
6:0	rcf[6:0]	RC振荡器粗略校正超驰值/结果.

地址 65h. LDO 控制超驰

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	enspor	enbias	envcoldo	enifldo	enrldo	enplldo	endigldo	endigpwn
类型	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Reset value = 10000001

位	名称	功能
7	enspor	Smart POR Enable.
6	enbias	Bias 使能.
5	envcoldo	VCO LDO 使能.
4	enifldo	IF LDO 使能.
3	enrldo	RF LDO 使能.
2	enplldo	PLL LDO 使能.
1	endigldo	数字 LDO 使能.
0	endigpwn	在挂起模式数字电源域关机使能.

地址 66h. LDO 等级设置

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	enovr	enxtal	ents	enrc32	Reserved	diglvi		
类型	R/W	R/W	R/W	R/W	R	R/W		

Reset value = 00000011

位	名称	功能
7	enovr	Enable Overrides. If high, ovr values are output to the blocks and can enable or disable them, if low, some ovr value can only enable the blocks.
6	enxtal	Xtal Override Enable Value.
5	ents	温度传感器使能.
4	enrc32	32K 振荡器使能.
3	Reserved	保留.
2:0	diglvi	数字LDO等级设置。

地址 67h. Delta-Sigma ADC 调谐 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	adcrst	enrefdac	enadc	adctuneovr	adctune[3:0]			
类型	R/W	R/W	R/W	R/W	R/W			

Reset value = 00011101

位	名称	功能
7	adcrst	Delta-Sigma ADC复位。
6	enrefdac	Delta-Sigma ADC 参考DAC使能超驰。
5	enadc	Delta-Sigma ADC 使能超驰。
4	adctuneovr	谐振器 RC 校正超驰使能。
3:0	adctune[3:0]	谐振器 RC 校正。

地址 68h. Delta-Sigma ADC 调谐 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved			envcm	adcoloop	adcref[2:0]		
类型	R			R/W	R/W	R/W		

Reset value = 00000011

位	名称	功能
7:5	Reserved	保留。
4	envcm	Delta-Sigma ADC VCM 使能超驰。
3	adcoloop	Delta-Sigma ADC 打开循环使能。
2:0	adcref[2:0]	Delta-Sigma ADC 参考电压。 000: 0.5 V 001: 0.6 V 010: 0.7 V ... 111: 1.2 V

地址 69h. AGC 过载 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		agcen	lnagain	pga[3:0]			
类型	R		R/W	R/W	R/W			

Reset value = 00100000

位	名称	功能
7:6	Reserved	保留.
5	agcen	自动增益控制使能.当此位设为‘1’,那么控制的结果可从位[4:0]读出.否则通过写进位[4:0]由手动控制增益.
4	lnagain	LNA 增益选择. 0 – 最小增益 = 5 dB 1 – 最大增益 = 25 dB
3:0	pga[3:0]	PGA 增益过载值. 000: 0 dB 001: 3 dB 010: 6 dB ... 101: 24 dB 最大.

地址 6Ah. AGC 过载 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	agcovpm	agcslow	lnacomp[3:0]			pgath[1:0]		
类型	R/W	R/W	R/W			R/W		

Reset value = 00011101

位	名称	功能
7	agcovpm	If set, AGC will ignore the Preamble Detection.
6	agcslow	AGC慢增益增强使能. 当此位为‘1’,在接收器时里,AGC环将使增益增强慢下来.增益减速的速度不受影响.
5:2	lnacomp[3:0]	LNA 增益补偿, 用于当切换LNA增益时平滑RSSI。
1:0	pgath[1:0]	PGA窗口比较器参考电压调整.

地址 6Bh. GFSK FIR 滤波器系数地址

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved					firadd[2:0]		
类型	R					R/W		

Reset value = × × × 00000

位	名称	功能
7:3	Reserved	保留.
2:0	firadd[2:0]	GFSK FIR 滤波器系数查找表格地址. 高斯滤波器系数地址用在发途通道. 默认GFSK设置是BT=0.5. 如果BT=0.5 对系统来说是很满意的, 不需要去更改或是加载 GFSK 系数. 000 – i_coe0 (默认值 =d1) 001 – i_coe1 (默认值=d3) 010 – i_coe2 (默认值=d6) 011 – i_coe3 (默认值=d10) 100 – i_coe4 (默认值=d15) 101 – i_coe5 (默认值=d19) 110 – i_coe6 (默认值=d20)

地址 6Ch. GFSK FIR Filter Coefficient Value

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		firval[5:0]					
类型	R/W				R/W			

Reset value = xxxxx000

位	名称	功能
7:6	Reserved	保留.
5:0	firval[5:0]	由firadd[2:0]给出地址的查表表格里的FIR系数值. 默认系数能被读取或是修改.

地址6Dh. 发射功率

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved					txpow[2]	txpow[1:0]	
类型	R					R/W	R/W	

Reset value = $\times \times \times \times \times 11$

位	名称	功能
7:3	Reserved	保留。
2	txpow[2]	发射输出功率. This bit is used in 4x31 output power programming.
1:0	txpow[1:0]	发射输出功率. 输出功率从+20 dBm到+11 dBm以~3 dBm 为步. txpow[1:0] = 11 相当于 +20 dBm 和 00 to +11 dBm.

地址 6Eh. 发射数据波特率 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	txdr[15:8]							
类型	R/W							

Reset value = 00001010

位	名称	功能
7:0	txdr[15:8]	数据波特率上限字节. 见上面的公式.

数据波特率可计算为: $TX_DR = 10^3 \times txdr[15:0] / 2^{16}$ [kbps] (if address 70[5] = 0)

也可以计算为: $TX_DR = 10^3 \times txdr[15:0] / 2^{21}$ [kbps] (if address 70[5] = 1)

地址 6Fh. TX数据波特率 0

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	txdr[7:0]							
类型	R/W							

Reset value = 00001101

位	名称	功能
7:0	txdr[7:0]	数据波特率下限字节。见上面的公式。默认值 = 40 kbps.

地址 70h. 调制模式控制 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		txdtrtscale	enphpwdn	manppol	enmaninv	enmanch	enwhite
类型	R		R/W	R/W	R/W	R/W	R/W	R/W

Reset value = 00001100

位	名称	功能
7:6	Reserved	保留
5	txdtrtscale	这位应该设置数据速率30 kbps以下.
4	enphpwdn	如果设置, the Packet Handler will be powered down when chip is in low power mode.
3	manppol	Manchester Preamble Polarity (will transmit a series of 1 if set, or series of 0 if reset). This 位 affects ONLY the transmitter side, not the receiver. This is valid ONLY if Manchester Mode is enabled.
2	enmaninv	如果此位“1”，则会使能曼切斯特反演.
1	enmanch	如果此位为“1”，则会使能曼切斯特编码.
0	enwhite	如果此位为“1”，则会使能数据白化.

地址71h. 调制模式控制 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	trclk[1:0]		dtmod[1:0]		eninv	fd[8]	modtyp[1:0]	
类型	R/W		R/W		R/W	R/W	R/W	

Reset value = 00000000

位	名称	功能
7:6	trclk[1:0]	发射数据时钟配置 00 - 没有发射数据时钟是有效的。(不同步模式只能工作在FSK或OOK) 1 - 经由GPIO的发射数据时钟是有效的。(编程其中的一个GPIO) 10 - 经由SCK引脚的发射数据时钟是有效的。 11 - 经由nIRQ引脚的发射数据时钟是有效的。
5:4	dtmod[1:0]	调制源 00 - 直接模式.经由GPIO引脚使用TX_Data功能(因而也应该有根据地编程的其中一个GPIO) 01 - 直接模式.经由SDI引脚使用TX_Data功能(仅当nSEL是高电平时) 10 - FIFO模式 11 - PN9 (内部产生)
3	eninv	反向发射和接收数据.
2	fd[8]	MSB of Frequency Deviation Setting, see "Register 72h. Frequency Deviation".
1:0	modtyp[1:0]	调制类型 000 - 未调制的载波频率 001 - OOK 010 - FSK 011 - GFSK (当使用直接模式时,使能发射数据时钟(trclk[1:0]))

频率偏差可计算为: $Fd = 625 \text{ Hz} \times fd[8:0]$.

地址 72h. 频率偏差

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	fd[7:0]							
类型	R/W							

Reset value = 00100000

位	名称	功能
7:0	fd[7:0]	频率偏差设置, 见上面的公式

Note: It's recommended to use modulation index of 1 or higher (maximum allowable modulation index is 32). The modulation index is defined by $2F_N/F_R$ where F_D is the deviation and R_b is the data rate. When Manchester coding is enabled the modulation index is defined by F_D/R_b .

地址 73h. 频率偏移 1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	fo[7:0]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	fo[7:0]	频率偏移设置. The frequency offset can be calculated as Offset = 156.25 Hz x (hbsel + 1) x fo[7:0]. fo[9:0] is a twos complement value. Reading from this register will give the AFC correction last results, not this register value.

Reading from this register will give the AFC correction last results, not this register value.

地址 74h. 频率频道控制 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved						fo[9:8]	
类型	R						R/W	

Reset value = 00000000

位	名称	功能
7:2	Reserved	保留.
1:0	fo[9:8]	频率偏移上限为设置. fo[9]是符号位. The frequency offset can be calculated as Offset = 156.25 Hz x (hbssel + 1) x fo[7:0]. fo[9:0] is a twos complement value. Reading from this register will give the AFC correction last results, not this register value.

地址 75h. Frequency Band Select

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved	sbsel	hbssel	fb[4:0]				
类型	R	R/W	R/W	R/W				

Reset value = 01110101

位	名称	功能
7	Reserved	保留.
6	sbsel	Side Band 选择.
5	hbssel	高频道选择. 设置hbssel = 1 将从480–930 MHz (高电平) 选择频率范围. 设置hbssel = 0 will 将从240–479.9 MHz (低电平) 选择频率范围.
4:0	fb[4:0]	频率频道选择. 低电平每次相应地10MHZ频段,高电平每次相应地增加20MHZ频段.设置fb[4:0]=' 00000' 相对应于hbssel=' 0' 的240-250MHZ频段和hbssel=' 1' 的480-500MHZ频段. 设置fb[4:0]=' 00001' 相对应于hbssel=' 0' 的 250-260MHz 频段和hbssel=' 1' 的 500-520MHz 频段.

RF载波频率可以按下面公式计算:

$$f_{\text{carrier}} = (f_b + 24 + (f_c + f_o) / 64000) \times 10000 \times (\text{hbssel} + 1) + (f_{\text{hch}} \times f_{\text{hs}} \times 10) \text{ [kHz]},$$

参数 f_c , f_o , f_b 和 hb_sel 来自寄存器73h - 77h. 参数 f_{hch} 和 f_{hs} 来自寄存器79h and 7Ah.

地址 76h. 标称载波频率

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	fc[15:8]							
类型	R/W							

Reset value = 10111011

位	名称	功能
7:0	fc[15:8]	标称载波频率设置. 见上面公式.

地址 77h. 标称载波频率

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	fc[7:0]							
类型	R/W							

Reset value = 10000000

位	名称	功能
7:0	fc[7:0]	标称载波频率设置. 见上面公式

地址 79h. 调频频率选择

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	fhch[7:0]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	fhch[7:0]	调频频道数

地址 7Ah. 调频步码

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	fhs[7:0]							
类型	R/W							

Reset value = 00000000

位	名称	功能
7:0	fhs[7:0]	调频步码以10kHz增加。见寄存器" 76h. 标称载波频率公式".

地址7Ch. TX FIFO 控制1

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		txafthr[5:0]					
类型	R/W				R/W			

Reset value = 00110111

位	名称	功能
7:6	Reserved	保留.
5:0	txafthr[5:0]	TX FIFO 几乎满的门限.

地址 7Dh. TX FIFO 控制 2

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	Reserved		txfaethr[5:0]					
类型	R/W				R/W			

Reset value = 00000100

位	名称	功能
7:6	Reserved	保留.
5:0	txfaethr[5:0]	TX FIFO 几乎空的门限.

地址 **7Eh. RX FIFO控制**

位	D7	D6	D5	D4	D3	D2	D1	D0
名称	保留		rxafthr[5:0]					
类别	R/W				R/W			

Reset value = 00110111

位	名称	功能
7:6	保留	保留
5:0	rxafthr[5:0]	RX FIFO 几乎满的门限.

地址 **7Fh. FIFO存取**

位	D7	D6	D5	D4	D3	D2	D1	D0
名字	fifod[7:0]							
类型	R/W							

Reset value = NA

位	名称	功能
7:0	fifod[7:0]	fifod[7:0] = '写入这个地址(R/W=' 1') to this address 将开始一个突发写到TX FIFO. 用同样的方式FIFO将作为一个突发SPI写加载, 但是不会增加SPI地址. 为了结束 TX FIFO 写, SEL 引脚应该被带到高电平. 用同样的方式, 读出这个地址将开始 RX FIFO突发读.

13. 引脚描述: Si4432

Pin	引脚名称	I/O	Description
1	VDD_RF	VD D	+1.8V 到 +3.6V 提供电压输入到所有模拟+1.7V调整器, 推荐VDD供电电压+3.3V。
2	TX	O	发射输出引脚, 发射模式最大+20dbm, PA输出是一个开漏连接因此L-C匹配必须供电VDD到这个引脚(标称+3.3v)。
3	RXp	I	LNA的差分RF输入引脚, 查看举例匹配网络的应用原理图。
4	RXn	I	
5	VR_IF	O	1.7V调整器的调整输出电压, 需要一颗1 μ F退耦电容。
6	NC	—	No Connect.
7	GPIO_0	I/O	通用数字I/O通过SPI寄存器配置完成许多功能, 包括: 单片机时钟输出、FIFO状态、POR、唤醒定时器、欠压检测、收发切换、天线分集控制等等。更多的信息查看SPI GPIO配置寄存器地址0Bh和0Ch。
8	GPIO_1	I/O	
9	GPIO_2	I/O	
10	VR_DIG	O	数字1.7V调整器调节输出电压, 需要一颗1 μ F退耦电容。
11	NC	—	No Connect.
12	VDD_DIG	VD D	+1.8V到 +3.6V供电电压输入到数字+1.7V调整器。推荐VDD供电电压+3.3V。
13	SDO	O	0-VDDv 数字输出提供内部控制寄存器串行读回功能。
14	SDI	I	串行数据输入引脚0-VDD v, 数字输入, 这引脚为4线串行数据总线提供串行数据流。
15	SCLK	I	串行时钟输入引脚0-VDD v, 数字输入, 这个引脚提供4线串行数据总线串行数据时钟功能, 数据在时钟的上升沿跳变送入芯片。
16	nSEL	I	穿行接口选择输入引脚: 0- VDD v, 数字输入, 这个引脚为4线串行数据总线提供选择/使能功能 这个信号也用于表示突发读/写模式,
17	nIRQ	O	普通单片机中断状态输出引脚, 当RFIC提出任何事件的中断则nIRQ将会变高: nIRQ= “1”, 更多部分信息, 请查看中断事件控制逻辑寄存器, 控制器能够通过读相应的SPI确定中断状态寄存器, 地址03h和04h.
18	XOUT	O	晶体振荡器输出, 连接到一个外部30MHz晶体或假如外部信号源驱动Xin引脚则悬空。
19	XIN	I	晶体振荡器输入, 连接到外部30MHz晶体或一个外部源, 如果没有发生晶体则使用外部时钟源, 最小交流振幅700mV pp建议标称DC 0.8V直流耦合
20	SDN	I	关闭输入引脚 0-VDD V 数字输入, 在所有模式除关闭模式外SDN= “0”, 当SDN= “1” 芯片将完全关闭并且寄存器的内容将丢失。
PKG	PADDLE_GND	GN D	RFIC芯片底部导线架金属裸露提供整个芯片RF和电路接地, 一个好的焊接是非常重要的, 让导线架金属裸露和RFIC下面的PCB的地板之间最合适。

14. 订单信息

型号*	描述	封装	工作温度
Si4432-V2-FM	ISM 收发	QFN-20 Pb-free	-20 to 85 °C
*Note: 型号后面加个R是说明卷带包装;每卷2500pcs.			

15. 封装信息

图55说明SI4432引脚, 图56说明了贴片面的详细

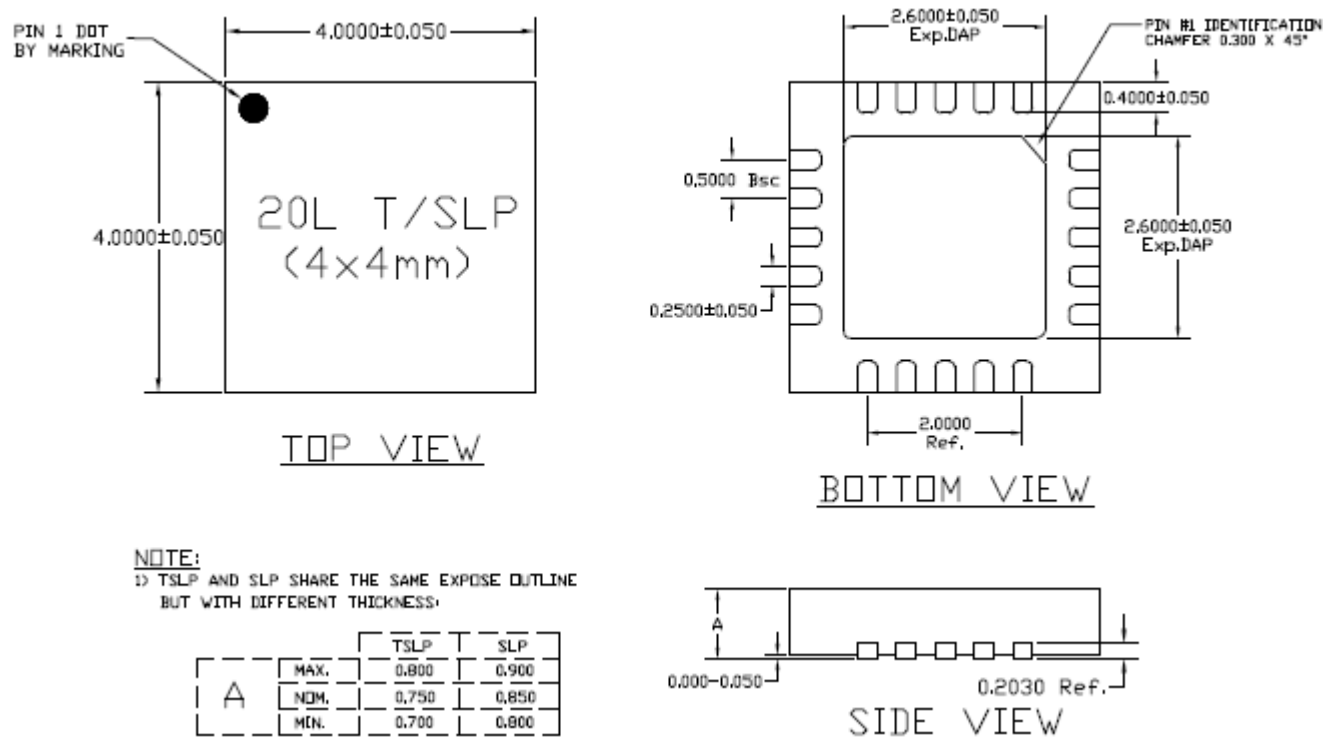


图55.SI4432封装尺寸

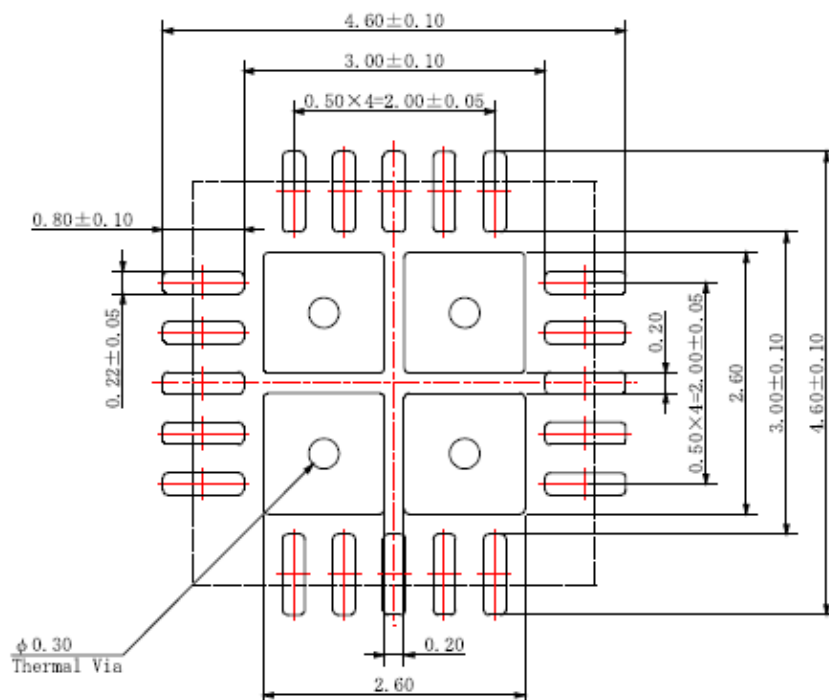


图56.QFN-20贴片样式尺寸

文件修改列表

修订版本 0.1到 0.2

Reformatted all registers.

Updated "9. Reference Design".

Added "13. Pin Descriptions: Si4432" on page 161.

Added "14. Ordering Information" on page 162.

修订版本 0.2 到 0.3

Updated Pinout and Figures to reflect pin 6 and 11 now as No Connect.

Updated Tables 1-7 footnotes for production testing.

Updated "6.7. Preamble Length".

Updated "3.6.6. Auto Frequency Control (AFC)".

Updated "12.1. Complete Register Table and Descriptions".

详情请登陆www.slibas.com

（益登科技）模块测试图片：