

ΗΡΥ415 Αρχιτεκτονική Υπολογιστών

Αναφορά Εργαστηρίου 1α

LAB41539009

Φλέγγας Γεώργιος 2014030161

Στην ακόλουθη αναφορά παρατίθενται οι διεπαφές και τα σχηματικά διαγράμματα των μονάδων που είναι απαραίτητες για την υλοποίηση ενός επεξεργαστή με δυναμική ομοχειρία (pipeline) βασισμένη στον αλγόριθμο του Tomasulo. Ακόμα περιλαμβάνει και ένα σχηματικό διάγραμμα του ολοκληρωμένου συστήματος.

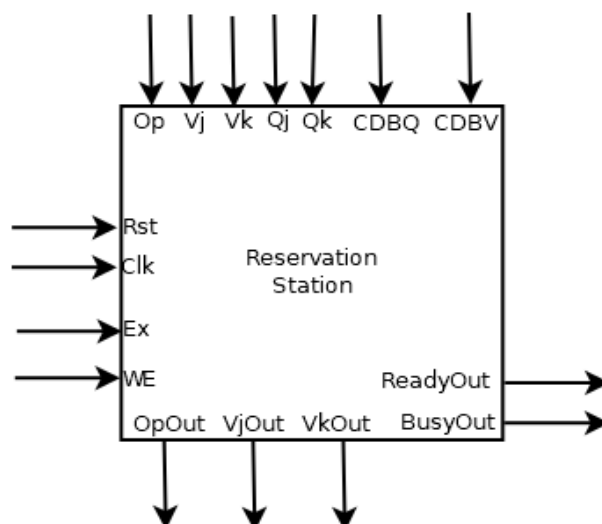
Reservation Station(RS)

Αποτελείται από registers οι οποίοι αποθηκεύουν δεδομένα μόνο αν δεν είναι Busy κατά την αποστολή μίας εντολής προς αυτούς ή μέσω του CDB. Ένα RS θεωρείται busy όταν περιέχει κάποια εντολή και δεν έχει λάβει ακόμα το σήμα executed από το αντίστοιχο Functional Unit. Επίσης θεωρείται Ready to be executed όταν είναι busy και οι τιμές των Qj, Qk είναι μηδενικά.

Inputs:

Outputs:

WE 1 bit	OpOut 2 bits
Op 2 bits	VjOut 32 bits
Vj 32 bits	VkOut 32 bits
Vk 32 bits	ReadyOut 1 bit
Qj 4 bits	BusyOut 1 bit
Qk 4 bits	
Ex 1 bit (Executed)	
CDBQ 5 bits	
CDBV 32 bits	
Rst	
Clk	



Functional Unit(FU)

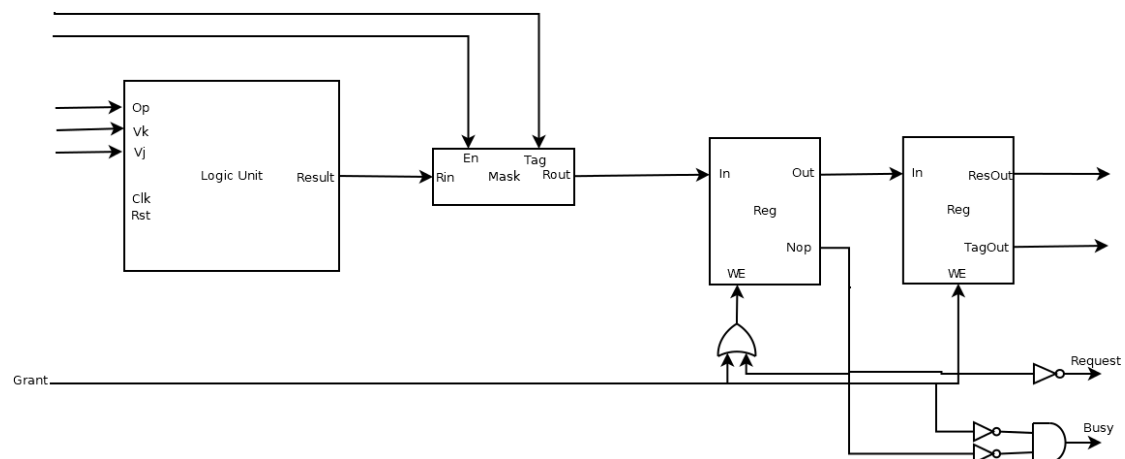
Αποτελείται από την μονάδα που εκτελεί την ζητούμενη μαθηματική πράξη και από registers που χρησιμοποιούνται σε σειρά με σκοπό τον συγχρονισμό του συστήματος. Ένα FU θεωρείται busy όταν κάθε register έχει tag διάφορο των μηδενικών (NOP), δηλαδή εκτελεσμένη εντολή με δεδομένα προς εγγραφή στον επόμενο ή το CDB. Το Request γίνεται μόλις εντοπιστεί κάποιο Tag διάφορο των μηδενικών στον προτελευταίο register του functional unit.

Inputs:

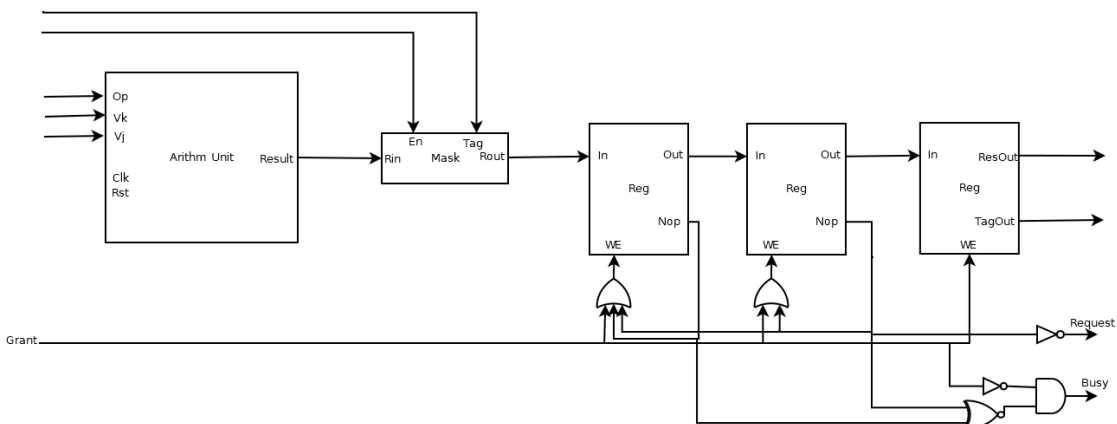
Outputs:

Rst	ReqOut 1 bit (Request to CDB)
Clk	BusyOut 1 bit
En 1 bit	ResOut 32 bits (Result Output)
Grant 1 bit	TagOut 5 bits
Op 2 bits	
Vj 32 bits	
Vk 32 bits	
Tag 5 bits	

Logical FU:



Arithmetic FU:



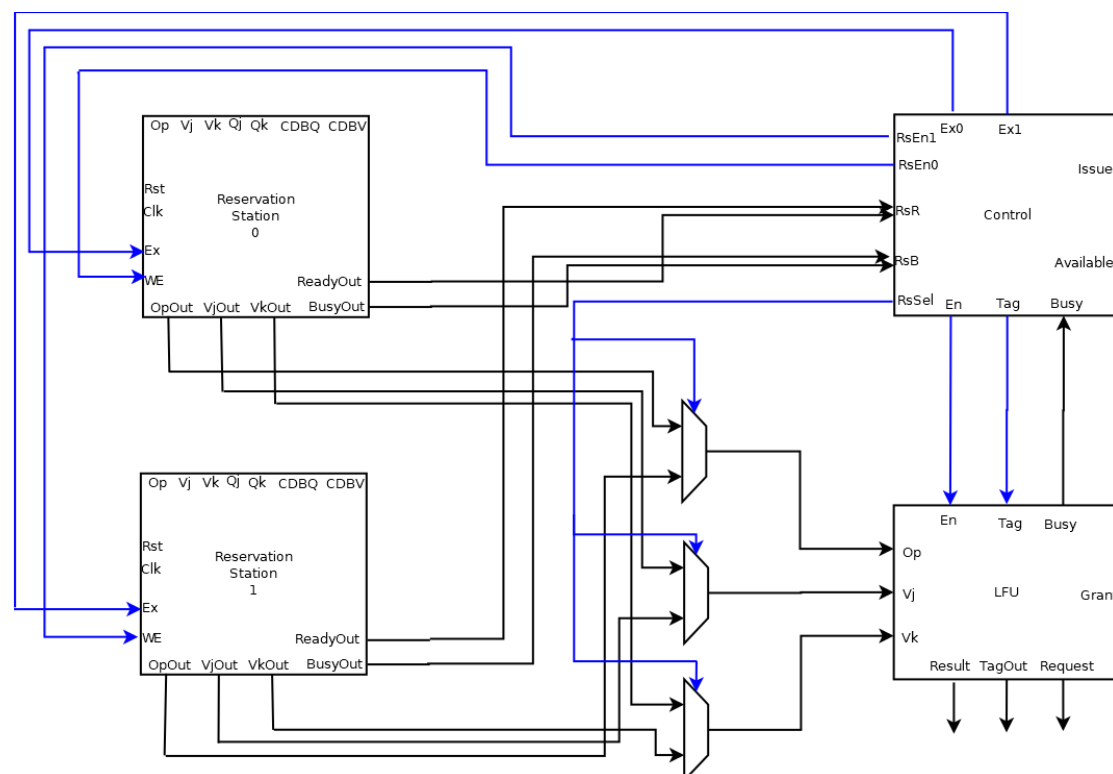
Τοπικός έλεγχος RS+FU

Μια συνολική μονάδα εντολών δέχεται από την μονάδα issue κατάλληλα πεδία Vj,Vk,Qj,Qk,Op και με την σειρά της τα βάζει σε ένα εσωτερικό Reservation Station. Το control θα ελέγχει τόσο την εγγραφή στο RS όσο και την εκτέλεση της πράξης .

Inputs:

Outputs:

Rst	Available 3 bits (Δέχεται εντολες)
Clk	Vout 32 bits
Issue 1 bit (Διαθέσιμες εντολές)	Qout 5 bits
Op 2 bits	Request 1 bit
Vj 32 bits	
Vk 32 bits	
Qj 5 bits	
Qk 5 bits	
CDBQ 5 bits	
CDBV 32 bits	
Grant 1 bit (Εγγραφή στο CDB)	



Το παραπάνω διάγραμμα αποτελεί την υλοποίηση μια μονάδας λογικών πράξεων.

Οι μπλε γραμμές αντιπροσωπεύουν τα σήματα έλεγχου από το control.

Η μονάδα αριθμητικών πράξεων υλοποιείται παρόμοια προσθέτοντας ένα ακόμα Reservation Station και αντικαθιστώντας την LFU με μια AFU.

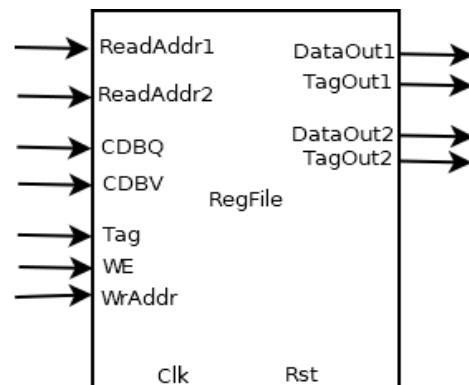
Register File

Αποτελείται από 32 registers των 32 bit για τα data και παράλληλα βρίσκονται άλλοι 32 registers για τα tags. Διαθέτει δύο εισόδους ανάγνωσης από όπου λαμβάνονται και τα δεδομένα αλλά και το tag των δεδομένων που ζητούνται από τις δοσμένες διευθύνσεις. Η Register File γράφει τα tags μέσω της μονάδας Issue και παράλληλα αποθηκεύει τα δεδομένα CDB.V όταν βρεθεί κάποιο tag μέσα της είναι ίσο με την είσοδο CDB.Q.

Inputs:

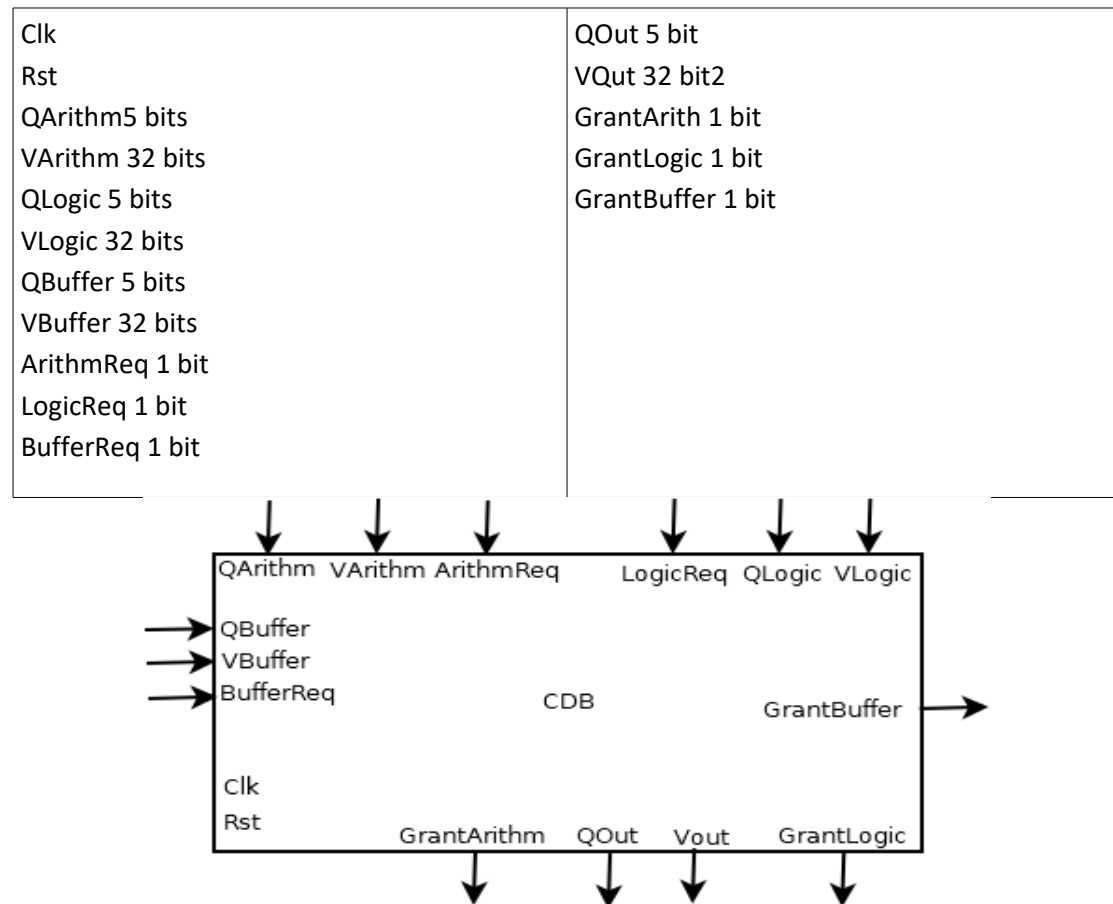
Outputs:

Clk	DataOut1 32 bits
Rst	DataOut2 32 bits
ReadAddr1 5 bits	TagOut1 5 bits
ReadAddr2 5 bits	TagOut2 5 bits
CDBQ 5 bits	
CDBV 32 bits	
Tag 5 bits	
WE 1 bit	
WrAddr 5 bits	



Common Data Bus

Το CDB δέχεται τα Requests και αποφασίζει ποιός θα γράψει στις εισόδους του σύμφωνα με την τεχνική round robin στέλνοντας στο αντίστοιχο module το κατάλληλο Grant.



Τα παραπάνω modules σε συνδυασμό και με το module Issue δημιουργούν έναν επεξεργαστή με δυναμική ομοχειρία (pipeline) βασισμένο στον αλγόριθμο του Tomasulo. Το συνολικό σχηματικό διάγραμμα θα παρουσιαστεί στην επόμενη αναφορά μαζί με τις προσομοιώσεις .