Bus	
Dus	

# **Liaisons**

Les slots, prises et les bus sont des connexions permettant de connecter la carte mère aux périphériques et en règle général à l'extérieur.

On va distinguer, arbittrairement, 2 types de connexions:

Les connexions internes : les connecteurs Les connexions externes : les prises

#### Les connecteurs

Les connecteurs sont situés <u>sur</u> la carte mère. Ils servent à l'interfacer aux périphériques les plus proches (ceux qui restent dans le boitier) : Les disques dur , la carte graphique , les cartes additionnelles. Pour cela ces connecteurs sont "normalisés".

## Les prises

Les prises sont situées sur l'arrière de la cartes mère et sont donc accessibles à l'arrière du boitier. C'est la cas des prises parallèles, séries, réseau Ethernet, USB, etc.

De nouvelles prises se trouvent en face avant des boitiers "modernes" tel que les prises audios, afin de brancher un casque ou une entrée ligne. Il existe aussi des prises USB et FIRE WIRE qui commencent à apparaître devant. Généralement elles se trouve situées en bas du boitier sous une petite trappe protectrice. Ces prises en face avant se connectent au moyen de câbles dans des connecteurs sur la carte mère. Comme ces connecteurs sont des intermédiaires vers des prises extérieurs, elles sont classées dans les prises et non pas comme connecteur.

#### Notion Générale de bus

On parle de bus quand on transmet des informations sur les fils. Les bus peuvent être parallèles ou séries.

### Bus parallèle

Un bus parallèle transportent le signal de donné sur plusieurs fils c.a.d. par ex. sur 8 bit en même temps, il y a donc 8 fils pour les 8 bits. On peut avoir des bus parallèles de tailles quelconque, par ex. le bus d'adressage d'un µprocesseur comme le pentium a : 64 fils de données , 32 fils d'adresses , et un grand nombre de fils de controls.

Remarque : Un bus parallèle a , des fils de donnée, souvent des fils d'adresse, et TOUJOURS des fils de control. Ces fils servent à indiquer qui envoie à qui, dans quel sens, éventuellement recevoir des accusés de réception, etc.

#### Bus série

Les bus série limitent le nombre physique de fils par envoie de bit les uns après les autres sur le même fil. Cela implique donc une sérialisation de l'émetteur et une désérialisation du récepteur, et surtout un protocole de communication. Ce protocole est contenu dans le transfert en série. Il faut donc une circuiterie (électronique) plus complexe et une norme connue de tous.

La transmission série peut se faire en référentiel par rapport à la masse (1 seul fil) ou en différentiel (2 fils).

Le référentiel à la masse est simple mais ne peut pas aller très loin (affaiblissement et sensibilité aux parasites) et surtout ne peut pas aller très vite.

Le différentiel permet une grande insensibilité aux parasites, donc d'aller beaucoup plus vite.

Bus
-----

#### Consitution d'une carte mère

Une carte mère de quelque ordinateur que ce soit a toujours :

- o Une prise d'alimentation
- o Des bus internes
- o Des connecteurs pour des périphériques internes
- o Des prises pour des des périphériques externes

Dans le cas d'un ordinateur IBM PC on peut énumérer grossièrement de quoi est constitué l'ordinateur et classer ces différents constituants.

• Une prise d'alimentation

Celle-ci a 2 formats : un ancien (ATX) et un nouveau (ATX 2.2)

Le μ-processeur est relié par l'intermédiaire du chip set constitué par le NorthBridge et le SouthBridge<sup>1</sup>.

- Le NorthBridge gère les **bus internes** 
  - La mémoire (que nous ne décrirons pas dans ce document)
  - Les connecteurs d'extentions pour cartes : (on dit plutôt "*slot*" que connecteur)
    - ✓ d'extentions générales : ISA, PCI ex.: réseau, controleur SCSI, son, etc.
      - Les connecteurs ISA sont *NOIRS*
      - Les connecteurs PCI sont BLANCS
    - ✓ graphiques : AGP, PCI-Express
      - ► Les connecteurs AGP sont *MARRONS*
      - Les connecteurs PCI-Express sont <u>BLANCS</u>
- le SouthBridge gère les connecteurs ou prises d'entrées/sorties
  - Des connecteurs pour des périphériques internes
    - ✓ Connecteur disquette
    - ✓ Connecteur IDE pour disque dur ou lecteur CD/DVD/GRAVEUR
    - ✓ Connecteur SATA
  - Des <u>prises pour des périphériques externes</u>
    - ✓ Connecteurs internes pour prises supplémentaires arrières ou avants : son, USB, Fire Wire, etc.
    - ✓ Prise liaison parallèle pour imprimante , série , clavier , souris
    - ✓ Liaison Ethernet
      - ▼ avec fils: BNC, RJ42
      - ¥ sans fil: WIFI

Attention : Les cartes d'extentions ont des prises arrières pour connecter les périphériques externes.

Ex.: SCSI externe | Prises pour l'écran : VGA, DVI | jacks pour le son | etc.

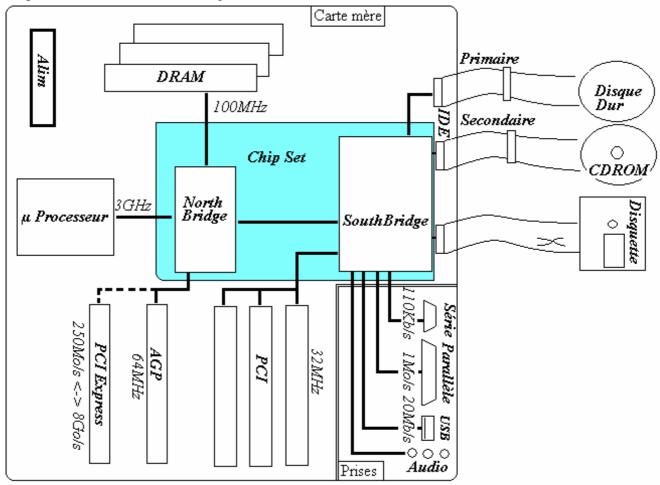
Nota : Dans les prises pour périphériques internes certaines vont effectivement sur des périphériques qui sont à l'intérieur du boîtier : IDE , disquette , SATA, etc. Alors que d'autres sont en fait des relais sur des prises situées soit en face avant soit à l'arrière. Ces prises sont reliées par des fils ou nappes qui sont généralement fournis dans la boite de la carte mère. Pour relier ces connecteurs aux prises correspondantes correctement il faut avoir la documentation de cette carte mère.

Arno LLOP Matériel Ver. 1.1

<sup>&</sup>lt;sup>1</sup> Le chip set est constitué de 2 circuit, le NorthBridge et le SouthBridge. Le NorthBridge s'occupe de parties qui sont très rapides, il est donc toujours surmonté d'un radiateur (passif pour les meilleurs cartes mères, avec un ventilateur pour les moins performante). Le SouthBridge n'avait auparavant pas besoin de radiateur mais comme le nombre de fonctionalités augmente de plus en plus, on voit maintenant le South Bridge avec un petit radiateur passif.

#### Shéma d'une carte mère d'ordinateur

Un petit shéma donne une vision globale de la carte mère.



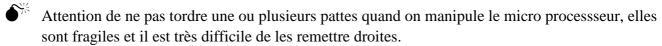
Les chipset sont séparés en 2 circuits suivants qu'ils gèrent des vitesses importantes (en contact avec le micro processeur) ou plus lentes.

- Les connexions rapides : Liaison avec le μ processeur , mémoire Dram , connecteur graphique (AGP/PCI Express) sont gérées par le North bridge.
- Les prises et les connections dont les vitesses ne sont pas trop importantes sont gérées par le South Bridge

Cette séparation permet de n'avoir que le North bridge qui chauffe (un circuit qui travaille à grande vitesse chauffe).

Il n'y a que quelques fabricants de chip set. Ces circuits se retrouvent sur différentes carte mères.

Nota: Il y a toujours un connecteur spécial qui supporte le micro processeur. C'est un support à force d'insertion nulle. C.a.d. que ce support possède un petit bras de levier qui permet de coincer ou de décoincer les pattes du micro processeur.



<b>D</b> 110				
Dus	 	• • • • • • • • • • • • •	• • • • • • • • • • • • • • •	 •

## Démarrage d'un PC

Quand l'ordinateur démarre (on viens de l'allumer) il existe sur la carte mère une petite mémoire "morte", dite flash, qui contient le programme de démarrage (test des périphériques existants et chargement du système d'exploitation).

#### Cette flash contient:

- le boot C'est un programme qui permet de tester les différents composants en regard de la mémoire de setup et de charger en mémoire le système d'exploitation (OS = Operating System) qui est sur un périphérique (disquette, CD, Disque dur, ....)
- le setup Ce programme sert à configurer les composants de la carte mère et les périphériques qui sont dessus. La configuration que l'on a fait (elle est faite par défaut chez le constructeur) est sauvegardée dans une petite mémoire qui est toujours alimentée par une pile. Lorsque l'on démarre le boot compare ce qu'il trouve comme périphériques avec ce qu'il y a dans cette mémoire afin de vérifier le bon fonctionnement des périphériques
- le bios C'est une série de programmes qui permettent de gérer les périphériques.

Cette mémoire flash peut être reprogrammée par l'utilisateur. Il faut aller sur le site du constructeur de la carte mère et récupérer le fichier qui doit aller dans la flash (Le fabriquant ne fabrique pas qu'une seule carte mère. Faire très attention à bien prendre le fichier qui correspond à la référence de la carte mère). On met ce fichier sur disque dur et on lance le programme de "flashage" qui se trouve sur le CD livré avec la carte mère. Ce programme va demander le fichier à flasher on lui donne le chemin du disque dur où on l'a placé.

Ne pas avoir de coupure secteur pendant que l'on reflash sa carte mère

Si pour une raison quelconque le flashage ne s'est pas bien passer il faut rapporter sa carte mère chez son vendeur favorit ou chez l'importateur qui a des outils spéciaux permettant de reflasher une carte mère. Moyennant finances !!!!

#### Ex.

On démarre le PC.

- Le Boot vérifie les composants de l'ordinateur. Ensuite il cherche, en fonction du setup fait, l'OS sur les périphériques qui doivent l'avoir.
- Traditionnellement la recherche d'OS se fait sur : Disquette  $\rightarrow$  CD bootable<sup>2</sup>  $\rightarrow$  Disque dur
- Quand il a trouvé l'OS il l'intalle en mémoire et il copie le bios aussi en mémoire.
- Puis l'OS prend la main et démarre.

Ainsi l'OS pourra travailler avec tous les périphériques étant donné que c'est le bios qui fait l'interface entre les périphériques et le système. Cependant pour certain périphériques il est nécessaire d'installer un driver spécifique fourni généralement avec le périphérique dans un CD.

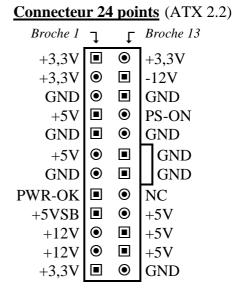
Un CD bootable est un CD contenant un OS à installer ex. Windows 2000
 Arno LLOP Matériel Ver. 1.1

Rus			
Dus	•••••	 • • • • • • • • • • • • • • • • • • •	

#### Le connecteur Alimentation

Le connecteur d'alimentation des cartes mères ATX est un connecteur 20 broches. Pour la nouvelle norme ATX 2.2 ce connecteur passe à 24 broches afin ajouter plus de puissance (75W pour le PCI Express), et donc des fils d'alimentation en plus.

#### Connecteur 20 points (ATX) □ Broche 11 Broche 1 7 +3.3V• +3,3V+3,3V $\odot$ -12V GND ● **GND** PS-ON +5V GND ■ ● GND +5V $\odot$ GND $\odot$ GND **GND** ◉ PWR-OK -5V +5V +5VSB ■ $\odot$ ◉ +12V+5V



PS-ON: Mise en service de l'alimentation. Mis à la masse par l'intermédiaire d'une résistance de

 $470\Omega$ .

+5VSB: +5V Stand By: toujours présent si le cordon d'alim est branché

PWR-OK: L'alimentation fournie les tensions correctement. (PWR-OK = 2,4V,  $200\mu$ A)

Les tensions doivent être comprises dans une fourchette de 5%, sauf le -12V qui peut l'être dans 10%.

La puissance fournie par les lignes +3,3V , +5V et ±12V dépend de la puissance totale de l'alimentation.

- ➤ Le -5V disparaît dans le connecteur ATX 2.2 (broche NC). C'était une survivance des "très anciens PC" (les 1<sup>er</sup> PC) qui avaient de la "très très ancienne DRAM" devant être alimentée en ±5V. Actuellement les barrettes DRAM sont alimentées en +3,3V
- ➤ Il est possible de brancher une alimentation au format ATX sur un connecteur ATX 2.2 sans possibilité d'erreur. (la broche 1 sur la patte 1). Seules les 4 dernières broches ne seront pas connectées. Sur certaines alimentations ATX 2.2 le –5V n'est plus fournis, alors que d'autres continuent à le fournir.
- Avoir un +5VSB fournit à la carte mère une alimentation qui permet de "réveiller" le PC lorsqu'un événement extérieur arrive (type télécommande). Il se remarque par une led qui reste allumée sur la carte mère. La consommation est de l'ordre d'un téléviseur en mode stand-by : environ 5 à 10 W. Il a été implémenté pour télécommander le PC qui se transforme en appareil de salon. Lecteur DVD, télé numérique, etc.
- PS-ON fournit du +5V. Quand il est forcé à la masse , U<0,8V et I ≥ 1,6mA , alors l'alimentation se met en marche. Pour tester l'alimentation, on met le signal à la masse grâce à une résistance de 470Ω (5/470≈0,01 donc >1,6mA). Il faut éviter de le court-circuiter directement à la masse. Il suffit d'enfoncer les pattes d'une résistance de 470Ω entre PS-ON et GND.

Pour acheter cette résistance aller dans un magasin d'électronique qui vous les vendra par lot de 10 à moins d'un (1) euro.

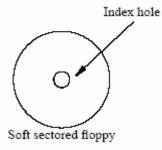
Réf. Résistance 1/2W de  $470\Omega$  dans la série E24

## Le connecteur Disquette

C'est avec la liaison série et parallèle la plus ancienne norme qui a été conçue au tout début de l'existance des PC.

Le taux de transfert est de 500Kb/s c.a.d. environ 50Ko/s. C'est donc un transfet lent.

#### Structure d'une disquette.



Elles ont toutes un trou qui permet de les synchronisées. A la détection de ce trou on a le 1<sup>er</sup> secteur de la piste.

#### Format et capacité

Les disquettes ont 2 formats possibles : 5" 1/4 et 3" 1/2.

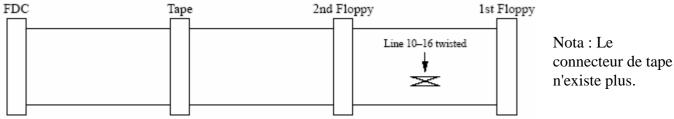
	Format	1 <sup>er</sup> capacité	2 <sup>em</sup> capacité	3 <sup>em</sup> capacité
	5" 1/4	360 Ko	720Ko	
capacité	3" 1/2	720 Ko	1,44 Mo	2,88 Mo

#### **Connecteur disquette**

Le cable qui relie le(s) drive(s) au controleur de disquette est un cable plat de 34 points

Signal	conc	nin	description
	sens	pın	
DENSEL	ctrl	2	Selectionne la double ou haute densité des disquettes
IDX	drive	8	Généré par la detection du trou d'initialisation de secteur
MOT1	ctrl	10	Démarre le moteur du drive 1
DS2	ctrl	12	Selectionne le drive 2
DS1	ctrl	14	Selectionne le drive 1
MOT2	ctrl	16	Démarre le moteur du drive 1
DIR	ctrl	18	1 quand le bras de lecture va sur du 1er cylindre vers l'intérieur, 0 sinon
STP	ctrl	20	Chaque signal bouge le bras d'un cylindre
WD	ctrl	22	Écriture série des données sur la disquette
WG	ctrl	24	1 quand la donnée est lue, 0 quand elle est écrite
TK0	drive	26	Detection de la piste 0
WP	drive	28	Detection du Write Protected de la disquette
RD	drive	30	Lecture série des données de la disquette
SS	ctrl	32	Selection de la tête : 1 pour tête du haut, 0 pour celle du bas
DC	drive	34	Changement de disquette. 1quand il n'y a pas de disquette

### Cable de liaison entre le connecteur disquette et les drives.



Le drive connecté sur le 1<sup>er</sup> floppy est appelé A Le drive connecté sur le 2<sup>em</sup> floppy est appelé B On traduit cela par la règle: B avant le twiste A après

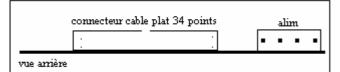
Ruc		
Dus	 	

Le lecteur de disquette appelé drive est généralement un lecteur de 3" ½ qui a une capacité de 1,44 Mo.

#### **Connection d'un drive**

Vue arrière d'un lecteur de disquette

Connecteur d'alim (pour les 3" ½ supprimer le +12v)



1 +12V 2 GND 3 GND 4 +5V

Le brin coloré du cable plat DOIT être du coté de l'alim. S'il est placé à l'envers la led du drive reste tout le temps allumé.

#### Problème avec les disquettes

Les disquette 3" ½ ont un cache en métal qui glisse pour protéger la disquette. Ce cache est suceptible de se relevé quand on a mis la disquette dans le drive. On ne peut pas la ressortir alors car le cache c'est coincé dans le drive. Si on tire trop fort on risque de tout casser.

Il faut alors:

- démonter le drive du PC.
- Enlever le couvercle du drive, on a accet ainsi à la disquette
- Appuyer sur le cache de la disquette pour permettre à celle-ci de sortir du drive
- Remettre le couvercle et remonter le drive dans le PC
- Ne pas oublier de JETER cette"~@{}[]" de disquette qu'il ne faut surtout pas réutiliser

#### Durée de vie d'un drive

Actuellement l'usage du lecteur de disquette se fait de plus en plus rare. Cependant un lecteur de disquette s'use avec le temps et il faut quelquefois le changer car il ne fonctionne plus.

Le cas classique : on peut encore ecrire sur une disquette mais on ne peut plus la relire. Cela indique souvent que le drive est mort.

Au prix ou sont les drives il ne faut pas hésiter à le changer si on a des soupçons.

#### Le connecteur IDE

#### Noms et normes

- o ATA (AT Attachment) : defini les couches physiques, électriques, transport, protocole de commande pour la connexion au périphérique de stockage.
- o ATA-1 : un périphérique compatible avec ANSI X3.221-1994, l'interface pour Disque dur.
- o ATA-2: un périphérique compatible avec ANSI X3.279-1996, l'interface avec Extensions.
- o ATA-3: un périphérique compatible avec ANSI X3.298-1997, l'interface Connexion-3.
- o ATAPI (AT Attachment Packet Interface): un périphérique qui répond au norme ATA.
- o L'EIDE c'est quand on a 2 prises IDE sur la même carte appelées primary et secondary (ou 1 et 2).

La prise connecte un périphérique IDE au contrôleur situé sur la carte mère (dans le "chip set").

Les périphériques IDE sont au maximum de 2 sur le bus IDE. Il y a un maître et un esclave. Le rôle est codé sur le périphérique au moyen d'un strap.

Comme il y a 2 bus IDE on peut avoir au maximum 4 périphériques IDE dans un PC.

Le 1<sup>er</sup> bus IDE est appelé couramment bus primaire, le 2<sup>ieme</sup> bus secondaire.

### Le système d'un ordinateur doit être placé dans un maître sur le bus IDE primaire.

La gestion de maître/esclave sur le périphérique se fait au moyen d'un "strap" à placer entre 2 connecteurs. Sur les périphériques IDE il y a toujours, soit une étiquette, soit un nom graver sur les connecteurs, indiquant où se trouve la connexion permettant de rendre maître ou esclave le périphérique. Il y a souvent une 3<sup>iem</sup> connexion qui sert de test au fabricant de périphérique, il ne faut évidemment jamais l'utiliser.

La connexion du bus IDE est cablée comme suit :

fonction	nom			nom	fonction
masse	GND	1	2	HRESET	reset
Data 7	D7	3	4	D8	Data 8
"	D6	5	6	D9	"
"	D5	7	8	D10	"
"	D4	9	10	D11	"
"	D3	11	12	D12	"
"	D2	13	14	D13	"
"	D1	15	16	D14	"
Data 0	D0	17	18	D15	Data 15
	GND	19	20	NC	Key pin <sup>3</sup>
DMA request	DMARQ	21	22	GND	masse
I/O wr	DIOW	23	24	GND	"
I/O rd	DIOR	25	26	GND	"
I/O ready	IORDY	27	28	SPSYNS-CSEL	Spindle syns or cable select
DMA acknowledge	DMACK	29	30	GND	
Interrupt request	INTRQ	31	32		reservé
Adresse bus 1	DA1	33	34	PDIAG	Passed diagnostics
Adresse bus 0	DA0	35	36	DA2	Adresse bus 2
Chip select 0	CS0	37	38	CS1	Chip select 1
Drive active/ drive 1	DASP	39	40	GND	

<sup>3</sup> Ce picot sert, et n'est pas là pour "économiser". Le constructeur supprime la patte de connexion mâle. Le connecteur femelle a le trou correspondant bouché. Ainsi on ne peut pas le mettre à l'envers lors de l'insertion cela sert de détrompeur. Sauf si on force comme une brute, ce qui tord la patte en regard et rend le connecteur <u>inutilisable</u>.

Arno LLOP Matériel Ver. 1.1

Bravo !!! On vient de casser sa carte mère, car redresser un picot de connecteur tordu est délicat et toujours alléatoire.

## Sens des signaux

description	host		device	nom
Device Adresse bus 0-2			$\rightarrow$	DA 0-2
Chip select 0-1			$\rightarrow$	CS 0-1
Data 0-15		$\leftrightarrow$		Data 0-15
DMA acknowledge			$\rightarrow$	DMACK
DMA request	$\leftarrow$			DMARQ
Drive active/ drive 1		$(\leftrightarrow)$		DASP
I/O rd			$\rightarrow$	DIOR
I/O ready	$\leftarrow$			IORDY
I/O wr			$\rightarrow$	DIOW
Interrupt request	$\leftarrow$			INTRQ
Passed diagnostics		$(\leftrightarrow)$		PDIAG
Reset			$\rightarrow$	reset
cable select			$\rightarrow$	CSEL

Nota :  $(\leftrightarrow)$  indique que les signaux sont utilisés par les devices afin de s'indiquer leurs états mutuellement.

## Description des signaux

CS (1:0)- Chip select	These are the chip select signals from the host used to select the Command Block registers. When DMACK- is asserted, CS0- and CS1- shall be negated and transfers shall be 16-bits wide.
DA (2:0)	This is the 3-bit binary coded address asserted by the host to access a register or data port
Device address	in the device
DASP-	This is a time-multiplexed signal that indicates that a device is active, or that Device 1 is
Device active,	present.
device 1 present	NOTE – The indication that the device is active may be unsynchronized with the execution of the command.
DD (15:0) Device data	This is an 8- or 16-bit bi-directional data interface between the host and the device. The lower 8 bits are used for 8-bit register transfers. Data transfers are 16-bits wide.
DIOR-	DIOR- is the strobe signal asserted by the host to read device registers or the data port.
Device I/O read	HDMARDY- is a flow control signal for Ultra DMA data in bursts. This signal is asserted by the host to
HDMARDY-	indicate to the device that the host is ready to receive Ultra DMA data in bursts. The host
Ultra DMA ready	may negate
	HDMARDY- to pause an Ultra DMA data in burst.
HSTROBE	HSTROBE is the data out strobe signal from the host for an Ultra DMA data out burst. Both
Ultra DMA data strobe	the rising and
	falling edge of HSTROBE latch the data from DD(15:0) into the device. The host may stop
	generating
	HSTROBE edges to pause an Ultra DMA data out burst.
DIOW-	DIOW- is the strobe signal asserted by the host to write device registers or the data port
Device I/O write	DIOW- shall be negated by the host prior to initiation of an Ultra DMA burst. STOP shall be
	negated by the
STOP	host before data is transferred in an Ultra DMA burst. Assertion of STOP by the host
Stop Ultra DMA burst	during an Ultra DMA
DIMAGIC DIMA	burst signals the termination of the Ultra DMA burst.
DMACK- DMA ack	This signal shall be used by the host in response to DMARQ to initiate DMA transfers.
RESET- reset hard.	This signal, referred to as hardware reset, shall be used by the host to reset the device
<b>DMARQ</b> DMA request	This signal, used for DMA data transfers between host and device, shall be asserted by
	the device when it is ready to transfer data to or from the host. For Mulitword DMA
	transfers, the direction of data transfer is controlled by DIOR- and DIOW This signal is
	used in a handshake manner with DMACK-, i.e., the device shall wait until the host asserts
	DMACK- before negating DMARQ, and re-asserting DMARQ if there is more data to
	transfer.
	When a DMA operation is enabled, CS0- and CS1- shall not be asserted and transfers shall be 16-bits wide.
	Shall be 10-bits wide.

Bus .....

is cleared to zero, and the device is selected, INTRQ shall be enabled through a tri-state buffer and shall be driven either asserted or negated. When the nIEN bit is set to one, or the device is not selected, the INTRQ signal shall be in a high impedance state. When asserted, this signal shall be negated by the device within 400 ns of the negation of DIOR-that reads the Status register. When asserted, this signal shall be negated by the device within 400 ns of the negation of DIOW-that writes the Command register. When the device is selected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be asserted within 400 ns of the negation of DIOW- that writes the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register will an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register. For devices implementing the Overlapped feature set, if interrupts are being disabled using niEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  IORDY  I/O channel ready  I/O channel read		Bus
buffer and shall be driven either asserted or negated. When the nIEN bit is set to one, or the device is not selected, the INTRQ signal shall be in a high impedance state. When asserted, this signal shall be negation of DIOR-that reads the Status register. When asserted, this signal shall be negated by the device within 400 ns of the negation of DIOW-that writes the Command register. When the device is selected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be asserted within 400 ns of the negation of DIOW- that writes the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register.  For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  IORDY  //O channel ready  DDMARDY-  Ultra DMA ready  This signal is negated to extend the host transfer cycle of any host register access (Read or Write) when the device is not ready to respond to a data transfer request.  If the device requires to extend the host transfer cycle time at PIO modes 3 and above, the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY.  DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate  DDMARDY- to pause an Ultra DMA data out burst.  DSTROBE  Ultra DMA cata is the device may negate  DDMARDY- to pause an Ultra DMA data out burst.  DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an	INTRQ	This signal is used by the selected device to interrupt the host system. When the nIEN bit
buffer and shall be driven either asserted or negated. When the nIEN bit is set to one, or the device is not selected, the INTRQ signal shall be in a high impedance state. When asserted, this signal shall be negation of DIOR-that reads the Status register. When asserted, this signal shall be negated by the device within 400 ns of the negation of DIOW-that writes the Command register. When the device is selected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be asserted within 400 ns of the negation of DIOW- that writes the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register.  For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  IORDY  //O channel ready  DDMARDY-  Ultra DMA ready  DDMARDY-  Ultra DMA ready  DDMARDY-  Ultra DMA data strobe  CSEL Cable select  CSEL Cable select  CSEL Cable select  CSEL is negated then the device address is 0;   - If CSEL is asserted then the device address is 0;  - If CSEL is asserted then the device address is 0;  - If CSEL is asserted then the device address is 1.  NOTE - Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.	Device interrupt	is cleared to zero, and the device is selected, INTRQ shall be enabled through a tri-state
the device is not selected, the INTRQ signal shall be in a high impedance state. When asserted, this signal shall be negated by the device within 400 ns of the negation of DIOR-that reads the Status register. When asserted, this signal shall be negated by the device within 400 ns of the negation of DIOW- that writes the Command register.  When the device is selected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be asserted within 400 ns of the negation of DIOW- that writes the Device/Head register. When the device is deselected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register.  For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  This signal is negated to extend the host transfer cycle of any host register access (Read or Write) when the device is not ready to respond to a data transfer request.  If the device requires to extend the host transfer cycle of any host register access (Read or Write) when the device is not ready to respond to a data transfer request.  If the device requires to extend the host transfer cycle time at PIO modes 3 and above, the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY.  DDMARDY- is a flow control signal for Ultra DMA data out bursts. The device may negate  DDMARDY- to pause an Ultra DMA data out burst.  DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst.  CSEL Cable select  CSEL cable select  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 1.  NOTE — Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the		buffer and shall be driven either asserted or negated. When the nIEN bit is set to one, or
asserted, this signal shall be negated by the device within 400 ns of the negation of DIOR-that reads the Status register. When asserted, this signal shall be negated by the device within 400 ns of the negation of DIOW- that writes the Command register.  When the device is selected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be asserted within 400 ns of the negation of DIOW- that writes the Device/Head register. When the device is deselected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register.  For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  IORDY  I/O channel ready  I/O channel ready  DDMARDY-  Ultra DMA ready  DITHIS SIGNAL SHALL S		
that reads the Status register. When asserted, this signal shall be negated by the device within 400 ns of the negation of DIOW- that writes the Command register. When the device is selected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be asserted within 400 ns of the negation of DIOW- that writes the Device/Head register. When the device is deselected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register. For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  IORDY  I/O channel ready  I/O channel ready  DDMARDY-  Ultra DMA ready  DTMARDY-  Ultra DMA data  Strobe  Ultra DMA data  Strobe  This signal is negated to extend the host transfer cycle of any host register access (Read or Write) when the device is not ready to respond to a data transfer request. If the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY. DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is asserted then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to machine the device is recognized that if a singl		
within 400 ns of the negation of DIOW- that writes the Command register. When the device is selected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be asserted within 400 ns of the negation of DIOW- that writes the Device/Head register. When the device is deselected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register. For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  IORDY I/O channel ready I/O channel ready I/O channel ready I/O channel ready I/O that the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  This signal is negated to extend the host transfer cycle of any host register access (Read or Write) when the device is not ready to respond to a data transfer request. If the device requires to extend the host transfer cycle in a transfer request. If the device requires to extend the host transfer cycle in a transfer request.  DDMARDY- Ultra DMA ready  DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may stop generating DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 1.  NOTE - Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 1. It should be recognized that if a single device is		
When the device is selected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be asserted within 400 ns of the negation of DIOW- that writes the Device/Head register. When the device is deselected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register.  For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  This signal is negated to extend the host transfer cycle of any host register access (Read or Write) when the device is not ready to respond to a data transfer request. If the device shall utilize IORDY. Hosts that use PIO modes 3 and above, the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY. DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL:  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
pending, INTRQ shall be asserted within 400 ns of the negation of DIOW- that writes the Device/Head register. When the device is deselected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register.  For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  IORDY  I/O channel ready  I/O channel ready  I/O thannel ready  If the device extend the host transfer cycle of any host register access (Read or Write) when the device is not ready to respond to a data transfer request. If the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY. DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate DDMARDY- to pause an Ultra DMA data out burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  CSEL Cable select  CSEL:  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
Device/Head register. When the device is deselected by writing to the Device/Head register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register.  For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  IORDY  I/O channel ready  I/O channel ready  DDMARDY-  Ultra DMA ready  DSTROBE  Ultra DMA data  STROBE  Ultra DMA data  STROBE is the data in strobe signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate  DDMARDY- to pause an Ultra DMA data out burst.  DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL:  - If CSEL is negated then the device address is 0;  - If CSEL is negated then the device address is 1.  NOTE - Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
register while an interrupt is pending, INTRQ shall be negated within 400 ns of the negation of DIOW- that writes the Device/Head register.  For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  This signal is negated to extend the host transfer cycle of any host register access (Read or Write) when the device is not ready to respond to a data transfer request. If the device requires to extend the host transfer cycle time at PIO modes 3 and above, the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY. DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate  DDMARDY- to pause an Ultra DMA data out burst.  DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1 only configuration results.		
negation of DIOW- that writes the Device/Head register. For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  IORDY I/O channel ready I/O channel ready I/O channel ready If the device is not ready to respond to a data transfer request. If the device requires to extend the host transfer cycle time at PIO modes 3 and above, the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY. DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate DDMARDY- to pause an Ultra DMA data out burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  CSEL cable select  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
For devices implementing the Overlapped feature set, if interrupts are being disabled using nIEN at the same instant that the device asserts INTRQ, the minimum pulse width of INTRQ should be at least 40 ns.  This signal is negated to extend the host transfer cycle of any host register access (Read or Write) when the device is not ready to respond to a data transfer request. If the device requires to extend the host transfer cycle time at PIO modes 3 and above, the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY. DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate DDMARDY- to pause an Ultra DMA data out burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  CSEL:  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
IORDY I/O channel ready I/O channel Plan host transfer cycle time at Plo modes 3 and above shall support lORDY.  I/O modes 3 and evel plo modes 3 and above shall support lORDy.  I/O modes 1 species of Domose 1 species of D		
INTRQ should be at least 40 ns.  IORDY  I/O channel ready  If the device requires to extend the host transfer cycle time at PIO modes 3 and above, the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY. DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate  DDMARDY- to pause an Ultra DMA data out burst.  DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  - If CSEL is negated then the device address is 0;  - If CSEL is asserted then the device address is 1.  NOTE - Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
I/O channel ready If the device is not ready to respond to a data transfer request. If the device requires to extend the host transfer cycle time at PIO modes 3 and above, the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY. DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate DDMARDY- to pause an Ultra DMA data out burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  CSEL Cable select  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  - If CSEL is negated then the device address is 0;  - If CSEL is asserted then the device address is 1.  NOTE - Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		· ·
I/O channel ready  Or Write) when the device is not ready to respond to a data transfer request. If the device requires to extend the host transfer cycle time at PIO modes 3 and above, the device shall utilize IORDY. Hosts that use PIO modes 3 and above shall support IORDY. DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate DDMARDY- to pause an Ultra DMA data out burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  CSEL:  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.	IORDY	
DDMARDY- Ultra DMA ready  DSTROBE Ultra DMA data strobe  Ultra DMA data strobe  DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. The device may stop generating DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  — If CSEL is negated then the device address is 0;  — If CSEL is asserted then the device address is 1.  NOTE — Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
DDMARDY- Ultra DMA ready  DSTROBE Ultra DMA data strobe  Ultra DMA data Strobe  DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  CSEL Cable select  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is asserted then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1 only configuration results.	1/6 charmer ready	
Ultra DMA ready  DDMARDY- is a flow control signal for Ultra DMA data out bursts. This signal is asserted by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate  DDMARDY- to pause an Ultra DMA data out burst.  DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is asserted then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.	DDMARDV	
by the device to indicate to the host that the device is ready to receive Ultra DMA data out bursts. The device may negate DDMARDY- to pause an Ultra DMA data out burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  CSEL Cable select  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is negated then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
DSTROBE Ultra DMA data strobe  DDMARDY- to pause an Ultra DMA data out burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is asserted then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.	Ollia DiviA ready	
Ultra DMA data strobe  DDMARDY- to pause an Ultra DMA data out burst. DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is asserted then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.	DETROPE	
DSTROBE is the data in strobe signal from the device for an Ultra DMA data in burst. Both the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is asserted then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
the rising and falling edge of DSTROBE latch the data from DD(15:0) into the host. The device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  — If CSEL is negated then the device address is 0;  — If CSEL is asserted then the device address is 1.  NOTE — Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
device may stop generating DSTROBE edges to pause an Ultra DMA data in burst.  The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  If CSEL is negated then the device address is 0;  If CSEL is asserted then the device address is 1.  NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.	Strobe	
The device is configured as either Device 0 or Device 1 depending upon the value of CSEL:  — If CSEL is negated then the device address is 0;  — If CSEL is asserted then the device address is 1.  NOTE — Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
CSEL:  — If CSEL is negated then the device address is 0;  — If CSEL is asserted then the device address is 1.  NOTE — Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.	CSEL Cable select	
<ul> <li>If CSEL is negated then the device address is 0;</li> <li>If CSEL is asserted then the device address is 1.</li> <li>NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.</li> </ul>	GOLL Gable Select	
If CSEL is asserted then the device address is 1. NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
NOTE – Special cabling may be used to selectively ground CSEL e.g., CSEL of Device 0 is connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
connected to the CSEL conductor in the cable, and is grounded, thus allowing the device to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
to recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
recognize itself as Device 0. CSEL of Device 1 is not connected to CSEL because the conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		9
conductor is removed, thus the device recognizes itself as Device 1. It should be recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
recognized that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
that if a single device is configured at the end of the cable using CSEL, a device 1 only configuration results.		
configuration results.		
· ·		
NOTE – If a single device configuration is implemented with the device in the middle, a		· · · · · · · · · · · · · · · · · · ·
cable		
stub results that may cause degradation of signals.		Stub results that may cause degradation of signals.

	Bus
PDIAG-	PDIAG- shall be asserted by Device 1 to indicate to Device 0 that it has completed
Passed diagnostics	diagnostics.
	The host may sample CBLID- after a power-on or hardware reset in order to detect the
	presence or absence of an 80-conductor cable assembly by performing the following
CBLID-	steps:
Cable assembly type identifier	a) The host shall wait until the power on or hardware reset sequence is complete for all devices on the cable;
	b) If Device 1 is present, the host should issue IDENTIFY DEVICE or IDENTIFY PACKET
	DEVICE and use the returned data to determine that Device 1 is compliant with ATA-3 or
	subsequent standards. Any device compliant with ATA-3 or subsequent standards releases PDIAG- no later
	than after the first command following a power on or hardware reset sequence.
	NOTE – Older devices not in compliance with this standard or ATA-3 may continue to assert this signal providing a false indication of the cable type. Issuing IDENTIFY DEVICE
	or IDENTIFY PACKET DEVICE not only provides the host with the information required to
	verify that the devices are compliant with these standards, but also provides a command resulting in the release of this signal.
	If the host detects that CBLID- is connected to ground, then an 80-conductor cable
	assembly is installed in the system. If the host detects that this signal is not connected to ground, then an 80-conductor cable
	assembly is not installed in the system.

#### Comportement dynamique

Le bus IDE permet à l'ordinateur d'envoyer des ordres aux périphériques. Ceux-ci répondent aux commandes. Les ordres ont un format dépendant de l'action que l'on veut que les périphériques effectues.

NOTE – CBLID- is grounded in the 80-conductor cable assembly host connector for the purpose of indicating to the host that the cable assembly being used is an 80-conductor

#### Ex. lire un secteur

Register	7 6 5 4 3 2 1 0									
feature	na									
Sector Count -	Sector Count									
Sector Number -	Sector Number or LBA									
Cylinder Low -	Cylinder Low or LBA									
Cylinder High -	Cylinder High or LBA									
Device/Head -	obs LBA obs DEV Head number of LBA							LBA		
commande	20h									

assembly not a 40-conductor assembly.

Sector Count -

Nombre de secteur à être transférés. 00h indique que 256 secteurs doivent être transférés.

Sector Number -

Numéro de secteur de départ ou bits LBA d'addresse (7:0).

Cylinder Low -

Numéro de cylindre de départ (7:0) ou bits LBA d'addresse (15:8).

Cylinder High -

Numéro de cylindre de départ (15:8) ou bits LBA d'addresse (23:16).

- Device/Head -
  - ❖ bit 6 vaut 1 si addresse LBA, sinon zero si addresse CHS.
  - DEV doit indiquer le lecteur selectionné.
  - ♦ bits (3:0) Numéro de tête de départ ou bits LBA d'addresse (27:24).

Pour plus de détails voir la doc du bus IDE : Working T13 Draft 1153D Revision 17 30 October 1997 Qui est fournie dans le CD de cours.

Bus	
Dus	

#### Vitesse et configuration

Le bus IDE a été conçu au départ pour transférer des informations à 15Mo/s (16,6 pour être exact). Par la suite cette vitesse a augmentée car les constructeurs ont rajoutés sur le disque dur de la mémoire "cache".

Principe de base une lecture/écriture sur disque est lente car on fait fonctionner une mécanique à base de moteurs et plateaux. Il faut donc essayer de faire des échanges le plus rapidement possible

#### Mécanisme de lecture/ecriture sur un disque dur

Les fichiers sont stockés sous forme d'enregistrement magnétique sur le disque dur. Ces enregistrements se trouvent physiquement sur des secteurs qui sont les entités élémentaires de stockage. Ces secteurs font 512 octets. Afin d'optimiser les acces les constructeurs de système d'explotation concidère qu'ils travaillent sur des clusters. Ce sont des ensemble contigus de secteurs.

Ex. En FAT32 un cluster fait 4ko c.a.d. 8 secteurs.

Les secteurs sont situés physiquement sur des pistes du disque dur. Ces pistes sont concentriques et un bras se déplace de pistes en pistes afin de lire/écrire sur les cluster concernés.

Quand on veut enregistrer un fichier, les données qui le compose vont être enregistrées sur des clusters, mais rien ne dit que les cluster sont les uns derrières les autres. En fait le système de gestion de fichier (File System), va chercher le prochain cluster libre pour écrire les données dessus. Ces clusters libres sont situés là où il y a de la place.

Le temps de recherche d'un cluster dépend

- o temps de déplacement du bras entre la piste contenant le cluster d'où est le bras à cet instant. Une fois que le bras arrivé sur la bonne piste il faut attendre le passage du "bon" cluster sous la tête. Le temps de déplacement du bras est une constante mécanique de fabrication.
- O Le temps d'attente du cluster quand le bras est arrivé dépend de la position du cluster voulu par rapport à la position de la tête et peut être maximisé par la vitesse de rotation des plateaux.

On peut essayer de diminuer le temps total d'attente d'acces aux fichiers en utilisant le principe de l'ascenseur.

- Ascenseur simple
  - Je suis au  $3^{em}$  et je vais au  $5^{em}$ . Quelqu'un à pris l'ascenseur au  $1^{er}$  et va au  $7^{em}$ . Je doit donc attentre que cette personne soit arrivée au  $7^{em}$  pour que l'ascenceur redescende au 3 pour aller au  $5^{em}$ . L'ascenseur a donc fait  $6(1 \rightarrow 7) + 4(7 \rightarrow 3) + 2(3 \rightarrow 5)$  étages de déplacement.
- Quand un ascenseur "intelligent" se déplace il "mémorise les demande et les réordonnente cours de fonctionnement. Dans l'exemple précédent il est évident que si l'appel du 3<sup>em</sup> se fait avant que l'ascenseur soit passé, il va s'arrêter au 3<sup>em</sup> ce qui permet de ne faire que 6 étages en tout.

En considérant que le bras est un ascenseur le File System va réordonner toutes les demande d'acces aux fichiers (on a rarement demande d'acces à 1 seul fichier, mais plus souvent à plusieurs fichiers les uns derrières les autres).

La mémoire "cache" des disque durs sert à "mémoriser les étages" dans le principe de l'ascenseur.

La vitesse de transfert entre les disques et la mémoire centrale a évoluée en focntion de l'évolution des techniques d'acces. Les disques eux ont très peu évolués mécaniquement. Les temps interne de déplacement de bras et les vitesses de rotation sont restées relativement constantes.

type	Nom usuel	Vitesse en Mo/s
(la vitesse de l'IDE de base)Ultra DMA 0	IDE	16,6
Ultra DMA 1	IDE	25
Ultra DMA 2	Ultra DMA 33	33,3
Ultra DMA 3		44,4
Ultra DMA 4	Ultra DMA 66	66,6
Ultra DMA 5	Ultra DMA 100	100
Ultra DMA 6	Ultra DMA 133	133,33

Bus
Dus

Il est évident qu'aucune mécanique ne pourra aller à une vitesse telle que le taux de transfert puisse être de 100Mo/s. La vitesse réelle de la mécanique est celle de l'UltraDMA de base on prend 15Mo/s comme référence. Certaine mécaniques de disque dur très performantes vont un peu plus vite ≈25 à 30 Mo/s. elles sont utilisées dans les disques dur SCSI.

Cette vitesse n'est qu'une indication de ce que peut supporter la mémoire cache du disque dur en utilisant la technique de l'ascenseur pour un certain nombre de fichiers. Plus la mémoire cache est grande plus le nombre de fichiers pouvant être stockés temporairement est importante.

Les différentes versions d'UltraDMA sont liés à l'aumentation des performances de la mémoire cache des disque dur.

Pour la configuration d'un disque dur il est probable que l'on se contente des paramètres par défaut définis dans le setup, car peu de paramètres sont laissés modifiable par l'utilisateur.

Il est beaucoup plus important de bien configurer son architecture IDE.

Dans le protocole IDE comme on l'a vue c'est le périphérique qui indique sa vitesse. Si on place 2 périphériques IDE de vitesses très différentes c'est celui qui a la plus faible vitesse qui va influencée l'autre. Il est donc souhaitable de connecter sur le même cable des périphériques qui ont des vitesse d'acces proche.

Une bonne configuration est celle consistant à mettre sur la nappe primaire les disques et sur la nappe secondaire les CD, DVD, graveur.

Il y a trop souvent des PC ayant sur une seule nappe le disque dur et le CD. Cette solution si elle plait au assembleurs et vendeurs de PC car elle économise 1 nappe, ne doit pas exister chez un utilisateur averti. Le prix d'une nappe IDE est ridicule comparé aux performances que l'on est en droit d'espérer avec 2 nappes bien séparer : 1 pour le disque qui est en UltraDMA et 1 autre pour le CD/DVD qui est beaucoup plus lent (presque 10 fois).

#### **SATA**

La liaison SATA c'est tout simplement une liaison ATA sérialisée afin de ne plus avoir ces cables de 40 points très mal-pratiques à placer dans notre boitier PC dont la taille ne fait que diminue.

Elle permet de garder les mêmes disques (en leurs ajoutant une liaison série) et les mêmes "chip set" (le south bridge) toujours en ajoutant une liaison série ce qui n'est pas vraiment difficile.

On a donc une conservation des investissements avec un léger ajout pour un prix de vente significativement augmenté et une modernisation toujours flatteuse.

## Parallel ATA Cabling



## Serial ATA Cabling



La vitesse est la même, le protocole est le même, seul la densité du cablage change comme on peut le voir sur la photo ci-dessus.

Le Sata actuel est configuré pour supporter le protocole UltraDMA 133 de l'ATA.

#### Quelques problèmes en suspents.

#### Root

Le boot de la flash est conçu pour fonctionner avec des périphériques IDE. Il faut donc quand on a du SATA que le boot de la prom ajoute le fonctionnement avec du SATA, ce qui n'est pas évident. Sur les cartes "anciennes" il faut reflasher le bios afin de prendre en compte le SATA ou installer un driver du CD livré avec la carte mère. Seule les cartes "modernes" (début 2006) commences à avoir le boot qui prend en compte le SATA.

#### Et le CD/DVD?

Pour l'instant (2005) seul quelques lecteurs de DVD sont SATA (2 modèles) Les graveurs ne le sont pas encore et les lecteurs de CD ne le seront jamais. Il faudra donc attendre que les prix se "démocratisent" avant de pouvoir avoir tous les périphériques IDE remplacés par du SATA sinon on ne voit pas bien l'intérêt d'avoir du SATA pour le DD et de l'IDE pour le DVD. L'encombrement serait celui de l'IDE et le prix celui du SATA.

ıs
----

#### La liaison SCSI

Une liaison SCSI permet de relier des périphériques SCSI à la carte mère.

La liaison SCSI n'est jamais implémentée directement sur la carte mère. On est toujours obligé d'acheter une carte contrôleur SCSI (elle fait donc partie des cartes sur un bus PCI ou ISA pour les plus vieilles). Elle conserne en fait le disque dur en 1<sup>er</sup> lieu, mais aussi les lecteurs et les graveurs de CD, et plus généralement les périphériques SCSI tel que : streamer, scanner, imprimante, etc.

La liaison SCSI a été concue afin de répondre à 2 impératifs :

- Une liaison entre une unité centrale et des périphériques de nature divers
- Une performance importante

SCSI est l'acronyme de Small Computer System Interface (interface pour system de petit ordinateur). Elle a été inventée par 2 sociétés qui se sont associées (NCR et Shugart Associates) afin de développer une interface "intélligente".

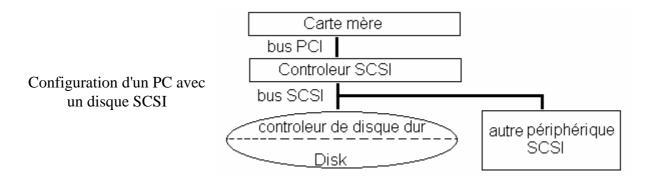
Avant le SCSI Quand on installait un nouveau périphérique dans un ordinateur on devait aussi installer un "driver" c.a.d. un programme qui faisait l'interface entre ce nouveau périphérique et le système.

L'idée des concepteurs du SCSI est d'intercaler un controleur entre l'ordinateur et les périphérique. Le driver à installer alors concerne cet unique controleur. Par contre c'est lui qui va se charger des divers périphériques qui doivent tous obéir à une unique norme de fonctionnement.

Le résultat est l'unification de l'acces aux différents périphériques. Il n'y a plus qu'un seul driver à installer et le dialogue entre les périphériques et le controleur est "connu" car normé et ne dépend plus d'un constructeur. Cela avantage aussi les constructeurs car ils n'ont plus à adapter leurs matériel aux diff"rents ordinateurs existants mais à se conformer à une seule norme acceptée par tous.

Cette idée a eue du mal à s'imposée. Elle a réussit à percée dans le milieu des serveurs car l'interface SCSI est beaucoup plus performante que les autres. Mais dans le monde PC elle a été sous estimée car on a dit qu'elle était plus chère (vrai, mais avec les facteurs d'echelles de production, on aurait put ariver à des tarifs identiques qu'en IDE) , plus compliquée (faux) , et qu'on avait pas besoin d'elle pour être aussi performant (faux).

Actuellement la domination de l'IDE/SATA est tel que les périphérique SCSI sont très difficiles à trouver. Il ne reste plus que les disques durs qui sont encore fabriqués. Même Apple qui avait imposé le SCSI sur ses MAC est revenu à l'IDE. Ce n'est donc plus une interface à utilisée pour construire un nouvel ordinateur, sauf si on a besoin de performances importantes.



Pour PC les 2 constructeurs majeurs de cartes controleur SCSI sont Adaptec et Tekram. Elles sont toutes maintenant sur bus PCI. On ne peut plus trouver dans le commerce de controleurs pour bus ISA.

#### Norme SCSI

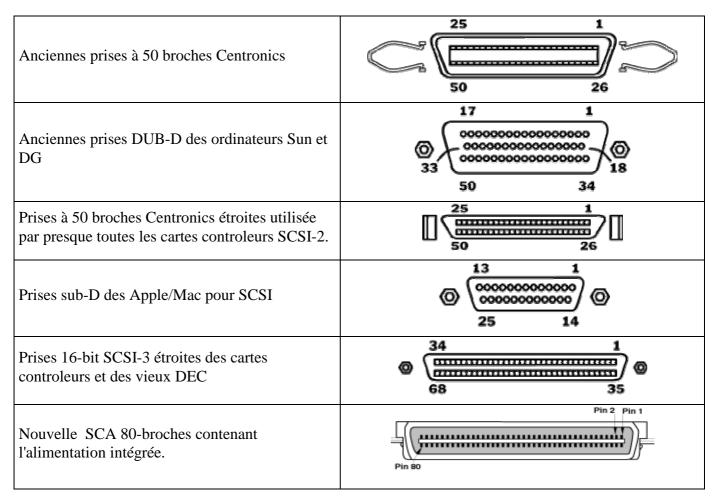
La norme SCSI1 date de 1981, la révision 17 du Commité de standardisation ANSI a été faite en 1986. En 1987 commence la norme du SCSI-2. en 1995 la norme SCSI-3 voit le jour.

#### Vitesse et largeur de bus

norme	connectique	fréquence	Largeur de bus	débit
Ultra-SCSI	50 broches	20Mhz	8 bits	20Mo/s
Ultra Wide SCSI	68 broches	20Mhz	16 bits	40Mo/s
Ultra-SCSI-2	50 broches	40Mhz	8 bits	40Mo/s
Ultra-Wide SCSI-2	68 broches	40Mhz	16 bits	80Mo/s
Ultra-SCSI-3	50 broches	80Mhz	8 bits	80Mo/s
Ultra- SCSI-3 Wide 160	68 broches	80Mhz	16 bits	160Mo/s
Ultra- SCSI-3 Wide 320	68 broches	160Mhz	16 bits	320Mo/s
Ultra- SCSI-3 Wide 640	68 broches	320Mhz	16 bits	640Mo/s

SAS Bus série 300Mo/s à 24 Go/s
---------------------------------

## Format des prises



Une nouvelle connexion, la SCA, est apparue. Elle permet d'avoir l'alimentation intégrée dans le connecteur. Ce qui permet de n'avoir qu'1 seul connecteur en tout et pour tout. Cela est très utile dans un banc de disque RAID quand on a de 5 à 16 disques les uns à coté des autres.

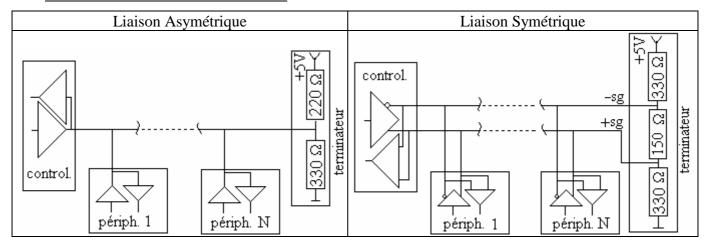
#### Chaine SCSI

A la différence des autres bus : IDE, SATA, etc. , le bus SCSI n'a pas un maitre qui serait le controleur et les périphériques des esclaves. Tous les maillons d'une chaine SCSI sont au même niveau. Quand un périphérique SCSI veut parler à un autre il est *initiateur*, l'autre périphérique deviens la *cible*. Il y a des niveaux de priorités c'est tout. La carte controleur est un périphérique SCSI comme les autres (et généralement d'un niveau de priorités assez faible).

#### Signaux

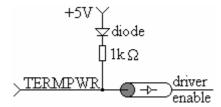
On a 2 types de bus SCSI: les bus à signaux asymétriques et les bus à signaux différentiels. Les signaux asymétriques sont référencés à la masse. Ils sont donc soumis au parasites électriques et s'aténuent plus avec la distance. Par contre ils ne nécessitent qu'un seul fil électrique pour être transmis. Les signaux différentiels sont transmis par 2 fils dont on fait la différence pour avoir la valeur. Ils sont donc beaucoup moins sensibles aux parasites électriques et peuvent se transmettre plus loin en distance. Les signaux SCSI doivent être accordés en impédance sur la ligne pour bien fonctionner. Cela reviens à mettre au bout du bus une charge ohmique.

#### □ Schéma des liaisons et du terminateur



#### □ Alimentation des terminateurs

Les terminateurs sont alimentés soit par le +5v des cartes soit par la ligne TERMPWR. Il faut placer une diode en directe sur le +5V afin que TERMPWR n'alimente pas la carte.



A priorie tous les périphériques doivent avoir leur configuration de TERMPWR actif (c'est généralement un strap sur le périphérique qui le valide).

<u>Le Bus SCSI</u> (on a pris comme exemple le SCSI 1. Les autres normes n'ajoutant que des datas)

Connexions symétriques									
Connexions asymétriques									
pin	nom	pin	nom	Issue de					
1	SGND	2	GND	Masse (SGND=blindage)					
3	+DB0	4	-DB0	Data 0	Initiator/Target				
5	+DB1	6	-DB1	Data 1	Initiator/Target				
7	+DB2	8	-DB2	Data 2	Initiator/Target				
9	+DB3	10	-DB3	Data 3	Initiator/Target				
11	+DB4	12	-DB4	Data 4	Initiator/Target				
13	+DB5	14	-DB5	Data 5	Initiator/Target				
15	+DB7	16	-DB7	Data 6	Initiator/Target				
17	+DB8	18	-DB8	Data 7	Initiator/Target				
19	+DB(P)	20	-DB(P)	Parité	Initiator/Target				
21	DIFFSENS	22	GND	Masse					
23	GND	24	GND	Masse					
25	TERMPWR	26	TERMPWR	Alim. terminateur	tous				
27	GND	28	GND	Masse					
29	+ATN	30	-ATN	Attention	Initiator				
31	GND	32	GND	Masse					
33	+BSY	34	-BSY	Busy (occupé)	Initiator/Target				
35	+ACK	36	-ACK	Acknowledge	Initiator				
37	+RST	38	-RST	Reset	tous				
39	+MSG	40	-MSG	Message	Target				
41	+SEL	42	-SEL	Select	Initiator/Target				
43	+C/D	44	-C/D	Control/Data	Target				
45	+REQ	46	-REQ	Request	Target				
47	+I/O	48	-I/O	Input/Output	Target				
49	GND	50	GND	Masse					

**Data 0-7** Les 8 lignes de données bi-directionnelles. L'octet permet de transférer : les données , les commandes , le status , les messages , les adresse SCSI , les interruptions prioritaires.

**Parity** La parité, qui est une option, permet de vérifier la validité des octets transmis.

Select l'initiateur utilise cette ligne pour indiquer à une cible qu'il envoie une commande.

**Busy** Cette ligne indique que le bus est utilisé.

C/D La cible indique qu'elle transmet : 1 = une commande, status ou message ; 0 = une donnée.

I/O La cible donne la direction : 1 = de la cible à l'initiateur; 0 = de l'initiateur à la cible.

*Message* la cible indique à l'initiateur que l'octet transmis est un message.

**Request** La cible envoie un request. En réponse l'initiateur doit lire les données ou en écrire sur le bus.

ACK L'initiateur utilise la ligne ACK en réponse à une demande REQ pour indiquer qu'il a lue

l'octet ou qu'il a écrit l'octet sur le bus de données

**ATN** l'initiateur informe par ce signal la cible sélectionnée qu'un message est disponnible.

**Reset** Ce signal permet de faire un reset à tous le monde sur le bus SCSI.

Bus
-----

#### Reconnaissance des périphériques sur un bus SCSI

Tous les périphériques sur un bus SCSI ont une adresse (même la carte contrôleur qui est un périphérique comme les autres).

En règles général cette adresse est codée en binaire au moyen de strap sur un connecteur qui contient aussi le TERMPWR, la parité, etc.

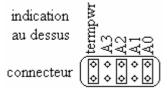
#### Rappel

En binaire les chiffres sont une combinaison de bits. Il y a n bits qui peuvent coder  $2^n - 1$  nombres. Le bit de poids le plus faible s'appel le lsb (Last Signifiant Bit) le bit de poids le plus fort s'appel le msb (Most Signifiant Bit). Le lsb est souvent appelé A0 et le msb A3 s'il y a 4 bits d'adresse.

	SC	SI V	Vide	(2	, 3 ,	160	, 32	20,	640	, SC	CA )					
	SC	CSI: 1, 2, 3 (Ultra)														
Valeur décimale	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
lsb	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
msb	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1

Tous les périphériques ont une rangée de connecteur permettant de relier 2 points en vis à vis de ce connecteur pour faire un 1 quand on met le strap.

Ex. voici un ex. de connecteur SCSI qui a comme adresse SCSI 5 (0101 = 5) et dont le termpwr est actif.



Les straps ont une âme en métal pour faire la liaison électrique et sont recouvert de plastique Les straps ont 2 largeurs possibles :

Pour les SCSI 1, les disques durs  $5" \frac{1}{4}$ , les scanners, les streamer, lecteurs de CD, graveur, etc. ils sont en 2" (1 pouce = 2,54 mm) de large. Les disques durs  $3" \frac{1}{2}$  ont des straps de 1".

Dans tous les cas il faut demander au marchant de pièces informatiques de vous fournir des straps afin d'en avoir de réserve. (Ce sont de petites pièces qui ont la facheuse habitude de toujours se perdrent quand on en a le plus besoin !!!)

#### Adresse des périphériques

L'adresse du périphérique est aussi sont ordre de priorité dans la chaine SCSI. Plus la valeur est petite plus sa priorité est grande. 0 est l'adresse du périphérique le plus prioritaire, (7 ou 15) le moins prioritaire. C'est pourquoi on met en général les périphériques les plus rapides en adresse basse et ceux qui le sont moins en adresse haute. Par usage la carte contrôleur a comme adresse 7.

#### ₩ Un exemple de chaine SCSI

Disque système (DOS) 0,  $2^{em}$  DD système (Unix) 0,  $3^{em}$  DD données de l'utilisateur 2, laissé libre pour un DD externe suplémentaire 3, lecteur de CD 4, graveur 5, scanner 6, carte contrôleur 7

#### Bios de carte controleur SCSI

Lors du démarrage de l'ordinateur le bios de la carte contrôleur est paramétrable.

Bus	
<b>Du</b> b	

## Les bus

Le bus ISA

us
----

### Le bus PCI

#### Caractéristique du bus PCI

Il y a 3 parties:

- l'unité de trajet de données (DPU = Data Path Unit)

Le DBU est une liaison 32 bits entre les différents composants

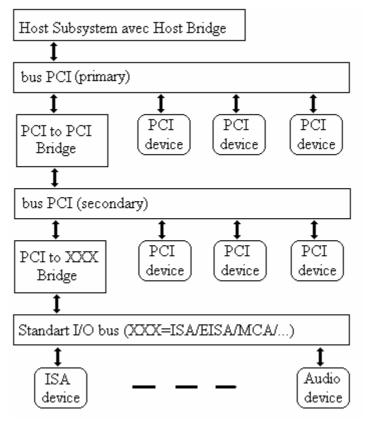
- l'interface de bus d'extension (EBI = Expansion Bus Interface)

L'EBI permet la connexion d'autre bus (ISA)

- le Host-Bridge doté d'un contrôleur de DRAM d'antémémoire (cache)

C'est le central du PCI. Il établit la liaison entre le bus et le  $\mu$ -processeur et gère la conversion de cycle PCI en cycles CPU. Cette conversion permet d'être indépendant du type de CPU (Intel , AMD , Motorola , ...)

Il est possible d'avoir 3 connecteurs PCI sur un bus. Si l'on désire d'autres connecteurs il faut placer un pont entre les bus.



Les périphériques PCI peuvent être de nature très différentes : carte controleur SCSI, carte réseau Ethernet, carte graphique, carte son, etc.

Pour interfacer d'autres périphériques on place un pont entre le bus PCI et les autres périphériques.

#### PnP (Plug and Play)

Lorsque l'ordinateur démarre le boot trouve les carte PCI et interroge chacunne d'elles pour savoir quelles ressources elles demandent. Ces ressources sont : adresse d'I/O ,  $n^{\circ}$  IRQ , canaux DMA , et domaine d'adresse mémoire occupé.

En cas de conflit entre les cartes PCI le boot va essayer de reconfigurer une ou plusieurs carte PCI pour régler les conflit et rendre possible leurs fonctionnement.

S'il ne réussit pas le boot met purement et simplement une des cartes hors service.

#### **Fonctionnement**

Les ressources utilisées par les cartes PCI sont situées dans un domaine de mémoire que possède la carte PCI de taille maximum de 256 octets. Cette mémoire est appelée espace de configuration (Configuration Space).

31	24	15	8		
De <sup>-</sup>	vice ID	Vendor ID			
S	Status	Command			
	Class code		Revision ID	08h	
BIST	Header Type	Latency Timer	Cache Line Size	0Ch	
	Base a	ddress 0		10h	
	Base a	ddress 1		14h	
	Base a	ddress 2		18h	
Base address 3					
Base address 4					
	Base address 5				
	Cardbus CIS Pointer				
Subs	Subsystem ID SubSystem Vendor ID				
Epansion ROM base address					
Reserved					
Reserved				38h	
Max_Lat	_Lat Min_Gnt Interrupt Pin Interrupt Line			3Ch	

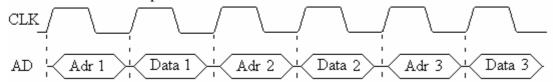
Les éléments PCI se subdivisent en 2 groupes :

- Les maitres : Ils autorisent les transmission de données
- Les esclaves : Ils acquittent les données transmisent

Les données sont transmisent de 2 manières différentes mais toujours régulées par une horloge du BUS

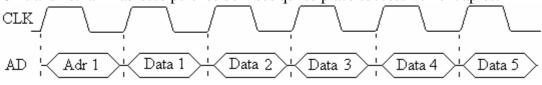
#### Mode Normal

la transmission se fait par l'adresse sur 32 bits suivi de la données sur 32 ou 64 bits



#### ➤ Mode Burst (Salves)

On transmet la 1<sup>er</sup> adresse puis les données qui se place successivement après.



Ces 2 modes de transmission donne des taux de transmissions différents.

En mode normal on a : 44Mo/s en lecture et 66Mo/s en écriture

En mode Burst on peu aller jusqu'à 117Mo/s pour du PCI 32 bits à 33MHz

#### Chronologie d'un bus PCI en fonction des signaux d'horloge

- 1 le bus est au repos (FRAME=1 et IRDY=1)
- 2 FRAME est activé par le maitre pour signaler un début de transmission

AD reçoit une adresse

C/BE reçoit une instruction de bus

IRDY, TRDY et DEVSEL sont flottant car on va avoir commutation de driver

3 AD passe en haute impédance car le control passe du maitre à la cible

C/BE est commandé par la cible

IRDY est actif car le maitre peut lire les données

TRDY est encore inactif car il n'a pas encore trouvé de cible

4 AD reçoit les 1<sup>er</sup> données

TRDY est activé car les 1<sup>er</sup> données sont disponibles sur le bus

DEVSEL est activé car la cible est reconnue au coup d'horloge 2

5 AD est toujours en cours de réception de données

TRDY est desactivé car la cible veut intercaler une pause

6 AD reçoit les données de la phase 2

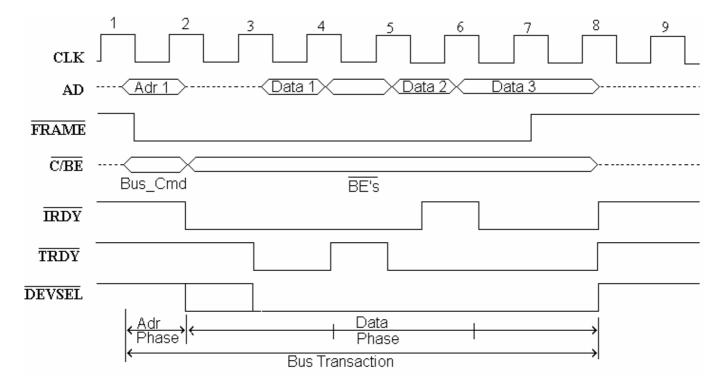
TRDY est activé pour indiquer la possibilité de lecture des données

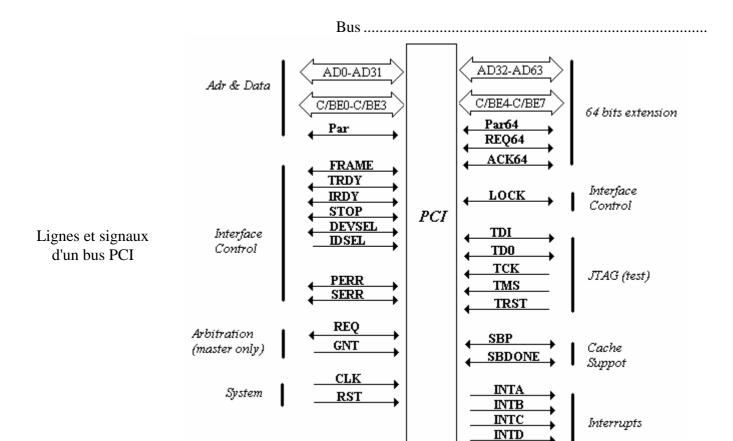
7 AD reçoit les données de la phase 2

IRDY est desactivé car le maitre veut intercaler une pause

- 8 FRAME est désactivé par le maitre sachant que les dernières données sont en cours de transmission
- 9 FRAME, IRDY, TRDY et DEVSEL = 1

AD et C/BE sont flottant car il n'y a pas de transaction





#### Vitesse du PCI

Le bus PCI est un bus Synchrone dont les adresses sont sur 32 bits

	PCI 32 bits 1.0	PCI 64 bits 2.0	PCI 32 bits 2.1	PCI 64 bits 2.1
Fréquence d'horloge en MHz	33	33	66	66
Taux de transfert de data à 3	3MHz sans Wait	en Mo/s		
Non burst read	44	88	44	88
Non burst write	66	132	66	132
Burst read	106	211	106	211
Burst write	117	234	117	234
Taux de transfert de data à 66MHz sans Wait en Mo/s				
Non burst read			88	172
Non burst write			132	264
Burst read			211	423
Burst write			234	468

#### **Configuration**

#### Dans le Setup d'un PC on peut paramétrer bus PCI

- Le temps de latence du bus PCI (*PCI-Latency-Timer*). Il devra en générale être de 32 cycles d'horloge. Cette valeur définie le temps qu'une carte peut occuper sur le bus.
- Le retard de transaction (*PCI-Delay-Transaction*) permet de choisir si on est en norme 2.1 par *Enable* ou inférieur si *Disable*.
- L'utilisation d'un buffer (*CPU to PCI Buffer* = Enable) permet de transmettre plus rapidement entre le CPU et le PCI, encore faut-il que le controleur PCI l'accepte (voir la doc de la carte mère et celle du North Bridge sur le Net). Si on met ce paramètre à OFF le CPU attend que le bus PCI soit prêt à la transaction avant de continuer.

Bus	

Le bus vidéo

L'AGP

**Le PCI Express** 

Bus	 	

## Les prises

Elles sont situées en générales sur l'arrière du boitier. On commence à voir des prises de connexions apparaîtrent sur le devant des boitiers. Ce sont en principe des bus séries type USB ou Fire Wire.

On peut découper encore arbitrairement ces prises en 2 familles.

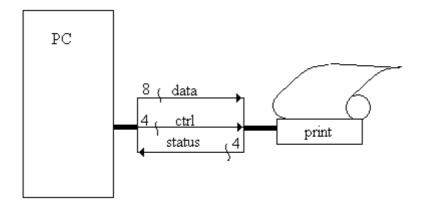
Les prises des "anciens" PC : liaison série/Parallèle, clavier, souris

Les ajouts de cartes mère réçentes : son , bus USB/Fire Wire, bus Ethernet (réseau).

## La liaison parallèle

La liaison parallèle est une liaison spécialement crée pour utiliser une imprimante sur un PC. A l'origine les imprimantes étaient des périphériques onéreux qui étaient reliés à l'ordinateur central au moyen d'une liaison série RS232. Puis avec l'arrivé des micro ordinateurs il a été possible d'envisager d'avoir avec *son* ordinateur , *son* imprimante. Il fallut donc inventer une liaison qui soit proche et surtout plus rapide que la série.

La liaison parallèle est une liaison qui permet d'envoyer des octets à un débit d'environ <u>1 Mo/s</u> sur une <u>distance de maximum 5m</u> dans un environnement non bruité (c.a.d. chez vous et pas dans un atelier). Au départ cette liaison était mono-directionnelle (ou unidirectionnelle), dans le sens PC vers imprimante. Mais avec le temps les constructeurs se sont apperçus qu'IBM avait fait une erreur de conception et que l'on pouvait très facilement faire une liaison bidirectionnelle.



Les prises sont normalisées :

Sub D 25 pts femelle du coté PC et centronic 36 pts mâle du coté imprimante.

Le débit entre le PC et l'imprimante peut se faire à la <u>vitesse de 1Mo/s</u>. Il n'y a aucune vérification de la validité des octets reçus au niveau de l'imprimante. Pas de check-sum, ni de parité, rien !!! L'octet peut donc être tout à fait corrompu, lorsque l'on est dans une ambiance parasitée, et imprimé tel-quel. Il vaut mieux avoir un *cable blindé*, celui-ci permet d'espérer une plus grande fiabilité des signaux électrique. Il est par contre beaucoup moins souple.

Seul les utilisateurs travaillant dans un endroit dont toutes les perturbations électriques sont absentes pourront utiliser un câble non blindé mais souple.

#### La connexion est:

SubD 25 (sur PC)	Centronics (imprimante)	nom	sens	rôle	Bit dans la classe	fonction
1	1	STROBE	O	control	0	Indication de données présente
2	2	D0	I/O*	data	0	data
3	3	D1	I/O*	11	1	"
4	4	D2	I/O*	"	2	"
5	5	D3	I/O*	"	3	"
6	6	D4	I/O*	"	4	"
7	7	D5	I/O*	"	5	"
8	8	D6	I/O*	"	6	"
9	9	D7	I/O*	data	7	data
10	10	ACKNOWLEDGE	I	status	6	Acquitement de lecture de données
11	11	BUSY	I	status	7	Attente de fin de travail imprimante
12	12	PAPEROUT	I	status	5	Plus de papier
13	13	SELECT	I	status	4	Imprimante connectée
14	14	AUTO FEED	O	control	1	Autorise le retour à la ligne
15	32	ERROR	I	status	3	erreur
16	31	INITIALIZE	O	control	2	Initialise l'imprimante
17	36	SELECT PRINTER	O	control	3	Selectionne l'imprimante
18-25	19-30	GROUND				

<sup>\*</sup> On a suppose que le PC était moderne et pouvait avoir un port bidirectionnel.

Les rôles des signaux sont mappés en adresse d'I/O sur le PC :

Port	rôle
378h	data
379h	Status
37Ah	control

Il y a en plus dans le rôle control les bits : 4 autorisation d'interruption , 5 lorsque ce bit est à 0 les datas sont en sorties. S'il est à 1 on peut lire les datas sur le port. Ce bit ne peut être positionné que si l'on a choisi de rendre le port bidirectionnel.

On a actuellement 4 modes de fonctionnement

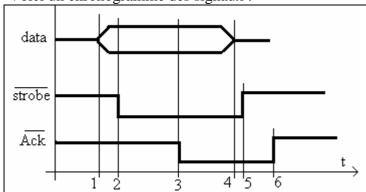
- ✓ Le mode standard
- ✓ Le mode bidirectionnel 4 bit NIBBLE MODE
- ✓ Le mode sur 8 bits bidirectionnel BYTE MODE
- ✓ Le mode EPP (Enhanced Parallel Port) = port parallèle étendu
- ✓ Le mode ECP (Extended Capability Port) = port à capacité étendue

Bus .....

#### a) Le mode standard

C'est un mode très simple de communication du PC vers l'imprimante.

Voici un chronogramme des signaux :



- 1)Le PC met les données sur le bus de data
- 2) Il met le signal strobe à 0\*.
- 3)Dès que l'imprimante reçoit le strobe elle lit les datas et renvoie un Ack
- 4)Le PC libère les data
- 5) Il remonte sa ligne strobe
- 6)Le strobe étant remonté, l'imprimante remonte ack

le PC peut alors de nouveau recommencer à envoyer des datas jusqu'à ce que l'imprimante lui dise busy.

nota: Nous nous sommes placé dans l'option ou il n'y a pas de problème. (il y a du papier, tout est ok).

Tous les autres modes s'appuient sur cette chronologie de signaux.

#### b) Le mode bidirectionnel 4 bit NIBBLE MODE

C'est un mode standard un peu "bricolé" ou les 4 bits de status servent à lire des quartets venant de l'extérieur.

Un logiciel très connu utilisait ce mode : *LapLink*. Il servait (au temps héroïques du DOS) à transférer des fichiers d'un ordinateur à un autre au moyen d'une connexion parallèle avec un cable spécial. Le quartet de data était connecté sur celui de status à l'autre bout. N'oubliont pas qu'il n'y avait pas encore de réseau à cette époque !!!

#### c) Le mode 8 bits bidirectionnel BYTE MODE

IBM ayant vue son erreur, l'a corrigé lors de la conception de sa gamme PS2. Ce mode permet grace au bit 5 de l'adresse control de choisir la direction des datas. On obtient ainsi une communication à 300 Ko/s de débit.

#### d) Le mode EPP (Enhanced Parallel Port)

C'est un mode de fonctionnement bidirectionnel très rapide de l'ordre de 2 Mo/s. On peut connecter des periphériques rapides style disques dur, scanner, etc.

#### e) Le mode ECP (Extended Capability Port)

On utilise le DMA afin de transférer encore plus rapidement les datas entre la mémoire et le port parallèle.

Tous les ordinateurs actuels (2004) permettent de selectionner le style de port parallèle <u>dans le SETUP</u>. Les modes EPP et ECP requièrent un circuit logiques spécial. Si l'ordinateur est trop ancien il ne l'a pas forcément.

Cependant de plus en plus de périphériques utilisent d'autre moyen de connexion. Il est probable que vienne un temps ou *la prise parallèle sera supprimée* au profis d'autres connexions de type série , USB ou autre.

<sup>\*</sup> Un nom barré veut dire signal actif à 0.

## La liaison série (RS232)

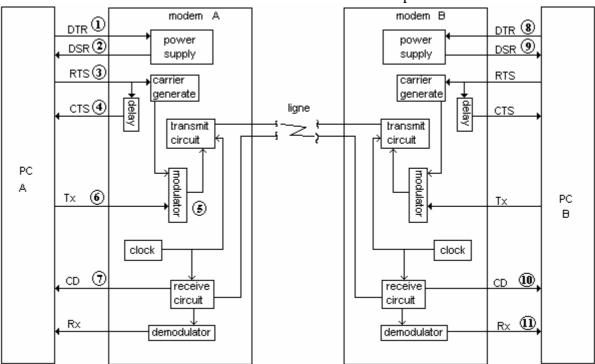
La prise série est utilisée pour faire des communications séries entre un PC et un périphérique série (typiquement un modem) ou un autre PC. Elle est basé sur le norme RS232. Cette norme définie des types de signaux, des niveaux électriques et un protocole de communication.

La prise RS232 est une prise Sub D soit 9 points soit 25 points.

type	9 pts	25 pts	Nom	abbrev
	3	2	Transmitted data	TD (Tx)
data	2	3	Received data	RD (Rx)
	7	4	Request to Send	RTS
	8	5	Clear to Send	CTS
	6	6	Data set Ready	DSR
control	1	8	Carrier Detect	CD
	4	20	Data Terminal Ready	DTR
	9	22	Ring Indicator	RI
électrique	5	7	Signal Ground (masse)	GND

Les niveaux des signaux sur la prise Sub D sont compris entre -12v et +12v.

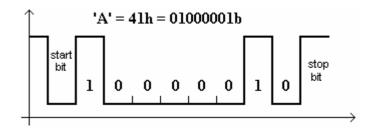
Nous allons voir comment la communication se fait entre 2 PC reliés par des modems.



Les PC active DTR *1* et *8*. Normallement les lignes DSR *2* et *9* sont activés quand les modems sont allumés. Le PC (A) active RTS *3* qui entraine le modem (A) à activer son générateur de porteuse. Le modem (B) détecte la porteuse générée sur la ligne et active sa ligne CD *10*. De plus le modem (B) active sont horloge interne (clock). Après un delai, le modem (A) active la ligne CTS *4* qui indique au PC (A) qu'il est prèt à envoyer une donnée. Le PC (A) envoie en série un des bits sur Tx *7*, le modem module le bit avec la porteuse et l'envoie sur la ligne. Le modem (B) démodule le bit et l'envoie au PC (B) par la ligne Rx *11*. Après que la transmission soit effectuée complètement (tous les bits) le PC (A) desactive le RTS *3* ce qui entraine que le modem (A) arrête son générateur de porteuse et renvoie au PC (A) le signal CTS *4*.

#### Format de Transmission

La transmission RS232 est une transmission asynchrone. On transmet octet par octet et on doit attendre entre 2 transmissions (au moins le temps d'un stop puis d'un start).



Ex. transmettons un octet qui vaut 41h

- > On voit que le 1<sup>er</sup> bit transmis est le msb alors que le dernier est le lsb.
- ➤ Il y a 2 bits en plus : le start bit qui vaut toujours 0, et le stop bit qui vaut toujours 1.
- ➤ La norme RS232 accepte 1 ou 1,5 ou 2 bit de stop.
- ➤ Il est courant de rajouter dans le protocole de transmission un bit de parité afin de vérifier que la transmission c'est bien déroulée. Cette parité est calculée avec le nombre de 1 se trouvant dans l'octet transmis. Ex. Si on transmet 41h il y a deux 1, donc l'octet est pair.
- ➤ On parle de baud quand on ne différencie pas entre les bit de start , data , parité et stop. C'est une mesure de débit ex. 50kbd = 50 kbits/s. Il ne sagit plus d'avoir une mesure de débit de données utilent mais de bits/s.

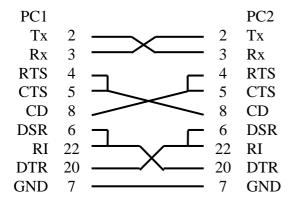
NOTA: Quand on a un débit de transmission série  $\alpha$ , le débit en octet est  $\alpha/10$  étant donné les bits de start et stop (au minimum). Ex. une transmission à 50kbd/s => 5ko/s

#### **Cable Null-Modem**

Le cable null-modem est une tentative de connexion de 2 PC entre eux afin de pouvoir faire des échanges de fichiers.

Le 1<sup>er</sup> cable null modem était fait ainsi :

Puis le cable null modem a évolué en une forme plus simple.



PC1			PC2
Tx	2	2	Tx
Rx	3		Rx
RTS	4	4	RTS
CTS	5		CTS
DTR	20	$\sim$ 20	DTR
DSR	6	<del></del>	DSR
CD	8	→       8	CD
RI	22		RI
<b>GND</b>	7	<del></del> 7	<b>GND</b>

#### Vitesse

La vitesse maximale de tansmission en liaison série est de 115kbd/s. Bien que le circuit de liaison série d'un PC puisse aller à 115kbd/s la norme RS232 existe bien avant le PC. Il y a donc des normes de vitesses fixées.

nom	Bd/s	commentaire
Bell 103	110 ↔ 300	la 1 <sup>er</sup> liaison existante entre ordinateur : 1970
Bell $212 = v.22$	1200	évolution de la bell 103 et 1er norme CCITT
V.22 bis	2400	le 1 <sup>er</sup> standart mondial utilisé par les PC en 1980
V.32	9600	la 1 <sup>er</sup> fois ou l'on dépassait la bande du téléphone (300-3khz)
V.32 bis	14400	évolution de la V.32
V.fast	$19200 \leftrightarrow 28800$	on approche de la limite théorique des lignes téléphoniques
V.42, V.42 bis	57600	connexion avec compression LZW des messages (taux de 4:1)

#### Le clavier

La prise clavier est une prise DIN ou une prise Mini-DIN 5 broches. Les prise DIN ou Mini-DIN 5 broches ont cette forme : (représentation vue de face. L'echelle n'est pas bonne)

nom	DIN	Mini-DIN	
forme	<b>1 1 4 5 2 4 5 4 5 5 6 7 1 1 1 1 1 1 1 1 1 1</b>	65 66 03 40 1 2	
diamètre	14mm	9mm	

Les signaux sont:

1 KbrClk horloge de communication

2 KbrData données séries in/out

3 reserve

4 GND masse

5 +5 alimentation +5 V

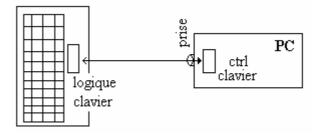
6 reserve

L'horloge est qualibrée afin de fournir une période de 500µs ce qui donne une fréquence de 2000Hz Les données sont transmisent en série : 1 start + 8 bits de data + 1 parité + 1 stop. Les 8 bits sont transmis dans l'ordre lsb en 1 et msb en dernier.

La fréquence de répétition de frappe d'une touche (quand la touche reste enfoncée) peut être déterminée. Il y a 64 valeurs possibles qui vont de 30 fois/s à 2 fois/s.

C'est un circuit spécial qui gère les transmission du/vers clavier. Du temps de l'IBM PC/AT c'était un 8042, qui se trouve maintenant intégré dans les circuits de gestion de périphériques.

> Architecture de la liaison clavier



## Fonctionnement dynamique

Power on reset (POR)

Lorsque le + 5v est appliqué la logique clavier doit envoyer un retour faux avant 0,2s, sinon le clavier est déclaré non présent.

Ensuite le clavier doit répondre un POR au minimum 0,3s et au maximum 9s afin de faire connaître au controleur de clavier son existence.

Basic Assurance Test

Suite au POR le contrôleur de clavier exécute un test qui consiste en une check sum de sa ROM et de sa RAM. Si le test c'est bien passé, les 3 leds en haut à droite du clavier s'allument temporairement.

Dialogue entre la logique et le controleur

A la suite de ce test le controleur l'interface entre en communication "normale" avec la logique du clavier. Le clavier est alors prêt à envoyer les caractères au controleur. Les transmissions se font en série avec 1 bit de parité pair et 1 bit de stop

Bus	
-----	--

## Dispositif de pointage (la souris)

Les dispositifs de pointages (souris, boules, joystick, pad, etc.) servent à déplacer un curseur sur l'écran. La liaison entre le dispositif de pointage et l'ordinateur, se fait en série soit par RS232 soit par USB.

#### La souris

Il y a 2 types de souris

- ♠ à boule : C'est une boule qui en roulant sur la surface entraine des capteurs qui indiquent le sens du déplacement
- ♠ optiques : C'est la reflexion d'un rayon laser sur une grille qui indique les sens du déplacement

Dans tous les cas la souris est munie de 2 boutons pour "cliquer", quelque fois 3 mais le 3<sup>ieme</sup> se pert au profit d'une molette.

Cette molette deviens la norme dans les souris et sert à faire défiler les pages dans les logiciels de bureautique.

Nota: Certaines souris communiquent par infra-rouge ou onde hertzienne, on les nomment des souris sans fil. Elles sont très pratiques mais nécessite d'avoir une alimentation interne sous forme de pile. Elles sont donc 1) plus cher d'entretien (changement fréquent des piles) ; 2) plus lourdes à manier

C'est le dispositif de pointage le plus ancien, inventé chez Xerox en 1970, qui est le plus simple. Sa précision est de médiocre à bonne suivant la qualité de fabrication et le type.

#### La boule (track ball)

C'est une souris renversée dont la boule à grossit afin d'être manipulée par la paume de la main. Elle à l'avantage de ne prendre que sa surface sur la table car elle ne bouge pas. C'est la boule insérée dedans que l'on fait bougée. La taille de l'écran alors importe peu il suffit de "lancer la boule" pour que le curseur se déplace sans que le périphérique de pointage ne bouge.

Le trackball a aussi 2 boutons, et rien n'empèche qu'il y est aussi une molette.

Le trackball était très utile sur les tables des architectes et autres professions "aux tables encombrées !!!" Ce dispositif est plus précis que la souris dû à la taille de la balle qui est plus grande donc plus précise, et surtout moins sujette à jeu mécanique.

#### Le touchpad

C'est le dispositif de pointage livré avec les portables. Il s'agit d'un petit carré/rectangle sensible au touché. Le déplacement d'un doigt dessus fait réagir le dispositif ce qui permet alors de déplacer le curseur. Il y a aussi 2 boutons et une molette.

Le gain de place est évident (autrefois c'était une trackball qui était à la palce du touchepad). La précision est plus aléatoire et le déplacement d'un curseur sur toute la diagonale de l'écran nécessite de s'y reprendre à plusieurs fois. La fragilité du touchpad est beaucoup plus grande, il faut le manier sans brutalité.

Nota : Ce dispositif ne rend pas indiférent, soit on l'adore soit on le déteste. Les avis sont très (trop) tranchés et définitifs.

#### L'écran tactil

Il éxiste un type d'écran qui comporte un capteur à sa surface qui permet de déterminer où se pose le doigt, et donc de pointer une région de l'écran.

Ce dispositif ne peut avoir qu'une présision liée à la taille du doigt, donc très faible. De plus la position du bras tendu devient vite fatiguante. C'est pour cela que ce dispositif n'est utilisé que pour le dialogue



avec le publique ; type choix : de billet, menu , etc. (on suppose qu'un utilisateur ne reste pas la journée devans).

#### Le joystick

C'est un petit "manche" qui permet de capter la direction dans laquelle il est "penché". Ce dispositif permet d'avoir des réactions beaucoup plus rapides qu'avec les pointeurs à boules ou tactils. Il est donc normal de le trouver dans les jeux qui demande des réponses "reflex". Par contre les possibilités de précision sont faibles à moyennes.

Les manches de joystick se déplace et peuvent être sensible à la pression pour indiquer non seulement la direction mais aussi l'intensité.

Leurs résistance mécanique n'est pas spécialement leurs points forts. Dans l'industrie (aviation) on utilise aussi les joystick. Ils sont alors d'une tout autre qualité, mais aussi d'un autre prix. Un joystick d'avion de chasse ne "bouge" pas (pour ne pas être sensible à l'accélération de l'avion) il est seulement très sensible à la pression des doigts dans la direction choisie. Son prix avoisine les 1500€, juste pour le joystick,ce qui est impossible à commercialisé pour un jeu.

On risque de trouver bientôt des joystick dans les voitures à la place des volants.

#### Les lunettes capteur

Il existe des capteurs sur des lunettes qui détecte le sens du regard. Ce qui permet d'avoir un dispositif de pointage très rapide et précis. Le port de ces lunettes est par contre une gêne pour l'utilisateur qui n'en n'a pas, quand aux porteurs de lunettes correctrices cela surcharge la paires "habituelle".

Les recherches sont toujours en cours pour améliorer ces "lunettes", car leurs précisions et leurs rapidités est remarquable.

#### La tablette graphique

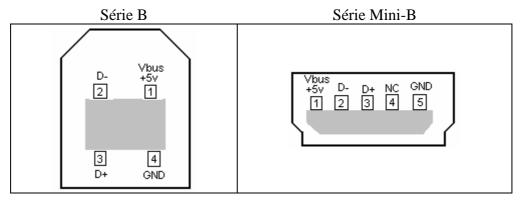
C'est le dispositif de pointage de toutes les professions qui ont besoin d'une précision très grande : architecte, ingénieur mécanique, etc. La vitesse n'est pas un critère important.

C'est en fait une table de format plus ou moins grand (A2, A1, 10) sur lequel on déplace un dispositif de pointage. Celui-ci est détecté en position avec une grande précision. On a ainsi la possibilité de mesurer la dimension et l'angle de lignes d'un dessin en suivant son tracé.

#### L'USB

La liaison USB se fait entre un PC et un périphérique USB situé à au plus 20m, par un cable série USB. Ce câble est constitué de 2 prises 4 points, qui ont 2 formes : une plate de 14 x 5 mm qui peut fournir jusqu'à 500 mA de courant, appellée *série Mini-B*, et l'autre carrée de 5 mm de coté qui ne peut qu'absorbée le courant, appellée *Série B*. Ces 2 prises différencient la partie "commande" de la partie "réception". Les prises "commande", ou Mini-B, sont sur les PC ou sur les 'hub'. Les prises "réception", ou B, sont sur les périphériques. Les cable ont toujours une prise Mini-B à un bout et une B à l'autre.

La prise USB est faite ainsi : (vue de face)



Les connexions D- et D+ sont utilisées pour transmettre le signal série en différentiel, ce qui permet au signal d'être très robuste et peu sensible aux parasites (insensibilité aux parasites de mode commun). Il faut une référence de tension pour ce mode différentiel qui est donné par la masse (GND). La prise fournie du +5V afin d'alimenter de "petits appareils" (voir discussion ci-dessous 🍑).

### Caractériquiques

La vitesse est:

- L'USB de base (USB 1) est à 1,5Mb/s. Il est fait pour des connexions pas très rapides, genre souris ou autre.
- L'USB "normale" (USB 2) est à 20Mb/s. Il est utilisé pour la connexion d'imprimante ou autre périphériques de même nature. C'est une liaison faite pour du moyen débit.
- Il existe un USB "High Speed" (<u>c'est spécifié sur la connexion</u>) qui permet d'avoir un USB à 480Mb/s. Il a été conçu pour supporter les connexions à des disques durs ou d'autres périphériques très rapides.

Nota: Rappel; un débit en Mb/s doit être divisé par 10 en moyenne pour obtenir le débit en Mo/s. Ex: L'USB 2 à 20Mb/s permet des transferts à 2Mo/s.

Lorsqu'un périphérique USB est connecté, il se présente 2 cas :

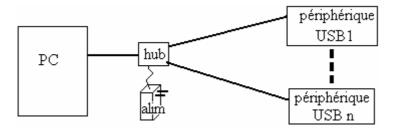
- Le périphérique appartient à une classe de périphériques USB référencé (Imprimante, scanner, etc.). Son driver est déjà présent dans le système, il est donc reconnu immédiatement.
- Le périphérique n'appartient pas à une classe existante, il faut donc installer le driver USB spécifique qui doit être livrer avec le périphérique.

#### Alimentation

(sujet très sensible et oh combien catastrophique!!!)

Les prises USB qui fournissent du courant, les Mini-B, peuvent "<u>théoriquement</u>" fournir jusqu'à 500mA. Cependant si vous devez placer un périphérique qui consommerait presque 500mA, nous vous conseillons vivement d'intercaller, entre le PC et le périphérique, un hub USB ayant sa propre alimentation. Il est dommage de faire "fumer" un hub, mais il est encore plus de faire "cramer" son PC. Dans la norme USB, un périphérique ne doit pas consommer plus de 100mA tant qu'il n'est pas "énuméré" traduire : reconnu sur le bus.

En règle générale il vaut mieux avoir un hub entre le PC et des périphériques USB "exotiques". Les souris, imprimantes et autres scanners <u>n'étant "théoriquement" pas</u> considérés comme exotique (méfiance !!!).



Quand on a un PC portable et que l'on veut brancher un périphérique USB alimenté par le portable. Il faut **tester son périphérique sur un hub alimenté avant de le brancher sur le portable**. Cela évite quelques douloureuses désillusions, du type contrôleur USB du portable "cramé" (expérience vécue avec un portable et un lecteur CD soi-disant alimenté par le portable. Merci au lecteur CD de marque LaCie !!!).

Dans tous les cas on testera son périphérique sur un hub avant de le brancher en directe sur le PC. Cela évite bien des catastrophes et fait économiser : du temps , de l'argent et de l'énervement , pour le coût

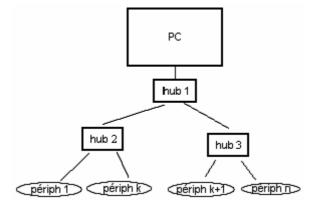
On prendra soin d'acheter un hub alimenté par le secteur. Et pas un hub alimenté par le PC, ce qui aggraverait le problème (alimentation par le PC, du hub + du périphérique).

## Nombreux périphérique USB

d'achat d'un hub.

Les prises USB sont généralement au nombre de 2, 3 ou 4 sur les ordinateurs. Si l'on a plus de périphériques USB que cela il faut rajouter des Hubs entre une prise du PC est les périphériques.

Supposons que nous avons un grand nombres de périphériques, il faut alors ajouter un nombre important de hub USB. La liaison va se faire de la manière suivante :



C'est l'architecture typique d'une construction arborescente.

Nota: Il faudra prendre un soin particulier à placer des hubs alimentés par une source de courant extérieur si l'on a des périphériques qui sont usb-alimentés. Ex. de périphériques usb-alimenté; la souris.

#### Le FireWire / IEEE 1394

La liaison IEEE 1394 appelée aussi FireWire est une liaison série rapide "plug and play" qui peut supporter simultanément jusqu'à 63 périphériques.

Le débit est fonction de la variante de la norme que l'on considère :

Norme	Débit théorique
IEEE 1394a-S100	100Mb/s
IEEE 1394a-S200	200Mb/s
IEEE 1394a-S400	400Mb/s
IEEE 1394b-S800	800Mb/s
IEEE 1394b-S1200	1200Mb/s
IEEE 1394b-S1600	1600Mb/s
IEEE 1394b-S3200	3200Mb/s

La norme la plus courante est l'IEEE 1394a-S400 ce qui donne un débit maximum de 400Mb/s.

#### Le format des prises

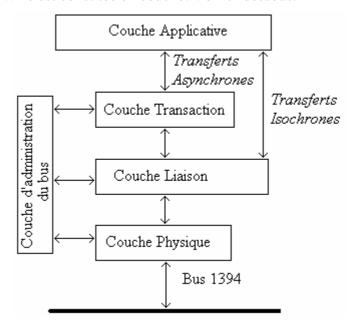
1394a		1394b	
1995	2000 (mini-DV)	béta	bilingual
<b>H</b>			

- ✓ Le connecteur 1394a-2000 appelé aussi mini-DV est celui qui se retrouve sur les caméras digitales.
- ✓ Le connecteur 1394b béta peut recevoir des prises béta <u>et</u> bilingual alors que le connecteur bilingual ne peut recevoir que des prises bilingual.

#### **Fonctionnement**

La connection se fait par 2 fils de data, 2 fils d'horloge et 2 fils d'alimentation.

L'architecture du bus FireWire est constitée en couche. Voir ci-dessous.



Bus	
Dus	• •

Le mode Asynchrone est basé sur une transmission de paquets à intervalles de temps variables. C.a.d. que l'émetteur envoie un paquet et attend que le récepteur lui envoie un accusé de réception. Quand l'émetteur a recu l'Ack il envoie le paquet suivant, sinon le même paquet est retransmis de nouveau après un certain délai.

Il est utilisé pour transmettre des data : souris, disque dur, appareil photo, etc.

➤ Le mode Isochrone envoie des paquets de taille fixes à intervalles réguliers (cadencé grâce à 2 fils d'horloge). Ainsi aucun Ack n'est nécessaire. Cela permet de garantir un débit fixe et grâce à l'abscence des ack diminue la bande passante et augmente la vitesse de transfert.

Il est utilisé pour transmettre film et son : caméra vidéo , son , etc.

Le communications Isochrones sont prioritaires sur les Asynchrones.

Le débit est théoriquement de 400Mb/s, mais le cadencement des paquets en Isochrone fait que le débit utile ne dépasse pas 256Mb/s.

On peut avoir des ponts afin d'utiliser plusieurs périphérique FireWire. L'adressage se fait sur 16 bits : 10 spécifiant le pont ce qui fait 1023 ponts possibles, et 6 le nœud donc 63 nœud. Cela donne 65535 périphérique adressables en tout.

On peut insérer et supprimer un périphérique en cours de fonctionnement c'est ce qu'on appele le "hot plug".

Comme la liaision USB le FireWire cherche à faciliter la connexion de phériphériques à l'ordinateur, mais c'est une liaison beaucoup plus rapide et performante que l'USB.

Elle est soutenue par Apple sous le nom de FireWire, par Sony sous le nom de i.Link et par Texas Instruments sour le nom de Lynx. Malheureusement ni Intel ni Microsoft ne soutienne cette norme préférant l'USB bien moins performante. Cependant l'usage de caméras vidéo ayant un port FireWire influe favorablement dans le sens de la généralisation de cette norme. Nombre de cartes mères modernes incluent cette liaison d'office.

On peut espérer pour bientôt (c'est déjà le cas) d'avoir une généralisation des disques durs FireWire, ce qui simplifirait la connexion interne.

Il semble néanmoins que la liaison SATA empèche le FireWire de se s'implanter définitivement dans les PC (il faut bien écouler le stock de DD IDE !!!).

Il est possible que l'usage du SATA en interne et d'un FireWire comme ajout de DD externe soit une étape obligée.

Arno LLOP Matériel Ver. 1.1 38

Bus	
Dus	••

## Les Liaisons sans fils

#### **Bluetooth**

La norme bluetooth a été initiée pour relier des périphériques "lents" avec le PC. Ex. de périphériques lent : le clavier, la souris, etc.

C'est une liaison hertzien.

La 1<sup>er</sup> norme date de 1999 et a été concue par Ericsson auquel c'est ajouté IBM , Nokia, Intel, et Toshiba. Le nom "dent bleu" vient d'un ancien roi nordique Harald Blatand, qui veut dire Harold la Dent Bleue, qui a unifié les peuples du Danemark, de la Norvège et de la Suède. De même Bluetooth cherche à unifier les communications sans fils entre divers appareils. Avec à terme une disparition des câbles.

#### version 1.1

Bluetooth opère à 1Mb/s de débit sur un rayon d'action de 10m.

La norme était en fait concue au départ pour avoir un téléphone portable "main libre". On a un téléphone portable dans une poche et une oreillette à l'oreille. Cette norme suffisante pour les périphériques "lent" tel que les oreillettes de téléphone portable, ne l'est plus pour les liaisons plus rapides entre ordinateurs. La percée des normes WI-Fi : 802.11b de 5 à 11 Mb/s et le 802.11g à 54 Mb/s sur 25 à 300m se sont imposés. Elles ont masqués la liaison Bluetooth qui est utilisée dans la téléphonie mobile, car son coût est bien moindre.

Dans la téléphonie Bluetooth c'est imposé. Il commence aussi à s'utiliser unpeu partout dans l'industrie : 10% des équipements en 2004 et probablement entre 53 et 82% en 2008 sont prévus en Blutooth. Par ex. Peugeot, Audi, Saab, BMW, Mercedes, etc. équipent certaines de leurs voitures avec des haut parleurs Bluetooth.

#### La norme 2.0+

Cette norme passe le débit à 3Mb/s avec un plafon théorique à 10Mb/s, sur toujours 10m.

Le bût des constructeurs est de voir cette norme séduire les constructeurs d'appareils tel que : Appareil photos communicant avec une imprimante, consoles portables pour jeu en réseau, "chat" entre PDA, etc.

Le Bluetooth a paru très intéressant au début en informatique mais semble reculer actuellement car peu d'appareil en sont équipés. Il semblerait que ce soit l'industrie qui ait récupérée cette technique pour équiper ses produits. Cela fera peut être revenir dans un future le Bluetooth en informatique par la mise à disposition d'un plus grand choix de périphériques.