

VLSI-2 Course Project (Phase III)

Project: Multicycle ARM Processor control Unit

Project Delivery: 10 Mordad 96

سنتز معماری ARM

مطابق رویه ای که در کارگاه سنتز داشتیم. کد های Verilog مربوط به ALU و arm_multi.sv را روی کتابخانه ۱۸۰ نانومتر tsmc سنتز نمایید.

برای سنتز حداقل area را در نظر بگیرید و در خصوص قدرت درایو سیگنال های ورودی و لود های خروجی از همان مقادیر داده شده در workshop استفاده نمایید.

محدودیت روی مساحت را حداقل ممکن در نظر بگیرید.
در خصوص فرکانس کلاک سنتز را در سه فرکانس مختلف مطابق جدول زیر انجام دهید.
گزارش های report_area, report_timing, report_constraint, report_qor برای هر سه فرکانس ذخیره شوند.

مسیر بحرانی را روی شکل مشخص کنید. فایل سنتز شده را نیز ذخیره نمایید.

Clock period	slack	No. of Hold Violations	Total area
10 ns			
15 ns			
20 ns			

سعی کنید با استفاده از کتابخانه تکنولوژی ۱۸۰ نانومتر پردازنده را بعد از سنتز شبیه سازی نمایید. فرکانس مناسب را برای شبیه سازی خود انتخاب کنید. (در صورتیکه بعد از تلاش کافی موفق به نتیجه گیری نشدید، اشکالی ندارد و فقط خطای گزارش شده توسط نرم افزار را **report** کنید).

در گزارش نهایی موارد زیر بیاید:

جدول تکمیل شده بالا،
 شماتیک مدار سنتز شده، مسیر بحرانی
 کد Verilog بعد از سنتز
 گزارش های سنتز در فرکانس های مختلف
 نتایج شبیه سازی بعد از سنتز مطابق گزارش فاز دوم/ یا خطا در صورت عدم موفقیت
 لطفا زمان صرف شده برای انجام فاز ۳ در گزارش آورده شود.