



دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)

پروژه پایانی درس VLSI2 (فاز سوم)

عنوان:

Multicycle ARM Processor Control Unit

استاد درس:

دکتر شالچیان

پدیدآورنده:

سارا قائمی 9223089

20 مرداد 96

1. فایل های ارائه شده

1.1. فایل گزارش انجام پروژه

این فایل شامل موارد مقابل است. میزان زمانی که برای این پروژه صرف شده است، روند انجام سنتز، نتیجه ی سنتز و همچنین مراحل شبیه سازی پس از سنتز در محیط modelsim

2.1. فایل arm_multi_9223089.sv

این فایل در واقع کد اصلی برنامه میباشد که بخش های لازم تکمیل شده است. در ادامه به توضیح بیشتر این کد خواهیم پرداخت.

3.1. فایل ARM_multi.v

این فایل خروجی سنتز میباشد.

4.1. فایل testbench.sv

این فایل تست بنچ برنامه میباشد که مشابه آنچه در کارگاه single cycle داشتیم میباشد.

5.1. فایل memfile.dat

این فایل در memory ذخیره میگردد و دستورات به ترتیب اجرا میشوند.

6.1. فایل های report_qor.txt

این فایل ها به تعداد clk های امتحان شده میباشد و مهمترین چیزی که نشان میدهند slack است.

7.1. فایل report_timing.txt

برای کلاک بهینه این فایل را داریم که گزارش دقیق زمان بندی های این سنتز را نشان میدهد.

8.1. فایل report_area.txt

برای کلاک بهینه این فایل را داریم که نشان دهنده گزارش دقیق مساحت میباشد.

9.1. فایل ARM_multi.ddc

این فایل پایگاه داده ای طرح کامپایل شده است که اگر قصد اصلاح طرح را داشته باشیم استفاده خواهد شد.

10.1. فایل vsim.wlf

این فایل خروجی modelsim را شامل میشود.

2. زمان صرف شده

سنتز طرح با محاسبه مشکلات به وجود آمده در مراحل انجام آن حدود 9 ساعت مفید، شبیه سازی پس از سنتز با محاسبه اشکالات بوجود آمده حدود 11 ساعت، و گزارش نیز حدود 2 ساعت زمان برد. مجموعاً من حدود 22 ساعت مفید روی این بخش از پروژه زمان گذاشتم.

3. روند انجام پروژه

1.3. مراحل سنتز

ابتدا در محیط سیستم عامل داده شده نرم افزار design vision را باز کرده و در آن از طریق منوی file بخش setup در بخش های Link library و Target library فایل های مربوط به کتابخانه 180 نانو را اضافه میکنیم که از این پس بتوانیم از آن ها برای سنتز استفاده کنیم.

سپس از منوی file در بخش Analyze کد اصلی برنامه را اضافه میکنیم و از منوی file در بخش Elaborate ماژول اصلی را انتخاب میکنیم.

حال پس از نمایش شماتیک کلی مدار سیگنال clk را انتخاب کرده و از منوی Attribute بخش specify clock را انتخاب میکنیم و پریود کلاک و زمان صعود و نزول آن را مشخص نموده، آن را تعریف میکنیم. همچنین به دلیل اینکه پورت reset دارای fanout بالایی میباشد باید توسط design compiler به صورت بالانس درآید.

سپس سلول راه انداز ورودی و خروجی را تعیین میکنیم و برای بهبود سنتز بار خازنی خروجی ها را برابر بار ورودی بافر BUF8X قرار میدهیم.

در مرحله بعد محدودیت های لازم را اعمال میکنیم که این بخش دقیقاً مطابق آنچه در دستور کار کارگاه آمده بود انجام گردید. سپس شرایط کاری طرح از جهت ولتاژ، دما و نوع پروسه را تعیین میکنیم.

در نهایت طرح را کامپایل کرده و طرح را با گزارش های خروجی آنالیز میکنیم.

2.3. فرکانس های مختلف امتحان شده

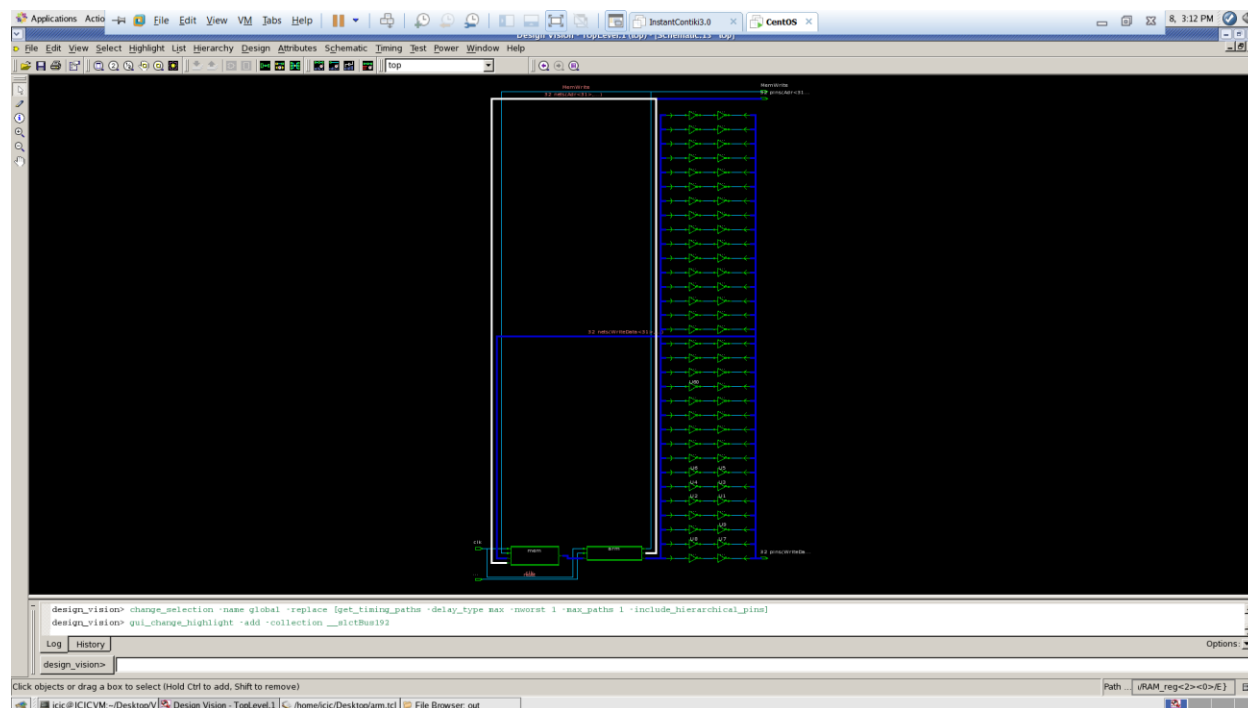
برای اینکه بهترین فرکانس کاری برای سنتز طرح یافت شود، مقادیر مختلف را امتحان کرده و خروجی آن ها را بررسی کردم. نتیجه ی این بررسی به شرح زیر میباشد.

Clock period	Slack	No. of Hold Violations	Total Area
3	-2.75	0	4556067.317007
10	0	0	4062077.454688
15	0	0	3707971.680618
20	0	0	4233262.242788
30	0.03	0	3672415.667837
32	2.24	0	3994729.168438
35	3.4	0	4003368.714284
38	6.39	0	4002032.102979
40	7.82	0	3996232.491632

در نهایت کلاکی که در آن slack تقریبا 10 درصد کلاک بود را به عنوان کلاک اصلی انتخاب کرده و بقیه کار را بر روی آن انجام دادم. بنابراین بقیه گزارش مربوط به کلاک 35 میباشد.

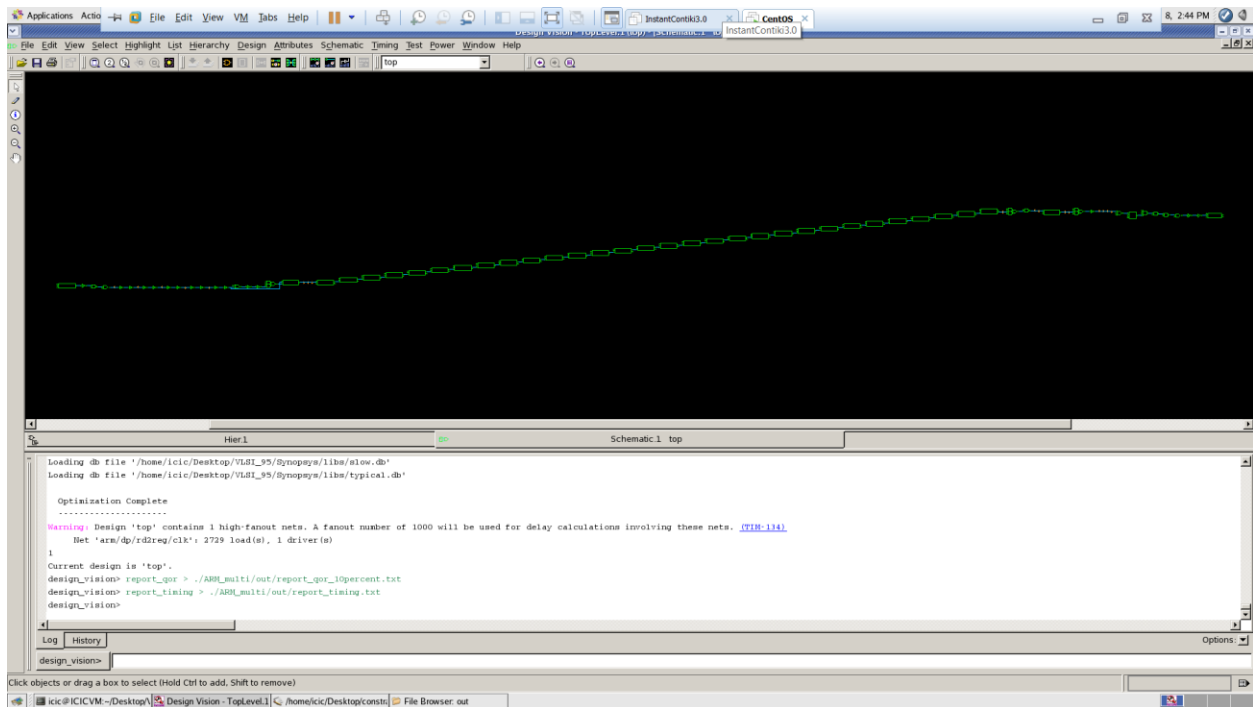
3.3 تصاویر مسیر بحرانی و شماتیک مدار

در ادامه تصاویر مربوط به مدار و مسیر بحرانی را مشاهده میکنید. تصویر شماره 1 شماتیک کل مدار طراحی شده را نشان میدهد.



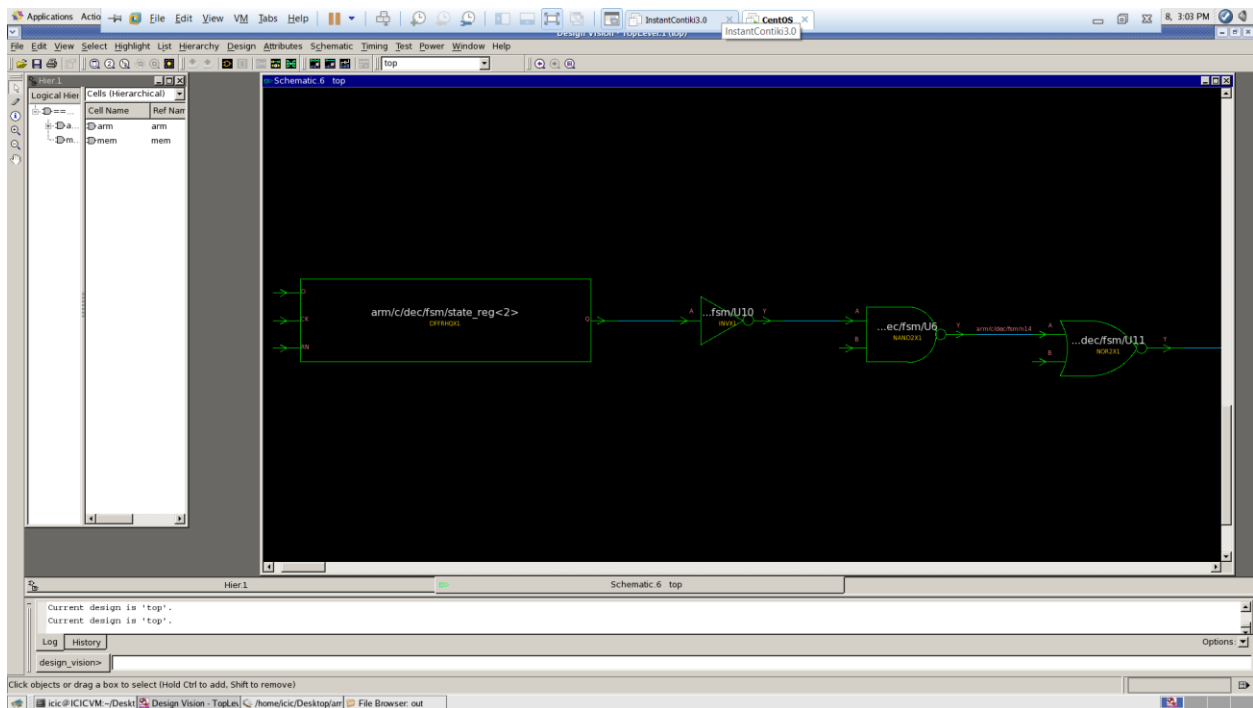
شکل شماره 1: شماتیک کلی مدار

تصویر شماره دو شماتیک مسیر بحرانی را نشان میدهد.

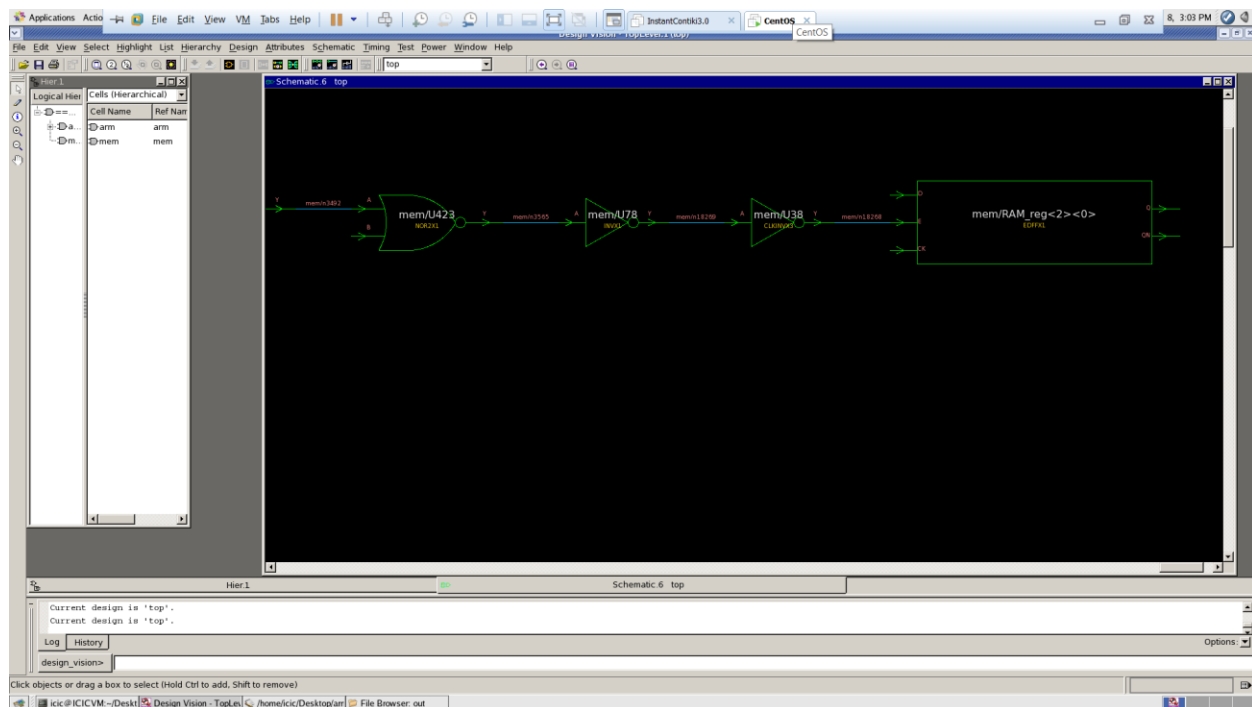


شکل شماره 2: شماتیک مسیر بحرانی

تصویر شماره 3 و 4 ابتدا و انتهای مسیر بحرانی را نشان میدهد.

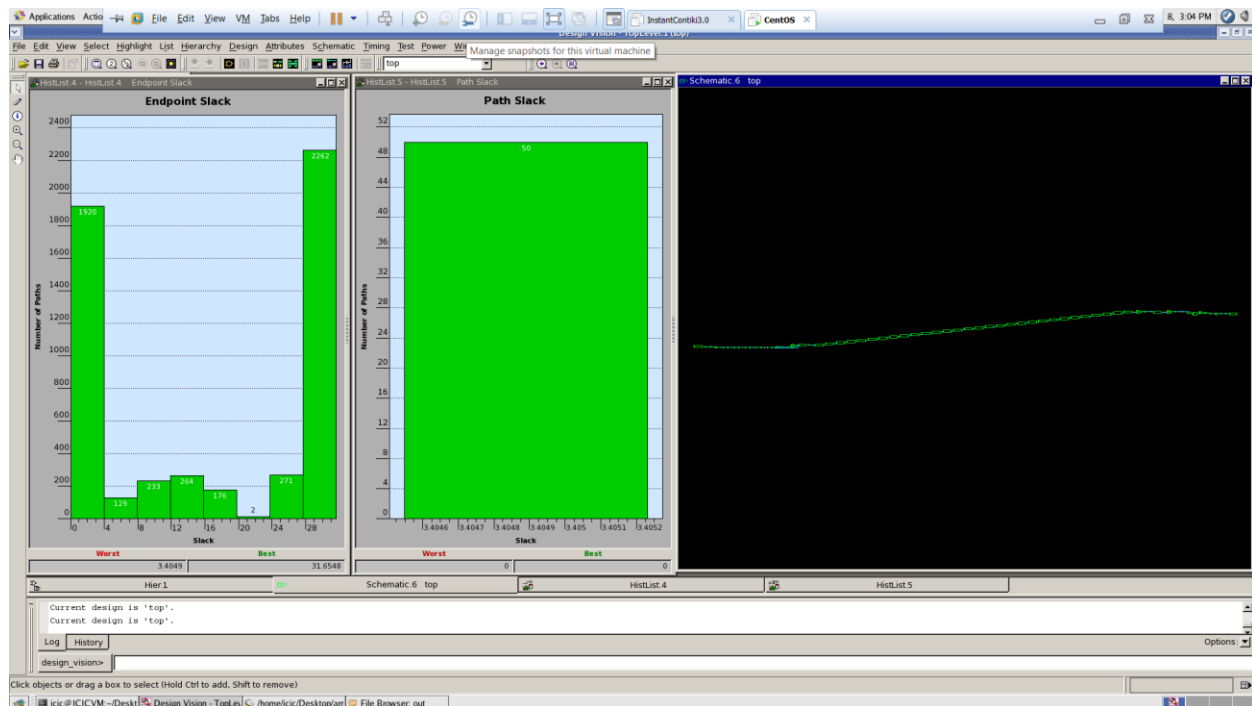


شکل شماره 3: ابتدای مسیر بحرانی



شکل شماره 4: انتهای مسیر بحرانی

شکل شماره 5 شماتیک مسیر بحرانی و در کنار آن Path Slack و Endpoint Slack را نشان میدهد.



شکل شماره 5: نمودار های Slack ها به همراه شماتیک مسیر بحرانی

4.3. گرفتن بقیه گزارش ها و خروجی ها

در ادامه برای آنالیز بیشتر طرح گزارش دقیق مساحت و گزارش زمانی نیز برای کلاک 35 گرفته شد که در ادامه نتایج آن را مییابید.

گزارش qor:

```
*****
Report : qor
Design : top
Version: C-2009.06-SP5
Date   : Tue Aug  8 14:27:28 2017
*****
```

Timing Path Group 'clk'

```
-----
Levels of Logic:          61.00
Critical Path Length:     31.25
Critical Path Slack:      6.39
Critical Path Clk Period: 38.00
Total Negative Slack:     0.00
No. of Violating Paths:   0.00
Worst Hold Violation:     0.00
Total Hold Violation:     0.00
No. of Hold Violations:   0.00
-----
```

Cell Count

```
-----
Hierarchical Cell Count:    28
Hierarchical Port Count:   1905
Leaf Cell Count:           6689
Buf/Inv Cell Count:        1159
CT Buf/Inv Cell Count:     0
-----
```

Area

```
-----
Combinational Area:    59772.081853
Noncombinational Area:
                        207600.629524
Net Area:              3734659.391602
-----
Cell Area:             267372.711377
Design Area:           4002032.102979
-----
```

Design Rules

```
-----
Total Number of Nets:    7108
Nets With Violations:    0
-----
```

Hostname: ICICVM.lab.edu

Compile CPU Statistics

```
-----  
Resource Sharing:          0.52  
Logic Optimization:       3.68  
Mapping Optimization:     9.33  
-----  
Overall Compile Time:     17.21
```

گزارش مساحت:

Report : area

Design : top

Version: C-2009.06-SP5

Date : Tue Aug 8 14:47:13 2017

Library(s) Used:

typical (File: /home/cad/TECH/TSMC/180/synopsys/typical.db)

Number of ports: 67

Number of nets: 163

Number of cells: 66

Number of references: 3

Combinational area: 59802.019452

Noncombinational area: 207600.629524

Net Interconnect area: 3735966.065308

Total cell area: 267402.648976

Total area: 4003368.714284

گزارش زمانی:

Report : timing

-path full

-delay max

-max_paths 1

Design : top

Version: C-2009.06-SP5

Date : Tue Aug 8 14:30:33 2017

A fanout number of 1000 was used for high fanout net computations.

Operating Conditions: slow Library: slow

Wire Load Model Mode: top

Startpoint: arm/c/dec/fsm/state_reg<2>

(rising edge-triggered flip-flop clocked by clk)

Endpoint: mem/RAM_reg<2><0>

(rising edge-triggered flip-flop clocked by clk)

Path Group: clk

Path Type: max

Des/Clust/Port	Wire Load Model	Library
top	tsmc18_wl40	slow

Point	Incr	Path
clock clk (rise edge)	17.50	17.50
clock network delay (ideal)	0.00	17.50
arm/c/dec/fsm/state_reg<2>/CK (DFFRHQX1)	0.00 #	17.50 r
arm/c/dec/fsm/state_reg<2>/Q (DFFRHQX1)	0.40	17.90 f
arm/c/dec/fsm/U10/Y (INVX1)	1.12	19.02 r
arm/c/dec/fsm/U6/Y (NAND2X1)	0.81	19.83 f
arm/c/dec/fsm/U11/Y (NOR2X1)	1.47	21.29 r
arm/c/dec/fsm/ALUSrcA<0> (mainfsm)	0.00	21.29 r
arm/c/dec/U5/Y (INVX1)	0.24	21.54 f
arm/c/dec/U4/Y (INVX1)	0.56	22.10 r
arm/c/dec/ALUSrcA<0> (decode)	0.00	22.10 r
arm/c/U2/Y (INVX1)	0.22	22.32 f
arm/c/U1/Y (INVX1)	0.30	22.62 r
arm/c/ALUSrcA<0> (controller)	0.00	22.62 r
arm/U2/Y (INVX1)	0.19	22.81 f
arm/U1/Y (INVX1)	0.47	23.28 r
arm/dp/ALUSrcB<1> (datapath)	0.00	23.28 r
arm/dp/U4/Y (INVX1)	0.22	23.50 f
arm/dp/U3/Y (INVX1)	1.42	24.92 r
arm/dp/srcBmux/s<1> (mux3_WIDTH32_2)	0.00	24.92 r
arm/dp/srcBmux/U4/Y (INVX1)	0.49	25.41 f

arm/dp/srcBmux/U2/Y (CLKINX3)	1.60	27.01	r
arm/dp/srcBmux/U10/Y (NOR2BX1)	0.27	27.28	f
arm/dp/srcBmux/U9/Y (INVX1)	0.62	27.91	r
arm/dp/srcBmux/U6/Y (CLKINX3)	1.42	29.32	f
arm/dp/srcBmux/U16/Y (AOI22X1)	0.78	30.10	r
arm/dp/srcBmux/U15/Y (OAI2BB1X1)	0.49	30.59	f
arm/dp/srcBmux/y<2> (mux3_WIDTH32_2)	0.00	30.59	f
arm/dp/alu/b<2> (alu)	0.00	30.59	f
arm/dp/alu/add_465/B<2> (alu_DW01_add_0)	0.00	30.59	f
arm/dp/alu/add_465/U1_2/CO (ADDFX2)	0.53	31.12	f
arm/dp/alu/add_465/U1_3/CO (ADDFX2)	0.32	31.43	f
arm/dp/alu/add_465/U1_4/CO (ADDFX2)	0.32	31.75	f
arm/dp/alu/add_465/U1_5/CO (ADDFX2)	0.32	32.06	f
arm/dp/alu/add_465/U1_6/CO (ADDFX2)	0.32	32.38	f
arm/dp/alu/add_465/U1_7/CO (ADDFX2)	0.32	32.69	f
arm/dp/alu/add_465/U1_8/CO (ADDFX2)	0.32	33.01	f
arm/dp/alu/add_465/U1_9/CO (ADDFX2)	0.32	33.32	f
arm/dp/alu/add_465/U1_10/CO (ADDFX2)	0.32	33.64	f
arm/dp/alu/add_465/U1_11/CO (ADDFX2)	0.32	33.95	f
arm/dp/alu/add_465/U1_12/CO (ADDFX2)	0.32	34.27	f
arm/dp/alu/add_465/U1_13/CO (ADDFX2)	0.32	34.58	f
arm/dp/alu/add_465/U1_14/CO (ADDFX2)	0.32	34.90	f
arm/dp/alu/add_465/U1_15/CO (ADDFX2)	0.32	35.21	f
arm/dp/alu/add_465/U1_16/CO (ADDFX2)	0.32	35.53	f
arm/dp/alu/add_465/U1_17/CO (ADDFX2)	0.32	35.84	f
arm/dp/alu/add_465/U1_18/CO (ADDFX2)	0.32	36.16	f
arm/dp/alu/add_465/U1_19/CO (ADDFX2)	0.32	36.47	f
arm/dp/alu/add_465/U1_20/CO (ADDFX2)	0.32	36.79	f
arm/dp/alu/add_465/U1_21/CO (ADDFX2)	0.32	37.10	f
arm/dp/alu/add_465/U1_22/CO (ADDFX2)	0.32	37.42	f
arm/dp/alu/add_465/U1_23/CO (ADDFX2)	0.32	37.73	f
arm/dp/alu/add_465/U1_24/CO (ADDFX2)	0.32	38.05	f
arm/dp/alu/add_465/U1_25/CO (ADDFX2)	0.32	38.37	f
arm/dp/alu/add_465/U1_26/CO (ADDFX2)	0.32	38.68	f
arm/dp/alu/add_465/U1_27/CO (ADDFX2)	0.32	39.00	f
arm/dp/alu/add_465/U1_28/CO (ADDFX2)	0.32	39.31	f
arm/dp/alu/add_465/U1_29/CO (ADDFX2)	0.32	39.63	f
arm/dp/alu/add_465/U1_30/CO (ADDFX2)	0.32	39.94	f
arm/dp/alu/add_465/U1_31/S (ADDFX2)	0.28	40.22	f
arm/dp/alu/add_465/SUM<31> (alu_DW01_add_0)	0.00	40.22	f
arm/dp/alu/U30/Y (AOI22X1)	0.43	40.65	r
arm/dp/alu/U166/Y (NAND2X1)	0.73	41.38	f
arm/dp/alu/Result<31> (alu)	0.00	41.38	f
arm/dp/alumux/d2<31> (mux3_WIDTH32_1)	0.00	41.38	f
arm/dp/alumux/U12/Y (OAI2BB1X1)	0.98	42.35	f
arm/dp/alumux/y<31> (mux3_WIDTH32_1)	0.00	42.35	f
arm/dp/adrmux/d1<31> (mux2_WIDTH32)	0.00	42.35	f
arm/dp/adrmux/U10/Y (AOI22X1)	0.57	42.92	r
arm/dp/adrmux/U9/Y (INVX1)	0.39	43.32	f
arm/dp/adrmux/y<31> (mux2_WIDTH32)	0.00	43.32	f
arm/dp/Adr<31> (datapath)	0.00	43.32	f
arm/Adr<31> (arm)	0.00	43.32	f
mem/a<31> (mem)	0.00	43.32	f
mem/U547/Y (NOR3X1)	0.52	43.84	r
mem/U546/Y (NOR4BX1)	0.56	44.40	r
mem/U548/Y (AND4X2)	0.32	44.72	r
mem/U516/Y (AND2X2)	0.55	45.28	r

mem/U388/Y (NAND2X2)	0.65	45.92 f
mem/U423/Y (NOR2X1)	1.15	47.08 r
mem/U78/Y (INVX1)	0.48	47.55 f
mem/U38/Y (CLKINX3)	1.19	48.74 r
mem/RAM_reg<2><0>/E (EDFFX1)	0.00	48.74 r
data arrival time		48.74
<hr/>		
clock clk (rise edge)	52.50	52.50
clock network delay (ideal)	0.00	52.50
mem/RAM_reg<2><0>/CK (EDFFX1)	0.00	52.50 r
library setup time	-0.35	52.15
data required time		52.15
<hr/>		
data required time		52.15
data arrival time		-48.74
<hr/>		
slack (MET)		3.40

در نهایت دو فایل مهم دیگر را نیز خروجی میگیریم. یکی از این فایل ها پایگاه داده ای طرح کامپایل شده است که اگر قصد اصلاح طرح را داشته باشیم استفاده خواهد شد، و دیگری نت لیست گیت طرح به فرمت Verilog میباشد که در ادامه از آن برای انجام post synthesis simulation استفاده خواهیم کرد.

5.3 Post synthesis simulation

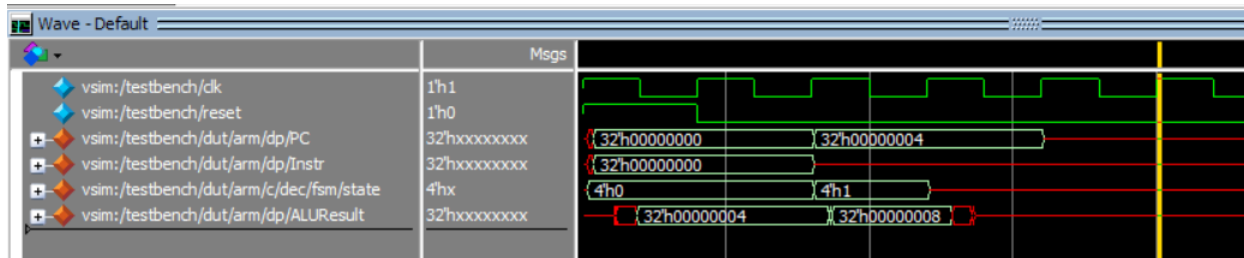
در ادامه برای اینکه delay های شبیه سازی بیشتر به واقعیت نزدیک باشد خروجی طرح فوق را دوباره در modelsim شبیه سازی میکنیم.

برای این منظور به فایل های زیر نیاز خواهیم داشت:

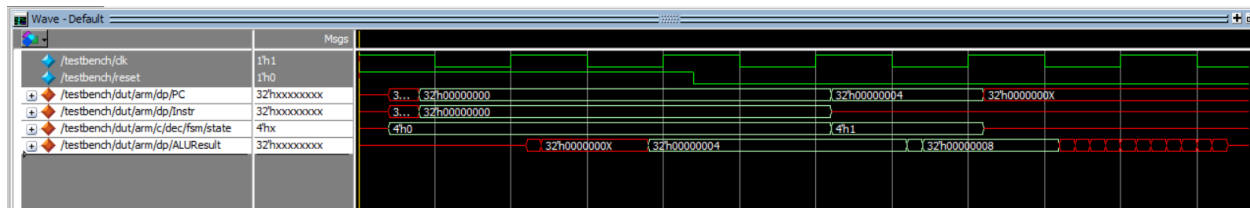
- فایل خروجی سنتز که به فرمت Verilog آن را ذخیره کردیم. نام آن را ARM_multi.v می نامیم.
- فایل tsmc18.v که در واقع مدل Verilog کتابخانه 18 نانو میباشد.
- فایل testbench که قبلا داشتیم.

این فایل ها را در modelsim شبیه سازی میکنیم. همان سیگنال هایی که در بخش قبل نیز از آن ها برای آنالیز طرح استفاده نمودیم را در شبیه سازی نمایش میدهیم و آن را اجرا میکنیم.

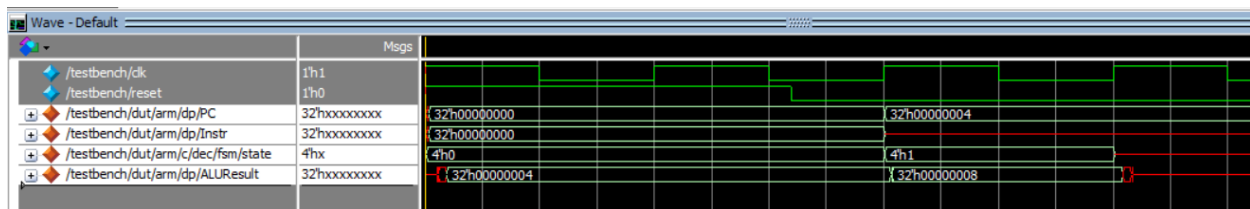
متأسفانه پس از تلاش های فراوان نتوانستم کاری کنم که سیگنال ها حالت X به خود نگیرند و علت آن را نتوانستم پیدا کنم. خروجی شبیه سازی با سه کلاک مختلف را در زیر میبینید.



شکل شماره 6: خروجی شبیه سازی پس از سنتز با کلاک 40 نانو



شکل شماره 7: خروجی شبیه سازی پس از سنتز با کلاک 10 نانو



شکل شماره 8: خروجی شبیه سازی پس از سنتز با کلاک 200 نانو

در نهایت متأسفانه متوجه علت این اتفاق نشدم و نتوانستم آن را به درستی شبیه سازی کنم.