

Architecture des Ordinateurs

Série des TD N° 2

Exercice 1 :

A-Demi-Soustracteur :

Réaliser un demi-soustracteur :

- 1) Ecrire la table de vérité.
- 2) Donner les équations de sortie.
- 3) Etablir le schéma logique.

B-Soustracteur complet :

On veut réaliser un circuit qui effectue la soustraction $A_i - B_i$ en tenant compte d'une éventuelle retenue R_{i-1} . Ce circuit doit donc générer la différence D_i et l'éventuelle retenue R_i à transmettre à la colonne de gauche.

- 1) Remplir la table de vérité de D_i et R_i .
- 2) Remplir les tableaux de Karnaugh et en déduire les équations simplifiées de D_i et R_i .
- 3) Dessiner le schéma de ces deux fonctions réunies en un seul bloc fonctionnel : le soustracteur complet.

4) Réaliser un soustracteur binaire complet (ou étage de soustracteur) selon deux modes :

- a. Avec deux demi-soustracteurs ;
- b. Avec un demi-additionneur et un demi-soustracteur.

5) Dessiner le schéma d'un soustracteur de 2 nombres de 4 bits en utilisant 4 blocs fonctionnels identiques.

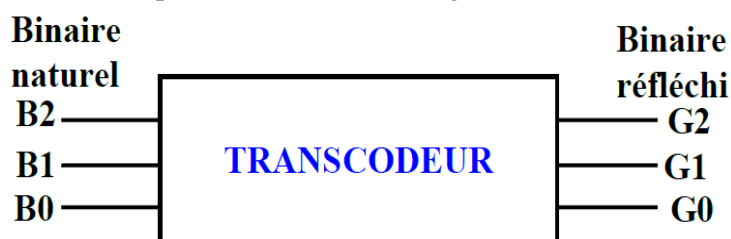
C-Additionneur Soustracteur :

- 1) Réaliser un circuit qui inverse ou non l'état d'une entrée E selon qu'un bit de commande C est à 1 ou à 0: si $C=0$ on veut $S=E$, si $C=1$ on veut $S=\overline{E}$
- 2) En utilisant cette fonction $S=\overline{E}$ additionneur sur 4 bits, réaliser un circuit qui effectue l'addition de deux nombres de 4 bits ($A+B$) si un bit de commande C est à 0 et la soustraction ($A-B$) si $C=1$.

Exercice2 :

Développez un circuit logique (transcodeur) muni de 3 variables d'entrée (B_2, B_1, B_0) représentant le nombre N dans le code binaire naturel (ou pur), et qui donne en sortie (G_2, G_1, G_0) représentant le même nombre dans le code Gray (ou binaire réfléchi).

- 1) Dresser une table de vérité traduisant le fonctionnement,
- 2) A l'aide du tableau de Karnaugh, trouver les équations des sorties : G_2, G_1 et G_0 ,
- 3) Dessiner le logigramme avec uniquement des portes "XOR" à deux entrées,
- 4) En déduire le logigramme si le code d'entrée est sur 4 bits.
- 5) Vérifier que ce transcodeur peut réaliser le transcodage inverse.

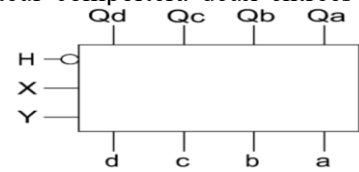


Exercice 3 :

On désire réaliser un compteur/décompteur asynchrone modulo 10 avec une possibilité de chargement parallèle du nombre $N = dcba$ ($0 \leq N \leq 9$). Ce compteur/décompteur comportera deux entrées de commande X et Y :

$X = 0$: Chargement parallèle (Chg //) de N (quel que soit Y).

$X = 1$: Compteur (Cpt) si $Y = 0$ et décompteur (Décpt) si $Y = 1$.



Quatre bascules JK et toutes les portes logiques nécessaires sont mises à disposition. Les bascules sont synchronisées sur front descendant et possèdent des entrées de forçage (*set* (S) et *reset* (R)) actives à l'état bas.

1. Dessiner le schéma de connexion des bascules, de façon à obtenir un compteur si $Y = 0$ et un décompteur si $Y = 1$ (sans tenir compte du modulo pour l'instant).
2. Quelles valeurs sur la sortie (du compteur et du décompteur) doit-on détecter pour réaliser le modulo 10.

Pour la suite, on posera : $M = \overline{Q_b} \cdot \overline{Q_d}$

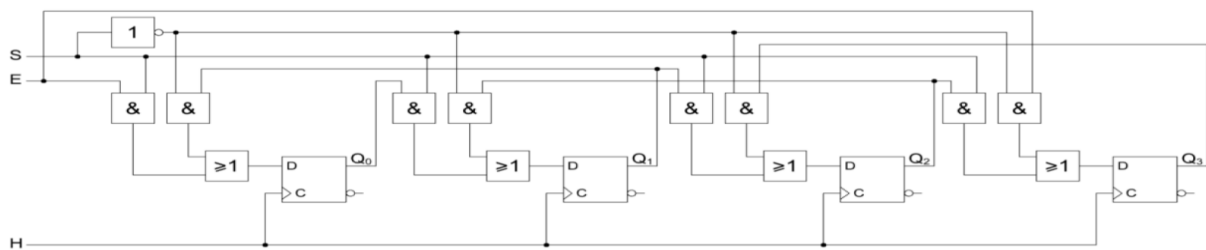
3. Compléter la table de vérité ci-dessous pour les entrées *set* et *reset* des quatre bascules en fonction de X et de Y .

	X	Y	\overline{R}_a	\overline{S}_a	\overline{R}_b	\overline{S}_b	\overline{R}_c	\overline{S}_c	\overline{R}_d	\overline{S}_d
Chg //	0	x								
Cpt	1	0								
Décpt	1	1								

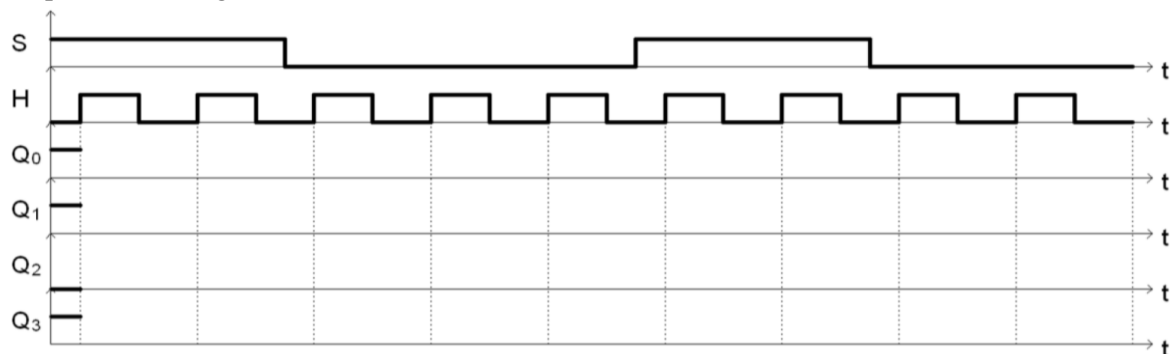
4. En déduire les équations de chacune des entrées *set* et *reset*.

Exercice 4 :

Soit le montage ci-dessous :



Remplir les chronogrammes suivants si l'entrée E vaut zéro :



Que réalise ce montage ?