

本书所用STM32微控制器寄存器说明

C.1 复位和时钟控制寄存器描述

(1) 时钟控制寄存器 (RCC_CR)

首地址：0x4002,1000 地址偏移：0x00 复位值：0x0000 XX83，X 代表未定义。

访问：无等待周期，字、半字和字节访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留						PLL RDY	PLL ON	保留				CSS ON	HSE BYP	HSE RDY	HSE ON

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSICAL[7:0]								HSITRIM[4:0]				保留	HSI RDY	HSI ON	

位 31:26	保留，始终读为 0。
位 25	PLL RDY: PLL 时钟就绪标志 (PLL clock ready flag)。PLL 锁定后由硬件置 ‘1’。 0: PLL 未锁定; 1: PLL 锁定。
位 24	PLL ON: PLL 使能 (PLL enable)。由软件置 ‘1’ 或清零。当进入待机和停止模式时，该位由硬件清零。当 PLL 时钟被用作或被选择将要作为系统时钟时，该位不能被清零。 0: PLL 关闭; 1: PLL 使能。
位 23:20	保留，始终读为 0。
位 19	CSS ON: 时钟安全系统使能 (Clock security system enable)。由软件置 ‘1’ 或清零以使能时钟监测器。 0: 时钟监测器关闭; 1: 如果外部 4-16MHz 振荡器就绪，时钟监测器开启。
位 18	HSE BYP: 外部高速时钟旁路 (External high-speed clock bypass)。在调试模式下由软件置 ‘1’ 或清零来旁路外部晶体振荡器。只有在外外部 4-16MHz 振荡器关闭的情况下，才能写入该位。 0: 外部 4-16MHz 振荡器没有旁路; 1: 外部 4-16MHz 外部晶体振荡器被旁路。
位 17	HSE RDY: 外部高速时钟就绪标志 (External high-speed clock ready flag)。由硬件置 ‘1’ 来指示外部 4-16MHz 振荡器已经稳定。在 HSE ON 位清零后，该位需要 6 个外部 4-16MHz 振荡器周期清零。 0: 外部 4-16MHz 振荡器没有就绪; 1: 外部 4-16MHz 振荡器就绪。
位 16	HSE ON: 外部高速时钟使能 (External high-speed clock enable)。由软件置 ‘1’ 或清零。当进入待机和停止模式时，该位由硬件清零，关闭 4-16MHz 外部振荡器。当外部 4-16MHz 振荡器被用作或被选择将要作为系统时钟时，该位不能被清零。 0: HSE 振荡器关闭; 1: HSE 振荡器开启。
位 15:8	HSICAL[7:0]: 内部高速时钟校准 (Internal high-speed clock calibration)。系统启动时，这些位被自动初始化。
位 7:3	HSITRIM[4:0]: 内部高速时钟调整 (Internal high-speed clock trimming)。由软件写入来调整内部高速时钟，它们被叠加在 HSICAL[7:0]数值上。这些位在

	HSICAL[7:0]的基础上，让用户可以输入一个调整数值，根据电压和温度的变化调整内部 HSI RC 振荡器的频率。默认数值为 16，可以把 HSI 调整到 8MHz $\pm 1\%$ ；每步 HSICAL 的变化调整约 40kHz。
位 2	保留，始终读为 0。
位 1	HSIRDY：内部高速时钟就绪标志（Internal high-speed clock ready flag）。由硬件置‘1’来指示内部 8MHz 振荡器已经稳定。在 HSION 位清零后，该位需要 6 个内部 8MHz 振荡器周期清零。 0：内部 8MHz 振荡器没有就绪； 1：内部 8MHz 振荡器就绪。
位 0	HSION：内部高速时钟使能（Internal high-speed clock enable）。由软件置‘1’或清零。当从待机和停止模式返回或用作系统时钟的外部 4-16MHz 振荡器发生故障时，该位由硬件置‘1’来启动内部 8MHz 的 RC 振荡器。当内部 8MHz 振荡器被直接或间接地用作或被选择将要作为系统时钟时，该位不能被清零。 0：内部 8MHz 振荡器关闭； 1：内部 8MHz 振荡器开启。

（2）时钟配置寄存器（RCC_CFGR）

首地址：0x4002,1000 地址偏移：0x04 复位值：0x0000 0000。

访问：0 到 2 个等待周期，字、半字和字节访问。只有当访问发生在时钟切换时，才会插入 1 或 2 个等待周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留					MCO[2:0]			保留	USB PRE	PLLMUL[3:0]				PLL XTPRE	PLL SRC

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCPRE[1:0]			PPRE2[2:0]			PPRE1[2:0]			HPRE[3:0]			SWS[1:0]		SW[1:0]	

位 31:27	保留，始终读为 0。
位 26:24	MCO：微控制器时钟输出（Microcontroller clock output）。由软件置‘1’或清零。 0xx：没有时钟输出； 100：系统时钟（SYSCLK）输出； 101：内部 RC 振荡器时钟（HIS）输出； 110：外部振荡器时钟（HSE）输出； 111：PLL 时钟 2 分频后输出。 注意：该时钟输出在启动和切换 MCO 时钟源时可能会被截断。在系统时钟作为输出至 MCO 引脚时，要保证输出时钟频率不超过 50MHz（I/O 口最高频率）。
位 23	保留
位 22	USBPRE：USB 预分频（USB prescaler）。由软件置‘1’或清‘0’来产生 48MHz 的 USB 时钟。在 RCC_APB1ENR 寄存器中使能 USB 时钟之前，必须保证该位已经有效。如果 USB 时钟被使能，该位不能被清零。 0：PLL 时钟 1.5 倍分频作为 USB 时钟； 1：PLL 时钟直接作为 USB 时钟。
位 21:18	PLLMUL：PLL 倍频系数（PLL multiplication factor）。由软件设置来确定 PLL 倍频系数。只有在 PLL 关闭的情况下才可被写入。 注意：PLL 的输出频率不能超过 72MHz。 0000：PLL 2 倍频输出； 1000：PLL 10 倍频输出； 0001：PLL 3 倍频输出； 1001：PLL 11 倍频输出； 0010：PLL 4 倍频输出； 1010：PLL 12 倍频输出；

	0011: PLL 5 倍频输出; 1011: PLL 13 倍频输出; 0100: PLL 6 倍频输出; 1100: PLL 14 倍频输出; 0101: PLL 7 倍频输出; 1101: PLL 15 倍频输出; 0110: PLL 8 倍频输出; 1110: PLL 16 倍频输出; 0111: PLL 9 倍频输出; 1111: PLL 16 倍频输出。
位 17	PLLXTPRE: HSE 分频器作为 PLL 输入 (HSE divider for PLL entry)。由软件置 ‘1’ 或清 ‘0’ 来分频 HSE 后作为 PLL 输入时钟。只能在关闭 PLL 时才能写入此位。 0: HSE 不分频; 1: HSE 2 分频
位 16	PLLSRC: PLL 输入时钟源 (PLL entry clock source)。由软件置 ‘1’ 或清 ‘0’ 来选择 PLL 输入时钟源。只能在关闭 PLL 时才能写入此位。 0: HSI 振荡器时钟经 2 分频后作为 PLL 输入时钟; 1: HSE 时钟作为 PLL 输入时钟。
位 15:14	ADCPRE[1:0]: ADC 预分频 (ADC prescaler)。由软件置 ‘1’ 或清 ‘0’ 来确定 ADC 时钟频率。 00: PCLK2 2 分频后作为 ADC 时钟; 01: PCLK2 4 分频后作为 ADC 时钟; 10: PCLK2 6 分频后作为 ADC 时钟; 11: PCLK2 8 分频后作为 ADC 时钟。
位 13:11	PPRE2[2:0]: 高速 APB2 预分频 (APB2 high-speed prescaler)。由软件置 ‘1’ 或清 ‘0’ 来控制高速 APB2 时钟 (PCLK2) 的预分频系数。 0xx: HCLK 不分频; 100: HCLK 2 分频; 101: HCLK 4 分频; 110: HCLK 8 分频; 111: HCLK 16 分频。
位 10:8	PPRE1[2:0]: 低速 APB1 预分频 (APB1 low-speed prescaler)。由软件置 ‘1’ 或清 ‘0’ 来控制低速 APB1 时钟 (PCLK1) 的预分频系数。 警告: 软件必须保证 APB1 时钟频率不超过 36MHz。 0xx: HCLK 不分频; 100: HCLK 2 分频; 101: HCLK 4 分频; 110: HCLK 8 分频; 111: HCLK 16 分频
位 7:4	HPRE[3:0]: AHB 预分频 (AHB Prescaler)。由软件置 ‘1’ 或清 ‘0’ 来控制 AHB 时钟的预分频系数。 0xxx: SYSCLK 不分频; 1000: SYSCLK 2 分频; 1100: SYSCLK 64 分频; 1001: SYSCLK 4 分频; 1101: SYSCLK 128 分频; 1010: SYSCLK 8 分频; 1110: SYSCLK 256 分频; 1011: SYSCLK 16 分频; 1111: SYSCLK 512 分频 注意: 当 AHB 时钟的预分频系数大于 1 时, 必须开启预取缓冲器。
位 3:2	SWS[1:0]: 系统时钟切换状态 (System clock switch status)。由硬件置 ‘1’ 或清 ‘0’ 来指示哪一个时钟源被作为系统时钟。 00: HSI 作为系统时钟; 01: HSE 作为系统时钟; 10: PLL 输出作为系统时钟; 11: 不可用。
位 1:0	SW[1:0]: 系统时钟切换 (System clock switch)。软件置 ‘1’ 或清 ‘0’ 来选择系统时钟源。在从停止或待机模式中返回时或直接/间接作为系统时钟的 HSE 出现故障时, 由硬件强制选择 HSI 作为系统时钟(如果时钟安全系统已经启动)。 00: HSI 作为系统时钟; 01: HSE 作为系统时钟; 10: PLL 输出作为系统时钟; 11: 不可用。

(3) 时钟中断寄存器 (RCC_CIR)

首地址: 0x4002,1000 地址偏移: 0x08 复位值: 0x0000 0000

访问: 无等待周期, 字、半字和字节访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								CSSC	保留		PLL RDYC	HSE RDYC	HSI RDYC	LSE RDYC	LSI RDYC

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			PLL RDYIE	HSE RDYIE	HSI RDYIE	LSE RDYIE	LSI RDYIE	CSSF	保留		PLL RDYF	HSE RDYF	HSI RDYF	LSE RDYF	LSI RDYF

位 31:24	保留, 始终读为 0。
位 23	CSSC: 清除时钟安全系统中断 (Clock security system interrupt clear)。由软件置 '1' 来清除 CSSF 安全系统中断标志位 CSSF。 0: 无作用; 1: 清除 CSSF 安全系统中断标志位。
位 22:21	保留, 始终读为 0。
位 20	PLLRDYC: 清除 PLL 就绪中断 (PLL ready interrupt clear)。由软件置 '1' 来清除 PLL 就绪中断标志位 PLLRDYF。 0: 无作用; 1: 清除 PLL 就绪中断标志位 PLLRDYF。
位 19	HSE RDYC: 清除 HSE 就绪中断 (HSE ready interrupt clear)。由软件置 '1' 来清除 HSE 就绪中断标志位 HSE RDYF。 0: 无作用; 1: 清除 HSE 就绪中断标志位 HSE RDYF。
位 18	HSIRDYC: 清除 HSI 就绪中断 (HSI ready interrupt clear)。由软件置 '1' 来清除 HSI 就绪中断标志位 HSIRDYF。 0: 无作用; 1: 清除 HSI 就绪中断标志位 HSIRDYF。
位 17	LSE RDYC: 清除 LSE 就绪中断 (LSE ready interrupt clear)。由软件置 '1' 来清除 LSE 就绪中断标志位 LSE RDYF。 0: 无作用; 1: 清除 LSE 就绪中断标志位 LSE RDYF。
位 16	LSIRDYC: 清除 LSI 就绪中断 (LSI ready interrupt clear)。由软件置 '1' 来清除 LSI 就绪中断标志位 LSIRDYF。 0: 无作用; 1: 清除 LSI 就绪中断标志位 LSIRDYF。
位 15:13	保留, 始终读为 0。
位 12	PLLRDYIE: PLL 就绪中断使能 (PLL ready interrupt enable)。由软件置 '1' 或清 '0' 来使能或关闭 PLL 就绪中断。 0: PLL 就绪中断关闭; 1: PLL 就绪中断使能。
位 11	HSE RDYIE: HSE 就绪中断使能 (HSE ready interrupt enable)。由软件置 '1' 或清 '0' 来使能或关闭外部 4-16MHz 振荡器就绪中断。 0: HSE 就绪中断关闭; 1: HSE 就绪中断使能。
位 10	HSIRDYIE: HSI 就绪中断使能 (HSI ready interrupt enable)。由软件置 '1' 或清 '0' 来使能或关闭内部 8MHz RC 振荡器就绪中断。 0: HSI 就绪中断关闭; 1: HSI 就绪中断使能。
位 9	LSE RDYIE: LSE 就绪中断使能 (LSE ready interrupt enable)。由软件置 '1' 或清 '0' 来使能或关闭外部 32kHz RC 振荡器就绪中断。

	0: LSE 就绪中断关闭; 1: LSE 就绪中断使能。
位 8	LSIRDYIE: LSI 就绪中断使能 (LSI ready interrupt enable)。由软件置 ‘1’ 或清 ‘0’ 来使能或关闭内部 40kHz RC 振荡器就绪中断。 0: LSI 就绪中断关闭; 1: LSI 就绪中断使能。
位 7	CSSF: 时钟安全系统中断标志 (Clock security system interrupt flag)。在外部 4-16MHz 振荡器时钟出现故障时, 由硬件置 ‘1’。由软件通过置 ‘1’ CSSC 位来清除。 0: 无 HSE 时钟失效产生的安全系统中断; 1: HSE 时钟失效导致了时钟安全系统中断。
位 6:5	保留, 始终读为 0。
位 4	PLLRDYF: PLL 就绪中断标志 (PLL ready interrupt flag)。在 PLL 就绪且 PLLRDYIE 位被置 ‘1’ 时, 由硬件置 ‘1’。由软件通过置 ‘1’ PLLRDYC 位来清除。 0: 无 PLL 上锁产生的时钟就绪中断; 1: PLL 上锁导致时钟就绪中断。
位 3	HSERDYF: HSE 就绪中断标志 (HSE ready interrupt flag)。在外部低速时钟就绪且 HSERDYIE 位被置 ‘1’ 时, 由硬件置 ‘1’。由软件通过置 ‘1’ HSERDYC 位来清除。 0: 无外部 4-16MHz 振荡器产生的时钟就绪中断; 1: 外部 4-16MHz 振荡器导致时钟就绪中断。
位 2	HSIRDYF: HSI 就绪中断标志 (HSI ready interrupt flag)。在内部高速时钟就绪且 HSIRDYIE 位被置 ‘1’ 时, 由硬件置 ‘1’。由软件通过置 ‘1’ HSIRDYC 位来清除。 0: 无内部 8MHz RC 振荡器产生的时钟就绪中断; 1: 内部 8MHz RC 振荡器导致时钟就绪中断。
位 1	LSERDYF: LSE 就绪中断标志 (LSE ready interrupt flag)。在外部低速时钟就绪且 LSERDYIE 位被置 ‘1’ 时, 由硬件置 ‘1’。由软件通过置 ‘1’ LSERDYC 位来清除。 0: 无外部 32kHz 振荡器产生的时钟就绪中断; 1: 外部 32kHz 振荡器导致时钟就绪中断。
位 0	LSIRDYF: LSI 就绪中断标志 (LSI ready interrupt flag)。在内部低速时钟就绪且 LSIRDYIE 位被置 ‘1’ 时, 由硬件置 ‘1’。由软件通过置 ‘1’ LSIRDYC 位来清除。 0: 无内部 40kHz RC 振荡器产生的时钟就绪中断; 1: 内部 40kHz RC 振荡器导致时钟就绪中断。

(4) APB2 外设复位寄存器 (RCC_APB2RSTR)

首地址: 0x4002,1000 地址偏移: 0x0C 复位值: 0x0000 0000

访问: 无等待周期, 字、半字和字节访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC3	USART1	TIM8	SP11	TIM1	ADC2	ADC1	IOPG	IOPF	IOPE	IOPD	IOPC	IOPB	IOPA	保留	AFIO
RST	RST	RST	RST	RST	RST	RST	RST	RST	RST	RST	RST	RST	RST		RST

位 31:16	保留，始终读为 0。
位 15	ADC3RST: ADC3 接口复位 (ADC3 interface reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 ADC3 接口。
位 14	USART1RST: USART1 复位 (USART1 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 USART1。
位 13	TIM8RST: TIM8 定时器复位 (TIM8 timer reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 TIM8 定时器。
位 12	SPI1RST: SPI1 复位 (SPI 1 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 SPI1。
位 11	TIM1RST: TIM1 定时器复位 (TIM1 timer reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 TIM1 定时器。
位 10	ADC2RST: ADC2 接口复位 (ADC 2 interface reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 ADC2 接口。
位 9	ADC1RST: ADC1 接口复位 (ADC 1 interface reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 ADC1 接口。
位 8	IOPGRST: IO 端口 G 复位 (IO port G reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 IO 端口 G。
位 7	IOPFRST: IO 端口 F 复位 (IO port F reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 IO 端口 F。
位 6	IOPERST: IO 端口 E 复位 (IO port E reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 IO 端口 E。
位 5	IOPDRST: IO 端口 D 复位 (IO port D reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 IO 端口 D。
位 4	IOPCRST: IO 端口 C 复位 (IO port C reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 IO 端口 C。
位 3	IOPBRST: IO 端口 B 复位 (IO port B reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 IO 端口 B。
位 2	IOPARST: IO 端口 A 复位 (IO port A reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 IO 端口 A。
位 1	保留，始终读为 0。
位 0	AFIORST: 辅助功能 IO 复位 (Alternate function I/O reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位辅助功能。

(5) APB1 外设复位寄存器 (RCC_APB1RSTR)

首地址: 0x4002,1000 地址偏移: 0x10 复位值: 0x0000 0000

访问: 无等待周期, 字、半字和字节访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		DAC RST	PWR RST	BKP RST	保 留	CAN RST	保 留	USB RST	I2C2 RST	I2C1 RST	UART5 RST	UART4 RST	USART3 RST	USART2 RST	保 留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

SPI3 RST	SPI2 RST	保留	WWDG RST	保留	TIM7 RST	TIM6 RST	TIM5 RST	TIM4 RST	TIM3 RST	TIM2 RST
-------------	-------------	----	-------------	----	-------------	-------------	-------------	-------------	-------------	-------------

位 31:30	保留，始终读为 0。
位 29	DACRST: DAC 接口复位 (DAC interface reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 DAC 接口。
位 28	PWRRST: 电源接口复位 (Power interface reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位电源接口。
位 27	BKPRST: 备份接口复位 (Backup interface reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位备份接口。
位 26	保留，始终读为 0。
位 25	CANRST: CAN 复位 (CAN reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 CAN。
位 24	保留，始终读为 0。
位 23	USBRST: USB 复位 (USB reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 USB。
位 22	I2C2RST: I2C 2 复位 (I2C 2 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 I2C 2。
位 21	I2C1RST: I2C 1 复位 (I2C 1 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 I2C 1。
位 20	UART5RST: UART5 复位 (UART 5 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 UART5。
位 19	UART4RST: UART4 复位 (UART 4 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 UART4。
位 18	USART3RST: USART3 复位 (USART 3 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 USART3。
位 17	USART2RST: USART2 复位 (USART 2 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 USART2。
位 16	保留，始终读为 0。
位 15	SPI3RST: SPI3 复位 (SPI 3 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 SPI3。
位 14	SPI2RST: SPI2 复位 (SPI 2 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 SPI2。
位 13:12	保留，始终读为 0。
位 11	WWDGRST: 窗口看门狗复位 (Window watchdog reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位窗口看门狗。
位 10:6	保留，始终读为 0。
位 5	TIM7RST: 定时器 7 复位 (Timer 7 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 TIM7 定时器。
位 4	TIM6RST: 定时器 6 复位 (Timer 6 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 TIM6 定时器。
位 3	TIM5RST: 定时器 5 复位 (Timer 5 reset)。由软件置 ‘1’ 或清 ‘0’。

	0: 无作用; 1: 复位 TIM5 定时器。
位 2	TIM4RST: 定时器 4 复位 (Timer 4 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 TIM4 定时器。
位 1	TIM3RST: 定时器 3 复位 (Timer 3 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 TIM3 定时器。
位 0	TIM2RST: 定时器 2 复位 (Timer 2 reset)。由软件置 ‘1’ 或清 ‘0’。 0: 无作用; 1: 复位 TIM2 定时器。

(6) AHB 外设时钟使能寄存器 (RCC_AHBENR)

首地址: 0x4002,1000 地址偏移: 0x14 复位值: 0x0000 0014

访问: 无等待周期, 字、半字和字节访问。

注: 当外设时钟没有启用时, 软件不能读出外设寄存器的数值, 返回的数值始终是 0x0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留					SDIO EN	保 留	FSMC EN	保 留	CRC EN	保 留	FLITF EN	保 留	SRAM EN	DMA2 EN	DMA1 EN

位 31:11	保留, 始终读为 0。
位 10	SDIOEN: SDIO 时钟使能 (SDIO clock enable)。由软件置 ‘1’ 或清 ‘0’。 0: SDIO 时钟关闭; 1: SDIO 时钟开启。
位 9	保留, 始终读为 0。
位 8	FSMCEN: FSMC 时钟使能 (FSMC clock enable)。由软件置 ‘1’ 或清 ‘0’。 0: FSMC 时钟关闭; 1: FSMC 时钟开启。
位 7	保留, 始终读为 0。
位 6	CRCEN: CRC 时钟使能 (CRC clock enable)。由软件置 ‘1’ 或清 ‘0’。 0: CRC 时钟关闭; 1: CRC 时钟开启。
位 5	保留, 始终读为 0。
位 4	FLITFEN: 闪存接口电路时钟使能 (FLITF clock enable)。 0: 睡眠模式时闪存接口电路时钟关闭; 1: 睡眠模式时闪存接口电路时钟开启。
位 3	保留, 始终读为 0。
位 2	SRAMEN: SRAM 时钟使能 (SRAM interface clock enable)。由软件置 ‘1’ 或清 ‘0’ 来开启或关闭睡眠模式时 SRAM 时钟。 0: 睡眠模式时 SRAM 时钟关闭; 1: 睡眠模式时 SRAM 时钟开启。
位 1	DMA2EN: DMA2 时钟使能 (DMA2 clock enable)。由软件置 ‘1’ 或清 ‘0’。 0: DMA2 时钟关闭; 1: DMA2 时钟开启。
位 0	DMA1EN: DMA1 时钟使能 (DMA1 clock enable)。由软件置 ‘1’ 或清 ‘0’。 0: DMA1 时钟关闭; 1: DMA1 时钟开启。

(7) APB2 外设时钟使能寄存器 (RCC_APB2ENR)

首地址: 0x4002,1000 地址偏移: 0x18 复位值: 0x0000 0000

访问: 字、半字和字节访问。通常无等待周期, 但在 APB2 总线上的外设被访问时, 将插入

等待状态直到 APB2 的外设访问结束。

注：当外设时钟没有启用时，软件不能读出外设寄存器的数值，返回的数值始终是 0x0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC3 EN	USART1 EN	TIM8 EN	SPI1 EN	TIM1 EN	ADC2 EN	ADC1 EN	IOPG EN	IOPF EN	IOPE EN	IOPD EN	IOPC EN	IOPB EN	IOPA EN	保 留	AFIO EN

位 31:16	保留，始终读为 0。
位 15	ADC3EN: ADC3 接口时钟使能 (ADC 3 interface clock enable)。 0: ADC3 接口时钟关闭; 1: ADC3 接口时钟开启。
位 14	USART1EN: USART1 时钟使能 (USART1 clock enable)。 0: USART1 时钟关闭; 1: USART1 时钟开启。
位 13	TIM8EN: TIM8 定时器时钟使能 (TIM8 Timer clock enable)。 0: TIM8 定时器时钟关闭; 1: TIM8 定时器时钟开启。
位 12	SPI1EN: SPI1 时钟使能 (SPI 1 clock enable)。 0: SPI1 时钟关闭; 1: SPI1 时钟开启。
位 11	TIM1EN: TIM1 定时器时钟使能 (TIM1 Timer clock enable)。 0: TIM1 定时器时钟关闭; 1: TIM1 定时器时钟开启。
位 10	ADC2EN: ADC2 接口时钟使能 (ADC 2 interface clock enable)。 0: ADC2 接口时钟关闭; 1: ADC2 接口时钟开启。
位 9	ADC1EN: ADC1 接口时钟使能 (ADC 1 interface clock enable)。 0: ADC1 接口时钟关闭; 1: ADC1 接口时钟开启。
位 8	IOPGEN: IO 端口 G 时钟使能 (I/O port G clock enable)。 0: IO 端口 G 时钟关闭; 1: IO 端口 G 时钟开启。
位 7	IOPFEN: IO 端口 F 时钟使能 (I/O port F clock enable)。 0: IO 端口 G 时钟关闭; 1: IO 端口 F 时钟开启。
位 6	IOPEEN: IO 端口 E 时钟使能 (I/O port E clock enable)。 0: IO 端口 G 时钟关闭; 1: IO 端口 E 时钟开启。
位 5	IOPDEN: IO 端口 D 时钟使能 (I/O port D clock enable)。 0: IO 端口 G 时钟关闭; 1: IO 端口 D 时钟开启。
位 4	IOPCEN: IO 端口 C 时钟使能 (I/O port C clock enable)。 0: IO 端口 G 时钟关闭; 1: IO 端口 C 时钟开启。
位 3	IOPBEN: IO 端口 B 时钟使能 (I/O port B clock enable)。 0: IO 端口 G 时钟关闭; 1: IO 端口 B 时钟开启。
位 2	IOPAEN: IO 端口 A 时钟使能 (I/O port A clock enable)。 0: IO 端口 G 时钟关闭; 1: IO 端口 A 时钟开启。
位 1	保留，始终读为 0。
位 0	AFIOEN: 辅助功能 IO 时钟使能 (Alternate function I/O clock enable)。 0: 辅助功能 IO 时钟关闭; 1: 辅助功能 IO 时钟开启。

(8) APB1 外设时钟使能寄存器 (RCC_APB1ENR)

首地址: 0x4002,1000 地址偏移: 0x1C 复位值: 0x0000 0000

访问：字、半字和字节访问。通常无等待周期，但在 APB1 总线上的外设被访问时，将插入等待状态直到 APB1 外设访问结束。

注：当外设时钟没有启用时，软件不能读出外设寄存器的数值，返回的数值始终是 0x0。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		DAC EN	PWR EN	BKP EN	保 留	CAN EN	保 留	USB EN	I2C2 EN	I2C1 EN	UART5 EN	UART4 EN	USART3 EN	USART2 EN	保 留

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPI3 EN	SPI2 EN	保留		WWDG EN	保留	保留	保留	保留	保留	TIM7 EN	TIM6 EN	TIM5 EN	TIM4 EN	TIM3 EN	TIM2 EN

位 31:30	保留，始终读为 0。
位 29	DACEN: DAC 接口时钟使能 (DAC interface clock enable)。 0: DAC 接口时钟关闭； 1: DAC 接口时钟开启。
位 28	PWREN: 电源接口时钟使能 (Power interface clock enable)。 0: 电源接口时钟关闭； 1: 电源接口时钟开启。
位 27	BKPEN: 备份接口时钟使能 (Backup interface clock enable)。 0: 备份接口时钟关闭； 1: 备份接口时钟开启。
位 26	保留，始终读为 0。
位 25	CANEN: CAN 时钟使能 (CAN clock enable)。 0: CAN 时钟关闭； 1: CAN 时钟开启。
位 24	保留，始终读为 0。
位 23	USBEN: USB 时钟使能 (USB clock enable)。 0: USB 时钟关闭； 1: USB 时钟开启。
位 22	I2C2EN: I2C 2 时钟使能 (I2C 2 clock enable)。 0: I2C 2 时钟关闭； 1: I2C 2 时钟开启。
位 21	I2C1EN: I2C 1 时钟使能 (I2C 1 clock enable)。 0: I2C 1 时钟关闭； 1: I2C 1 时钟开启。
位 20	UART5EN: UART5 时钟使能 (UART 5 clock enable)。 0: UART5 时钟关闭； 1: UART5 时钟开启。
位 19	UART4EN: UART4 时钟使能 (UART 4 clock enable)。 0: UART4 时钟关闭； 1: UART4 时钟开启。
位 18	USART3EN: USART3 时钟使能 (USART 3 clock enable)。 0: USART3 时钟关闭； 1: USART3 时钟开启。
位 17	USART2EN: USART2 时钟使能 (USART 2 clock enable)。 0: USART2 时钟关闭； 1: USART2 时钟开启。
位 16	保留，始终读为 0。
位 15	SPI3EN: SPI 3 时钟使能 (SPI 3 clock enable)。 0: SPI 3 时钟关闭； 1: SPI 3 时钟开启。
位 14	SPI2EN: SPI 2 时钟使能 (SPI 2 clock enable)。 0: SPI 2 时钟关闭； 1: SPI 2 时钟开启。
位 13:12	保留，始终读为 0。

位 11	WWDGEN: 窗口看门狗时钟使能 (Window watchdog clock enable)。 0: 窗口看门狗时钟关闭; 1: 窗口看门狗时钟开启。
位 10:6	保留, 始终读为 0。
位 5	TIM7EN: 定时器 7 时钟使能 (Timer 7 clock enable)。 0: 定时器 7 时钟关闭; 1: 定时器 7 时钟开启。
位 4	TIM6EN: 定时器 6 时钟使能 (Timer 6 clock enable)。 0: 定时器 6 时钟关闭; 1: 定时器 6 时钟开启。
位 3	TIM5EN: 定时器 5 时钟使能 (Timer 5 clock enable)。 0: 定时器 5 时钟关闭; 1: 定时器 5 时钟开启。
位 2	TIM4EN: 定时器 4 时钟使能 (Timer 4 clock enable)。 0: 定时器 4 时钟关闭; 1: 定时器 4 时钟开启。
位 1	TIM3EN: 定时器 3 时钟使能 (Timer 3 clock enable)。 0: 定时器 3 时钟关闭; 1: 定时器 3 时钟开启。
位 0	TIM2EN: 定时器 2 时钟使能 (Timer 2 clock enable)。 0: 定时器 2 时钟关闭; 1: 定时器 2 时钟开启。

(9) 备份域控制寄存器 (RCC_BDCR)

首地址: 0x4002,1000 地址偏移: 0x20

复位值: 0x0000 0000, 只能由备份域复位有效复位。

访问: 0 到 3 等待周期, 字、半字和字节访问。当连续对该寄存器进行访问时, 将插入等待状态。

注意: 备份域控制寄存器中 (RCC_BDCR) 的 LSEON、LSEBYP、RTCSEL 和 RTCEN 位处于备份域。因此, 这些位在复位后处于写保护状态, 只有在电源控制寄存器 (PWR_CR) 中的 DBP 位置 '1' 后才能对这些位进行改动。这些位只能由备份域复位清除。任何内部或外部复位都不会影响这些位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															BDRST

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC EN	保留					RTCSEL[1:0]		保留					LSE BYP	LSE RDY	LSE ON

位 31:17	保留, 始终读为 0。
位 16	BDRST: 备份域软件复位 (Backup domain software reset)。 0: 复位未激活; 1: 复位整个备份域。
位 15	RTCEN: RTC 时钟使能 (RTC clock enable)。 0: RTC 时钟关闭; 1: RTC 时钟开启。
位 14:10	保留, 始终读为 0。
位 9:8	RTCSEL[1:0]: RTC 时钟源选择 (RTC clock source selection)。 一旦 RTC 时钟源被选定, 直到下次后备域被复位, 它不能被改变。可通过设置 BDRST 位来清除。 00: 无时钟; 01: LSE 振荡器作为 RTC 时钟; 10: LSI 振荡器作为 RTC 时钟; 11: HSE 振荡器在 128 分频后作为 RTC 时钟。
位 7:3	保留, 始终读为 0。

位 2	LSEBYP: 外部低速时钟振荡器旁路 (External low-speed oscillator bypass)。在调试模式下由软件置 ‘1’ 或清 ‘0’ 来旁路 LSE。只有在外部 32kHz 振荡器关闭时, 才能写入该位 0: LSE 时钟未被旁路; 1: LSE 时钟被旁路。
位 1	LSERDY: 外部低速 LSE 就绪 (External low-speed oscillator ready)。由硬件置 ‘1’ 或清 ‘0’ 来指示是否外部 32kHz 振荡器就绪。在 LSEON 被清零后, 该位需要 6 个外部低速振荡器的周期才被清零。 0: 外部 32kHz 振荡器未就绪; 1: 外部 32kHz 振荡器就绪。
位 0	LSEON: 外部低速振荡器使能 (External low-speed oscillator enable)。 0: 外部 32kHz 振荡器关闭; 1: 外部 32kHz 振荡器开启。

(10) 控制/状态寄存器 (RCC_CSR)

首地址: 0x4002,1000 地址偏移: 0x24

复位值: 0x0C00 0000, 除复位标志外由系统复位清除, 复位标志只能由电源复位清除。

访问: 0 到 3 等待周期, 字、半字和字节访问。当连续对该寄存器进行访问时, 将插入等待状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWR	WWDG	IWDG	SFT	POR	PIN	保	RMVF	保留							
RSTF	RSTF	RSTF	RSTF	RSTF	RSTF	留									

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														LSIRDY	LSION

位 31	LPWRRSTF: 低功耗复位标志 (Low-power reset flag) 在低功耗管理复位发生时由硬件置 ‘1’, 由软件通过写 RMVF 位清除。 0: 无低功耗管理复位发生 1: 发生低功耗管理复位
位 30	WWDGRSTF: 窗口看门狗复位标志 (Window watchdog reset flag) 在窗口看门狗复位发生时由硬件置 ‘1’, 由软件通过写 RMVF 位清除。 0: 无窗口看门狗复位发生 1: 发生窗口看门狗复位
位 29	IWDGRSTF: 独立看门狗复位标志 (Independent watchdog reset flag)。在独立看门狗复位发生在 VDD 区域时由硬件置 ‘1’, 由软件通过写 RMVF 位清除。 0: 无独立看门狗复位发生 1: 发生独立看门狗复位
位 28	SFTRSTF: 软件复位标志 (Software reset flag) 在软件复位发生时由硬件置 ‘1’, 由软件通过写 RMVF 位清除。 0: 无软件复位发生 1: 发生软件复位
位 27	PORRSTF: 上电/掉电复位标志 (POR/PDR reset flag) 在上电/掉电复位发生时由硬件置 ‘1’, 由软件通过写 RMVF 位清除。 0: 无上电/掉电复位发生 1: 发生上电/掉电复位
位 26	PINRSTF: NRST 引脚复位标志 (PIN reset flag) 在 NRST 引脚复位发生时由硬件置 ‘1’, 由软件通过写 RMVF 位清除。 0: 无 NRST 引脚复位发生 1: 发生 NRST 引脚复位
位 25	保留, 读操作返回 0
位 24	RMVF: 清除复位标志 (Remove reset flag) 由软件置 ‘1’ 来清除复位标志。

位 31:30	CNFy[1:0]: 端口 x 配置位(y = 8…15) (Port x configuration bits)
27:26	在输入模式 (MODE[1:0]=00):
23:22	00: 模拟输入模式 01: 浮空输入模式 (复位后的状态)
19:18	10: 上拉/下拉输入模式 11: 保留
15:14	在输出模式 (MODE[1:0]>00):
11:10	00: 通用推挽输出模式 01: 通用开漏输出模式
7:6, 3:2	10: 复用功能推挽输出模式 11: 复用功能开漏输出模式
位 29:28	MODEy[1:0]: 端口 x 的模式位(y = 8…15) (Port x mode bits)
25:24	00: 输入模式 (复位后的状态)
21:20	01: 输出模式, 最大速度 10MHz
17:16	10: 输出模式, 最大速度 2MHz
13:12	11: 输出模式, 最大速度 50MHz
9:8, 5:4	
1:0	

(3) 端口输入数据寄存器 (GPIOx_IDR) (x=A..E)

地址偏移: 0x08 复位值: 0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR15~IDR0															

位 31:16	保留, 始终读为 0。
位 15:0	IDRy[15:0]: 端口输入数据(y = 0…15) (Port input data)。这些位为只读, 并只能以字 (16 位) 的形式读出。读出的值为对应 I/O 口的状态。

(4) 端口输出数据寄存器 (GPIOx_ODR) (x=A..E)

地址偏移: 0x0c 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODR15~ODR0															

位 31:30	保留, 始终读为 0。
位 15:0	ODRy[15:0]: 端口输出数据(y = 0…15) (Port output data)。这些位可读可写, 并只能以字 (16 位) 的形式操作。注: 对 GPIOx_BSRR(x = A…E)操作, 可以分别地对各个 ODR 位进行独立的设置/清除。

(5) 端口位设置/清除寄存器 (GPIOx_BSRR) (x=A..E)

地址偏移: 0x10 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

BR15~BR0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15~BS0															
位 31:16	BRy : 清除端口 x 的位 y (y = 0…15) (Port x Reset bit y)。这些位只能写入, 并只能以字 (16 位) 的形式操作。 0: 对对应的 ODRy 位不产生影响 1: 清除对应的 ODRy 位为 0 注: 如果同时设置了 BSy 和 BRy 的对应位, BSy 位起作用。														
位 15:0	BSy : 设置端口 x 的位 y (y = 0…15) (Port x Set bit y)。这些位只能写入, 并只能以字 (16 位) 的形式操作。 0: 对对应的 ODRy 位不产生影响 1: 设置对应的 ODRy 位为 1														

(6) 端口位清除寄存器 (GPIOx_BRR) (x=A..E)

地址偏移: 0x14 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15~BR0															
位 31:16	保留。														
位 15:0	BRy : 清除端口 x 的位 y (y = 0…15) (Port x Reset bit y)。这些位只能写入, 并只能以字 (16 位) 的形式操作。 0: 对对应的 ODRy 位不产生影响 1: 清除对应的 ODRy 位为 0														

(7) 端口配置锁定寄存器 (GPIOx_LCKR) (x=A..E)

当执行正确的写序列设置了位 16(LCKK)时, 该寄存器用来锁定端口位的配置。位[15:0]用于锁定 GPIO 端口的配置。在规定的写入操作期间, 不能改变 LCKP[15:0]。当对相应的端口位执行了 LOCK 序列后, 在下次系统复位之前将不能再更改端口位的配置。

每个锁定位锁定端口配置低/高寄存器 (CRL, CRH) 中相应的 4 个位。

地址偏移: 0x18 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															LCKK
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15~LCK0															
位 31:17	保留。														
位 16	LCKK : 锁键 (Lock key)。该位可随时读出, 它只可通过锁键写入序列修改。 0: 端口配置锁键位激活 1: 端口配置锁键位被激活, 下次系统复位前 GPIOx_LCKR 寄存器被锁住。 锁键的写入序列: 写 1 -> 写 0 -> 写 1 -> 读 0 -> 读 1														

	最后一个读可省略，但可以用来确认锁键已被激活。 注：在操作锁键的写入序列时，不能改变 LCK[15:0]的值。操作锁键写入序列中的任何错误将不能激活锁键。
位 15:0	LCKy：端口 x 的锁位 y (y = 0…15) (Port x Lock bit y)。这些位可读可写，但只能在 LCKK 位为 0 时写入。 0：不锁定端口的配置 1：锁定端口的配置

C.3 AFIO 寄存器描述

对寄存器 AFIO_EVCR, AFIO_MAPR 和 AFIO_EXTICR1 进行读写操作前，应当首先打开 AFIO 的时钟。参见 APB2 外设时钟使能寄存器 (RCC_APB2ENR)。

必须以字 (32 位) 的方式操作这些外设寄存器。

(1) 事件控制寄存器 (AFIO_EVCR)

首地址：0x40010000 地址偏移：0x00 复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								EVOE	PORT[2:0]			PIN[3:0]			

位 31:8	保留。
位 7	EVOE：允许事件输出 (Event output enable) 当设置该位后，Cortex 的 EVENTOUT 将连接到由 PORT[2:0] 和 PIN[3:0] 选定的 I/O 口。
位 6:4	PORT[2:0]：端口选择 (Port selection) 选择用于输出 Cortex 的 EVENTOUT 信号的端口： 000：选择 PA 001：选择 PB 010：选择 PC 011：选择 PD 100：选择 PE
位 3:0	PIN[3:0]：引脚选择 (x=A…E) (Pin selection) 选择用于输出 Cortex 的 EVENTOUT 信号的引脚： 0000：选择 Px0 0001：选择 Px1 0010：选择 Px2 0011：选择 Px3 0100：选择 Px4 0101：选择 Px5 0110：选择 Px6 0111：选择 Px7 1000：选择 Px8 1001：选择 Px9 1010：选择 Px10 1011：选择 Px11 1100：选择 Px12 1101：选择 Px13 1110：选择 Px14 1111：选择 Px15

(2) 复用重映射和调试 I/O 配置寄存器 (AFIO_MAPR)

首地址：0x40010000 地址偏移：0x04 复位值：0x0000 0000

3	3	2	2	2	2	2	2	2	2	2	20	19	18	17	16
1	0	9	8	7	6	5	4	3	2	1					
保留					SWJ_CFG[2:0]			保留			ADC2_E TRGREG _REMAP	ADC2_E TRGINJ _REMAP	ADC1_E TRGREG _REMAP	ADC1_E TRGINJ _REMAP	TIM5CH4_ IREMAP

15	1	1	12	1	10	9	8	7	6	5	4	3	2	1	0
	4	3		1											

PD01_ REMAP	CAN_ REMAP	TIM4_ REMAP	TIM3_ REMAP	TIM2_ REMAP	TIM1_ REMAP	USART3_ REMAP	USART2_ REMAP	USART1 _RE MAP	I2C1_ REMAP	SPI1_ REMAP
	[1:0]		[1:0]	[1:0]	[1:0]	[1:0]				

位 31:27	保留。
位 26:24	<p>SWJ_CFG[2:0]: 串行线 JTAG 配置 (Serial wire JTAG configuration)。这些位只可由软件写 (读这些位, 将返回未定义的数值), 用于配置 SWJ 和跟踪复用功能的 I/O 口。SWJ (串行线 JTAG) 支持 JTAG 或 SWD 访问 Cortex 的调试端口。系统复位后的默认状态是启用 SWJ 但没有跟踪功能, 这种状态下可以通过 JTMS/JTCK 脚上的特定信号选择 JTAG 或 SW (串行线) 模式。</p> <p>000: 完全 SWJ (JTAG-DP + SW-DP): 复位状态; 001: 完全 SWJ (JTAG-DP + SW-DP), 但没有 NJTRST; 010: 关闭 JTAG-DP, 启用 SW-DP; 100: 关闭 JTAG-DP, 关闭 SW-DP; 其它组合: 无作用。</p>
位 23:21	保留。
位 20	<p>ADC2_ETRGREG_REMAP: ADC2 规则转换外部触发重映射 (ADC 2 external trigger regular conversion remapping)。它控制与 ADC2 规则转换外部触发相连的触发输入。</p> <p>当该位置 ‘0’ 时, ADC2 规则转换外部触发与 EXTI11 相连; 当该位置 ‘1’ 时, ADC2 规则转换外部触发与 TIM8_TRGO 相连。</p>
位 19	<p>ADC2_ETRGINJ_REMAP: ADC2 注入转换外部触发重映射 (ADC 2 external trigger injected conversion remapping)。它控制与 ADC2 注入转换外部触发相连的触发输入。</p> <p>当该位置 ‘0’ 时, ADC2 注入转换外部触发与 EXTI15 相连; 当该位置 ‘1’ 时, ADC2 注入转换外部触发与 TIM8 通道 4 相连。</p>
位 18	<p>ADC1_ETRGREG_REMAP: ADC1 规则转换外部触发重映射 (ADC 1 external trigger regular conversion remapping)。它控制与 ADC1 规则转换外部触发相连的触发输入。</p> <p>当该位置 ‘0’ 时, ADC1 规则转换外部触发与 EXTI11 相连; 当该位置 ‘1’ 时, ADC1 规则转换外部触发与 TIM8_TRGO 相连。</p>
位 17	<p>ADC1_ETRGINJ_REMAP: ADC1 注入转换外部触发重映射 (ADC 1 External trigger injected conversion remapping)。它控制与 ADC1 注入转换外部触发相连的触发输入。</p> <p>当该位置 ‘0’ 时, ADC1 注入转换外部触发与 EXTI15 相连; 当该位置 ‘1’ 时, ADC1 注入转换外部触发与 TIM8 通道 4 相连。</p>
位 16	<p>TIM5CH4_IEMAP: TIM5 通道 4 内部重映射 (TIM5 channel4 internal remap)。它控制 TIM5 通道 4 内部映像。</p> <p>当该位置 ‘0’ 时, TIM5_CH4 与 PA3 相连; 当该位置 ‘1’ 时, LSI 内部振荡器与 TIM5_CH4 相连, 对 LSI 进行校准。</p>
位 15	<p>PD01_REMAP: 端口 D0/端口 D1 映像到 OSC_IN/OSC_OUT (Port D0/Port D1 mapping on OSC_IN/OSC_OUT)。它控制 PD0 和 PD1 的 GPIO 功能映像。当不使用主振荡器 HSE 时 (系统运行于内部的 8MHz 阻容振荡器), PD0 和 PD1 可以映像到 OSC_IN 和 OSC_OUT 引脚。此功能只能适用于 36、48 和 64 引脚的封装 (PD0 和 PD1 出现在 100 脚和 144 脚的封装上, 不必重映像)。</p>

	<p>0: 不进行 PD0 和 PD1 的重映像;</p> <p>1: PD0 映像到 OSC_IN, PD1 映像到 OSC_OUT。</p>
位 14:13	<p>CAN_REMAP[1:0]: CAN 复用功能重映像 (CAN alternate function remapping)。在只有单个 CAN 接口的产品上控制复用功能 CAN_RX 和 CAN_TX 的重映像。</p> <p>00: CAN_RX 映像到 PA11, CAN_TX 映像到 PA12; 01: 未用组合;</p> <p>10: CAN_RX 映像到 PB8, CAN_TX 映像到 PB9 (不能用于 36 脚的封装);</p> <p>11: CAN_RX 映像到 PD0, CAN_TX 映像到 PD1。</p>
位 12	<p>TIM4_REMAP: 定时器 4 的重映像 (TIM4 remapping)。该位控制将 TIM4 的通道 1-4 映射到 GPIO 端口上。</p> <p>0: 没有重映像 (TIM4_CH1/PB6, TIM4_CH2/PB7, TIM4_CH3/PB8, TIM4_CH4/PB9);</p> <p>1: 完全映像 (TIM4_CH1/PD12, TIM4_CH2/PD13, TIM4_CH3/PD14, TIM4_CH4/PD15)。</p> <p>注: 重映像不影响在 PE0 上的 TIM4_ETR。</p>
位 11:10	<p>TIM3_REMAP[1:0]: 定时器 3 的重映像 (TIM3 remapping)。这些位控制定时器 3 的通道 1 至 4 在 GPIO 端口的映像。</p> <p>00: 没有重映像 (CH1/PA6, CH2/PA7, CH3/PB0, CH4/PB1);</p> <p>01: 未用组合;</p> <p>10: 部分映像 (CH1/PB4, CH2/PB5, CH3/PB0, CH4/PB1);</p> <p>11: 完全映像 (CH1/PC6, CH2/PC7, CH3/PC8, CH4/PC9)。</p> <p>注: 重映像不影响在 PD2 上的 TIM3_ETR。</p>
位 9:8	<p>TIM2_REMAP[1:0]: 定时器 2 的重映像 (TIM2 remapping)。这些位控制定时器 2 的通道 1 至 4 和外部触发(ETR)在 GPIO 端口的映像。</p> <p>00: 没有重映像 (CH1/ETR/PA0, CH2/PA1, CH3/PA2, CH4/PA3);</p> <p>01: 部分映像 (CH1/ETR/PA15, CH2/PB3, CH3/PA2, CH4/PA3);</p> <p>10: 部分映像 (CH1/ETR/PA0, CH2/PA1, CH3/PB10, CH4/PB11);</p> <p>11: 完全映像 (CH1/ETR/PA15, CH2/PB3, CH3/PB10, CH4/PB11)。</p>
位 7:6	<p>TIM1_REMAP[1:0]: 定时器 1 的重映像 (TIM1 remapping)。这些位控制定时器 1 的通道 1 至 4、1N 至 3N、外部触发 (ETR) 和刹车输入 (BKIN) 在 GPIO 端口的映像。</p> <p>00: 没有重映像 (ETR/PA12, CH1/PA8, CH2/PA9, CH3/PA10, CH4/PA11, BKIN/PB12, CH1N/PB13, CH2N/PB14, CH3N/PB15);</p> <p>01: 部分映像 (ETR/PA12, CH1/PA8, CH2/PA9, CH3/PA10, CH4/PA11, BKIN/PA6, CH1N/PA7, CH2N/PB0, CH3N/PB1);</p> <p>10: 未用组合;</p> <p>11: 完全映像 (ETR/PE7, CH1/PE9, CH2/PE11, CH3/PE13, CH4/PE14, BKIN/PE15, CH1N/PE8, CH2N/PE10, CH3N/PE12)。</p>
位 5:4	<p>USART3_REMAP[1:0]: USART3 的重映像 (USART3 remapping)。这些位控制 USART3 的 CTS、RTS、CK、TX 和 RX 复用功能在 GPIO 端口的映像。</p> <p>00: 没有重映像 (TX/PB10, RX/PB11, CK/PB12, CTS/PB13, RTS/PB14);</p> <p>01: 部分映像 (TX/PC10, RX/PC11, CK/PC12, CTS/PB13, RTS/PB14);</p> <p>10: 未用组合;</p> <p>11: 完全映像 (TX/PD8, RX/PD9, CK/PD10, CTS/PD11, RTS/PD12)。</p>
位 3	<p>USART2_REMAP: USART2 的重映像 (USART2 remapping)。该位控制 USART2</p>

	的 CTS、RTS、CK、TX 和 RX 复用功能在 GPIO 端口的映像。 0: 没有重映像 (CTS/PA0, RTS/PA1, TX/PA2, RX/PA3, CK/PA4) ; 1: 重映像 (CTS/PD3, RTS/PD4, TX/PD5, RX/PD6, CK/PD7) ;
位 2	USART1_REMAP: USART1 的重映像 (USART1 remapping)。该位控制 USART1 的 TX 和 RX 复用功能在 GPIO 端口的映像。 0: 没有重映像 (TX/PA9, RX/PA10); 1: 重映像 (TX/PB6, RX/PB7)。
位 1	I2C1_REMAP: I2C1 的重映像 (I2C1 remapping)。该位控制 I2C1 的 SCL 和 SDA 复用功能在 GPIO 端口的映像。 0: 没有重映像 (SCL/PB6, SDA/PB7) ; 1: 重映像 (SCL/PB8, SDA/PB9)。
位 0	SPI1_REMAP: SPI1 的重映像。该位控制 SPI1 的 NSS、SCK、MISO 和 MOSI 复用功能在 GPIO 端口的映像。 0: 没有重映像 (NSS/PA4, SCK/PA5, MISO/PA6, MOSI/PA7); 1: 重映像 (NSS/PA15, SCK/PB3, MISO/PB4, MOSI/PB5)。

(3) 外部中断配置寄存器 1 (AFIO_EXTICR1)

首地址: 0x40010000 地址偏移: 0x08 复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI3[3:0]				EXTI2[3:0]				EXTI1[3:0]				EXTI0[3:0]			

位 31:16	保留。
位 15:0	EXTIx[3:0]: EXTIx 配置(x = 0 ... 3) (EXTI x configuration)。 这些位用于选择 EXTIx 外部中断的输入源。 0000: PA[x]引脚 0001: PB[x]引脚 0010: PC[x]引脚 0011: PD[x]引脚 0100: PE[x]引脚 0101: PF[x]引脚 0110: PG[x]引脚

(4) 外部中断配置寄存器 2 (AFIO_EXTICR2)

首地址: 0x40010000 地址偏移: 0x0C 复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7[3:0]				EXTI6[3:0]				EXTI5[3:0]				EXTI4[3:0]			

位 31:16	保留。
位 15:0	EXTIx[3:0]: EXTIx 配置(x = 4 ... 7) (EXTI x configuration)。 这些位用于选择 EXTIx 外部中断的输入源。 0000: PA[x]引脚 0001: PB[x]引脚 0010: PC[x]引脚 0011: PD[x]引脚 0100: PE[x]引脚 0101: PF[x]引脚 0110: PG[x]引脚

(5) 外部中断配置寄存器 3 (AFIO_EXTICR3)

首地址: 0x40010000 地址偏移: 0x10 复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI11[3:0]				EXTI10[3:0]				EXTI9[3:0]				EXTI8[3:0]			

位 31:16	保留。
位 15:0	<p>EXTIx[3:0]: EXTIx 配置(x = 8 … 11) (EXTI x configuration)。</p> <p>这些位用于选择 EXTIx 外部中断的输入源。</p> <p>0000: PA[x]引脚 0001: PB[x]引脚 0010: PC[x]引脚 0011: PD[x]引脚</p> <p>0100: PE[x]引脚 0101: PF[x]引脚 0110: PG[x]引脚</p>

(6) 外部中断配置寄存器 4 (AFIO_EXTICR4)

首地址: 0x40010000 地址偏移: 0x14 复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI15[3:0]				EXTI14[3:0]				EXTI13[3:0]				EXTI12[3:0]			

位 31:16	保留。
位 15:0	<p>EXTIx[3:0]: EXTIx 配置(x = 12 … 15) (EXTI x configuration)。</p> <p>这些位用于选择 EXTIx 外部中断的输入源。</p> <p>0000: PA[x]引脚 0001: PB[x]引脚 0010: PC[x]引脚 0011: PD[x]引脚</p> <p>0100: PE[x]引脚 0101: PF[x]引脚 0110: PG[x]引脚</p>

C.4 外部中断/事件控制器 EXTI 寄存器描述

访问: 以字 (32 位) 访问。

(1) 中断屏蔽寄存器 (EXTI_IMR)

首地址: 0x4001 0400 地址偏移: 0x00 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												MR19	MR18	MR17	MR16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MR15 ~ MR0															

位 31:20	保留, 必须始终保持为复位状态 (0)。
位 19:0	<p>MRx: 线 x 上的中断屏蔽 (Interrupt Mask on line x)</p> <p>0: 屏蔽来自线 x 上的中断请求; 1: 开放来自线 x 上的中断请求。</p> <p>注: 位 19 只适用于互联型产品, 对于其它产品为保留位。</p>

(2) 事件屏蔽寄存器 (EXTI_EMR)

首地址：0x4001 0400 地址偏移：0x04 复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												MR19	MR18	MR17	MR16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MR15 ~MR0															

位 31:20	保留，必须始终保持为复位状态（0）。
位 19:0	MRx：线 x 上的事件屏蔽（Event Mask on line x） 0：屏蔽来自线 x 上的事件请求； 1：开放来自线 x 上的事件请求。 注：位 19 只适用于互联型产品，对于其它产品为保留位。

（3）上升沿触发选择寄存器（EXTI_RTSR）

首地址：0x4001 0400 地址偏移：0x08 复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												TR19	TR18	TR17	TR16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15 ~TR0															

位 31:20	保留，必须始终保持为复位状态（0）。
位 19:0	TRx：线 x 上的上升沿触发选择事件配置位（Rising trigger event configuration bit of line x） 0：禁止输入线 x 上的上升沿触发（中断和事件） 1：允许输入线 x 上的上升沿触发（中断和事件） 注：位 19 只适用于互联型产品，对于其它产品为保留位。

注意：外部唤醒线是边沿触发的，这些线上不能出现毛刺信号。

在写 EXTI_RTSR 寄存器时，在外部中断线上的上升沿信号不能被识别，挂起位也不会被置位。在同一中断线上，可以同时设置上升沿和下降沿触发。即任一边沿都可触发中断。

（4）下降沿触发选择寄存器（EXTI_FTSR）

首地址：0x4001 0400 地址偏移：0x0C 复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												TR19	TR18	TR17	TR16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15 ~TR0															

位 31:20	保留，必须始终保持为复位状态（0）。
位 19:0	TRx：线 x 上的下降沿触发选择事件配置位（Falling trigger event configuration bit of line x） 0：禁止输入线 x 上的下降沿触发（中断和事件） 1：允许输入线 x 上的下降沿触发（中断和事件）

	注：位 19 只适用于互联型产品，对于其它产品为保留位。
--	------------------------------

注意：外部唤醒线是边沿触发的，这些线上不能出现毛刺信号。

在写 EXTI_RTSR 寄存器时，在外部中断线上的下降沿信号不能被识别，挂起位也不会被置位。在同一中断线上，可以同时设置上升沿和下降沿触发。即任一边沿都可触发中断。

（5）软件中断事件屏蔽寄存器（EXTI_SWIER）

首地址：0x4001 0400 地址偏移：0x10 复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												SWIER	SWIER	SWIER	SWIER
												19	18	17	16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWIER15 ~ SWIER0															

位 31:20	保留，必须始终保持为复位状态（0）。
位 19:0	<p>SWIERx：线 x 上的软件中断（Software Interrupt on line x）</p> <p>当该位为‘0’时，写‘1’将设置 EXTI_PR 中相应的挂起位。如果在 EXTI_IMR 和 EXTI_EMR 中允许产生该中断，则此时将产生一个中断。</p> <p>注：通过清除 EXTI_PR 的对应位（写入‘1’），可以清除该位为‘0’。</p> <p>注：位 19 只适用于互联型产品，对于其它产品为保留位。</p>

（6）挂起寄存器（EXTI_PR）

首地址：0x4001 0400 地址偏移：0x14 复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												PR19	PR18	PR17	PR16

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PR15 ~ PR0															

位 31:20	保留，必须始终保持为复位状态（0）。
位 19:0	<p>PRx：挂起位（Pending bit）</p> <p>0：没有发生触发请求 1：发生了选择的触发请求</p> <p>当在外部中断线上发生了选择的边沿事件，该位被置‘1’。在该位中写入‘1’可以清除它，也可以通过改变边沿检测的极性清除。</p> <p>注：位 19 只适用于互联型产品，对于其它产品为保留位。</p>

C.5 通用定时器 TIMx（x=2,3,4,5）寄存器描述

访问：以半字（16 位）或字（32 位）访问。

通用定时器 TIMx（x=2,3,4,5）寄存器的存储映射首地址分别是 0x40000000，0x40000400，0x40000800，0x40000C00。

（1）控制寄存器 1（TIMx_CR1）

地址偏移：0x00 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

保留	CKD[1:0]	ARPE	CMS[1:0]	DIR	OPM	URS	UDIS	CEN
位 15:10	保留，始终读为 0。							
位 9:8	CKD[1:0]: 时钟分频因子 (Clock division)。定义在定时器时钟 (CK_INT) 频率与数字滤波器 (ETR, TIx) 使用的采样频率之间的分频比例。 00: $t_{DTS} = t_{CK_INT}$; 01: $t_{DTS} = 2 \times t_{CK_INT}$ 10: $t_{DTS} = 4 \times t_{CK_INT}$; 11: 保留							
位 7	ARPE: 自动重装载预装载允许位 (Auto-reload preload enable)。 0: TIMx_ARR 寄存器没有缓冲; 1: TIMx_ARR 寄存器被装入缓冲器。							
位 6:5	CMS[1:0]: 选择中央对齐模式 (Center-aligned mode selection) 00: 边沿对齐模式。计数器依据方向位 (DIR) 向上或向下计数。 01: 中央对齐模式 1。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMRx 寄存器中 CCxS=00) 的输出比较中断标志位, 只在计数器向下计数时被设置。 10: 中央对齐模式 2。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMRx 寄存器中 CCxS=00) 的输出比较中断标志位, 只在计数器向上计数时被设置。 11: 中央对齐模式 3。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMRx 寄存器中 CCxS=00) 的输出比较中断标志位, 在计数器向上和向下计数时均被设置。 注: 在计数器开启时 (CEN=1), 不允许从边沿对齐模式转换到中央对齐模式。							
位 4	DIR: 方向 (Direction) 0: 计数器向上计数; 1: 计数器向下计数。 注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。							
位 3	OPM: 单脉冲模式 (One pulse mode) 0: 在发生更新事件时, 计数器不停止; 1: 在发生下一次更新事件 (清除 CEN 位) 时, 计数器停止。							
位 2	URS: 更新请求源 (Update request source)。软件通过该位选择 UEV 事件的源。 0: 如果使能了更新中断或 DMA 请求, 则下述任一事件产生更新中断或 DMA 请求: 计数器溢出/下溢、设置 UG 位、从模式控制器产生的更新; 1: 如果使能了更新中断或 DMA 请求, 则只有计数器溢出/下溢才产生更新中断或 DMA 请求。							
位 1	UDIS: 禁止更新 (Update disable)。软件通过该位允许/禁止 UEV 事件的产生。 0: 允许 UEV。更新 (UEV) 事件由下述任一事件产生: 计数器溢出/下溢、设置 UG 位、从模式控制器产生的更新。具有缓存的寄存器被装入它们的预装载值 (更新影子寄存器) 1: 禁止 UEV。不产生更新事件, 影子寄存器 (ARR、PSC、CCRx) 保持它们的值。如果设置了 UG 位或从模式控制器发出了一个硬件复位, 则计数器和预分频器被重新初始化。							
位 0	CEN: 使能计数器 0: 禁止计数器; 1: 使能计数器。 注: 在软件设置了 CEN 位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置 CEN 位。在单脉冲模式下, 当发生更新事件时, CEN 被自动清除。							

(2) 控制寄存器 2 (TIMx_CR2)

地址偏移: 0x04 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								TI1S	MMS[2:0]			CCDS	保留		

位 15:8	保留, 始终读为 0。
位 7	TI1S: TI1 选择 (TI1 selection) 0: TIMx_CH1 引脚连到 TI1 输入; 1: TIMx_CH1、TIMx_CH2 和 TIMx_CH3 引脚经异或后连到 TI1 输入。
位 6:4	MMS[2:0]: 主模式选择 (Master mode selection)。这 3 位用于选择在主模式下送到从定时器的同步信息 (TRGO)。可能的组合如下: 000: 复位 - TIMx_EGR 寄存器的 UG 位被用于作为触发输出 (TRGO)。如果是触发输入产生的复位 (从模式控制器处于复位模式), 则 TRGO 上的信号相对实际的复位会有一个延迟。 001: 使能 - 计数器使能信号 CNT_EN 被用于作为触发输出 (TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过 CEN 控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时, TRGO 上会有一个延迟, 除非选择了主/从模式。 010: 更新 - 更新事件被选为触发输入 (TRGO)。例如, 一个主定时器的时钟可以被用作一个从定时器的预分频器。 011: 比较脉冲 - 在发生一次捕获或一次比较成功时, 当要设置 CC1IF 标志时 (即使它已经为高), 触发输出送出一个正脉冲 (TRGO)。 100: 比较 - OC1REF 信号被用于作为触发输出 (TRGO)。 101: 比较 - OC2REF 信号被用于作为触发输出 (TRGO)。 110: 比较 - OC3REF 信号被用于作为触发输出 (TRGO)。 111: 比较 - OC4REF 信号被用于作为触发输出 (TRGO)。
位 3	CCDS: 捕获/比较的 DMA 选择。 0: 当发生 CCx 事件时, 送出 CCx 的 DMA 请求; 1: 当发生更新事件时, 送出 CCx 的 DMA 请求。
位 2:0	保留, 始终读为 0。

(3) 从模式控制寄存器 (TIMx_SMCR)

地址偏移: 0x08 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]	ETF[3:0]				MSM	TS[2:0]			保留	SMS[2:0]			

位 15	ETP: 外部触发极性 (External trigger polarity)。 该位选择是用 ETR 还是 ETR 的反相来作为触发操作。 0: ETR 不反相, 高电平或上升沿有效; 1: ETR 被反相, 低电平或下降沿有效。
位 14	ECE: 外部时钟使能位 (External clock enable)。该位启用外部时钟模式 2。 0: 禁止外部时钟模式 2; 1: 使能外部时钟模式 2。计数器由 ETRF 信号上的任意有效边沿驱动。 注 1: 设置 ECE 位与选择外部时钟模式 1 并将 TRGI 连到 ETRF (SMS=111 和

	<p>TS=111) 具有相同功效。</p> <p>注 2: 下述从模式可以与外部时钟模式 2 同时使用: 复位模式、门控模式和触发模式; 但是, 这时 TRGI 不能连到 ETRF (TS 位不能是 ‘111’)。</p> <p>注 3: 外部时钟模式 1 和外部时钟模式 2 同时被使能时, 外部时钟的输入是 ETRF。</p>
位 13:12	<p>ETPS[1:0]: 外部触发预分频 (External trigger prescaler)。外部触发信号 ETRP 的频率必须最多是 CK_INT 频率的 1/4。当输入较快的外部时钟时, 可以使用预分频降低 ETRP 的频率。</p> <p>00: 关闭预分频; 01: ETRP 频率除以 2; 10: ETRP 频率除以 4; 11: ETRP 频率除以 8。</p>
位 11:8	<p>ETF[3:0]: 外部触发滤波 (External trigger filter)。这些位定义了对 ETRP 信号采样的频率和对 ETRP 数字滤波的带宽。实际上, 数字滤波器是一个事件计数器, 它记录到 N 个事件后会产生一个输出的跳变。</p> <p>0000: 无滤波器, 以 f_{DTS} 采样; 1000: $f_{SAMPLING}=f_{DTS}/8$, $N=6$; 0001: $f_{SAMPLING}=f_{CK_INT}$, $N=2$; 1001: $f_{SAMPLING}=f_{DTS}/8$, $N=8$; 0010: $f_{SAMPLING}=f_{CK_INT}$, $N=4$; 1010: $f_{SAMPLING}=f_{DTS}/16$, $N=5$; 0011: $f_{SAMPLING}=f_{CK_INT}$, $N=8$; 1011: $f_{SAMPLING}=f_{DTS}/16$, $N=6$; 0100: $f_{SAMPLING}=f_{DTS}/2$, $N=6$; 1100: $f_{SAMPLING}=f_{DTS}/16$, $N=8$; 0101: $f_{SAMPLING}=f_{DTS}/2$, $N=8$; 1101: $f_{SAMPLING}=f_{DTS}/32$, $N=5$; 0110: $f_{SAMPLING}=f_{DTS}/4$, $N=6$; 1110: $f_{SAMPLING}=f_{DTS}/32$, $N=6$; 0111: $f_{SAMPLING}=f_{DTS}/4$, $N=8$; 1111: $f_{SAMPLING}=f_{DTS}/32$, $N=8$;</p>
位 7	<p>MSM: 主/从模式 (Master/slave mode)</p> <p>0: 无作用;</p> <p>1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过 TRGO) 与它的从定时器间的完美同步。这对要求把几个定时器同步到一个单一的外部事件时是非常有用的。</p>
位 6:4	<p>TS[2:0]: 触发选择 (Trigger selection)。这 3 位选择用于同步计数器的触发输入。</p> <p>000: 内部触发 0 (ITR0), TIM1; 100: TI1 的边沿检测器 (TI1F_ED) 001: 内部触发 1 (ITR1), TIM2; 101: 滤波后的定时器输入 1 (TI1FP1) 010: 内部触发 2 (ITR2), TIM3; 110: 滤波后的定时器输入 2 (TI2FP2) 011: 内部触发 3 (ITR3), TIM4; 111: 外部触发输入 (ETRF)</p> <p>注: 这些位只能在未用到 (如 SMS=000) 时被改变, 以避免在改变时产生错误的边沿检测。</p>
位 3	保留, 始终读为 0。
位 2:0	<p>SMS[2:0]: 从模式选择 (Slave mode selection)。当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关。</p> <p>000: 关闭从模式 - 如果 CEN=1, 则预分频器直接由内部时钟驱动。</p> <p>001: 编码器模式 1 - 根据 TI1FP1 电平, 计数器在 TI2FP2 的边沿向上/下计数。</p> <p>010: 编码器模式 2 - 根据 TI2FP2 电平, 计数器在 TI1FP1 的边沿向上/下计数。</p> <p>011: 编码器模式 3 - 根据另一个信号的输入电平, 计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。</p> <p>100: 复位模式 - 选中的触发输入 (TRGI) 的上升沿重新初始化计数器, 并且产生一个更新寄存器的信号。</p> <p>101: 门控模式 - 当触发输入 (TRGI) 为高时, 计数器的时钟开启。一旦触发</p>

	<p>输入变为低，则计数器停止（但不复位）。计数器的启动和停止都是受控的。</p> <p>110：触发模式 - 计数器在触发输入 TRGI 的上升沿启动（但不复位），只有计数器的启动是受控的。</p> <p>111：外部时钟模式 1 - 选中的触发输入（TRGI）的上升沿驱动计数器。</p> <p>注：如果 TI1F_EN 被选为触发输入（TS=100）时，不要使用门控模式。这是因为，TI1F_ED 在每次 TI1F 变化时输出一个脉冲，然而门控模式是要检查触发输入的电平。</p>
--	---

通用定时器 TIMx 内部触发连接表

从定时器	ITR0 (TS = 000)	ITR1 (TS = 001)	ITR2 (TS = 010)	ITR3 (TS = 011)
TIM2	TIM1	TIM8	TIM3	TIM4
TIM3	TIM1	TIM2	TIM5	TIM4
TIM4	TIM1	TIM2	TIM3	TIM8
TIM5	TIM2	TIM3	TIM4	TIM8

(4) DMA/中断使能寄存器 (TIMx_DIER)

地址偏移：0x0C 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TDE	保留	CC4DE	CC3DE	CC2DE	CC1DE	UDE	保留	TIE	保留	CC4IE	CC3IE	CC2IE	CC1IE	UIE

位 15	保留，始终读为 0。
位 14	TDE：允许触发 DMA 请求 (Trigger DMA request enable)。 0：禁止触发 DMA 请求； 1：允许触发 DMA 请求。
位 13	保留，始终读为 0。
位 12	CC4DE：允许捕获/比较 4 的 DMA 请求 (Capture/Compare 4 DMA request enable)。0：禁止捕获/比较 4 的 DMA 请求；1：允许捕获/比较 4 的 DMA 请求。
位 11	CC3DE：允许捕获/比较 3 的 DMA 请求 (Capture/Compare 3 DMA request enable)。0：禁止捕获/比较 3 的 DMA 请求；1：允许捕获/比较 3 的 DMA 请求。
位 10	CC2DE：允许捕获/比较 2 的 DMA 请求 (Capture/Compare 2 DMA request enable)。0：禁止捕获/比较 2 的 DMA 请求；1：允许捕获/比较 2 的 DMA 请求。
位 9	CC1DE：允许捕获/比较 1 的 DMA 请求 (Capture/Compare 1 DMA request enable)。0：禁止捕获/比较 1 的 DMA 请求；1：允许捕获/比较 1 的 DMA 请求。
位 8	UDE：允许更新的 DMA 请求 (Update DMA request enable)。 0：禁止更新的 DMA 请求； 1：允许更新的 DMA 请求。
位 7	保留，始终读为 0。
位 6	TIE：触发中断使能 (Trigger interrupt enable)。 0：禁止触发中断； 1：使能触发中断。
位 5	保留，始终读为 0。
位 4	CC4IE：允许捕获/比较 4 中断 (Capture/Compare 4 interrupt enable)。 0：禁止捕获/比较 4 中断； 1：允许捕获/比较 4 中断。
位 3	CC3IE：允许捕获/比较 3 中断 (Capture/Compare 3 interrupt enable)。 0：禁止捕获/比较 3 中断； 1：允许捕获/比较 3 中断。

位 2	CC2IE: 允许捕获/比较 2 中断 (Capture/Compare 2 interrupt enable)。 0: 禁止捕获/比较 2 中断; 1: 允许捕获/比较 2 中断。
位 1	CC1IE: 允许捕获/比较 1 中断 (Capture/Compare 1 interrupt enable)。 0: 禁止捕获/比较 1 中断; 1: 允许捕获/比较 1 中断。
位 0	UIE: 允许更新中断 (Update interrupt enable)。 0: 禁止更新中断; 1: 允许更新中断。

(5) 状态寄存器 (TIMx_SR)

地址偏移: 0x10 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			CC4OF	CC3OF	CC2OF	CC1OF	保留		TIF	保留	CC4IF	CC3IF	CC2IF	CC1IF	UIF

位 15:13	保留, 始终读为 0。
位 12	CC4OF: 捕获/比较 4 重复捕获标记 (Capture/Compare 4 overcapture flag)。
位 11	CC3OF: 捕获/比较 3 重复捕获标记 (Capture/Compare 3 overcapture flag)。
位 10	CC2OF: 捕获/比较 2 重复捕获标记 (Capture/Compare 2 overcapture flag)。
位 9	CC1OF: 捕获/比较 1 重复捕获标记 (Capture/Compare 1 overcapture flag)。 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置 ‘1’, 写 ‘0’ 可清除该位。 0: 无重复捕获产生; 1: 当计数器的值被捕获到 TIMx_CCR1 寄存器时, CC1IF 的状态已经为 ‘1’。
位 8:7	保留, 始终读为 0。
位 6	TIF: 触发器中断标记 (Trigger interrupt flag)。 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在 TRGI 输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置 ‘1’。它由软件清 ‘0’。 0: 无触发器事件产生; 1: 触发器中断等待响应。
位 5	保留, 始终读为 0。
位 4	CC4IF: 捕获/比较 4 中断标记 (Capture/Compare 4 interrupt flag)。
位 3	CC3IF: 捕获/比较 3 中断标记 (Capture/Compare 3 interrupt flag)。
位 2	CC2IF: 捕获/比较 2 中断标记 (Capture/Compare 2 interrupt flag)。
位 1	CC1IF: 捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag)。 如果通道 CC1 配置为输出模式: 当计数器值与比较值匹配时该位由硬件置 ‘1’, 但在中心对称模式下除外 (参考 TIMx_CR1 寄存器的 CMS 位)。它由软件清 ‘0’。 0: 无匹配发生; 1: TIMx_CNT 的值与 TIMx_CCR1 的值匹配。 如果通道 CC1 配置为输入模式: 当捕获事件发生时该位由硬件置 ‘1’, 它由软件清 ‘0’ 或通过读 TIMx_CCR1 清 ‘0’。 0: 无输入捕获产生; 1: 计数器值已被捕获 (拷贝) 至 TIMx_CCR1 (在 IC1 上检测到与所选极性相同的边沿)。
位 0	UIF: 更新中断标记 (Update interrupt flag)。当产生更新事件时该位由硬件置 ‘1’。它由软件清 ‘0’。 0: 无更新事件产生; 1: 更新中断等待响应。当寄存器被更新时该位由硬件置 ‘1’;

	<ul style="list-style-type: none"> – 若 TIMx_CR1 寄存器的 UDIS=0、URS=0，当 TIMx_EGR 寄存器的 UG=1 时产生更新事件（软件对计数器 CNT 重新初始化）； – 若 TIMx_CR1 寄存器的 UDIS=0、URS=0，当计数器 CNT 被触发事件重初始化时产生更新事件。（参考 TIMx_SMCR 寄存器的说明）
--	--

（6）事件产生寄存器（TIMx_EGR）

地址偏移：0x14 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留									TG	保留	CC4G	CC3G	CC2G	CC1G	UG

位 15:7	保留，始终读为 0。
位 6	<p>TG：产生触发事件（Trigger generation）。该位由软件置‘1’，用于产生一个触发事件，由硬件自动清‘0’。</p> <p>0：无动作；</p> <p>1：TIMx_SR 寄存器的 TIF=1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。</p>
位 5	保留，始终读为 0。
位 4	CC4G：产生捕获/比较 4 事件（Capture/compare 4 generation）
位 3	CC3G：产生捕获/比较 3 事件（Capture/compare 3 generation）
位 2	CC2G：产生捕获/比较 2 事件（Capture/compare 2 generation）
位 1	<p>CC1G：产生捕获/比较 1 事件（Capture/compare 1 generation）。该位由软件置‘1’，用于产生一个捕获/比较事件，由硬件自动清‘0’。</p> <p>0：无动作；</p> <p>1：在通道 CC1 上产生一个捕获/比较事件：</p> <p>若通道 CC1 配置为输出：设置 CC1IF=1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。</p> <p>若通道 CC1 配置为输入：当前的计数器值捕获至 TIMx_CCR1 寄存器；设置 CC1IF=1，若开启对应的中断和 DMA，则产生相应的中断和 DMA。若 CC1IF 已经为 1，则设置 CC1OF=1。</p>
位 0	<p>UG：产生更新事件（Update generation）。该位由软件置‘1’，由硬件自动清‘0’。</p> <p>0：无动作；</p> <p>1：重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清‘0’（但是预分频系数不变）。若在中心对称模式下或 DIR=0（向上计数）则计数器被清‘0’，若 DIR=1（向下计数）则计数器取 TIMx_ARR 的值。</p>

（7）捕获/比较模式寄存器 1（TIMx_CCMR1）

地址偏移：0x18 复位值：0x0000 0000

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CCxS 定义。该寄存器其它位的作用在输入和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输入模式下的功能。因此必须注意同一位在输出和输入模式下的功能区别。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
OC2CE		OC2M[2:0]		OC2PE		OC2FE		CC2S[1:0]	OC1CE		OC1M[2:0]		OC1PE		OC1FE		CC1S[1:0]
IC2F[3:0]				IC2PSC[1:0]					IC1F[3:0]				IC1PSC[1:0]				

输出比较模式：

位 15	OC2CE ：输出比较 2 清 0 使能（Output compare 2 clear enable）
位 14:12	OC2M[2:0] ：输出比较 2 模式（Output compare 2 mode）
位 11	OC2PE ：输出比较 2 预装载使能（Output compare 2 preload enable）
位 10	OC2FE ：输出比较 2 快速使能（Output compare 2 fast enable）
位 9:8	CC2S[1:0] ：捕获/比较 2 选择（Capture/Compare 2 selection） 该位定义通道的方向（输入/输出），及输入脚的选择： 00：CC2 通道被配置为输出； 01：CC2 通道被配置为输入，IC2 映射在 TI2 上； 10：CC2 通道被配置为输入，IC2 映射在 TI1 上； 11：CC2 通道被配置为输入，IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时（由 TIMx_SMCR 寄存器的 TS 位选择）。 注：CC2S 仅在通道关闭时（TIMx_CCER 寄存器的 CC2E='0'）才是可写的。
位 7	OC1CE ：输出比较 1 清 0 使能（Output compare 1 clear enable） 0：OC1REF 不受 ETRF 输入的影响； 1：一旦检测到 ETRF 输入高电平，清除 OC1REF=0。
位 6:4	OC1M[2:0] ：输出比较 1 模式（Output compare 1 enable） 该 3 位定义了输出参考信号 OC1REF 的动作，而 OC1REF 决定了 OC1 的值。OC1REF 是高电平有效，而 OC1 的有效电平取决于 CC1P 位。 000：冻结。输出比较寄存器 TIMx_CCR1 与计数器 TIMx_CNT 间的比较对 OC1REF 不起作用； 001：匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1（TIMx_CCR1）相同时，强制 OC1REF 为高。 010：匹配时设置通道 1 为无效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1（TIMx_CCR1）相同时，强制 OC1REF 为低。 011：翻转。当 TIMx_CCR1=TIMx_CNT 时，翻转 OC1REF 的电平。 100：强制为无效电平。强制 OC1REF 为低。 101：强制为有效电平。强制 OC1REF 为高。 110：PWM 模式 1— 在向上计数时，一旦 TIMx_CNT<TIMx_CCR1 时通道 1 为有效电平，否则为无效电平；在向下计数时，一旦 TIMx_CNT>TIMx_CCR1 时通道 1 为无效电平（OC1REF=0），否则为有效电平（OC1REF=1）。 111：PWM 模式 2— 在向上计数时，一旦 TIMx_CNT<TIMx_CCR1 时通道 1 为无效电平，否则为有效电平；在向下计数时，一旦 TIMx_CNT>TIMx_CCR1 时通道 1 为有效电平，否则为无效电平。 注 1：一旦 LOCK 级别设为 3（TIMx_BDTR 寄存器中的 LOCK 位）并且 CC1S='00'（该通道配置成输出）则该位不能被修改。 注 2：在 PWM 模式 1 或 PWM 模式 2 中，只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时，OC1REF 电平才改变。
位 3	OC1PE ：输出比较 1 预装载使能（Output compare 1 preload enable）。 0：禁止 TIMx_CCR1 寄存器的预装载功能，可随时写入 TIMx_CCR1 寄存器，并且新写入的数值立即起作用。 1：开启 TIMx_CCR1 寄存器的预装载功能，读写操作仅对预装载寄存器操作，TIMx_CCR1 的预装载值在更新事件到来时被传送到当前寄存器中。 注 1：一旦 LOCK 级别设为 3（TIMx_BDTR 寄存器中的 LOCK 位）并且

	CC1S='00' (该通道配置成输出) 则该位不能被修改。 注 2: 仅在单脉冲模式下 (TIMx_CR1 寄存器的 OPM='1'), 可以在未确认预装载寄存器情况下使用 PWM 模式, 否则其动作不确定。
位 2	OC1FE: 输出比较 1 快速使能 (Output compare 1 fast enable)。该位用于加快 CC 输出对触发器输入事件的响应。 0: 根据计数器与 CCR1 的值, CC1 正常操作, 即使触发器是打开的。当触发器的输入出现一个有效沿时, 激活 CC1 输出的最小延时为 5 个时钟周期。 1: 输入到触发器的有效沿的作用就象发生了一次比较匹配。因此, OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。 该位只在通道被配置成 PWM1 或 PWM2 模式时起作用。
位 1:0	CC1S[1:0]: 捕获/比较 1 选择 (Capture/Compare 1 selection)。 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出; 01: CC1 通道被配置为输入, IC1 映射在 TI1 上; 10: CC1 通道被配置为输入, IC1 映射在 TI2 上; 11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择)。 注: CC1S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC1E='0') 才是可写的。

输入捕获模式:

位 15:12	IC2F[3:0]: 输入捕获 2 滤波器 (Input capture 2 filter)。
位 11:10	IC2PSC[1:0]: 输入/捕获 2 预分频器 (input capture 2 prescaler)
位 9:8	CC2S[1:0]: 捕获/比较 2 选择 (Capture/compare 2 selection)。 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择, 含义同前。
位 7:4	IC1F[3:0]: 输入捕获 1 滤波器 (Input capture 1 filter)。 这几位定义了 TI1 输入的采样频率 f_{SAMPLING} 及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变: 0000: 无滤波器, 以 f_{DTS} 采样; 1000: $f_{\text{SAMPLING}}=f_{\text{DTS}}/8$, N=6; 0001: $f_{\text{SAMPLING}}=f_{\text{CK_INT}}$, N=2; 1001: $f_{\text{SAMPLING}}=f_{\text{DTS}}/8$, N=8; 0010: $f_{\text{SAMPLING}}=f_{\text{CK_INT}}$, N=4; 1010: $f_{\text{SAMPLING}}=f_{\text{DTS}}/16$, N=5; 0011: $f_{\text{SAMPLING}}=f_{\text{CK_INT}}$, N=8; 1011: $f_{\text{SAMPLING}}=f_{\text{DTS}}/16$, N=6; 0100: $f_{\text{SAMPLING}}=f_{\text{DTS}}/2$, N=6; 1100: $f_{\text{SAMPLING}}=f_{\text{DTS}}/16$, N=8; 0101: $f_{\text{SAMPLING}}=f_{\text{DTS}}/2$, N=8; 1101: $f_{\text{SAMPLING}}=f_{\text{DTS}}/32$, N=5; 0110: $f_{\text{SAMPLING}}=f_{\text{DTS}}/4$, N=6; 1110: $f_{\text{SAMPLING}}=f_{\text{DTS}}/32$, N=6; 0111: $f_{\text{SAMPLING}}=f_{\text{DTS}}/4$, N=8; 1111: $f_{\text{SAMPLING}}=f_{\text{DTS}}/32$, N=8; 注: 在现在的芯片版本中, 当 ICx F[3:0]=1、2 或 3 时, f_{DTS} 由 CK_INT 替代。
位 3:2	IC1PSC[1:0]: 输入/捕获 1 预分频器 (Input capture 1 prescaler)。 这 2 位定义了 CC1 输入 (IC1) 的预分频系数。一旦 CC1E='0' (TIMx_CCER 寄存器中), 则预分频器复位。 00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获; 01: 每 2 个事件触发一次捕获; 10: 每 4 个事件触发一次捕获; 11: 每 8 个事件触发一次捕获。
位 1:0	CC1S[1:0]: 捕获/比较 1 选择 (Capture/Compare 1 selection)。

	这 2 位定义通道的方向（输入/输出），及输入脚的选择，含义同前。
--	-----------------------------------

（8）捕获/比较模式寄存器 2（TIMx_CCMR2）

地址偏移：0x1C 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE		OC4M[2:0]		OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M[2:0]		OC3PE	OC3FE	CC3S[1:0]		
IC4F[3:0]				IC4PSC[1:0]				IC3F[3:0]				IC3PSC[1:0]			

含义与 CCMR1 寄存器的描述类似。

（9）捕获/比较使能寄存器（TIMx_CCER）

地址偏移：0x20 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		CC4P	CC4E	保留		CC3P	CC3E	保留		CC2P	CC2E	保留		CC1P	CC1E

位 15:14	保留，始终读为 0。
位 13	CC4P：输入/捕获 4 输出极性（Capture/Compare 4 output polarity）。
位 12	CC4E：输入/捕获 4 输出使能（Capture/Compare 4 output enable）。
位 11:10	保留，始终读为 0。
位 9	CC3P：输入/捕获 3 输出极性（Capture/Compare 3 output polarity）。
位 8	CC3E：输入/捕获 3 输出使能（Capture/Compare 3 output enable）。
位 7:6	保留，始终读为 0。
位 5	CC2P：输入/捕获 2 输出极性（Capture/Compare 2 output polarity）。
位 4	CC2E：输入/捕获 2 输出使能（Capture/Compare 2 output enable）。
位 3:2	保留，始终读为 0。
位 1	CC1P：输入/捕获 1 输出极性（Capture/Compare 1 output polarity）。 CC1 通道配置为输出： 0：OC1 高电平有效；1：OC1 低电平有效。 CC1 通道配置为输入： 该位选择是 IC1 还是其反相信号作为触发或捕获信号。 0：不反相：捕获发生在 IC1 的上升沿；当用作外部触发器时，IC1 不反相。 1：反相：捕获发生在 IC1 的下降沿；当用作外部触发器时，IC1 反相。
位 0	CC1E：输入/捕获 1 输出使能（Capture/Compare 1 output enable）。 CC1 通道配置为输出： 0：关闭—OC1 禁止输出。 1：开启— OC1 信号输出到对应的输出引脚。 CC1 通道配置为输入： 该位决定了计数器的值是否能捕获入 TIMx_CCR1 寄存器。 0：捕获禁止； 1：捕获使能。

注：CCxE 位=0 时，OCx 输出状态是：禁止输出（OCx=0，OCx_EN=0）；

CCxE 位=1 时，OCx 输出状态是：OCx = OCxREF + 极性，OCx_EN=1。

连接到 OCx 通道的外部 I/O 引脚状态，取决于 OCx 通道状态和 GPIO 以及 AFIO 寄存器。

（10）计数器（TIMx_CNT）

地址偏移：0x24 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															

位 15:0	CNT[15:0]: 计数器的值 (Counter value)
--------	----------------------------------

(11) 预分频器 (TIMx_PSC)

地址偏移: 0x28 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															

位 15:0	PSC[15:0]: 预分频器的值 (Prescaler value)。 计数器的时钟频率CK_CNT等于 $f_{CK_PSC}/(PSC[15:0]+1)$ 。PSC包含了当更新事件产生时装入当前预分频器寄存器的值。
--------	--

(12) 自动重装载寄存器 (TIMx_ARR)

地址偏移: 0x2C 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															

位 15:0	ARR[15:0]: 自动重装载的值 (Auto reload value)。ARR 包含了将要传送至实际的自动重装载寄存器的数值。当自动重装载的值为空时, 计数器不工作。
--------	--

(13) 捕获/比较寄存器 1 (TIMx_CCR1)

地址偏移: 0x34 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															

位 15:0	CCR1[15:0]: 捕获/比较 1 的值 (Capture/Compare 1 value)。 若 CC1 通道配置为输出: CCR1 包含了装入当前捕获/比较 1 寄存器的值 (预装载值)。如果在 TIMx_CCMR1 寄存器 (OC1PE 位) 中未选择预装载特性, 写入的数值会被立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较, 并在 OC1 端口上产生输出信号。 若 CC1 通道配置为输入: CCR1 包含了由上一次输入捕获 1 事件 (IC1) 传输的计数器值。
--------	---

(14) 捕获/比较寄存器 2 (TIMx_CCR2)

地址偏移: 0x38 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															

含义与 TIMx_CCR1 寄存器的描述类似。

(15) 捕获/比较寄存器 3 (TIMx_CCR3)

地址偏移: 0x3C 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3[15:0]															

含义与 TIMx_CCR1 寄存器的描述类似。

(16) 捕获/比较寄存器 4 (TIMx_CCR4)

地址偏移: 0x40 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4[15:0]															

含义与 TIMx_CCR1 寄存器的描述类似。

(17) DMA 控制寄存器 (TIMx_DCR)

地址偏移: 0x48 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				DBL[4:0]				保留				DBA[4:0]			

位 15:13	保留, 始终读为 0。
位 12:8	<p>DBL[4:0]: DMA 连续传送长度 (DMA burst length)。这些位定义了 DMA 在连续模式下的传送长度 (当对 TIMx_DMAR 寄存器进行读或写时, 定时器则进行一次连续传送), 即: 定义传输的字节数目:</p> <p>00000: 1 个字节; 00001: 2 个字节; 00010: 3 个字节; 10001: 18 个字节。</p> <p>例如: DBL=7, DBA=TIM2_CR1 表示待传输数据的地址, 那么传输的地址由下式给出:</p> <p>(TIMx_CR1 的地址) + DBA + (DMA 索引), 其中: DMA 索引 = DBL (TIMx_CR1 的地址) + DBA 再加上 7, 给出了将要写入或者读出数据的地址, 这样数据的传输将发生在从地址 (TIMx_CR1 的地址) + DBA 开始的 7 个寄存器。</p> <p>根据 DMA 数据长度的设置, 可能发生以下情况:</p> <ul style="list-style-type: none"> - 如果设置数据为半字(16 位), 那么数据就会传输给全部 7 个寄存器。 - 如果设置数据为字节, 数据仍然会传输给全部 7 个寄存器: 第一个寄存器包含第一个 MSB 字节, 第二个寄存器包含第一个 LSB 字节, 以此类推。因此对于定时器, 用户必须指定由 DMA 传输的数据宽度。
位 7:5	保留, 始终读为 0。
位 4:0	<p>DBA[4:0]: DMA 基地址 (DMA base address)。这些位定义了 DMA 在连续模式下的基地址 (当对 TIMx_DMAR 寄存器进行读或写时), DBA 定义为从 TIMx_CR1 寄存器所在地址开始的偏移量:</p> <p>00000: TIMx_CR1; 00001: TIMx_CR2; 00010: TIMx_SMCR; </p>

(18) 连续模式的 DMA 地址 (TIMx_DMAR)

地址偏移: 0x4C 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															

位 15:0	<p>DMAB[15:0]: DMA 连续传送寄存器 (DMA register for burst accesses)。对 TIMx_DMAR 寄存器的读或写会导致对以下地址所在寄存器的存取操作: TIMx_CR1 地址 + DBA + DMA 索引, 其中:</p> <p>“TIMx_CR1 地址”是控制寄存器 1 (TIMx_CR1) 所在的地址;</p>
--------	--

	<p>“DBA”是 TIMx_DCR 寄存器中定义的基地址；</p> <p>“DMA 索引”是由 DMA 自动控制的偏移量，它取决于 TIMx_DCR 寄存器中定义的 DBL。</p>
--	--

C.6 高级控制定时器 TIMx (x=1,8) 寄存器描述

访问：以半字（16 位）或字（32 位）访问。

高级控制定时器 TIM1 和 TIM8 寄存器的存储映射首地址分别是 0x4001 2C00, 0x4001 3400。

(1) TIM1 和 TIM8 控制寄存器 1 (TIMx_CR1)

地址偏移：0x00 复位值：0x0000 0000

含义与通用定时器 TIMx_CCR1 寄存器的描述类似。

(2) TIM1 和 TIM8 控制寄存器 2 (TIMx_CR2)

地址偏移：0x04 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	OIS 4	OIS 3N	OIS 3	OIS 2N	OIS 2	OIS 1N	OIS 1	TIIS	MMS[2:0]			CCDS	CCUS	保留	CCPC

位 15	保留，始终读为 0。
位 14	OIS4：输出空闲状态 4（OC4 输出）。
位 13	OIS3N：输出空闲状态 3（OC3N 输出）。
位 12	OIS3：输出空闲状态 3（OC3 输出）。
位 11	OIS2N：输出空闲状态 2（OC2N 输出）。
位 10	OIS2：输出空闲状态 2（OC2 输出）。
位 9	OIS1N：输出空闲状态 1（OC1N 输出）（Output Idle state 1）。 0：当 MOE=0 时，死区后 OC1N=0； 1：当 MOE=0 时，死区后 OC1N=1。 注：已经设置了 LOCK(TIMx_BKR 寄存器)级别 1、2 或 3 后，该位不能被修改。
位 8	OIS1：输出空闲状态 1（OC1 输出）。（Output Idle state 1）。 0：当 MOE=0 时，如果实现了 OC1N，则死区后 OC1=0； 1：当 MOE=0 时，如果实现了 OC1N，则死区后 OC1=1。 注：已经设置了 LOCK(TIMx_BKR 寄存器)级别 1、2 或 3 后，该位不能被修改。
位 7	略，同 TIMx (x=2,3,4,5)
位 6:4	略，同 TIMx (x=2,3,4,5)
位 3	略，同 TIMx (x=2,3,4,5)
位 2	CCUS：捕获/比较控制更新选择（Capture/compare control update selection）。 0：如果捕获/比较控制位是预装载的（CCPC=1），只能通过设置 COM 位更新它们； 1：如果捕获/比较控制位是预装载的（CCPC=1），可以通过设置 COM 位或 TRGI 上的一个上升沿更新它们。 注：该位只对具有互补输出的通道起作用。
位 1	保留，始终读为 0。
位 0	CCPC：捕获/比较预装载控制位（Capture/compare preloaded control） 0：CCxE, CCxNE 和 OCxM 位不是预装载的； 1：CCxE, CCxNE 和 OCxM 位是预装载的；设置该位后，它们只在设置了 COM

	位后被更新。 注：该位只对具有互补输出的通道起作用。
--	-------------------------------

(3) TIM1 和 TIM8 从模式控制寄存器 (TIMx_SMCR)

地址偏移：0x08 复位值：0x0000 0000

含义与通用定时器 TIMx_SMCR 寄存器的描述类似。

高级定时器 TIMx 内部触发连接表

从定时器	ITR0 (TS = 000)	ITR1 (TS = 001)	ITR2 (TS = 010)	ITR3 (TS = 011)
TIM1	TIM5	TIM2	TIM3	TIM4
TIM8	TIM1	TIM2	TIM4	TIM5

(4) TIM1 和 TIM8 DMA/中断使能寄存器 (TIMx_DIER)

地址偏移：0x0C 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	TD E	COMD E	CC4D E	CC3D E	CC2D E	CC1D E	UD E	BI E	TI E	COMI E	CC4I E	CC4I E	CC4I E	CC4I E	UI E

位 15	保留，始终读为 0。
位 14	略，同 TIMx (x=2,3,4,5)
位 13	COMDE：允许 COM 的 DMA 请求 (COM DMA request enable)。 0：禁止 COM 的 DMA 请求； 1：允许 COM 的 DMA 请求。
位 12	略，同 TIMx (x=2,3,4,5)
位 11	略，同 TIMx (x=2,3,4,5)
位 10	略，同 TIMx (x=2,3,4,5)
位 9	略，同 TIMx (x=2,3,4,5)
位 8	略，同 TIMx (x=2,3,4,5)
位 7	BIE：允许刹车中断 (Break interrupt enable)。 0：禁止刹车中断； 1：允许刹车中断
位 6	略，同 TIMx (x=2,3,4,5)
位 5	COMIE：允许 COM 中断 (COM interrupt enable) 0：禁止 COM 中断； 1：允许 COM 中断。
位 4	略，同 TIMx (x=2,3,4,5)
位 3	略，同 TIMx (x=2,3,4,5)
位 2	略，同 TIMx (x=2,3,4,5)
位 1	略，同 TIMx (x=2,3,4,5)
位 0	略，同 TIMx (x=2,3,4,5)

(5) TIM1 和 TIM8 状态寄存器 (TIMx_SR)

地址偏移：0x10 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留			CC4O	CC3O	CC2O	CC1O	保	BI	TI	COMI	CC4I	CC3I	CC2I	CC1I	UI

	F	F	F	F	留	F	F	F	F	F	F	F	F
--	---	---	---	---	---	---	---	---	---	---	---	---	---

位 15:13	保留，始终读为 0。
位 12	略，同 TIMx (x=2,3,4,5)
位 11	略，同 TIMx (x=2,3,4,5)
位 10	略，同 TIMx (x=2,3,4,5)
位 9	略，同 TIMx (x=2,3,4,5)
位 8:7	保留，始终读为 0。
位 6	略，同 TIMx (x=2,3,4,5)
位 5	保留，始终读为 0。
位 4	略，同 TIMx (x=2,3,4,5)
位 3	略，同 TIMx (x=2,3,4,5)
位 2	略，同 TIMx (x=2,3,4,5)
位 1	<p>CC1IF：捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag)。</p> <p>如果通道 CC1 配置为输出模式：当计数器值与比较值匹配时该位由硬件置‘1’，但在中心对称模式下除外(参考 TIMx_CR1 寄存器的 CMS 位)。它由软件清‘0’。</p> <p>0：无匹配发生；</p> <p>1：TIMx_CNT 的值与 TIMx_CCR1 的值匹配。</p> <p>当 TIMx_CCR1 的内容大于 TIMx_APR 的内容时，在向上或向上/下计数模式时计数器溢出，或向下计数模式时的计数器下溢条件下，CC1IF 位变高。</p> <p>如果通道 CC1 配置为输入模式：当捕获事件发生时该位由硬件置‘1’，它由软件清‘0’或通过读 TIMx_CCR1 清‘0’。</p> <p>0：无输入捕获产生； 1：计数器值已被捕获(拷贝)至 TIMx_CCR1 (在 IC1 上检测到与所选极性相同的边沿)。</p>
位 0	<p>UIF：更新中断标记 (Update interrupt flag)。当产生更新事件时该位由硬件置‘1’。它由软件清‘0’。</p> <p>0：无更新事件产生；</p> <p>1：更新中断等待响应。当寄存器被更新时该位由硬件置‘1’：</p> <ul style="list-style-type: none"> – 若 TIMx_CR1 寄存器的 UDIS=0，当重复计数器数值上溢或下溢时(重复计数器=0 时产生更新事件)。 – 若 TIMx_CR1 寄存器的 UDIS=0、URS=0，当 TIMx_EGR 寄存器的 UG=1 时产生更新事件(软件对计数器 CNT 重新初始化)； – 若 TIMx_CR1 寄存器的 UDIS=0、URS=0，当计数器 CNT 被触发事件重初始化时产生更新事件。(参考 TIMx_SMCR 寄存器的说明)

(6) TIM1 和 TIM8 事件产生寄存器 (TIMx_EGR)

地址偏移：0x14 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG

位 15:8	保留，始终读为 0。
位 7	<p>BG：产生刹车事件 (Break generation)。该位由软件置‘1’，用于产生一个刹车事件，由硬件自动清‘0’。</p> <p>0：无动作；</p>

	1: 产生一个刹车事件。此时 MOE=0、BIF=1, 若开启对应的中断和 DMA, 则产生相应的中断和 DMA。
位 6	略, 同 TIMx (x=2,3,4,5)
位 5	COMG: 捕获/比较事件, 产生控制更新 (Capture/Compare control update generation)。该位由软件置 '1', 由硬件自动清 '0'。 0: 无动作; 1: 当 CCPC=1, 允许更新 CCxE、CCxNE、OCxM 位。 注: 该位只对拥有互补输出的通道有效。
位 4	略, 同 TIMx (x=2,3,4,5)
位 3	略, 同 TIMx (x=2,3,4,5)
位 4	略, 同 TIMx (x=2,3,4,5)
位 1	略, 同 TIMx (x=2,3,4,5)
位 0	略, 同 TIMx (x=2,3,4,5)

(7) TIM1 和 TIM8 捕获/比较模式寄存器 1 (TIMx_CCMR1)

地址偏移: 0x18 复位值: 0x0000 0000

含义与通用定时器 CCMR1 寄存器的描述类似。

(8) TIM1 和 TIM8 捕获/比较模式寄存器 2 (TIMx_CCMR2)

地址偏移: 0x1C 复位值: 0x0000 0000

含义与 CCMR1 寄存器的描述类似。

(9) TIM1 和 TIM8 捕获/比较使能寄存器 (TIMx_CCER)

地址偏移: 0x20 复位值: 0x0000 0000

1	1	13	12	11	10	9	8	7	6	5	4	3	2	1	0
5	4														
保留	CC	CC	CC3	CC3	CC	CC	CC2	CC2	CC	CC	CC1	CC1	CC	CC	
	4P	4E	NP	NE	3P	3E	NP	NE	2P	2E	NP	NE	1P	1E	

位 15:14	保留, 始终读为 0。
位 13	CC4P: 输入/捕获 4 输出极性 (Capture/Compare 4 output polarity)。
位 12	CC4E: 输入/捕获 4 输出使能 (Capture/Compare 4 output enable)。
位 11	CC3NP: 输入/捕获 3 互补输出极性 (Capture/Compare 3 complementary output polarity)。
位 10	CC3NE: 输入/捕获 3 互补输出使能 (Capture/Compare 3 complementary output enable)。
位 9	CC3P: 输入/捕获 3 输出极性 (Capture/Compare 3 output polarity)。
位 8	CC3E: 输入/捕获 3 输出使能 (Capture/Compare 3 output enable)。
位 7	CC2NP: 输入/捕获 2 互补输出极性 (Capture/Compare 2 complementary output polarity)。
位 6	CC2NE: 输入/捕获 2 互补输出使能 (Capture/Compare 2 complementary output enable)。
位 5	CC2P: 输入/捕获 2 输出极性 (Capture/Compare 2 output polarity)。
位 4	CC2E: 输入/捕获 2 输出使能 (Capture/Compare 2 output enable)。

位 3	<p>CC1NP: 输入/捕获 1 互补输出极性 (Capture/Compare 1 complementary output polarity)。</p> <p>0: OC1N 高电平有效; 1: OC1N 低电平有效。</p> <p>注: 一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为 3 或 2 且 CC1S=00 (通道配置为输出), 则该位不能被修改。</p>
位 2	<p>CC1NE: 输入/捕获 1 互补输出使能 (Capture/Compare 1 complementary output enable)。</p> <p>0: 关闭—OC1N 禁止输出, 因此 OC1N 的电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。</p> <p>1: 开启—OC1N 信号输出到对应的输出引脚, 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。</p>
位 1	<p>CC1P: 输入/捕获 1 输出极性 (Capture/Compare 1 output polarity)。</p> <p>CC1 通道配置为输出: 0: OC1 高电平有效; 1: OC1 低电平有效。</p> <p>CC1 通道配置为输入: 该位选择是 IC1 还是其反相信号作为触发或捕获信号。</p> <p>0: 不反相: 捕获发生在 IC1 的上升沿; 当用作外部触发器时, IC1 不反相。</p> <p>1: 反相: 捕获发生在 IC1 的下降沿; 当用作外部触发器时, IC1 反相。</p> <p>注: 一旦 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 3 或 2, 则该位不能被修改。</p>
位 0	<p>CC1E: 输入/捕获 1 输出使能 (Capture/Compare 1 output enable)。</p> <p>CC1 通道配置为输出:</p> <p>0: 关闭—OC1 禁止输出, 因此 OC1 的电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。</p> <p>1: 开启—OC1 信号输出到对应的输出引脚, 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。</p> <p>CC1 通道配置为输入:</p> <p>该位决定了计数器的值是否能捕获入 TIMx_CCR1 寄存器。</p> <p>0: 捕获禁止; 1: 捕获使能。</p>

带刹车功能的互补输出通道OCx和OCxN的控制位

控制位					输出状态	
MOE 位	OOSI 位	OSSR 位	CCxE 位	CCxNE 位	OCx 输出状态	OCxN 输出状态
1	X	0	0	0	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	输出禁止 (与定时器断开) OCx=0, OCx_EN=0
		0	0	1	输出禁止 (与定时器断开) OCx=0, OCx_EN=0	OCxREF+极性 OCxN=OCxREF xor CCxNP OCxN_EN=1
		0	1	0	OCxREF+极性 OCx=OCxREF xor CCxP OCx_EN=1	输出禁止 (与定时器断开) OCxN=0, OCxN_EN=0
		0	1	1	OCxREF+极性+死区 OCx_EN=1	OCxREF+极性+死区 OCxN_EN=1
		1	0	0	输出禁止 (与定时器断开) OCx=CCxP, OCx_EN=0	输出禁止 (与定时器断开) OCxN=CCxNP, OCxN_EN=0
		1	0	1	关闭状态 (输出使能且为无效电平) OCx=CCxP, OCx_EN=1	OCxREF+极性 OCxN=OCxREF xor CCxNP OCxN_EN=1
		1	1	0	OCxREF+极性 OCx=OCxREF xor CCxP OCx_EN=1	关闭状态 (输出使能且为无效电平) OCxN=CCxNP, OCxN_EN=1
		1	1	1	OCxREF+极性+死区 OCx_EN=1	OCxREF+极性+死区 OCxN_EN=1

0	0	X	0	0	输出禁止（与定时器断开）
	0		0	1	异步地：OCx=CCxP, OCx_EN=0, OCxN=CCxNP, OCxN_EN=0;
	0		1	0	若时钟存在：经过一个死区时间后 OCx=OISx, OCxN=OISxN,
	0		1	1	假设 OISx 与 OISxN 并不都对应 OCx 和 OCxN 的有效电平。
	1		0	0	关闭状态（输出使能且为无效电平）
	1		0	1	异步地：OCx=CCxP, OCx_EN=1, OCxN=CCxNP, OCxN_EN=1;
	1		1	0	若时钟存在：经过一个死区时间后 OCx=OISx, OCxN=OISxN,
	1		1	1	假设 OISx 与 OISxN 并不都对应 OCx 和 OCxN 的有效电平。

如果一个通道的 2 个输出都没有使用（CCxE = CCxNE = 0），那么 OISx, OISxN, CCxP 和 CCxNP 都必须清零。

注：引脚连接到互补的 OCx 和 OCxN 通道的外部 I/O 引脚的状态，取决于 OCx 和 OCxN 通道状态和 GPIO 以及 AFIO 寄存器。

（10）TIM1 和 TIM8 计数器（TIMx_CNT）

地址偏移：0x24 复位值：0x0000 0000

含义与通用定时器 TIMx_CNT 寄存器的描述类似。

（11）TIM1 和 TIM8 预分频器（TIMx_PSC）

地址偏移：0x28 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															

位 15:0	PSC[15:0]：预分频器的值（Prescaler value）。 计数器的时钟频率CK_CNT等于 $f_{CK_PSC}/(PSC[15:0]+1)$ 。PSC包含了当更新事件产生时装入当前预分频器寄存器的值；更新事件包括计数器被TIM_EGR的UG位清‘0’或被工作在复位模式的从控制器清‘0’。
--------	--

（12）TIM1 和 TIM8 自动重装载寄存器（TIMx_ARR）

地址偏移：0x2C 复位值：0x0000 0000

含义与通用定时器 TIMx_ARR 寄存器的描述类似。

（13）TIM1 和 TIM8 重复计数寄存器（TIMx_RCR）

地址偏移：0x30 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								REP[7:0]							

位 15:8	保留，始终读为 0。
位 7:0	REP[7:0]：重复计数器的值（Repetition counter value）。 开启了预装载功能后，这些位允许用户设置比较寄存器的更新速率（即周期性地从预装载寄存器传输到当前寄存器）；如果允许产生更新中断，则会同时影响产生更新中断的速率。 每次向下计数器 REP_CNT 达到 0，会产生一个更新事件并且计数器 REP_CNT 重新从 REP 值开始计数。由于 REP_CNT 只有在周期更新事件 U_RC 发生时才重载 REP 值，因此对 TIMx_RCR 寄存器写入的新值只在下次周期更新事件发

	<p>生时才起作用。</p> <p>这意味着在 PWM 模式中，(REP+1) 对应着：</p> <ul style="list-style-type: none"> — 在边沿对齐模式下，PWM 周期的数目； — 在中心对称模式下，PWM 半周期的数目；
--	--

(14) TIM1 和 TIM8 捕获/比较寄存器 1 (TIMx_CCR1)

地址偏移：0x34 复位值：0x0000 0000

含义与通用定时器 TIMx_CCR1 寄存器的描述类似。

(15) TIM1 和 TIM8 捕获/比较寄存器 2 (TIMx_CCR2)

地址偏移：0x38 复位值：0x0000 0000

含义与通用定时器 TIMx_CCR2 寄存器的描述类似。

(16) TIM1 和 TIM8 捕获/比较寄存器 3 (TIMx_CCR3)

地址偏移：0x3C 复位值：0x0000 0000

含义与通用定时器 TIMx_CCR3 寄存器的描述类似。

(17) TIM1 和 TIM8 捕获/比较寄存器 4 (TIMx_CCR4)

地址偏移：0x40 复位值：0x0000 0000

含义与通用定时器 TIMx_CCR3 寄存器的描述类似。

(18) TIM1 和 TIM8TIM1 刹车和死区寄存器 (TIM1_BDTR)

地址偏移：0x44 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							

根据锁定设置，AOE、BKP、BKE、OSSI、OSSR 和 DTG[7:0]位均可被写保护，有必要在第一次写入 TIMx_BDTR 寄存器时对它们进行配置。

位 15	<p>MOE：主输出使能 (Main output enable)。一旦刹车输入有效，该位被硬件异步清 ‘0’。根据 AOE 位的设置值，该位可以由软件清 ‘0’ 或被自动置 1。它仅对配置为输出的通道有效。</p> <p>0：禁止 OC 和 OCN 输出或强制为空闲状态；</p> <p>1：如果设置了相应的使能位 (TIMx_CCER 寄存器的 CCxE、CCxNE 位)，则开启 OC 和 OCN 输出。</p>
位 14	<p>AOE：自动输出使能 (Automatic output enable)。</p> <p>0：MOE 只能被软件置 ‘1’；</p> <p>1：MOE 能被软件置 ‘1’ 或在下一个更新事件被自动置 ‘1’ (如果刹车输入无效)。</p> <p>注：一旦 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 ‘1’，则该位不能被修改。</p>
位 13	<p>BKP：刹车输入极性 (Break polarity)。</p> <p>0：刹车输入低电平有效； 1：刹车输入高电平有效。</p> <p>注：一旦 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 ‘1’，则该位不能被修改。</p> <p>注：任何对该位的写操作都需要一个 APB 时钟的延迟以后才能起作用。</p>

位 12	<p>BKE: 刹车功能使能 (Break enable)。</p> <p>0: 禁止刹车输入 (BRK 及 CCS 时钟失效事件);</p> <p>1: 开启刹车输入 (BRK 及 CCS 时钟失效事件)。</p> <p>注: 当设置了 LOCK 级别 1 时 (TIMx_BDTR 寄存器中的 LOCK 位), 该位不能被修改。</p> <p>注: 任何对该位的写操作都需要一个 APB 时钟的延迟以后才能起作用。</p>
位 11	<p>OSSR: 运行模式下“关闭状态”选择 (Off-state selection for Run mode)。用于当 MOE=1 且通道为互补输出时。没有互补输出的定时器中不存在 OSSR 位。</p> <p>0: 当定时器不工作时, 禁止 OC/OCN 输出 (OC/OCN 使能输出信号=0);</p> <p>1: 当定时器不工作时, 一旦 CCxE=1 或 CCxNE=1, 首先开启 OC/OCN 并输出无效电平, 然后置 OC/OCN 使能输出信号=1。</p> <p>注: 一旦 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 2, 则该位不能被修改。</p>
位 10	<p>OSSI: 空闲模式下“关闭状态”选择 (Off-state selection for Idle mode) 位 10 该位用于当 MOE=0 且通道设为输出时。参考 OC/OCN 使能的详细说明(13.4.9 节, TIM1 和 TIM8 捕获/比较使能寄存器(TIMx_CCER))。 0: 当定时器不工作时, 禁止 OC/OCN 输出(OC/OCN 使能输出信号=0); 1: 当定时器不工作时, 一旦 CCxE=1 或 CCxNE=1, OC/OCN 首先输出其空闲电平, 然后 OC/OCN 使能输出信号=1。 注: 一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为 2, 则该位不能被修改。</p>
位 9:8	<p>LOOK[1:0]: 锁定设置 (Lock configuration)。该位为防止软件错误而提供写保护。</p> <p>00: 锁定关闭, 寄存器无写保护;</p> <p>01: 锁定级别 1, 不能写入 TIMx_BDTR 寄存器的 DTG、BKE、BKP、AOE 位和 TIMx_CR2 寄存器的 OISx/OISxN 位;</p> <p>10: 锁定级别 2, 不能写入锁定级别 1 中的各位, 也不能写入 CC 极性位 (一旦相关通道通过 CCxS 位设为输出, CC 极性位是 TIMx_CCER 寄存器的 CCxP/CCNxP 位) 以及 OSSR/OSSI 位;</p> <p>11: 锁定级别 3, 不能写入锁定级别 2 中的各位, 也不能写入 CC 控制位 (一旦相关通道通过 CCxS 位设为输出, CC 控制位是 TIMx_CCMRx 寄存器的 OCxM/OCxPE 位);</p> <p>注: 在系统复位后, 只能写一次 LOCK 位, 一旦写入 TIMx_BDTR 寄存器, 则其内容冻结直至复位。</p>
位 7:0	<p>UTG[7:0]: 死区发生器设置 (Dead-time generator setup)。这些位定义了插入互补输出之间的死区持续时间。假设 DT 表示其持续时间:</p> <p>DTG[7:5]=0xx \Rightarrow $DT=DTG[7:0] \times Tdtg$, $Tdtg = TDTs$;</p> <p>DTG[7:5]=10x \Rightarrow $DT=(64+DTG[5:0]) \times Tdtg$, $Tdtg = 2 \times TDTs$;</p> <p>DTG[7:5]=110 \Rightarrow $DT=(32+DTG[4:0]) \times Tdtg$, $Tdtg = 8 \times TDTs$;</p> <p>DTG[7:5]=111 \Rightarrow $DT=(32+DTG[4:0]) \times Tdtg$, $Tdtg = 16 \times TDTs$;</p> <p>例: 若 $TDTs = 125ns(8MHZ)$, 可能的死区时间为:</p> <p>0 到 15875ns, 若步长时间为 125ns;</p> <p>16us 到 31750ns, 若步长时间为 250ns;</p> <p>32us 到 63us, 若步长时间为 1us;</p> <p>64us 到 126us, 若步长时间为 2us;</p>

注：一旦 LOCK 级别(TIMx_BDTR 寄存器中的 LOCK 位)设为 1、2 或 3，则不能修改这些位。
--

(19) TIM1 和 TIM8 DMA 控制寄存器 (TIMx_DCR)

地址偏移：0x48 复位值：0x0000 0000

含义与通用定时器 TIMx_DCR 寄存器的描述类似。

(20) TIM1 和 TIM8 连续模式的 DMA 地址 (TIMx_DMAR)

地址偏移：0x4C 复位值：0x0000 0000

含义与通用定时器 TIMx_DMAR 寄存器的描述类似。

C.7 USART 寄存器描述

访问：以半字（16 位）或字（32 位）访问。

USARTx (x=1,2,3,4,5) 寄存器的存储映射首地址分别是 0x40013800, 0x4000 4400, 0x4000 4800, 0x4000 4C00, 0x4000 5000。

(1) 状态寄存器 (USART_SR)

地址偏移：0x00 复位值：0x0000 00C0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						CTS	LBD	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE

位 31:10	保留，硬件强制为 0。
位 9	<p>CTS: CTS 标志 (CTS flag)。如果设置了 CTSE 位，当 nCTS 输入变化状态时，该位被硬件置高。由软件将其清零。如果 USART_CR3 中的 CTSIE 为 ‘1’，则产生中断。</p> <p>0: nCTS 状态线上没有变化； 1: nCTS 状态线上发生变化。</p> <p>注：UART4 和 UART5 上不存在这一位。</p>
位 8	<p>LBD: LIN 断开检测标志 (LIN break detection flag)。当检测到 LIN 断开时，该位由硬件置 ‘1’，由软件清 ‘0’ (向该位写 0)。如果 USART_CR3 中的 LBDIE = 1，则产生中断。</p> <p>0: 没有检测到 LIN 断开； 1: 检测到 LIN 断开。</p> <p>注意：若 LBDIE=1，当 LBD 为 ‘1’ 时要产生中断。</p>
位 7	<p>TXE: 发送数据寄存器空 (Transmit data register empty)。当 TDR 寄存器中的数据被硬件转移到移位寄存器的时候，该位被硬件置位。如果 USART_CR1 寄存器中的 TXEIE 为 1，则产生中断。对 USART_DR 的写操作，将该位清零。</p> <p>0: 数据还没有被转移到移位寄存器； 1: 数据已经被转移到移位寄存器。</p> <p>注意：单缓冲器传输中使用该位。</p>
位 6	<p>TC: 发送完成 (Transmission complete)。当包含有数据的一帧发送完成后，并且 TXE=1 时，由硬件将该位置 ‘1’。如果 USART_CR1 中的 TCIE 为 ‘1’，则产生中断。由软件序列清除该位 (先读 USART_SR，然后写入 USART_DR)。</p> <p>TC 位也可以通过写入 ‘0’ 来清除，只有在多缓存通讯中才推荐这种清除程序。</p> <p>0: 发送还未完成； 1: 发送完成。</p>
位 5	<p>RXNE: 读数据寄存器非空 (Read data register not empty)。当 RDR 移位寄存器中的数据被转移到 USART_DR 寄存器中，该位被硬件置位。如果 USART_CR1</p>

	<p>寄存器中的 RXNEIE 为 1，则产生中断。对 USART_DR 的读操作可以将该位清零。RXNE 位也可以通过写入 0 来清除，只有在多缓存通讯中才推荐这种清除程序。</p> <p>0：数据没有收到； 1：收到数据，可以读出。</p>
位 4	<p>IDLE：监测到总线空闲（IDLE line detected）。当检测到总线空闲时，该位被硬件置位。如果 USART_CR1 中的 IDLEIE 为 ‘1’，则产生中断。由软件序列清除该位（先读 USART_SR，然后读 USART_DR）。</p> <p>0：没有检测到空闲总线； 1：检测到空闲总线。</p> <p>注意：IDLE 位不会再次被置高直到 RXNE 位被置起（即又检测到一次空闲总线）</p>
位 3	<p>ORE：过载错误（Overrun error）。当 RXNE 仍然是 ‘1’ 的时候，当前被接收在移位寄存器中的数据，需要传送至 RDR 寄存器时，硬件将该位置位。如果 USART_CR1 中的 RXNEIE 为 ‘1’ 的话，则产生中断。由软件序列将其清零（先读 USART_SR，然后读 USART_CR）。</p> <p>0：没有过载错误； 1：检测到过载错误。</p> <p>注意：该位被置位时，RDR 寄存器中的值不会丢失，但是移位寄存器中的数据会被覆盖。如果设置了 EIE 位，在多缓冲器通信模式下，ORE 标志置位会产生中断的。</p>
位 2	<p>NE：噪声错误标志（Noise error flag）。在接收到的帧检测到噪音时，由硬件对该位置位。由软件序列对其清零（先读 USART_SR，再读 USART_DR）。</p> <p>0：没有检测到噪声； 1：检测到噪声。</p> <p>注意：该位不会产生中断，因为它和 RXNE 一起出现，硬件会在设置 RXNE 标志时产生中断。在多缓冲区通信模式下，如果设置了 EIE 位，则设置 NE 标志时会产生中断。</p>
位 1	<p>FE：帧错误（Framing error）。当检测到同步错位，过多的噪声或者检测到断开符，该位被硬件置位。由软件序列将其清零（先读 USART_SR，再读 USART_DR）。</p> <p>0：没有检测到帧错误； 1：检测到帧错误或者 break 符。</p> <p>注意：该位不会产生中断，因为它和 RXNE 一起出现，硬件会在设置 RXNE 标志时产生中断。如果当前传输的数据既产生了帧错误，又产生了过载错误，硬件还是会继续该数据的传输，并且只设置 ORE 标志位。</p> <p>在多缓冲区通信模式下，如果设置了 EIE 位，则设置 FE 标志时会产生中断。</p>
位 0	<p>PE：校验错误（Parity error）。在接收模式下，如果出现奇偶校验错误，硬件对该位置位。由软件序列对其清零（依次读 USART_SR 和 USART_DR）。在清除 PE 位前，软件必须等待 RXNE 标志位被置 ‘1’。如果 USART_CR1 中的 PEIE 为 ‘1’，则产生中断。</p> <p>0：没有奇偶校验错误； 1：奇偶校验错误。</p>

（2）数据寄存器（USART_DR）

首地址：0x4001 3800 地址偏移：0x04 复位值：不确定

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															

位 31:19	保留，硬件强制为 0。
位 8:0	DR[8:0]：数据值（Data value）。包含了发送或接收的数据。由于它是由两个寄

	<p>寄存器组成的，一个给发送用（TDR），一个给接收用（RDR），该寄存器兼具读和写的功能。TDR 寄存器提供了内部总线和输出移位寄存器之间的并行接口。RDR 寄存器提供了输入移位寄存器和内部总线之间的并行接口。</p> <p>当使能校验位（USART_CR1 中 PCE 位被置位）进行发送时，写到 MSB 的值（根据数据的长度不同，MSB 是第 7 位或者第 8 位）会被后来的校验位取代。当使能校验位进行接收时，读到的 MSB 位是接收到的校验位。</p>
--	--

（3）波特率寄存器（USART_BRR）

首地址：0x4001 3800 地址偏移：0x08 复位值：0000 0000

注意：如果 TE 或 RE 被分别禁止，波特计数器停止计数。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV_Mantissa[11:0]												DIV_Fraction[3:0]			

位 31:16	保留，硬件强制为 0。
位 15:4	DIV_Mantissa[11:0]：USARTDIV 的整数部分。这 12 位定义了 USART 分频器除法因子（USARTDIV）的整数部分。
位 3:0	DIV_Fraction[3:0]：USARTDIV 的小数部分。这 4 位定义了 USART 分频器除法因子（USARTDIV）的小数部分。

（4）控制寄存器 1（USART_CR1）

首地址：0x4001 3800 地址偏移：0x0C 复位值：0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		UE	M	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNE IE	IDLE IE	TE	RE	RWU	SBK

位 31:14	保留，硬件强制为 0。
位 13	<p>UE：USART 使能（USART enable）。当该位被清零，在当前字节传输完成后 USART 的分频器和输出停止工作，以减少功耗。该位由软件设置和清零。</p> <p>0：USART 分频器和输出被禁止； 1：USART 模块使能。</p>
位 12	<p>M：字长（Word length）。该位定义了数据字的长度，由软件对其设置和清零</p> <p>0：一个起始位，8 个数据位，n 个停止位；</p> <p>1：一个起始位，9 个数据位，n 个停止位。</p> <p>注意：在数据传输过程中（发送或者接收时），不能修改这个位。</p>
位 11	<p>WAKE：唤醒的方法（Wakeup method）。这位决定了把 USART 唤醒的方法，由软件对该位设置和清零。</p> <p>0：被空闲总线唤醒； 1：被地址标记唤醒。</p>
位 10	<p>PCE：检验控制使能（Parity control enable）。用该位选择是否进行硬件校验控制（对于发送来说就是校验位的产生；对于接收来说就是校验位的检测）。当使能了该位，在发送数据的最高位（如果 M=1，最高位就是第 9 位；如果 M=0，最高位就是第 8 位）插入校验位；对接收到的数据检查其校验位。软件对它置‘1’或清‘0’。一旦设置了该位，当前字节传输完成后，校验控制才生效。</p> <p>0：禁止校验控制； 1：使能校验控制。</p>
位 9	<p>PS：校验选择（Parity selection）。当校验控制使能后，该位用来选择是采用偶校验还是奇校验。软件对它置‘1’或清‘0’。当前字节传输完成后，该选择</p>

	生效。 0: 偶校验; 1: 奇校验。
位 8	PEIE: PE 中断使能 (PE interrupt enable)。该位由软件设置或清除。 0: 禁止产生中断; 1: 当 USART_SR 中的 PE 为 '1' 时, 产生 USART 中断。
位 7	TXEIE: 发送缓冲区空中断使能 (TXE interrupt enable)。该位由软件设置或清除。 0: 禁止产生中断; 1: 当 USART_SR 中的 TXE 为 '1' 时, 产生 USART 中断。
位 6	TCIE: 发送完成中断使能 (Transmission complete interrupt enable)。该位由软件设置或清除。 0: 禁止产生中断; 1: 当 USART_SR 中的 TC 为 '1' 时, 产生 USART 中断。
位 5	RXNEIE: 接收缓冲区非空中断使能 (RXNE interrupt enable)。该位由软件设置或清除。 0: 禁止产生中断; 1: 当 USART_SR 中的 ORE 或者 RXNE 为 '1' 时, 产生 USART 中断。
位 4	IDLEIE: IDLE 中断使能 (IDLE interrupt enable)。该位由软件设置或清除。 0: 禁止产生中断; 1: 当 USART_SR 中的 IDLE 为 '1' 时, 产生 USART 中断。
位 3	TE: 发送使能 (Transmitter enable)。该位使能发送器。该位由软件设置或清除。 0: 禁止发送; 1: 使能发送。 注意: 1. 在数据传输过程中, 除了在智能卡模式下, 如果 TE 位上有个 0 脉冲 (即设置为 '0' 之后再设置为 '1'), 会在当前数据字传输完成后, 发送一个“前导符” (空闲总线)。 2. 当 TE 被设置后, 在真正发送开始之前, 有一个比特时间的延迟。
位 2	RE: 接收使能 (Receiver enable)。该位由软件设置或清除。 0: 禁止接收; 1: 使能接收, 并开始搜寻 RX 引脚上的起始位。
位 1	RWU: 接收唤醒 (Receiver wakeup)。该位用来决定是否把 USART 置于静默模式。该位由软件设置或清除。当唤醒序列到来时, 硬件也会将其清零。 0: 接收器处于正常工作模式; 1: 接收器处于静默模式。 注意: 1. 在把 USART 置于静默模式 (设置 RWU 位) 之前, USART 要已经先接收了一个数据字节。否则在静默模式下, 不能被空闲总线检测唤醒。 2. 当配置成地址标记检测唤醒 (WAKE 位=1), 在 RXNE 位被置位时, 不能用软件修改 RWU 位。
位 0	SBK: 发送断开帧 (Send break)。使用该位来发送断开字符。该位可以由软件设置或清除。操作过程应该是软件设置位它, 然后在断开帧的停止位时, 由硬件将该位复位。 0: 没有发送断开字符; 1: 将要发送断开字符。

(5) 控制寄存器 2 (USART_CR2)

首地址: 0x4001 3800

地址偏移: 0x10

复位值: 0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留	LIN EN	STOP[1:0]	CLK EN	CPOL	CPHA	LBCL	保留	LBD IE	LBDL	保留	保留	保留	保留	保留	保留

位 31:15	保留, 硬件强制为 0。
---------	--------------

位 14	LINEN: LIN 模式使能 (LIN mode enable)。该位由软件设置或清除。 0: 禁止 LIN 模式; 1: 使能 LIN 模式。 在 LIN 模式下, 可以用 USART_CR1 寄存器中的 SBK 位发送 LIN 同步断开符 (低 13 位), 以及检测 LIN 同步断开符。
位 13:12	STOP: 停止位 (STOP bits)。这 2 位用来设置停止位的位数。 00: 1 个停止位; 01: 0.5 个停止位; 10: 2 个停止位; 11: 1.5 个停止位; 注: UART4 和 UART5 不能用 0.5 停止位和 1.5 停止位。
位 11	CLKEN: 时钟使能 (Clock enable)。该位用来使能 CK 引脚 0: 禁止 CK 引脚; 1: 使能 CK 引脚。 注: UART4 和 UART5 上不存在这一位。
位 10	CPOL: 时钟极性 (Clock polarity)。在同步模式下, 可以用该位选择 SLCK 引脚上时钟输出的极性。和 CPHA 位一起配合来产生需要的时钟/数据的采样关系。 0: 总线空闲时 CK 引脚上保持低电平; 1: 总线空闲时 CK 引脚上保持高电平。 注: UART4 和 UART5 上不存在这一位。
位 9	CPHA: 时钟相位 (Clock phase)。在同步模式下, 可以用该位选择 SLCK 引脚上时钟输出的相位。和 CPOL 位一起配合来产生需要的时钟/数据的采样关系。 0: 在时钟的第一个边沿进行数据捕获; 1: 在时钟的第二个边沿进行数据捕获。 注: UART4 和 UART5 上不存在这一位。
位 8	LBCL: 最后一位时钟脉冲 (Last bit clock pulse)。在同步模式下, 使用该位来控制是否在 CK 引脚上输出最后发送的那个数据字节 (MSB) 对应的时钟脉冲。 0: 最后一位数据的时钟脉冲不从 CK 输出; 1: 最后一位数据的时钟脉冲会从 CK 输出。 注意: 1. 最后一个数据位就是第 8 或者第 9 个发送的位 (根据 USART_CR1 寄存器中的 M 位所定义的 8 或者 9 位数据帧格式)。 2. UART4 和 UART5 上不存在这一位。
位 7	保留位, 硬件强制为 0。
位 6	LBDIE: LIN 断开符检测中断使能 (LIN break detection interrupt enable)。断开符中断屏蔽 (使用断开分隔符来检测断开符)。 0: 禁止中断; 1: 只要 USART_SR 寄存器中的 LBD 为 '1' 就产生中断。
位 5	LBDL: LIN 断开符检测长度 (LIN break detection length)。该位用来选择是 11 位还是 10 位的断开符检测。 0: 10 位的断开符检测; 1: 11 位的断开符检测。
位 4	保留位, 硬件强制为 0。
位 3:0	ADD[3:0]: 本设备的 USART 节点地址。该位域给出本设备 USART 节点的地址。这是在多处理器通信下的静默模式中使用的, 使用地址标记来唤醒某个 USART 设备。

注意: 在使能发送后不能改写这三个位: CPOL、CPHA、LBCL。

(6) 控制寄存器 3 (USART_CR3)

首地址: 0x4001 3800 地址偏移: 0x14 复位值: 0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留					CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE

位 31:11	保留，硬件强制为 0。
位 10	<p>CTSIE: CTS 中断使能 (CTS interrupt enable)。</p> <p>0: 禁止中断; 1: USART_SR 寄存器中的 CTS 为 '1' 时产生中断。</p> <p>注: UART4 和 UART5 上不存在这一位。</p>
位 9	<p>CTSE: CTS 使能 (CTS enable)。</p> <p>0: 禁止 CTS 硬件流控制;</p> <p>1: CTS 模式使能, 只有 nCTS 输入信号有效 (拉成低电平) 时才能发送数据。如果在数据传输的过程中, nCTS 信号变成无效, 那么发完这个数据后, 传输就停止下来。如果当 nCTS 为无效时, 往数据寄存器里写数据, 则要等到 nCTS 有效时才会发送这个数据。</p> <p>注: UART4 和 UART5 上不存在这一位。</p>
位 8	<p>RTSE: RTS 使能 (RTS enable)。</p> <p>0: 禁止 RTS 硬件流控制;</p> <p>1: RTS 中断使能, 只有接收缓冲区内有空余的空间时才请求下一个数据。当前数据发送完成后, 发送操作就需要暂停下来。如果可以接收数据了, 将 nRTS 输出置为有效 (拉至低电平)。</p> <p>注: UART4 和 UART5 上不存在这一位。</p>
位 7	<p>DMAT: DMA 使能发送 (DMA enable transmitter)。该位由软件设置或清除。</p> <p>0: 禁止发送时的 DMA 模式。 1: 使能发送时的 DMA 模式;</p> <p>注: UART4 和 UART5 上不存在这一位。</p>
位 6	<p>DMAR: DMA 使能接收 (DMA enable receiver)。该位由软件设置或清除。</p> <p>0: 禁止接收时的 DMA 模式。 1: 使能接收时的 DMA 模式;</p> <p>注: UART4 和 UART5 上不存在这一位。</p>
位 5	<p>SCEN: 智能卡模式使能 (Smartcard mode enable)。该位用来使能智能卡模式。</p> <p>0: 禁止智能卡模式; 1: 使能智能卡模式。</p> <p>注: UART4 和 UART5 上不存在这一位。</p>
位 4	<p>NACK: 智能卡 NACK 使能 (Smartcard NACK enable)。</p> <p>0: 校验错误出现时, 不发送 NACK; 1: 校验错误出现时, 发送 NACK。</p> <p>注: UART4 和 UART5 上不存在这一位。</p>
位 3	<p>HDSEL: 半双工选择 (Half-duplex selection)。选择单线半双工模式。</p> <p>0: 不选择半双工模式; 1: 选择半双工模式。</p>
位 2	<p>IRLP: 红外低功耗 (IrDA low-power)。用来选择普通模式还是低功耗红外模式。</p> <p>0: 通常模式; 1: 低功耗模式。</p>
位 1	<p>IREN: 红外模式使能 (IrDA mode enable)。该位由软件设置或清除。</p> <p>0: 不使能红外模式; 1: 使能红外模式。</p>
位 0	<p>EIE: 错误中断使能 (Error interrupt enable)。在多缓冲区通信模式下, 当有帧错误、过载或者噪声错误时 (USART_SR 中的 FE=1, 或者 ORE=1, 或者 NE=1) 产生中断。</p> <p>0: 禁止中断;</p> <p>1: 只要 USART_CR3 中的 DMAR=1, 并且 USART_SR 中的 FE=1, 或者 ORE=1, 或者 NE=1, 则产生中断</p>

(7) 保护时间和预分频寄存器 (USART_GTPR)

首地址: 0x4001 3800 地址偏移: 0x18 复位值: 0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GT[7:0]								PSC[7:0]							

位 31:16	保留, 硬件强制为 0。
位 15:8	GT[7:0]: 保护时间值 (Guard time value)。该位域规定了以波特时钟为单位的保护时间。在智能卡模式下, 需要这个功能。当保护时间过去后, 才会设置发送完成标志。 注: UART4 和 UART5 上不存在这一位。
位 7:0	PSC[7:0]: 预分频器值 (Prescaler value) - 在红外(IrDA)低功耗模式下: PSC[7:0] = 红外低功耗波特率。 对系统时钟分频以获得低功耗模式下的频率: 源时钟被寄存器中的值(仅有 8 位有效)分频 00000000: 保留 - 不要写入该值; 00000001: 对源时钟 1 分频; 00000010: 对源时钟 2 分频; - 在红外(IrDA)的正常模式下: PSC 只能设置为 00000001 - 在智能卡模式下: PSC[4:0]: 预分频值。对系统时钟进行分频, 给智能卡提供时钟。 寄存器中给出的值(低 5 位有效)乘以 2 后, 作为对源时钟的分频因子。 00000: 保留 - 不要写入该值; 00001: 对源时钟进行 2 分频; 00010: 对源时钟进行 4 分频; 00011: 对源时钟进行 6 分频; 注意: 位[7:5]在智能卡模式下没有意义。UART4 和 UART5 上不存在这一位。

C.8 ADC 寄存器描述

访问方式: 必须以字 (32 位) 的方式访问。

ADC1 和 ADC2 的存储器映射首地址分别为: 0x4001,2400 和 0x4001,2800。

(1) ADC 状态寄存器 (ADC_SR)

地址偏移: 0x00 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留											STRT	JSTRT	JEOP	EOC	AWD

位 31:5	保留, 必须保持为 0。
位 4	STRT: 规则通道开始位 (Regular channel Start flag)。该位由硬件在规则通道转

	换开始时设置，由软件清除。 0：规则通道转换未开始； 1：规则通道转换已开始。
位 3	JSTRT：注入通道开始位（Injected channel Start flag）。该位由硬件在注入通道组转换开始时设置，由软件清除。 0：注入通道组转换未开始； 1：注入通道组转换已开始。
位 2	JEOC：注入通道转换结束位（Injected channel end of conversion）。该位由硬件在所有注入通道组转换结束时设置，由软件清除。 0：转换未完成； 1：转换完成。
位 1	EOC：转换结束位（End of conversion）。该位由硬件在（规则或注入）通道组转换结束时设置，由软件清除或由读取 ADC_DR 时清除。 0：转换未完成； 1：转换完成。
位 0	AWD：模拟看门狗标志位（Analog watchdog flag）。该位由硬件在转换的电压值超出了 ADC_LTR 和 ADC_HTR 寄存器定义的范围时设置，由软件清除。 0：没有发生模拟看门狗事件； 1：发生模拟看门狗事件。

（2）ADC 控制寄存器 1（ADC_CR1）

地址偏移：0x04 复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								AWDEN	JAWDEN	保留		DUALMOD[3:0]			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DISCNUM [2:0]			JDISC EN	DISC EN	JAUTO	AWD SGL	SCAN	JEOC IE	AWD IE	EOC IE	AWDCH [4:0]				

位 31:24	保留，必须保持为 0。
位 23	AWDEN：在规则通道上开启模拟看门狗（Analog watchdog enable on regular channels）。该位由软件设置和清除。 0：在规则通道上禁用模拟看门狗； 1：在规则通道上使用模拟看门狗。
位 22	JAWDEN：在注入通道上开启模拟看门狗（Analog watchdog enable on injected channels）。该位由软件设置和清除。 0：在注入通道上禁用模拟看门狗； 1：在注入通道上使用模拟看门狗。
位 21:20	保留，必须保持为 0。
位 19:16	DUALMOD[3:0]：双模式选择（Dual mode selection）。软件使用这些位选择操作模式。 0000：独立模式 0001：混合的同步规则+注入同步模式 0010：混合的同步规则+交替触发模式 0011：混合同步注入+快速交叉模式 0100：混合同步注入+慢速交叉模式 0101：注入同步模式 0110：规则同步模式 0111：快速交叉模式 1000：慢速交叉模式 1001：交替触发模式 注：在 ADC2 和 ADC3 中这些位为保留位。 在双模式中，改变通道的配置会产生一个重新开始的条件，这将导致同步丢失。建议在在进行任何配置改变前关闭双模式。
位 15:13	DISCNUM[2:0]：间断模式通道计数（Discontinuous mode channel count）。软件通过这些位定义在间断模式下，收到外部触发后转换规则通道的数目。

	000: 1 个通道; 001: 2 个通道 ……; 111: 8 个通道
位 12	JDISCEN: 在注入通道上的间断模式 (Discontinuous mode on injected channels)。该位由软件设置和清除, 用于开启或关闭注入通道组上的间断模式。 0: 注入通道组上禁用间断模式; 1: 注入通道组上使用间断模式。
位 11	DISCEN: 在规则通道上的间断模式 (Discontinuous mode on regular channels)。该位由软件设置和清除, 用于开启或关闭规则通道组上的间断模式。 0: 规则通道组上禁用间断模式; 1: 规则通道组上使用间断模式。
位 10	JAUTO: 自动的注入通道组转换 (Automatic Injected Group conversion)。该位由软件设置和清除, 用于开启或关闭规则通道组转换结束后自动的注入通道组转换。 0: 关闭自动的注入通道组转换; 1: 开启自动的注入通道组转换。
位 9	AWDSGL: 扫描模式中在一个单一的通道上使用看门狗 (Enable the watchdog on a single channel in scan mode)。该位由软件设置和清除, 用于开启或关闭由 AWDCH[4:0] 位指定的通道上的模拟看门狗功能。 0: 在所有的通道上使用模拟看门狗; 1: 在单一通道上使用模拟看门狗。
位 8	SCAN: 扫描模式 (Scan mode)。由软件设置和清除, 用于开启或关闭扫描模式。在扫描模式中, 转换由 ADC_SQRx 或 ADC_JSQRx 寄存器选中的通道。 0: 关闭扫描模式; 1: 使用扫描模式。 注: 如果分别设置了 EOCIE 或 JEOCIE 位, 只在最后一个通道转换完毕后才产生 EOC 或 JEOC 中断。
位 7	JEOCIE: 允许产生注入通道转换结束中断 (Interrupt enable for injected channels)。该位由软件设置和清除, 用于禁止或允许所有注入通道转换结束后产生中断。 0: 禁止 JEOC 中断; 1: 允许 JEOC 中断。当硬件设置 JEOC 位时产生中断。
位 6	AWDIE: 允许产生模拟看门狗中断 (Analog watchdog interrupt enable)。该位由软件设置和清除, 用于禁止或允许模拟看门狗产生中断。在扫描模式下, 如果看门狗检测到超范围的数值时, 只有在设置了该位时扫描才会中止。 0: 禁止模拟看门狗中断; 1: 允许模拟看门狗中断。
位 5	EOCIE: 允许产生 EOC 中断 (Interrupt enable for EOC)。该位由软件设置和清除, 用于禁止或允许转换结束后产生中断。 0: 禁止 EOC 中断; 1: 允许 EOC 中断。当硬件设置 EOC 位时产生中断。
位 4:0	AWDCH[4:0]: 模拟看门狗通道选择位 (Analog watchdog channel select bits)。这些位由软件设置和清除, 用于选择模拟看门狗保护的输入通道。 00000: ADC 模拟输入通道 0 00001: ADC 模拟输入通道 1 …… 01111: ADC 模拟输入通道 15 10000: ADC 模拟输入通道 16 10001: ADC 模拟输入通道 17 保留所有其他数值。 注: ADC1 的模拟输入通道 16 和通道 17 在芯片内部分别连到了温度传感器和 V _{REFINT} 。ADC2 的模拟输入通道 16 和通道 17 在芯片内部连到了 VSS。ADC3 模拟输入通道 9、14、15、16、17 与 V _{SS} 相连。

(3) ADC 控制寄存器 2 (ADC_CR2)

地址偏移: 0x08 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								TS VREFE	SW START	JSW START	EXT TRIG	EXTSEL[2:0]		保留	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JEXT TRIG	JEXTSEL[2:0]			ALIGN	保留		DMA	保留				RST CAL	CAL	CONT	ADON

位 31:24	保留，必须保持为 0。
位 23	TSVREFE: 温度传感器和 V_{REFINT} 使能 (Temperature sensor and V_{REFINT} enable)。该位由软件设置和清除，用于开启或禁止温度传感器和 V_{REFINT} 通道。在多于 1 个 ADC 的器件中，该位仅出现在 ADC1 中。 0: 禁止温度传感器和 V_{REFINT} ; 1: 启用温度传感器和 V_{REFINT} 。
位 22	SWSTART: 开始转换规则通道 (Start conversion of regular channels)。由软件设置该位以启动转换，转换开始后硬件马上清除此位。如果在 EXTSEL[2:0] 位中选择了 SWSTART 为触发事件，该位用于启动一组规则通道的转换。 0: 复位状态; 1: 开始转换规则通道。
位 21	JSWSTART: 开始转换注入通道 (Start conversion of injected channels)。由软件设置该位以启动转换，软件可清除此位或在转换开始后硬件马上清除此位。如果在 JEXTSEL[2:0] 位中选择了 JSWSTART 为触发事件，该位用于启动一组注入通道的转换。 0: 复位状态; 1: 开始转换注入通道。
位 20	EXTTRIG: 规则通道的外部触发转换模式 (External trigger conversion mode for regular channels)。该位由软件设置和清除，用于开启或禁止可以启动规则通道组转换的外部触发事件。 0: 不用外部事件启动转换; 1: 使用外部事件启动转换。
位 19:17	EXTSEL[2:0]: 选择启动规则通道组转换的外部事件 (External event select for regular group)。这些位选择用于启动规则通道组转换的外部事件。 ADC1 和 ADC2 的触发配置如下: 000: 定时器 1 的 CC1 事件 100: 定时器 3 的 TRGO 事件 001: 定时器 1 的 CC2 事件 101: 定时器 4 的 CC4 事件 010: 定时器 1 的 CC3 事件 110: EXTI 线 11/ TIM8_TRGO 事件, 仅大容量产品具有 TIM8_TRGO 功能 011: 定时器 2 的 CC2 事件 111: SWSTART ADC3 的触发配置如下: 000: 定时器 3 的 CC1 事件 100: 定时器 8 的 TRGO 事件 001: 定时器 2 的 CC3 事件 101: 定时器 5 的 CC1 事件 010: 定时器 1 的 CC3 事件 110: 定时器 5 的 CC3 事件 011: 定时器 8 的 CC1 事件 111: SWSTART
位 16	保留。必须保持为 0。
位 15	JEXTTRIG: 注入通道的外部触发转换模式 (External trigger conversion mode for injected channels)。该位由软件设置和清除，用于开启或禁止可以启动注入通道组转换的外部触发事件。 0: 不用外部事件启动转换; 1: 使用外部事件启动转换。
位 14:12	JEXTSEL[2:0]: 选择启动注入通道组转换的外部事件 (External event select for injected group)。这些位选择用于启动注入通道组转换的外部事件。 ADC1 和 ADC2 的触发配置如下: 000: 定时器 1 的 TRGO 事件 100: 定时器 3 的 CC4 事件

	001: 定时器 1 的 CC4 事件 101: 定时器 4 的 TRGO 事件 010: 定时器 2 的 TRGO 事件 110: EXTI 线 15/TIM8_CC4 事件（仅大容量产品具有 TIM8_CC4） 011: 定时器 2 的 CC1 事件 111: JSWSTART ADC3 的触发配置如下： 000: 定时器 1 的 TRGO 事件 100: 定时器 8 的 CC4 事件 001: 定时器 1 的 CC4 事件 101: 定时器 5 的 TRGO 事件 010: 定时器 4 的 CC3 事件 110: 定时器 5 的 CC4 事件 011: 定时器 8 的 CC2 事件 111: JSWSTART
位 11	ALIGN: 数据对齐 (Data alignment)。该位由软件设置和清除。 0: 右对齐; 1: 左对齐。
位 10:9	保留。必须保持为 0。
位 8	DMA: 直接存储器访问模式 (Direct memory access mode)。该位由软件设置和清除。0: 不使用 DMA 模式; 1: 使用 DMA 模式。 注: 只有 ADC1 和 ADC3 能产生 DMA 请求。
位 7:4	保留。必须保持为 0。
位 3	RSTCAL: 复位校准 (Reset calibration)。该位由软件设置并由硬件清除。在校准寄存器被初始化后该位将被清除。 0: 校准寄存器已初始化; 1: 初始化校准寄存器。 注: 如果正在进行转换时设置 RSTCAL, 清除校准寄存器需要额外的周期。
位 2	CAL: A/D 校准 (A/D Calibration)。该位由软件设置以开始校准, 并在校准结束时由硬件清除。 0: 校准完成; 1: 开始校准。
位 1	CONT: 连续转换 (Continuous conversion)。该位由软件设置和清除。如果设置了此位, 则转换将连续进行直到该位被清除。 0: 单次转换模式; 1: 连续转换模式。
位 0	ADON: 开/关 A/D 转换器 (A/D converter ON / OFF)。该位由软件设置和清除。 当该位为 '0' 时, 写入 '1' 将把 ADC 从断电模式下唤醒。 当该位为 '1' 时, 写入 '1' 将启动转换。 应用程序需注意, 在转换器上电至转换开始有一个延迟 t_{STAB} 。 0: 关闭 ADC 转换/校准, 并进入断电模式; 1: 开启 ADC 并启动转换。 注: 如果在这个寄存器中与 ADON 一起还有其他位被改变, 则转换不被触发。这是为了防止触发错误的转换。

(4) ADC 采样时间寄存器 1 (ADC_SMPR1)

地址偏移: 0x0C 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								SMP17[2:0]			SMP17[2:0]			SMP15[2:1]	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP15_0	SMP14[2:0]			SMP13[2:0]			SMP12[2:0]			SMP11[2:0]			SMP10[2:0]		

位 31:24	保留, 必须保持为 0。
位 23:0	SMPx[2:0]: 选择通道 x 的采样时间 (Channel x Sample time selection)。用于独立地选择每个通道的采样时间。在采样周期中通道选择位必须保持不变。

000: 1.5 周期	100: 41.5 周期	001: 7.5 周期	101: 55.5 周期
010: 13.5 周期	110: 71.5 周期	011: 28.5 周期	111: 239.5 周期
注: ADC1 的模拟输入通道 16 和通道 17 在芯片内部分别连到了温度传感器和 V _{REFINT} 。ADC2 的模拟输入通道 16 和通道 17 在芯片内部连到了 V _{SS} 。ADC3 模拟输入通道 14、15、16、17 与 V _{SS} 相连。			

(5) ADC 采样时间寄存器 2 (ADC_SMPR2)

地址偏移: 0x10 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SMP9[2:0]				SMP8[2:0]				SMP7[2:0]				SMP6[2:0]			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP5_0	SMP4[2:0]			SMP3[2:0]			SMP2[2:0]			SMP1[2:0]			SMP0[2:0]		

位 31:30	保留, 必须保持为 0。
位 29:0	<p>SMPx[2:0]: 选择通道 x 的采样时间 (Channel x Sample time selection)。用于独立地选择每个通道的采样时间。在采样周期中通道选择位必须保持不变。</p> <p>000: 1.5 周期 100: 41.5 周期 001: 7.5 周期 101: 55.5 周期</p> <p>010: 13.5 周期 110: 71.5 周期 011: 28.5 周期 111: 239.5 周期</p> <p>注: ADC3 模拟输入通道 9 与 V_{SS} 相连。</p>

(6) ADC 注入通道数据偏移寄存器 x (ADC_JOFRx) (x=1~4)

地址偏移: 0x14~0x20 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				JOFFSETx[11:0]											

位 31:12	保留, 必须保持为 0。
位 11:0	<p>JOFFSETx[11:0]: 注入通道 x 的数据偏移 (Data offset for injected channel x)。当转换注入通道时, 这些位定义了用于从原始转换数据中减去的数值。转换的结果可以在 ADC_JDRx 寄存器中读出。</p>

(7) ADC 看门狗高阈值寄存器 (ADC_HTR)

地址偏移: 0x24 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				HT[11:0]											

位 31:12	保留, 必须保持为 0。
---------	--------------

位 11:0	HT[11:0]: 模拟看门狗高阈值 (Analog watchdog high threshold)。这些位定义了模拟看门狗的阈值高限。
--------	---

(8) ADC 看门狗低阈值寄存器 (ADC_LTR)

地址偏移: 0x28 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				LT[11:0]											

位 31:12	保留, 必须保持为 0。
位 11:0	LT[11:0]: 模拟看门狗低阈值 (Analog watchdog low threshold)。这些位定义了模拟看门狗的阈值低限。

(9) ADC 规则序列寄存器 1 (ADC_SQR1)

地址偏移: 0x2C 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								L[3:0]				SQ16[4:1]			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ15_0	SQ15[4:0]					SQ14[4:0]					SQ13[4:0]				

位 31:24	保留, 必须保持为 0。
位 23:20	L[3:0]: 规则通道序列长度 (Regular channel sequence length)。这些位由软件定义在规则通道转换序列中的通道数目。 0000: 1 个转换 0001: 2 个转换 1111: 16 个转换
位 19:15	SQ16[4:0]: 规则序列中的第 16 个转换 (16th conversion in regular sequence)。这些位由软件定义转换序列中的第 16 个转换通道的编号 (0~17)。
位 14:10	SQ15[4:0]: 规则序列中的第 15 个转换 (15th conversion in regular sequence)。
位 9:5	SQ14[4:0]: 规则序列中的第 14 个转换 (14th conversion in regular sequence)。
位 4:0	SQ13[4:0]: 规则序列中的第 13 个转换 (13th conversion in regular sequence)。

(10) ADC 规则序列寄存器 2 (ADC_SQR2)

地址偏移: 0x30 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		SQ12[4:0]						SQ11[4:0]				SQ10[4:0]			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ10_0	SQ9[4:0]					SQ8[4:0]					SQ7[4:0]				

位 31:30	保留, 必须保持为 0。
位 29:25	SQ12[4:0]: 规则序列中的第 12 个转换 (12th conversion in regular sequence)。

	这些位由软件定义转换序列中的第 12 个转换通道的编号 (0~17)。
位 24:20	SQ11[4:0]: 规则序列中的第 11 个转换 (11th conversion in regular sequence)。
位 19:15	SQ10[4:0]: 规则序列中的第 10 个转换 (10th conversion in regular sequence)。
位 14:10	SQ9[4:0]: 规则序列中的第 9 个转换 (9th conversion in regular sequence)。
位 9:5	SQ8[4:0]: 规则序列中的第 8 个转换 (8th conversion in regular sequence)。
位 4:0	SQ7[4:0]: 规则序列中的第 7 个转换 (7th conversion in regular sequence)。

(11) ADC 规则序列寄存器 3 (ADC_SQR3)

地址偏移: 0x34 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留		SQ6[4:0]				SQ5[4:0]				SQ4[4:0]					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ4_0	SQ3[4:0]				SQ2[4:0]				SQ1[4:0]						

位 31:30	保留, 必须保持为 0。
位 29:25	SQ6[4:0]: 规则序列中的第 6 个转换 (6th conversion in regular sequence)。这些位由软件定义转换序列中的第 6 个转换通道的编号 (0~17)。
位 24:20	SQ5[4:0]: 规则序列中的第 5 个转换 (5th conversion in regular sequence)。
位 19:15	SQ4[4:0]: 规则序列中的第 4 个转换 (4th conversion in regular sequence)。
位 14:10	SQ3[4:0]: 规则序列中的第 3 个转换 (3rd conversion in regular sequence)。
位 9:5	SQ2[4:0]: 规则序列中的第 2 个转换 (2nd conversion in regular sequence)。
位 4:0	SQ1[4:0]: 规则序列中的第 1 个转换 (1st conversion in regular sequence)。

(12) ADC 注入序列寄存器 (ADC_JSQR)

地址偏移: 0x38 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留										JL[1:0]		JSQ4[4:1]			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ4_0	JSQ3[4:0]				JSQ2[4:0]				JSQ1[4:0]						

位 31:22	保留, 必须保持为 0。
位 21:20	JL[1:0]: 注入通道序列长度 (Injected sequence length)。这些位由软件定义在规则通道转换序列中的通道数目。 00: 1 个转换 01: 2 个转换 10: 3 个转换 11: 4 个转换
位 19:15	JSQ4[4:0]: 注入序列中的第 4 个转换 (4th conversion in injected sequence)。这些位由软件定义转换序列中的第 4 个转换通道的编号 (0~17)。 注: 不同于规则转换序列, 如果 JL[1:0] 的长度小于 4, 则转换的序列顺序是从 (4-JL) 开始。例如: ADC_JSQR[21:0] = 10 00011 00011 00111 00010, 意味着扫描转换将按下列通道顺序转换: 7、3、3, 而不是 2、7、3。
位 14:10	JSQ3[4:0]: 注入序列中的第 3 个转换 (3rd conversion in injected sequence)。
位 9:5	JSQ2[4:0]: 注入序列中的第 2 个转换 (2nd conversion in injected sequence)。

位 4:0	JSQ1[4:0]: 注入序列中的第 1 个转换 (1st conversion in injected sequence)。
-------	---

(13) ADC 注入数据寄存器 x (ADC_SQR3) (x=1~4)

地址偏移: 0x3C~0x48 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JDATA[15:0]															

位 31:16	保留, 必须保持为 0。
位 15:0	JDATA[15:0]: 注入转换的数据 (Injected data)。这些位为只读, 包含了注入通道的转换结果。数据是左对齐或右对齐。

(14) ADC 规则数据寄存器 (ADC_DR)

地址偏移: 0x4C 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADC2DATA[15:0]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															

位 31:16	ADC2DATA[15:0]: ADC2 转换的数据 (ADC2 data)。 - 在 ADC1 中: 双模式下, 这些位包含了 ADC2 转换的规则通道数据。 - 双 ADC 模式: 在 ADC2 和 ADC3 中: 不使用这些位。
位 15:0	DATA[15:0]: 规则转换的数据 (Regular data)。这些位为只读, 包含了规则通道的转换结果。数据是左对齐或右对齐。

C.9 DMA 寄存器描述

访问方式: 字 (32 位) 访问方式。

注意: 在以下列举的所有寄存器中, 所有与通道 6 和通道 7 相关的位, 对 DMA2 都不适用, 因为 DMA2 只有 5 个通道。

DMA1 和 DMA2 的存储器映射首地址分别为: 0x4002,0000 和 0x4002,0400。

(1) DMA 中断状态寄存器 (DMA_ISR)

地址偏移: 0x00 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEIF	HTIF	TCIF	GIF	TEIF	HTIF	TCIF	GIF	TEIF	HTIF	TCIF	GIF	TEIF	HTIF	TCIF	GIF
4	4	4	4	3	3	3	3	2	2	2	2	1	1	1	1

位 31:28	保留，始终读为 0。
位 27, 23, 19, 15, 11, 7, 3	TEIFx: 通道 x 的传输错误标志 ($x = 1 \cdots 7$) (Channel x transfer error flag)。硬件设置这些位。在 DMA_IFCR 寄存器的相应位写入 ‘1’ 可以清除这里对应的标志位。 0: 在通道 x 没有传输错误 (TE); 1: 在通道 x 发生了传输错误 (TE)。
位 26, 22, 18, 14, 10, 6, 2	HTIFx: 通道 x 的半传输标志 ($x = 1 \cdots 7$) (Channel x half transfer flag)。硬件设置这些位。在 DMA_IFCR 寄存器的相应位写入 ‘1’ 可以清除这里对应的标志位。 0: 在通道 x 没有半传输事件 (HT); 1: 在通道 x 产生了半传输事件 (HT)。
位 25, 21, 17, 13, 9, 5, 1	TCIFx: 通道 x 的传输完成标志 ($x = 1 \cdots 7$) (Channel x transfer complete flag)。硬件设置这些位。在 DMA_IFCR 寄存器的相应位写入 ‘1’ 可以清除这里对应的标志位。 0: 在通道 x 没有传输完成事件 (TC); 1: 在通道 x 产生了传输完成事件 (TC)。
位 24, 20, 16, 12, 8, 4, 0	GIFx: 通道 x 的全局中断标志 ($x = 1 \cdots 7$) (Channel x global interrupt flag)。硬件设置这些位。在 DMA_IFCR 寄存器的相应位写入 ‘1’ 可以清除这里对应的标志位。 0: 在通道 x 没有 TE、HT 或 TC 事件; 1: 在通道 x 产生了 TE、HT 或 TC 事件。

(2) DMA 中断标志清除寄存器 (DMA_IFCR)

地址偏移: 0x04 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留				CTEIF	CHTIF	CTCIF	CGIF	CTEIF	CHTIF	CTCIF	CGIF	CTEIF	CHTIF	CTCIF	CGIF
				7	7	7	7	6	6	6	6	5	5	5	5

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTEI	CHTI	CTCI	CGI	CTEI	CHTI	CTCI	CGI	CTEI	CHTI	CTCI	CGI	CTEI	CHTI	CTCI	CGI
F	F	F	F	F	F	F	F	F	F	F	F	F	F	F	F
4	4	4	4	3	3	3	3	2	2	2	2	1	1	1	1

位 31:28	保留，始终读为 0。
位 27, 23, 19, 15, 11, 7, 3	CTEIFx: 清除通道 x 的传输错误标志 ($x = 1 \cdots 7$) (Channel x transfer error clear)。这些位由软件设置和清除。 0: 不起作用 1: 清除 DMA_ISR 寄存器中的对应 TEIF 标志。
位 26, 22, 18, 14, 10, 6, 2	CHTIFx: 清除通道 x 的半传输标志 ($x = 1 \cdots 7$) (Channel x half transfer clear)。这些位由软件设置和清除。 0: 不起作用 1: 清除 DMA_ISR 寄存器中的对应 HTIF 标志。
位 25, 21, 17, 13, 9, 5, 1	CTCIFx: 清除通道 x 的传输完成标志 ($x = 1 \cdots 7$) (Channel x transfer complete clear)。这些位由软件设置和清除。 0: 不起作用 1: 清除 DMA_ISR 寄存器中的对应 TCIF 标志。
位 24, 20, 16,	CGIFx: 清除通道 x 的全局中断标志 ($x = 1 \cdots 7$) (Channel x global interrupt clear)。这些位由软件设置和清除。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NDT[15:0]															

位 31:16	保留，始终读为 0。
位 15:0	<p>NDT[15:0]：数据传输数量（Number of data to transfer）。数据传输数量为 0 至 65535。这个寄存器只能在通道不工作（DMA_CCRx 的 EN=0）时写入。通道开启后该寄存器变为只读，指示剩余的待传输字节数目。寄存器内容在每次 DMA 传输后递减。</p> <p>数据传输结束后，寄存器的内容或者变为 0；或者当该通道配置为自动重加载模式时，寄存器的内容将被自动重新加载为之前配置时的数值。</p> <p>当寄存器的内容为 0 时，无论通道是否开启，都不会发生任何数据传输。</p>

（5）DMA 通道 x 外设地址寄存器（DMA_CPARx）（x=1~7）

偏移地址：0x10 + 20 x （通道编号 - 1） 复位值：0x0000 0000

当开启通道（DMA_CCRx 的 EN=1）时不能写该寄存器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PA[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA[15:0]															

位 31:0	<p>PA[31:0]：外设地址（Peripheral address）。外设数据寄存器的基地址，作为数据传输的源或目标。</p> <p>当 PSIZE= ‘01’（16 位），不使用 PA[0]位。操作自动地与半字地址对齐。</p> <p>当 PSIZE= ‘10’（32 位），不使用 PA[1:0]位。操作自动地与字地址对齐。</p>
--------	--

（6）DMA 通道 x 存储器地址寄存器（DMA_CMARx）（x=1~7）

偏移地址：0x14 + 20 x （通道编号 - 1） 复位值：0x0000 0000

当开启通道（DMA_CCRx 的 EN=1）时不能写该寄存器。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															

位 31:0	<p>MA[31:0]：存储器地址。存储器地址作为数据传输的源或目标。</p> <p>当 MSIZE= ‘01’（16 位），不使用 MA[0]位。操作自动地与半字地址对齐。</p> <p>当 MSIZE= ‘10’（32 位），不使用 MA[1:0]位。操作自动地与字地址对齐。</p>
--------	--

C.10 RTC 寄存器描述

访问方式：半字（16 位）或字（32 位）。

（1）RTC 控制寄存器高位（RTC_CRH）

首地址：0x4000,2800 地址偏移：0x00 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													OWIE	ALRIE	SECIE

位 15:3	保留，被硬件强制为 0。
位 2	OWIE：允许溢出中断位（Overflow interrupt enable）。 0：屏蔽（不允许）溢出中断 1：允许溢出中断
位 1	ALRIE：允许闹钟中断（Alarm interrupt enable）。 0：屏蔽（不允许）闹钟中断 1：允许闹钟中断
位 0	SECIE：允许秒中断（Second interrupt enable）。 0：屏蔽（不允许）秒中断 1：允许秒中断

这些位用来屏蔽中断请求。注意：系统复位后所有的中断被屏蔽，因此可通过写 RTC 寄存器来确保在初始化后没有挂起的中断请求。当外设正在完成前一次写操作时（标志位 RTOFF=0），不能对 RTC_CRH 寄存器进行写操作。

RTC 功能由这个控制寄存器控制。一些位的写操作必须经过一个特殊的配置过程来完成。

（2）RTC 控制寄存器低位（RTC_CRL）

首地址：0x4000,2800 地址偏移：0x04 复位值：0x0000 0020

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留										RTOFF	CNF	RSF	OWF	ALRF	SECF

位 15:6	保留，被硬件强制为 0。
位 5	RTOFF：RTC 操作关闭（RTC operation OFF）。RTC 模块利用这位来指示对其寄存器进行的最后一次操作的状态，指示操作是否完成。若此位为 ‘0’，则表示无法对任何的 RTC 寄存器进行写操作。此位为只读位。 0：上一次对 RTC 寄存器的写操作仍在进行； 1：上一次对 RTC 寄存器的写操作已经完成。
位 4	CNF：配置标志（Configuration flag）。此位必须由软件置 ‘1’ 以进入配置模式，从而允许向 RTC_CNT、RTC_ALR 或 RTC_PRL 寄存器写入数据。只有当此位在设置 ‘1’ 并重新由软件清 ‘0’ 后，才会执行写操作。 0：退出配置模式（开始更新 RTC 寄存器）； 1：进入配置模式。
位 3	RSF：寄存器同步标志（Registers synchronized flag）。每当 RTC_CNT 寄存器和 RTC_DIV 寄存器由软件更新或清 ‘0’ 时，此位由硬件置 ‘1’。在 APB1 复位后，或 APB1 时钟停止后，此位必须由软件清 ‘0’。要进行任何的读操作之前，用户程序必须等待这位被硬件置 ‘1’，以确保 RTC_CNT、RTC_ALR 或 RTC_PRL 已经被同步。 0：寄存器尚未被同步； 1：寄存器已经被同步。
位 2	OWF：溢出标志（Overflow flag）。当 32 位可编程计数器溢出时，此位由硬件置 ‘1’。如果 RTC_CRH 寄存器中 OWIE=1，则产生中断。此位只能由软件清 ‘0’。对此位写 ‘1’ 是无效的。 0：无溢出； 1：32 位可编程计数器溢出。
位 1	ALRF：闹钟标志（Alarm flag）。当 32 位可编程计数器达到 RTC_ALR 寄存器所设置的预定值，此位由硬件置 ‘1’。如果 RTC_CRH 寄存器中 ALRIE=1，则产生中断。此位只能由软件清 ‘0’。对此位写 ‘1’ 是无效的。 0：无闹钟； 1：有闹钟。

位 0	SECF: 秒标志 (Second flag)。当 32 位可编程预分频器溢出时, 此位由硬件置 '1' 同时 RTC 计数器加 1。因此, 此标志为分辨率可编程的 RTC 计数器提供一个周期性的信号 (通常为 1 秒)。如果 RTC_CRH 寄存器中 SECIE=1, 则产生中断。此位只能由软件清除。对此位写 '1' 是无效的。 0: 秒标志条件不成立; 1: 秒标志条件成立。
-----	---

注:

- 1、任何标志位都将保持挂起状态, 直到适当的 RTC_CR 请求位被软件复位, 表示所请求的中断已经被接受。
- 2、在复位时禁止所有中断, 无挂起的中断请求, 可以对 RTC 寄存器进行写操作。
- 3、当 APB1 时钟不运行时, OWF、ALRF、SECF 和 RSF 位不被更新。
- 4、OWF、ALRF、SECF 和 RSF 位只能由硬件置位, 由软件来清零。
- 5、若 ALRF=1 且 ALRIE=1, 则允许产生 RTC 全局中断。如果在 EXTI 控制器中允许产生 EXTI 线 17 中断, 则允许产生 RTC 全局中断和 RTC 闹钟中断。
- 6、若 ALRF=1, 如果在 EXTI 控制器中设置了 EXTI 线 17 的中断模式, 则允许产生 RTC 闹钟中断; 如果在 EXTI 控制器中设置了 EXTI 线 17 的事件模式, 则这条线上会产生一个脉冲 (不会产生 RTC 闹钟中断)。

(3) RTC 预分频装载寄存器 (RTC_PRLH/ RTC_PRL)

预分频装载寄存器用来保存 RTC 预分频器的周期计数值。它们受 RTC_CR 寄存器的 RTOFF 位保护, 仅当 RTOFF 值为 '1' 时允许进行写操作。

RTC 预分频装载寄存器高位 (RTC_PRLH)

首地址: 0x4000,2800 地址偏移: 0x08 只写 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												PRL[19:16]			

位 31:20	保留, 被硬件强制为 0。
位 19:16	PRL[19:16]: RTC 预分频装载值高位 (RTC prescaler reload value high)。

RTC 预分频装载寄存器低位 (RTC_PRL)

首地址: 0x4000,2800 偏移地址: 0x0C 只写 复位值: 0x8000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRL[15:0]															

位 15:0	PRL[15:0]: RTC 预分频装载值低位。根据以下公式来定义计数器的时钟频率: $f_{TR_CLK} = f_{RTCCLK} / (PRL[19:0] + 1)$ 注: 不推荐使用 0 值, 否则无法正确的产生 RTC 中断和标志位。
--------	---

注: 如果输入时钟频率是 32.768kHz (f_{RTCCLK}), 这个寄存器中写入 7FFFh 可获得周期为 1 秒钟的信号。

(4) RTC 预分频器余数寄存器 (RTC_DIVH/ RTC_DIVL)

在 TR_CLK 的每个周期里, RTC 预分频器中计数器的值都会被重新设置为 RTC_PRL 寄存器的值。用户可通过读取 RTC_DIV 寄存器, 以获得预分频计数器的当前值, 而不停止分频计数器的工作, 从而获得精确的时间测量。此寄存器是只读寄存器, 其值在 RTC_PRL 或 RTC_CNT 寄存器中的值发生改变后, 由硬件重新装载。

RTC 预分频器余数寄存器高位 (RTC_DIVH)

首地址: 0x4000,2800 偏移地址: 0x10 复位值: 0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留												RTC_DIV[19:16]			

位 31:20	保留, 始终读为 0。
位 19:16	RTC_DIV[19:16]: RTC 时钟分频器余数高位 (RTC clock divider high)。

RTC 预分频器余数寄存器低位 (RTC_DIVL)

首地址: 0x4000,2800 偏移地址: 0x14 复位值: 0x8000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_DIV[15:0]															

位 15:0	RTC_DIV[15:0]: RTC 时钟分频器余数低位 (RTC clock divider low)
--------	--

(5) RTC 计数器寄存器 (RTC_CNTH/ RTC_CNTL)

RTC 核有一个 32 位可编程的计数器, 可通过两个 16 位的寄存器访问。计数器以预分频器产生的 TR_CLK 时间基准为参考进行计数。RTC_CNT 寄存器用来存放计数器的计数值。他们受 RTC_CR 的位 RTOFF 写保护, 仅当 RTOFF 值为 ‘1’ 时, 允许写操作。在高或低寄存器 (RTC_CNTH 或 RTC_CNTL) 上的写操作, 能够直接装载到相应的可编程计数器, 并且重新装载 RTC 预分频器。当进行读操作时, 直接返回计数器内的计数值 (系统时间)。

RTC 计数器寄存器高位 (RTC_CNTH)

首地址: 0x4000,2800 地址偏移: 0x18 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTC_CNT[31:16]															

位 31:16	RTC_CNT[31:16]: RTC 计数器高位 (RTC counter high)。可通过读 RTC_CNTH 寄存器来获得 RTC 计数器当前值的高位部分。要对此寄存器进行写操作前, 必须先进入配置模式。
---------	--

RTC 计数器寄存器低位 (RTC_CNTL)

首地址: 0x4000,2800 地址偏移: 0x1C 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_CNT[15:0]															

位 15:0	RTC_CNT[15:0]: RTC 计数器低位。可通过读 RTC_CNTL 寄存器来获得 RTC 计数器当前值的低位部分。要对此寄存器进行写操作, 必须先进入配置模式。
--------	---

(6) RTC 闹钟寄存器 (RTC_ALRH/ RTC_ALRL)

当可编程计数器的值与 RTC_ALR 中的 32 位值相等时, 即触发一个闹钟事件, 并且产生 RTC 闹钟中断。此寄存器受 RTC_CR 寄存器里的 RTOFF 位写保护, 仅当 RTOFF 值为 ‘1’ 时, 允许写操作。

RTC 闹钟寄存器高位 (RTC_ALRH)

首地址：0x4000,2800 偏移地址：0x20 只写 复位值：0xFFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTC_ALR[31:16]															

位 31:16	RTC_ALR[31:16]：RTC 闹钟值高位（RTC alarm high）。用来保存由软件写入的闹钟时间的高位部分。要对此寄存器进行写操作，必须先进入配置模式。
---------	---

RTC 闹钟寄存器低位（RTC_ALRL）

首地址：0x4000,2800 偏移地址：0x24 只写 复位值：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_ALR[15:0]															

位 15:0	RTC_ALR[31:16]：RTC 闹钟值高位（RTC alarm low）。用来保存由软件写入的闹钟时间的高位部分。要对此寄存器进行写操作，必须先进入配置模式。
--------	--

C.11 备份寄存器描述

访问方式：半字（16 位）或字（32 位）

（1）备份数据寄存器 x（BKP_DRx）

首地址：0x4000,6C00 地址偏移：0x04 到 0x28, 0x40 到 0xBC 复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D[15:0]															

位 15:0	D[15:0]：备份数据。这些位可以被用来写入用户数据。 注意：BKP_DRx 寄存器不会被系统复位、电源复位、从待机模式唤醒所复位。它们可以由备份域复位来复位或（如果侵入检测引脚 TAMPER 功能被开启时）由侵入引脚事件复位。
--------	--

（2）RTC 时钟校准寄存器（BKP_RTCCR）

首地址：0x4000,6C00 地址偏移：0x2C 复位值：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						ASOS	ASOE	CCO	CAL[6:0]						

位 15:10	保留，始终读为 0。
位 9	ASOS：闹钟或秒输出选择（Alarm or second output selection）。当设置了 ASOE 位，ASOS 位可用于选择在 TAMPER 引脚上输出的是 RTC 秒脉冲还是闹钟脉冲信号。 0：输出 RTC 闹钟脉冲 1：输出秒脉冲 注：该位只能被后备区的复位所清除

位 8	ASOE: 允许输出闹钟或秒脉冲 (Alarm or second output enable)。根据 ASOS 位的设置, 该位允许 RTC 闹钟或秒脉冲输出到 TAMPER 引脚上。输出脉冲的宽度为一个 RTC 时钟的周期。设置了 ASOE 位时不能开启 TAMPER 的功能。 注: 该位只能被后备区的复位所清除
位 7	CCO: 校准时钟输出 (Calibration clock output) 0: 无影响 1: 此位置 1 可以在侵入检测引脚输出经 64 分频后的 RTC 时钟。当 CCO 位置 1 时, 必须关闭侵入检测功能以避免检测到无用的侵入信号。 注: 当 VDD 供电断开时, 该位被清除。
位 6:0	CAL[6:0]: 校准值 (Calibration value)。校准值表示在每 2^{20} 个时钟脉冲内将有多少个时钟脉冲被跳过。这可以用来对 RTC 进行校准, 以 $1000000/2^{20}$ ppm 的比例减慢时钟。RTC 时钟可以被减慢 0~121ppm。

(3) 备份控制寄存器 (BKP_CR)

首地址: 0x4000,6C00 地址偏移: 0x30 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														TPAL	TPE

位 15:2	保留, 始终读为 0。
位 1	TPAL: 侵入检测 TAMPER 引脚有效电平 (TAMPER pin active level) 0: 侵入检测 TAMPER 引脚上的高电平会清除所有数据备份寄存器 (如果 TPE 位为 1) 1: 侵入检测 TAMPER 引脚上的低电平会清除所有数据备份寄存器 (如果 TPE 位为 1)
位 0	TPE: 启动侵入检测 TAMPER 引脚 (TAMPER pin enable) 0: 侵入检测 TAMPER 引脚作为通用 IO 口使用 1: 开启侵入检测引脚作为侵入检测使用

注: 同时设置 TPAL 和 TPE 位总是安全的。然而, 同时清除两者会产生一个假的侵入事件。因此, 推荐只在 TPE 为 0 时才改变 TPAL 位的状态。

(4) 备份控制/状态寄存器 (BKP_CSR)

首地址: 0x4000,6C00 地址偏移: 0x34 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						TIF	TEF	保留					TPIE	CTI	CTE

位 15:10	保留, 始终读为 0。
位 9	TIF: 侵入中断标志 (TAMPER interrupt flag)。当检测到有侵入事件且 TPIE 位为 1 时, 此位由硬件置 1。通过向 CTI 位写 1 来清除此标志位 (同时也清除了中断)。如果 TPIE 位被清除, 则此位也会被清除。 0: 无侵入中断 1: 产生侵入中断 注意: 仅当系统复位或由待机模式唤醒后才复位该位
位 8	TEF: 侵入事件标志 (TAMPER event flag)。当检测到侵入事件时此位由硬件置

	1. 通过向 CTE 位写 1 可清除此标志位。 0: 无侵入事件 1: 检测到侵入事件 注: 侵入事件会复位所有的 BKP_DRx 寄存器。只要 TEF 为 1, 所有的 BKP_DRx 寄存器就一直保持复位状态。当此位被置 1 时, 若对 BKP_DRx 进行写操作, 写入的值不会被保存。
位 7:3	保留, 始终读为 0。
位 2	TPIE: 允许侵入 TAMPER 引脚中断 (TAMPER pin interrupt enable) 0: 禁止侵入检测中断 1: 允许侵入检测中断 (BKP_CR 寄存器的 TPE 位也必须被置 1) 注 1: 侵入中断无法将系统内核从低功耗模式唤醒。 注 2: 仅当系统复位或由待机模式唤醒后才复位该位。
位 1	CTI: 清除侵入检测中断 (Clear tamper interrupt)。此位只能写入, 读出值为 0。 0: 无效 1: 清除侵入检测中断和 TIF 侵入检测中断标志
位 0	CTE: 清除侵入检测事件 (Clear tamper event)。此位只能写入, 读出值为 0。 0: 无效 1: 清除 TEF 侵入检测事件标志 (并复位侵入检测器)。

C.12 电源控制寄存器描述

访问方式: 半字 (16 位) 或字 (32 位)

(1) 电源控制寄存器 (PWR_CR)

首地址: 0x4000,7000 地址偏移: 0x00

复位值: 0x0000 0000 (从待机模式唤醒时清除)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							DBP	PLS[2:0]			PVDE	CSBF	CWUF	PDDS	LPDS

位 31:9	保留。始终读为 0。
位 8	DBP: 取消后备区域的写保护。在复位后, RTC 和后备寄存器处于被保护状态以防意外写入。设置这位允许写入这些寄存器。 0: 禁止写入 RTC 和后备寄存器 1: 允许写入 RTC 和后备寄存器 注: 如果 RTC 的时钟是 HSE/128, 该位必须保持为 '1'。
位 7:5	PLS[2:0]: PVD 电平选择。这些位用于选择电源电压监测器的电压阈值 000: 2.2V 100: 2.6V 001: 2.3V 101: 2.7V 010: 2.4V 110: 2.8V 011: 2.5V 111: 2.9V 注: 详细说明参见数据手册中的电气特性部分。
位 4	PVDE: 电源电压监测器 (PVD) 使能 0: 禁止 PVD 1: 开启 PVD
位 3	CSBF: 清除待机位。始终读出为 0 0: 无功效 1: 清除 SBF 待机位 (写)

位 2	CWUF: 清除唤醒位。始终读为 0 0: 无功效 1: 2 个系统时钟周期后清除 WUF 唤醒位 (写)
位 1	PDDS: 掉电深睡眠。与 LPDS 位协同操作 0: 当 CPU 进入深睡眠时进入停机模式, 调压器的状态由 LPDS 位控制。 1: CPU 进入深睡眠时进入待机模式。
位 0	LPDS: 深睡眠下的低功耗。PDDS=0 时, 与 PDDS 位协同操作 0: 在停机模式下电压调压器开启 1: 在停机模式下电压调压器处于低功耗模式

(2) 电源控制/状态寄存器 (PWR_CSR)

首地址: 0x4000,7000 地址偏移: 0x04 访问方式: 半字 (16 位) 或字 (32 位)

复位值: 0x0000 0000 (从待机模式唤醒时不被清除)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留							EWUP	保留					PVDO	SBF	WUP

位 31:9	保留。始终读为 0。
位 8	EWUP: 使能 WKUP 引脚 0: WKUP 引脚为通用 I/O。WKUP 引脚上的事件不能将 CPU 从待机模式唤醒 1: WKUP 引脚用于将 CPU 从待机模式唤醒, WKUP 引脚被强置为输入下拉的配置 (WKUP 引脚上的上升沿将系统从待机模式唤醒) 注: 在系统复位时清除这一位。
位 7:3	保留。始终读为 0。
位 2	PVDO: PVD 输出。当 PVD 被 PVDE 位使能后该位才有效 0: VDD/VDDA 高于由 PLS[2:0]选定的 PVD 阈值 1: VDD/VDDA 低于由 PLS[2:0]选定的 PVD 阈值 注: 在待机模式下 PVD 被停止。因此, 待机模式后或复位后, 直到设置 PVDE 位之前, 该位为 0。
位 1	SBF: 待机标志。该位由硬件设置, 并只能由 POR/PDR (上电/掉电复位) 或设置电源控制寄存器 (PWR_CR) 的 CSBF 位清除。 0: 系统不在待机模式 1: 系统进入待机模式
位 0	WUF: 唤醒标志。该位由硬件设置, 并只能由 POR/PDR (上电/掉电复位) 或设置电源控制寄存器(PWR_CR)的 CWUF 位清除。 0: 没有发生唤醒事件 1: 在 WKUP 引脚上发生唤醒事件或出现 RTC 闹钟事件。 注: 当 WKUP 引脚已经是高电平时, 在 (通过设置 EWUP 位) 使能 WKUP 引脚时, 会检测到一个额外的事件。

C.13 IWDG 寄存器描述

访问: 以半字 (16 位) 或字 (32 位) 访问。

(1) 键寄存器 (IWDG_KR)

首地址: 0x4000,3000 地址偏移: 0x00 复位值: 0x0000 0000 (在待机模式复位)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															

位 31:16	保留, 始终读为 0。
位 15:0	KEY[15:0]: 键值 (只写寄存器, 读出值为 0x0000) (Key value)。软件必须以一定的间隔写入 0xAAAA, 否则, 当计数器为 0 时, 看门狗会产生复位。 写入 0x5555 表示允许访问 IWDG_PR 和 IWDG_RLR 寄存器。 写入 0xCCCC, 启动看门狗工作 (若选择了硬件看门狗则不受此命令字限制)。

(2) 预分频寄存器 (IWDG_PR)

首地址: 0x4000,3000 地址偏移: 0x04 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													PR[2:0]		

位 31:3	保留, 始终读为 0。
位 2:0	PR[2:0]: 预分频因子 (Prescaler divider)。这些位具有写保护设置。通过设置这些位来选择计数器时钟的预分频因子。要改变预分频因子, IWDG_SR 寄存器的 PVU 位必须为 0。 000: 预分频因子=4 100: 预分频因子=64 001: 预分频因子=8 101: 预分频因子=128 010: 预分频因子=16 110: 预分频因子=256 011: 预分频因子=32 111: 预分频因子=256 注意: 对此寄存器进行读操作, 将从 VDD 电压域返回预分频值。如果写操作正在进行, 则读回的值可能是无效的。因此, 只有当 IWDG_SR 寄存器的 PVU 位为 0 时, 读出的值才有效。

(3) 重装载寄存器 (IWDG_RLR)

首地址: 0x4000,3000 地址偏移: 0x08 复位值: 0x0000 0FFF (待机模式时复位)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留				RL[11:0]											

位 31:12	保留, 始终读为 0。
位 11:0	RL[11:0]: 看门狗计数器重装载值 (Watchdog counter reload value)。这些位具有写保护功能。用于定义看门狗计数器的重装载值, 每当向 IWDG_KR 寄存器写入 0xAAAA 时, 重装载值会被传送到计数器中。随后计数器从这个值开始递减计数。看门狗超时周期可通过此重装载值和时钟预分频值来计算。 只有当 IWDG_SR 寄存器中的 RVU 位为 0 时, 才能对此寄存器进行修改。 注: 对此寄存器进行读操作, 将从 VDD 电压域返回预分频值。如果写操作正在进行, 则读回的值可能是无效的。因此, 只有当 IWDG_SR 寄存器的 RVU 位为 0 时, 读出的值才有效。

(4) 状态寄存器 (IWDG_SR)

首地址: 0x4000,3000 地址偏移: 0x0C 复位值: 0x0000 0000 (待机模式时不复位)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留														RVU	PVU

位 31:2	保留。
位 1	RVU: 看门狗计数器重装载值更新 (Watchdog counter reload value update)。此位由硬件置 '1' 用来指示重装载值的更新正在进行中。当在 VDD 域中的重装载更新结束后, 此位由硬件清 '0' (最多需 5 个 40kHz 的 RC 周期)。重装载值只有在 RVU 位被清 '0' 后才可更新。
位 0	PVU: 看门狗预分频值更新 (Watchdog prescaler value update)。此位由硬件置 '1' 用来指示预分频值的更新正在进行中。当在 VDD 域中的预分频值更新结束后, 此位由硬件清 '0' (最多需 5 个 40kHz 的 RC 周期)。预分频值只有在 PVU 位被清 '0' 后才可更新。

注: 如果在应用程序中使用了多个重装载值或预分频值, 则必须在 RVU 位被清除后才能重新改变预装载值, 在 PVU 位被清除后才能重新改变预分频值。然而, 在预分频和/或重装载更新后, 不必等待 RVU 或 PVU 复位, 可继续执行下面的代码。即使在低功耗模式下, 此写操作仍会被继续执行完成。

C.14 WWDG 寄存器描述

访问: 以半字 (16 位) 或字 (32 位) 访问。

(1) 控制寄存器 (WWDG_CR)

首地址: 0x4000,2C00 地址偏移: 0x00 复位值: 0x0000 007F

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留								WDGA	T6	T5	T4	T3	T2	T1	T0

位 31:8	保留。
位 7	WDGA: 激活位 (Activation bit)。此位由软件置 '1', 但仅能由硬件在复位后清 '0'。当 WDGA=1 时, 看门狗可以产生复位。 0: 禁止看门狗; 1: 启用看门狗
位 6:0	T[6:0]: 7 位计数器 (MSB至LSB) (7-bit counter)。这些位用来存储看门狗的计数器值。每 (4096×2^{WDGTB}) 个 PCLK1 周期减 1。当计数器值从 40h 变为 3Fh 时 (T6 变成 0), 产生看门狗复位。

(2) 配置寄存器 (WWDG_CFR)

首地址: 0x4000,2C00 地址偏移: 0x04 复位值: 0x0000 007F

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留						EWI	WDGTB1	WDGTB0	W6	W5	W4	W3	W2	W1	W0

位 31:10	保留。
位 9	EWI: 提前唤醒中断 (Early wakeup interrupt)。此位若置 '1', 则当计数器值达到 40h, 即产生中断。此中断只能由硬件在复位后清除。
位 8:7	WDGTB[1:0]: 时基 (Timer base)。预分频器的时基可以设置如下: 00: CK 计时器时钟 (PCLK1 除以 4096) 除以 1

	01: CK 计时器时钟 (PCLK1 除以 4096) 除以 2 10: CK 计时器时钟 (PCLK1 除以 4096) 除以 4 11: CK 计时器时钟 (PCLK1 除以 4096) 除以 8
位 6:0	W[6:0]: 7 位窗口值 (7-bit window value)。这些位包含了用来与递减计数器进行比较用的窗口值。

(3) 状态寄存器 (WWDG_SR)

首地址: 0x4000,2C00 地址偏移: 0x08 复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留															EWIF

位 31:1	保留 0。
位 0	EWIF: 提前唤醒中断标志 (Early wakeup interrupt flag)。当计数器值达到 40h 时, 此位由硬件置 '1'。它必须通过软件写 '0' 来清除。对此位写 '1' 无效。若中断未被使能, 此位也会被置 '1'。

C.15 系统节拍定时器寄存器描述

访问: 以字 (32 位) 访问。

(1) SysTick 控制/状态寄存器 (STK_CSR)

首地址: 0xE000,E010 地址偏移: 0x00 复位值: 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留															COUNT FLAG

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留													CLKSOURCE	TICKINT	ENABLE

位 31:17	保留。
位 16	COUNTFLAG: Systick 计数比较标志, 如果在上次读取本寄存器后, SysTick 已经数到了 0, 则该位为 1。如果读取该位, 该位将自动清零
位 15:3	保留。
位 2	CLKSOURCE: Systick 时钟源选择 0: 使用 HCLK/8 作为 Systick 时钟; 1: 使用 HCLK 作为 Systick 时钟
位 1	TICKINT: Systick 中断使能位 0: 关闭 Systick 中断; 1: 开启 Systick 中断
位 0	ENABLE: Systick 使能位 0: 关闭 Systick 功能; 1: 开启 Systick 功能

(2) SysTick 重载寄存器 (STK_LOAD)

首地址: 0xE000,E010 地址偏移: 0x04 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

保留	RELOAD[23:16]
----	---------------

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RELOAD[15:0]															

位 31:24	保留。
位 23:0	RELOAD[23:0]: 重载寄存器是个 24 位的寄存器, 最大计数 0xFFFFFF。 SysTick 是一个递减的定时器, 当定时器递减至 0 时, 重载寄存器中的值就会被重载, 继续开始递减。

(3) SysTick当前值寄存器 (STK_VAL)

首地址: 0xE000,E010 地址偏移: 0x08 复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
保留								CURRENT[23:16]							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CURRENT [15:0]															

位 31:24	保留。
位 23:0	CURRENT [23:0]: 当前值寄存器也是个 24 位的寄存器, 读取时返回当前倒计数的值, 写它则使之清零, 同时还会清除在SysTick 控制及状态寄存器中的 COUNTFLAG 标志。

(4) SysTick校准值寄存器 (STK_CALRB)

首地址: 0xE000,E010 地址偏移: 0x0C 复位值: 0x0000 2328 (校准值)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NOREF	SKEW	保留						TENMS[23:16]							

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TENMS[15:0]															

位 31	NOREF: 外部参考时钟是否可用 0: 外部参考时钟可用; 1: 没有外部参考时钟 (STCLK 不可用)
位 30	SKEW: 校准值是否准确 0: 校准值是准确的 1: 校准值不是准确的
位 29:24	保留
位 23:0	TENMS[23:0]: 校准值