



**ĐẠI HỌC  
BÁCH KHOA HÀ NỘI**  
HANOI UNIVERSITY  
OF SCIENCE AND TECHNOLOGY

# Điện tử cho Công nghệ thông tin

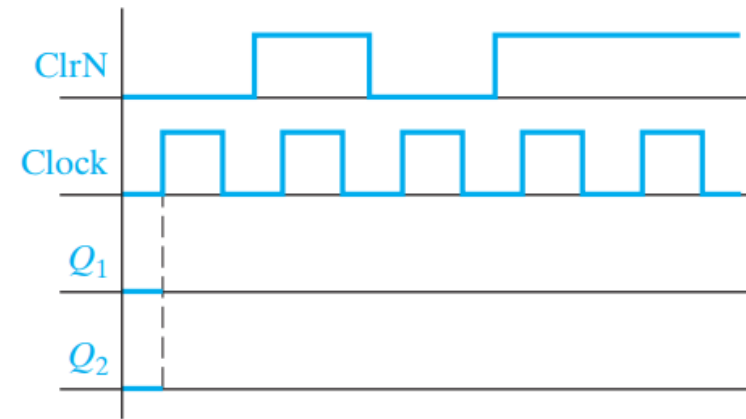
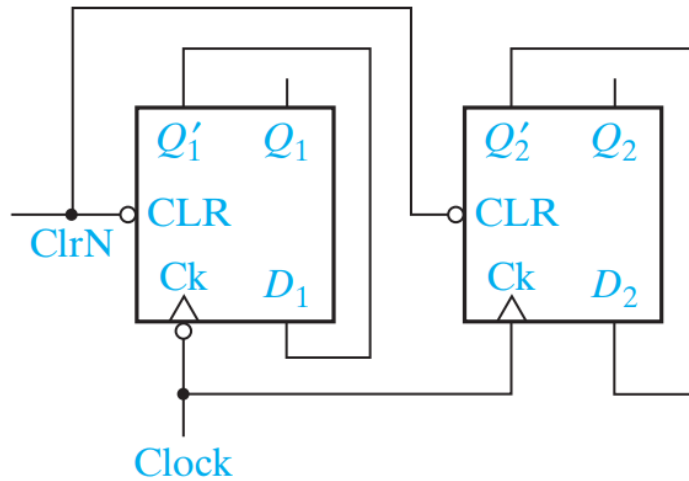
## IT3420

ONE LOVE. ONE FUTURE.

- Ôn tập mạch tuần tự (mạch dãy)

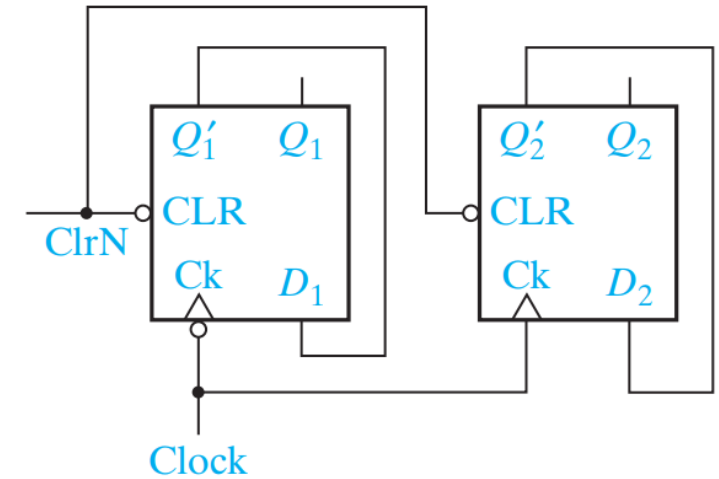
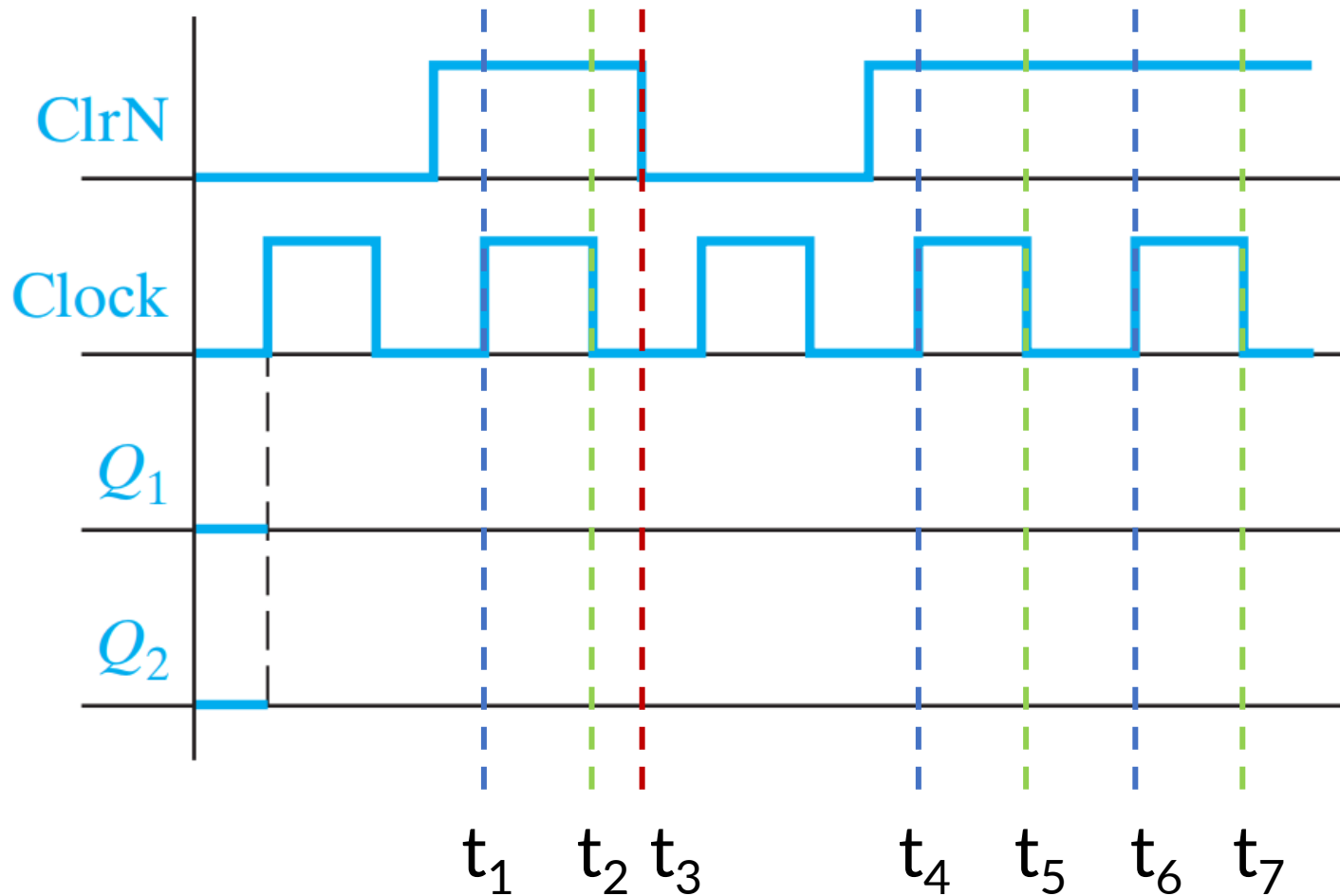
# Bài tập 1

- Cho trước dạng sóng của các tín hiệu đầu vào ClrN và Clock trong mạch logic gồm 2 D flip flop, hãy vẽ dạng sóng của  $Q_1$  và  $Q_2$ .



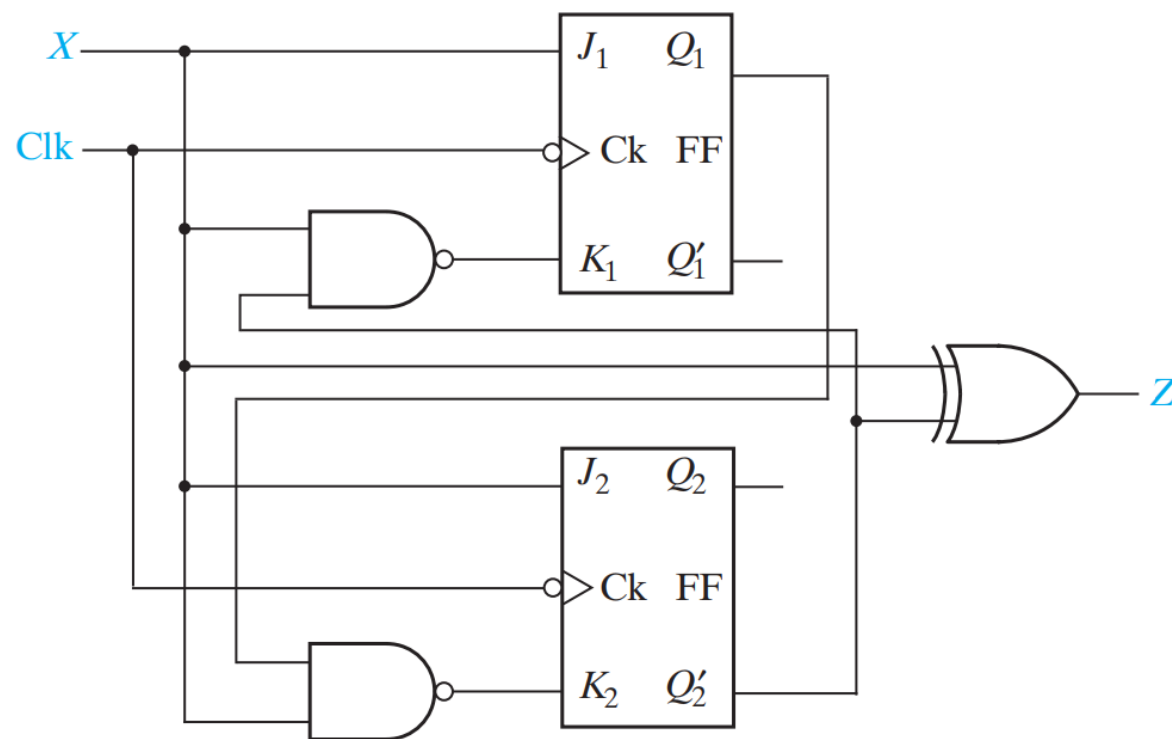
# Bài tập 1 – Gợi ý

- Xem xét các thời điểm  $t_1 \sim t_7$



# Bài tập 2

- Trong mạch logic như hình:
  - Chuỗi bit đầu vào của X là 10111 (thứ tự vào từ trái sang phải)
  - Trạng thái ban đầu  $Q_1 = Q_2 = 0$
  - X thay đổi giá trị tại giữa 1 sườn lên và 1 sườn xuống của tín hiệu Clk (clock)
- Hãy vẽ dạng tín hiệu của đầu ra Z.



# Bài tập 3

- Thiết kế mạch kiểm tra số bit lẻ:
  - Đầu ra = 1 khi chuỗi bit vào có số *bit 1* là số lẻ.
  - Đầu ra = 0 với các trường hợp còn lại

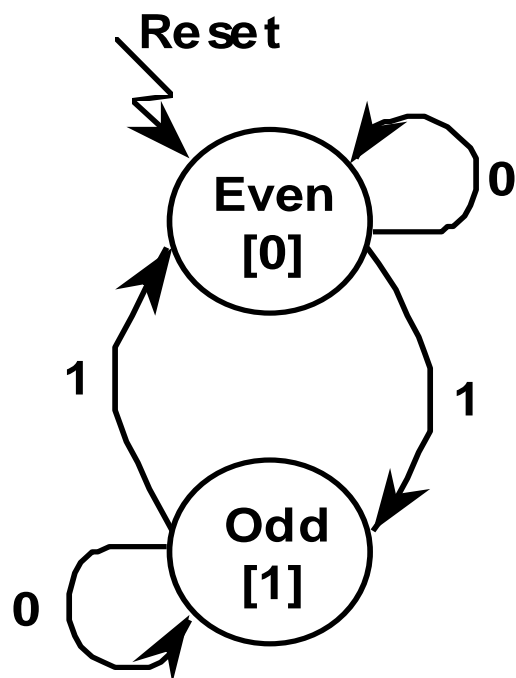
Ví dụ:

...01010...111...0110... → 

Hệ thống dựa vào Mealy/Moore FSM

 → Số *bit 1* là chẵn/lẻ?

→ *Vẽ sơ đồ trạng thái và bảng chuyển trạng thái:*



Trạng thái hiện tại	Đầu vào	Trạng thái tiếp theo	Đầu ra
Chẵn	0	Chẵn	0
Chẵn	1	Lẻ	1
Lẻ	0	Lẻ	1
Lẻ	1	Chẵn	0

→ **Mã hóa các trạng thái:**

Trạng thái hiện tại	Đầu vào	Trạng thái tiếp theo	Đầu ra
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

→ **Xác định số flip flop cần dùng:** cần 1 flip flop, vì chỉ cần 1 bit để thể hiện 2 trạng thái.



→ **Lựa chọn flip flop:** chọn D flip flop

- Giả thiết:
  - Q = Trạng thái hiện tại
  - Q<sup>+</sup> = Trạng thái tiếp theo
  - X = Đầu vào

Đáp ứng		Kích thích					
Ký hiệu	Q → Q <sup>+</sup>	S	R	J	K	T	D
S0	0 → 0	0	x	0	x	0	0
T1	0 → 1	1	0	1	x	1	1
T0	1 → 0	0	1	x	1	1	0
S1	1 → 1	x	0	x	0	0	1

Q	X	Q <sup>+</sup>	Đầu ra	D
0	0	0	0	0
0	1	1	1	1
1	0	1	1	1
1	1	0	0	0

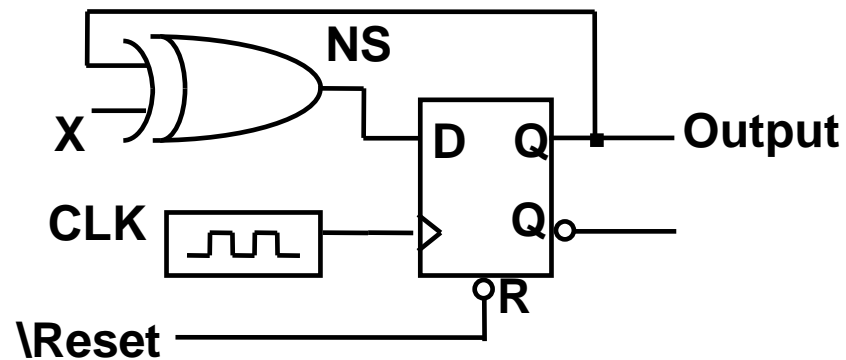
$$D = Q^+$$

→ *Tối thiểu hóa bằng bảng Karnaugh:*

D \ X	0	1
Q		
0	0	1
1	1	0

$$D = \bar{Q}X + Q\bar{X} = Q \oplus X$$

→ *Thực hiện mạch:*



## Bài tập 3 – Gợi ý

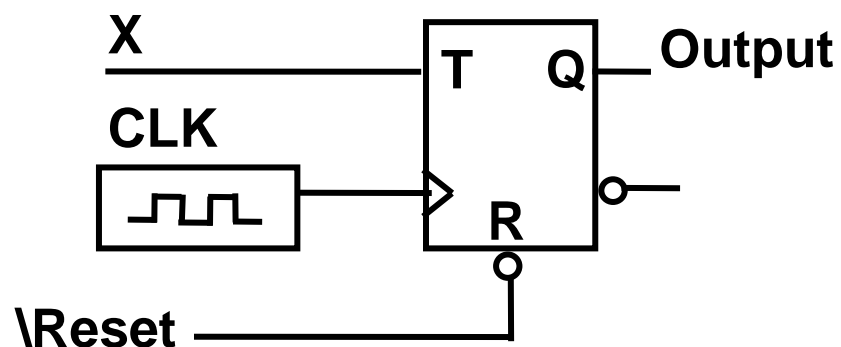
→ **Lựa chọn flip flop:** chọn T flip flop

- Giả thiết:
  - Q = Trạng thái hiện tại
  - Q+ = Trạng thái tiếp theo
  - X = Đầu vào

Q	X	Q+	Đầu ra	T
0	0	0	0	0
0	1	1	1	1
1	0	1	1	0
1	1	0	0	1

$$T = X$$

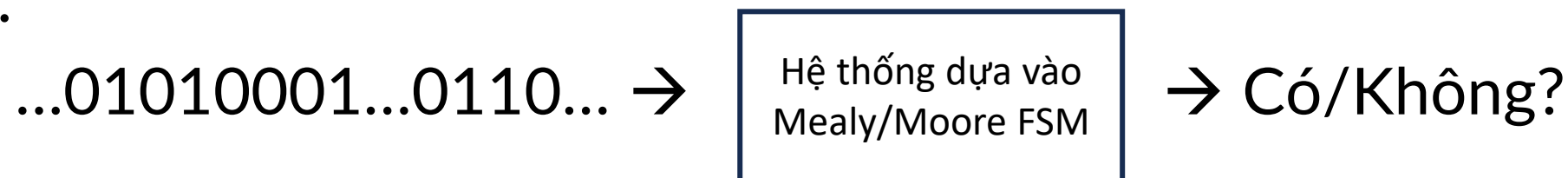
→ **Thực hiện mạch:**



## Bài tập 4

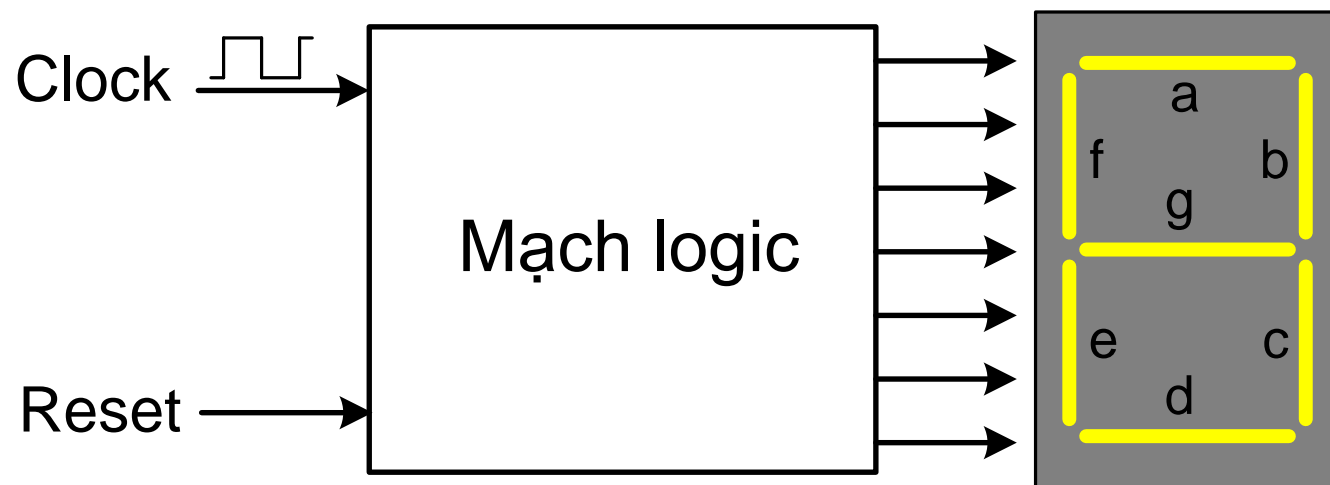
- Thiết kế bộ nhận diện chuỗi bit '10001' trong một chuỗi bit có độ dài  $n$  bit ( $n > 5$ ) theo mô hình Mealy/Moore, có thể tùy ý sử dụng loại flip flop.
  - Đầu ra = 1 khi chuỗi bit đầu vào có chứa chuỗi '10001'.
  - Đầu ra = 0 với các trường hợp khác.

Ví dụ:



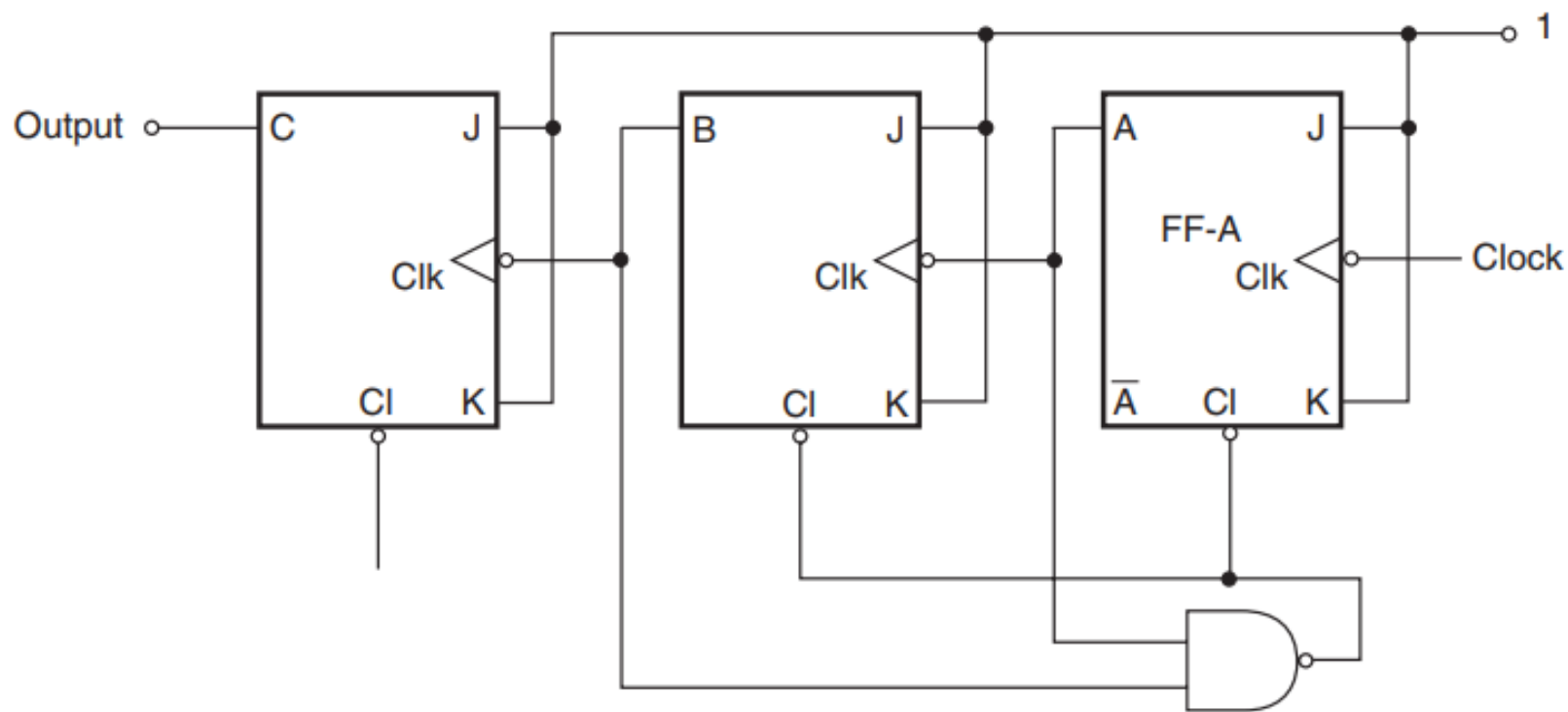
# Bài tập 5

- Thiết kế mạch logic để hiển thị lần lượt các số **2-0-2-3-2-0-2-3...** trên một LED 7-thanh.
  - *Clock* là tín hiệu đồng bộ của mạch.
  - *Reset* là tín hiệu điều khiển để hệ thống hiển thị bắt đầu từ số '2' trên LED 7-thanh.
  - LED 7-thanh là loại Common Cathode.



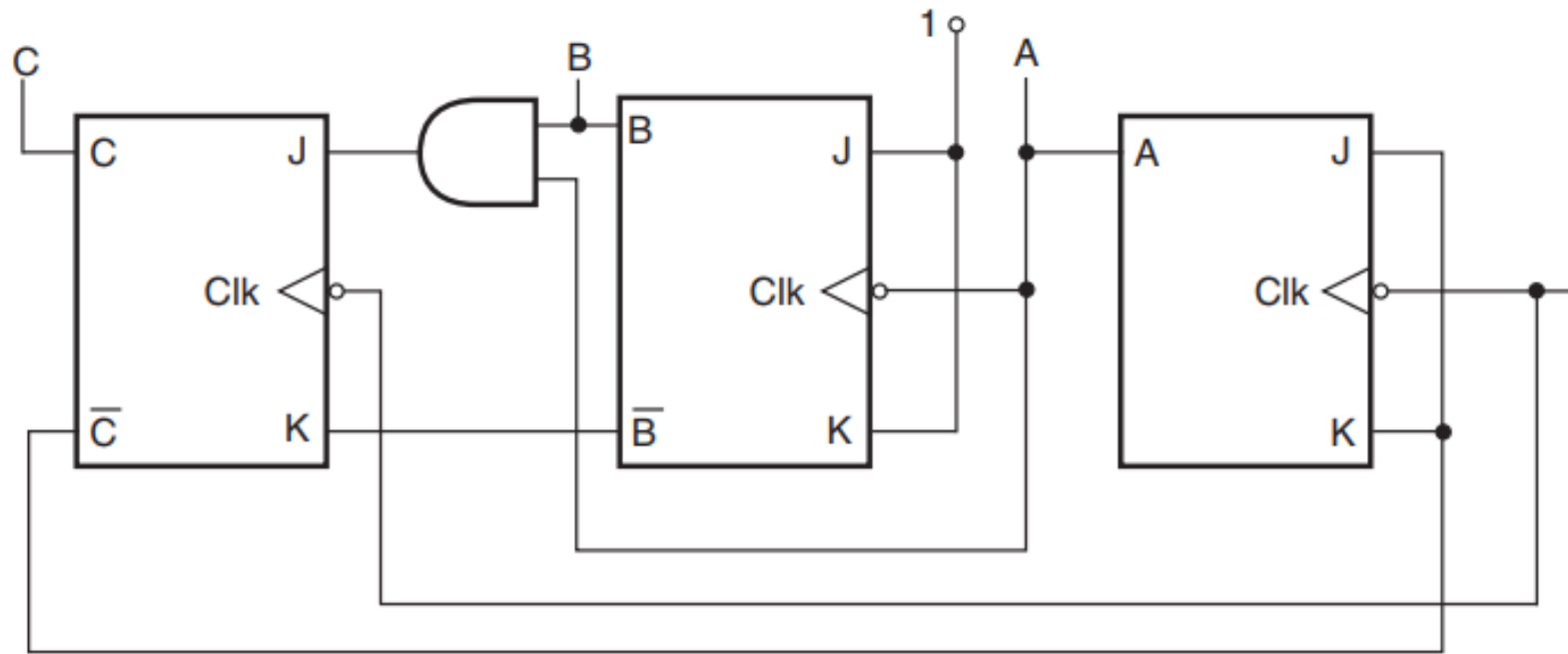
# Bài tập 6

- Cho sơ đồ logic của một bộ đếm như hình dưới, hãy xác định tần số của tín hiệu ở đầu ra B và C biết rằng tần số của tín hiệu clock là 600 kHz.



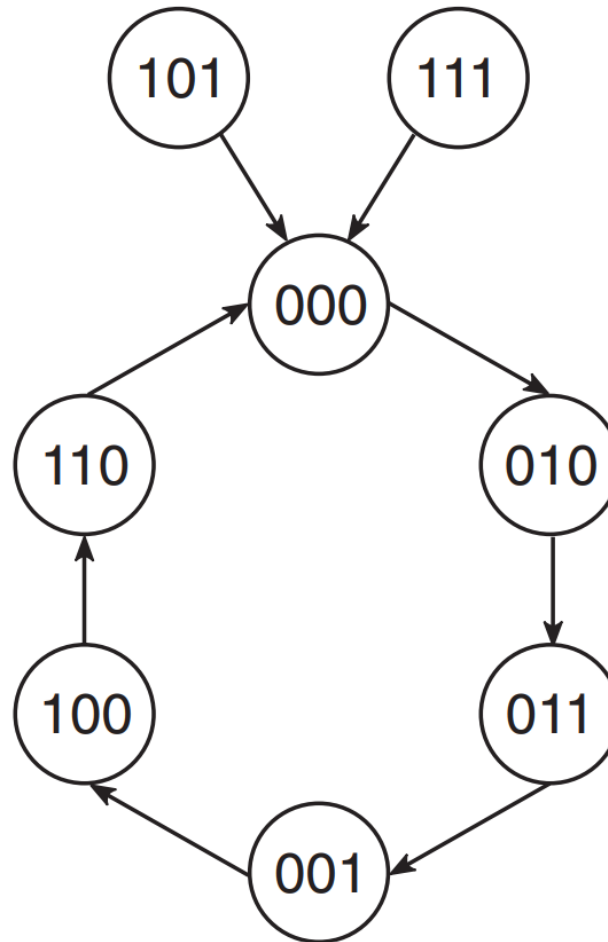
# Bài tập 7

- Hãy xác định cách đếm của bộ đếm như sơ đồ logic ở hình dưới.



## Bài tập 8

- Thiết kế bộ đếm theo sơ đồ trạng thái như trong hình:





## Bài tập 8 – Gợi ý

- Vẽ bảng tác nhân kích thích cho bộ đếm, trong đó liệt kê:
  - Các trạng thái hiện tại
  - Các trạng thái tiếp theo tương ứng với các trạng thái hiện tại
  - Đầu vào cho các flip flop theo yêu cầu

Present State			Next State			Inputs					
C	B	A	C	B	A	J <sub>C</sub>	K <sub>C</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>A</sub>	K <sub>A</sub>
0	0	0	0	1	0	0	X	1	X	0	X
0	0	1	1	0	0	1	X	0	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	0	0	1	0	X	X	1	X	0
1	0	0	1	1	0	X	0	1	X	0	X
1	0	1	0	0	0	X	1	0	X	X	1
1	1	0	0	0	0	X	1	X	1	0	X
1	1	1	0	0	0	X	1	X	1	X	1

## Bài tập 8 – Gợi ý

- Thiết kế các mạch logic cho các đầu vào  $J_A, K_A, J_B, K_B, J_C, K_C$  từ các đầu ra A, B, C...
- Có thể sử dụng bảng Karnaugh cho mỗi đầu vào, tối thiểu hóa và biểu diễn bằng hàm Boolean.

$J_A$	A		$K_A$	A	
	BC			BC	
		0 1		0 1	
00			00	X 1	
01			01	X 1	
11			11	X 1	
10			10	X	

$$J_A = B \cdot \bar{C} \quad K_A = \bar{B} + C$$

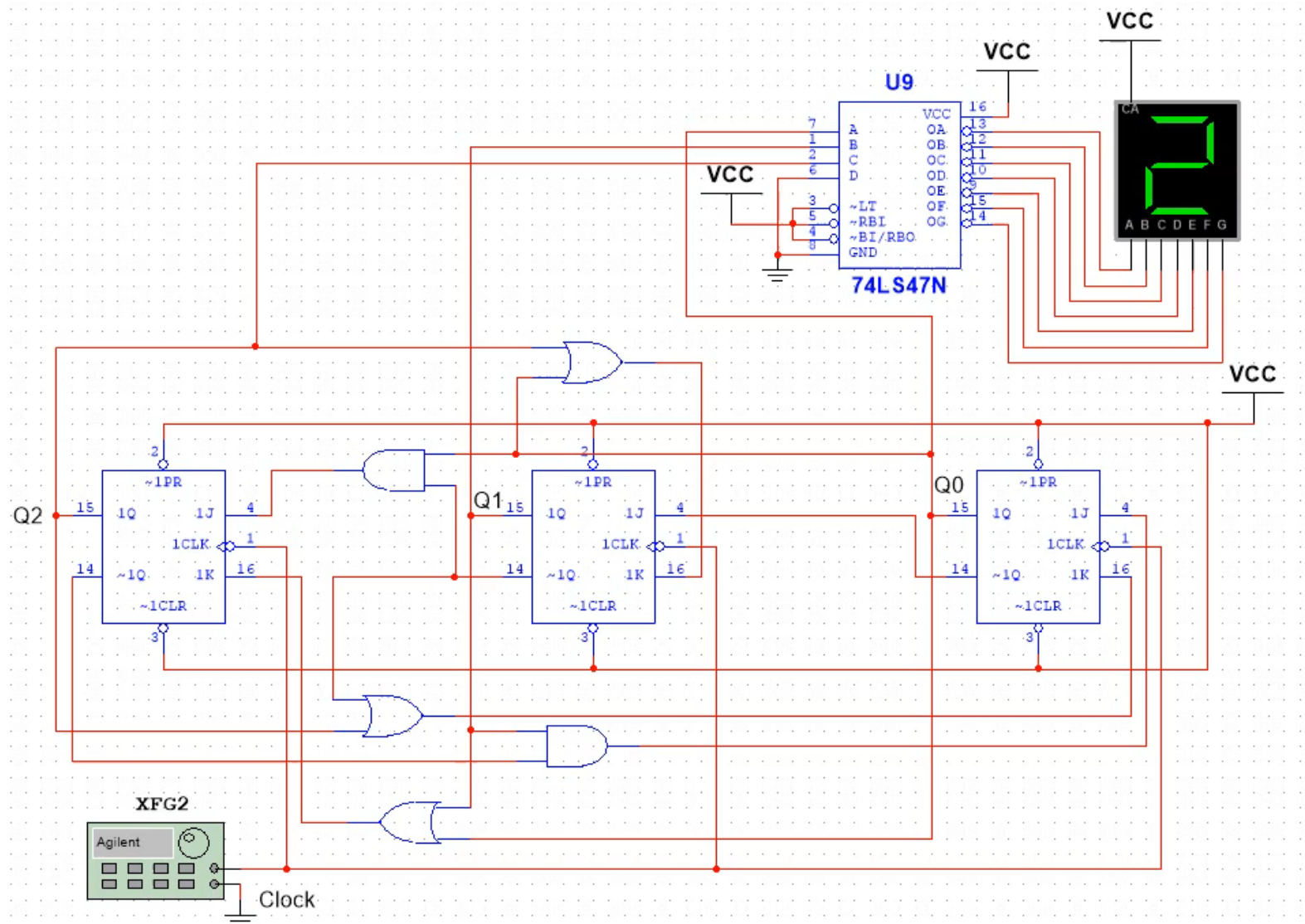
$J_B$	A		$K_B$	A	
	BC			BC	
		0 1		0 1	
00			00	X X	
01			01	X X	
11			11	1 1	
10			10		1

$$J_B = \bar{A} \quad K_B = A + C$$

$J_C$	A		$K_C$	A	
	BC			BC	
		0 1		0 1	
00			00	X X	
01			01		1
11			11	1 1	
10			10	X X	

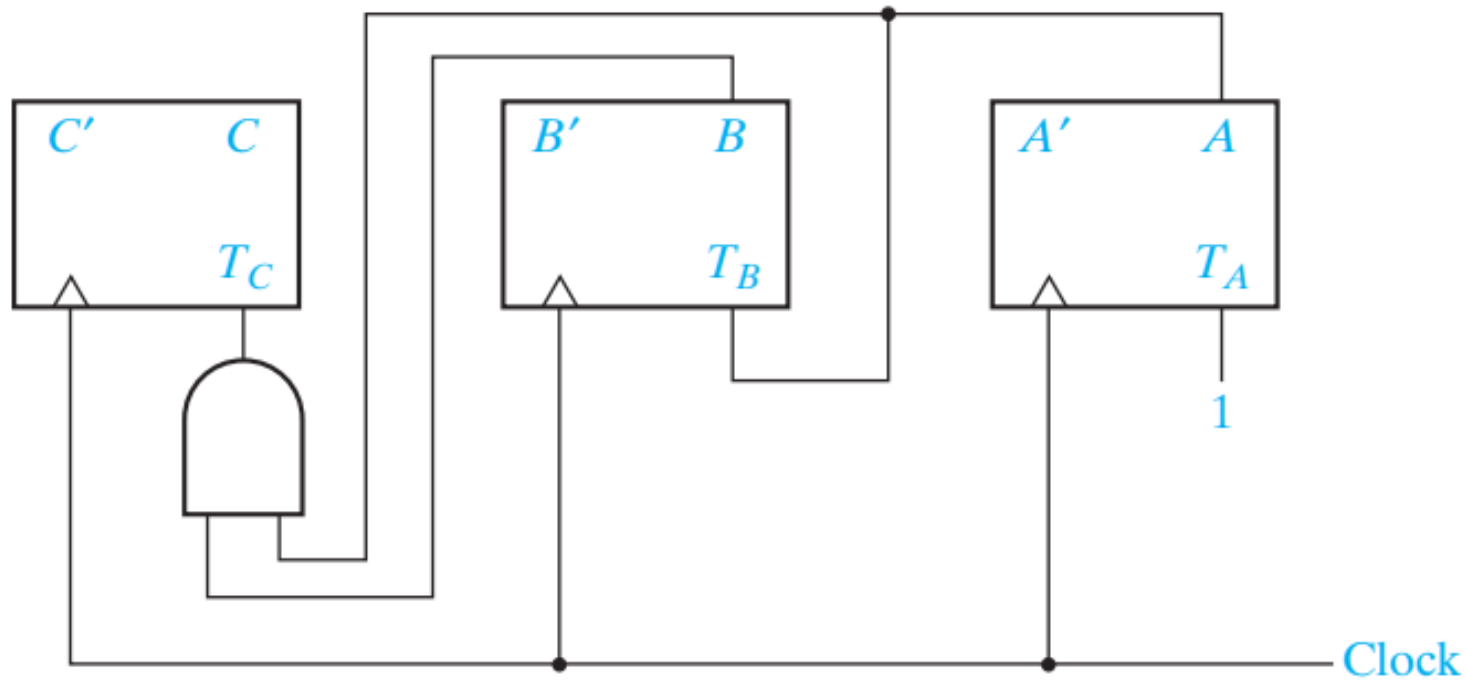
$$J_C = A \cdot \bar{B} \quad K_C = A + B$$

# Bài tập 8 – Mô phỏng



# Bài tập 9

- Dựa vào sơ đồ logic của bộ đếm đồng bộ 3-bit (CBA) sử dụng T flip flop như hình dưới đây để thiết kế bộ đếm đồng bộ 4-bit. Có thể dùng thêm flip flop và các cổng logic cần thiết khác.



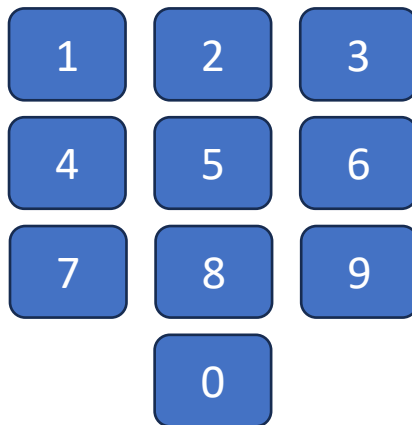
# Bài tập 10

- Thanh ghi dịch *100-tầng kiểu SISO (100-stage SISO)* được áp một xung vuông có tần số 50 kHz. Thời gian để mỗi bit dữ liệu dịch chuyển qua thanh ghi trên là bao nhiêu?

# Bài tập 11

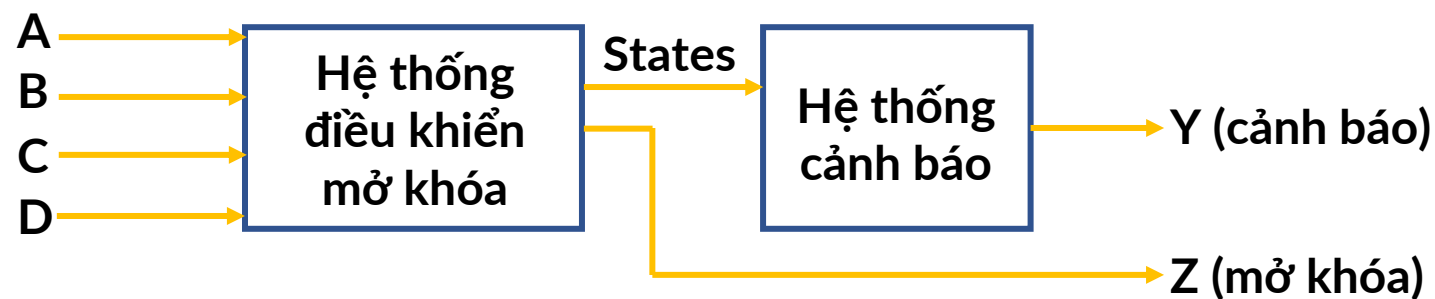
- Thiết kế sơ đồ trạng thái cho một hệ thống khóa cửa có cách thức hoạt động như sau:
  - Khóa cửa được mở nếu người dùng nhập đúng theo thứ tự các phím  $2 \rightarrow 0 \rightarrow 2 \rightarrow 3$  từ bàn phím.
  - Nếu không nhập đúng 2 lần liên tiếp thì phát tín hiệu cảnh báo.

Bàn phím minh họa:



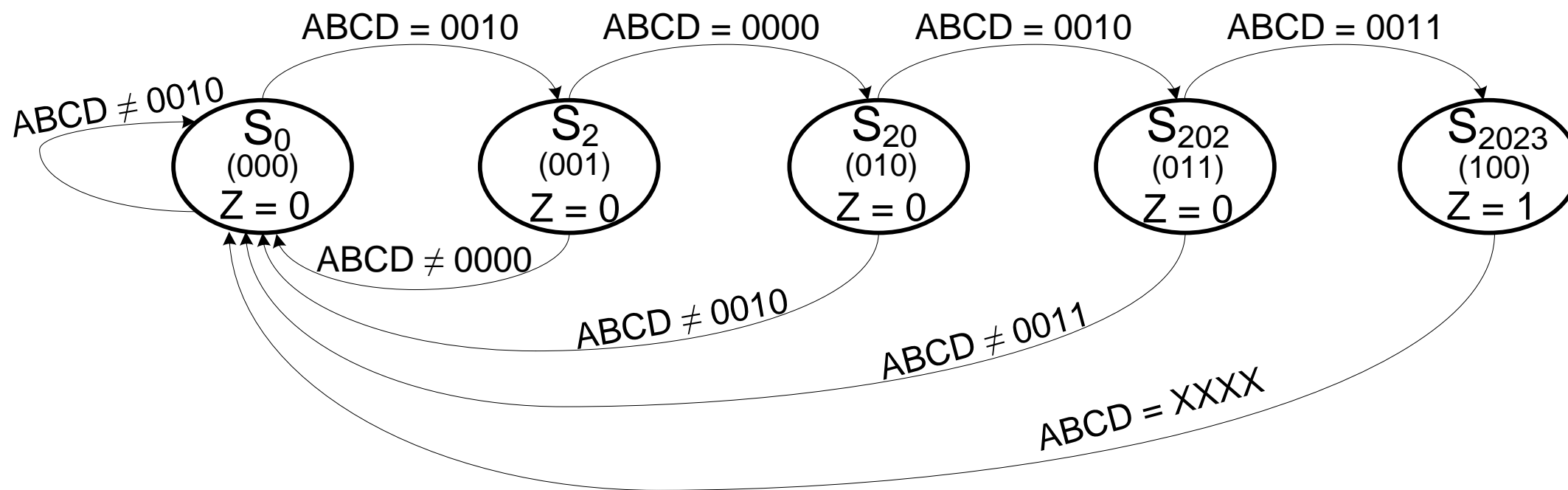
# Bài tập 11 – Gợi ý

- Mã hóa 10 phím: ABCD (0000 ~ 1001)
- Sơ đồ khối hệ thống:
  - Đầu vào: A, B, C, D
  - Đầu ra: Y, Z



# Bài tập 11 – Gợi ý

- Sơ đồ trạng thái (Moore) của hệ thống điều khiển mở khóa:





# Bài tập 11 – Gợi ý

- Bảng chuyển trạng thái của hệ thống điều khiển mở khóa (g/s dùng D flip flop):

	A	B	C	D	$Q_2$	$Q_1$	$Q_0$	$Q_2^+$	$Q_1^+$	$Q_0^+$	Z	$D_2$	$D_1$	$D_0$
$m_1$	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	1	0	1	0	0	0	1	0
$m_4$	0	0	0	0	1	0	0	0	0	0	1	0	0	0
	.	.	.	.	.	.	.	.	.	.	.	.	.	.
$m_{12}$	0	0	0	1	0	0	0	0	0	0	1	0	0	0
	0	0	0	1	1	0	0	0	0	0	1	0	0	0
$m_{16}$	0	0	1	0	0	0	0	0	0	1	0	0	0	1
	.	.	.	.	.	.	.	.	.	.	.	.	.	.
$m_{18}$	0	0	1	0	0	1	0	0	1	1	0	0	1	1
	0	0	1	0	1	0	0	0	0	0	1	0	0	0
$m_{20}$	0	0	1	0	1	0	0	0	0	0	1	0	0	0
	.	.	.	.	.	.	.	.	.	.	.	.	.	.
$m_{27}$	0	0	1	1	0	1	1	1	0	0	0	1	0	0
$m_{28}$	0	0	1	1	1	0	0	0	0	0	1	0	0	0
	.	.	.	.	.	.	.	.	.	.	.	.	.	.
$m_{36} - m_{124}$	X	X	X	X	1	0	0	0	0	0	1	0	0	0
	.	.	.	.	.	.	.	.	.	.	.	.	.	.

$Z(A,B,C,D,Q_2,Q_1,Q_0)$   
 $D_2(A,B,C,D,Q_2,Q_1,Q_0)$   
 $D_1(A,B,C,D,Q_2,Q_1,Q_0)$   
 $D_0(A,B,C,D,Q_2,Q_1,Q_0)$

Chú ý: trong trường hợp tổng quát  
 có thể tối giản hiệu quả hơn bằng  
 phương pháp Quine-McCluskey

$$Z(A,B,C,D,Q_2,Q_1,Q_0) = m_4 + m_{12} + m_{20} + m_{28} + \dots + m_{124} = Q_2Q_1'Q_0'$$

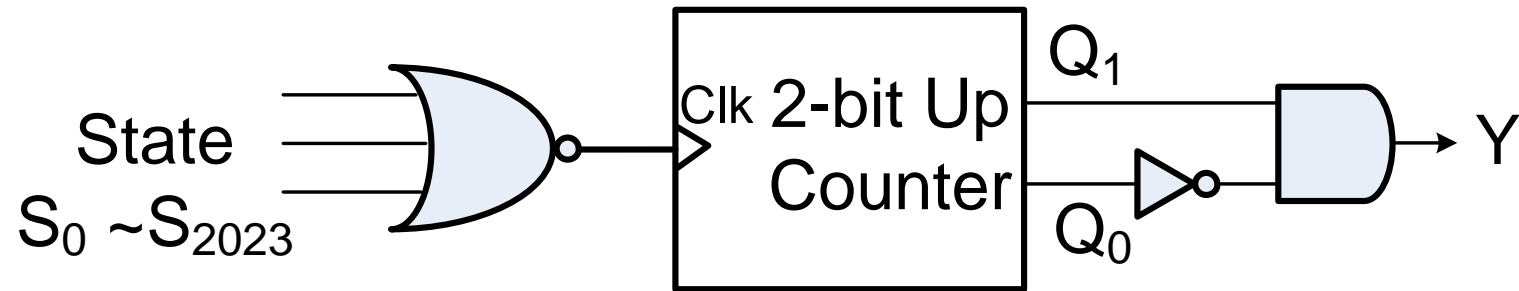
$$D_2(A,B,C,D,Q_2,Q_1,Q_0) = m_{27} = A'B'CDQ_2'Q_1Q_0$$

$$D_1(A,B,C,D,Q_2,Q_1,Q_0) = m_1 + m_{18} = A'B'C'D'Q_2'Q_1'Q_0 + A'B'CD'Q_2'Q_1Q_0'$$

$$\begin{aligned} D_0(A,B,C,D,Q_2,Q_1,Q_0) &= m_{16} + m_{18} = A'B'CD'Q_2'Q_1'Q_0' + A'B'CD'Q_2'Q_1Q_0' \\ &= A'B'CD'Q_2'Q_0' \end{aligned}$$

# Bài tập 11 – Gợi ý

- Sơ đồ trạng thái của hệ thống cảnh báo:



$Y = 1$  (cảnh báo) khi  $Q_1Q_0 = 10_2 (= 2_{10})$