



**3V 128M-BIT**

与串行闪存

双路/四路**SPI**和**QPI**



## 目录

1,一般说明.....	5
2,特点.....	5
3,封装类型和引脚配置.....	6
3.1  引脚配置SOIC / VSOP 208密耳.....	6
3.2  垫配置WSON引脚6x5毫米/ 8X6毫米.....	6
3.3  引脚说明SOIC / VSOP 208密耳,WSON引脚6x5毫米/ 8X6毫米.....	6
3.4  引脚配置SOIC 300mil的.....	7
3.5  引脚说明SOIC 300mil的.....	7
3.6  球配置TFBGA封装的8x6毫米（5×5或6×4球阵列）.....	8
3.7  球说明TFBGA封装的8x6毫米.....	8
3.8  引脚配置PDIP 300万.....	9
3.9  引脚说明PDIP 300万.....	9
4.密码DESCRIPTIONS.....	10
4.1  片选（/ CS）.....	10
4.2  串行数据输入,输出和IO（DI,DO和IO0,IO1,IO2,IO3）.....	10
4.3  写保护（/ WP）.....	10
4.4  HOLD（/ HOLD）.....	10
4.5  串行时钟（CLK）.....	10
4.6  复位（/ RESET）.....	10
5座DIAGRAM.....	11
6,功能说明.....	12
6.1  SPI / QPI操作.....	12
6.1.1  标准SPI指令.....	12
6.1.2  双SPI指令.....	12
6.1.3  四SPI指令.....	13
6.1.4  QPI说明.....	13
6.1.5  HOLD功能.....	13
6.1.6  软件复位及硬体/ RESET引脚.....	15
6.2  写保护.....	16
6.2.1  写保护功能.....	16
7,状态和配置寄存器.....	17
7.1  状态寄存器.....	17
7.1.1  擦除/写在建（忙） -                   仅状态.....	17
7.1.2  写使能锁存（WEL） -               仅状态.....	17
7.1.3  块保护bits（BP2,BP1,BP0） -       易失性/非易失性可写.....	17



7.1.4	Top/Bottom Block Protect (TB) –	Volatile/Non-Volatile Writable	18
7.1.5	Sector/Block Protect Bit (SEC) –	Volatile/Non-Volatile Writable	18
7.1.6	Complement Protect (CMP) –	Volatile/Non-Volatile Writable	18
7.1.7	Status Register Protect (SRP1, SRP0) –	Volatile/Non-Volatile Writable	18
7.1.8	Erase/Program Suspend Status (SUS) –	Status Only	19
7.1.9	Security Register Lock Bits (LB3, LB2, LB1) –	Volatile/Non-Volatile OTP Writable	19
7.1.10	Quad Enable (QE) –	Volatile/Non-Volatile Writable	19
7.1.11	Write Protect Selection (WPS) –	Volatile/Non-Volatile Writable	20
7.1.12	Output Driver Strength (DRV1, DRV0) –	Volatile/Non-Volatile Writable	20
7.1.13	HOLD or /RESET Pin Function (HOLD/RST) –	Volatile/Non-Volatile Writable	20
7.1.14	Reserved Bits –	非功能性	21
7.1.15	W25Q128FV Status Register Memory Protection (WPS = 0, CMP = 0)		22
7.1.16	W25Q128FV Status Register Memory Protection (WPS = 0, CMP = 1)		23
7.1.17	W25Q128FV Individual Block Memory Protection (WPS=1)		24
8.	INSTRUCTIONS		25
8.1	Device ID and Instruction Set Tables		25
8.1.1	Manufacturer and Device Identification		25
8.1.2	Instruction Set Table 1 (Standard/Dual/Quad SPI Instructions)	(1)	26
8.1.3	Instruction Set Table 2 (Standard/Dual/Quad SPI Instructions)	(1)	27
8.1.4	Instruction Set Table 3 (QPI Instructions)	(14)	28
8.2	指令说明		30
8.2.1	Write Enable (06h)		30
8.2.2	Write Enable for Volatile Status Register (50h)		30
8.2.3	Write Disable (04h)		31
8.2.4	Read Status Register-1 (05h), Status Register-2 (35h) & Status Register-3 (15h)		31
8.2.5	Write Status Register-1 (01h), Status Register-2 (31h) & Status Register-3 (11h)		32
8.2.6	读取数据 (03H)		35
8.2.7	快速阅读 (0BH)		36
8.2.8	快速读双输出 (3BH)		38
8.2.9	Fast Read Quad Output (6Bh)		39
8.2.10	Fast Read Dual I/O (BBh)		40
8.2.11	Fast Read Quad I/O (EBh)		42
8.2.12	Word Read Quad I/O (E7h)		45
8.2.13	Octal Word Read Quad I/O (E3h)		47
8.2.14	设置突发与环绕 (77H)		49
8.2.15	页编程 (02H)		50
8.2.16	Quad Input Page Program (32h)		52
8.2.17	扇区擦除 (20H)		53
8.2.18	32KB的块擦除 (52H)		54
8.2.19	64KB的块擦除 (D8H)		55





8.2.20	芯片擦除 (C7H / 60H)	56
8.2.21	擦除/编程挂起(75h)	57
8.2.22	擦除/编程恢复 (7安)	59
8.2.23	断电(B9h)	60
8.2.24	发布掉电/设备ID (ABH)	61
8.2.25	读制造商/设备ID (90H)	63
8.2.26	读制造商/设备ID双I / O (92H)	64
8.2.27	读制造商/设备ID四I / O (94H)	65
8.2.28	读取唯一ID号码 (4BH)	66
8.2.29	读JEDEC的ID (9FH)	67
8.2.30	阅读小农发展方案寄存器 (5AH)	68
8.2.31	擦除安全寄存器 (44H)	69
8.2.32	计划安全寄存器 (42H)	70
8.2.33	阅读安全寄存器 (48小时)	71
8.2.34	设置读取参数 (C0H)	72
8.2.35	突发阅读与环绕 (0CH)	73
8.2.36	输入QPI模式 (38H)	74
8.2.37	退出QPI模式 (FFH)	75
8.2.38	个人块/扇区锁 (36H)	76
8.2.39	个人块/扇区解锁 (39H)	77
8.2.40	读块/扇区锁 (3DH)	78
8.2.41	环球块/扇区锁 (7EH)	79
8.2.42	环球块/扇区解锁 (98H)	79
8.2.43	启用复位 (66H) 和复位装置 (99H)	80
9.	电气特性	81
9.1	绝对最大额定值 (1) (2)	81
9.2	操作Ranges	81
9.3	上电掉电时序和要求 (1)	82
9.4	DC电气特性	83
9.5	AC测量条件 (1)	84
9.6	AC电气特性 (6)	85
	AC电气特性 (续)	86
9.7	串行输出时序	87
9.8	串行输入时序	87
9.9	保持时间	87
9.10	WP时序	87
10.	封装规格	88
10.1	8引脚SOIC 208密耳 (封装代码S)	88
10.2	8引脚VSOP 208密耳 (包装代码T)	89



10.3	8引脚PDIP 300密耳（包装代码A） .....	90
10.4	8, 垫WSON引脚6x5毫米（包装代码P） .....	91
10.5	8, 垫WSON 8X6毫米（包装代码E） .....	92
10.6	16引脚SOIC 300密耳（包装代码F） .....	93
10.7	24球TFBGA封装的8x6毫米（包装代码B, 5×5-1球阵列） .....	94
10.8	24球TFBGA封装的8x6毫米（包装代码C, 6X4球阵列） .....	95
11.	订购信息 .....	96
11.1	有效的部件号和顶端标记 .....	97
12.	版本历史 .....	98



## 1. 一般说明

该W25Q128FV（128M位）串行闪存提供了有限的系统存储解决方案空间、引脚和电源。该25Q系列提供了灵活性和性能远远超出普通的串行闪存器件。他们是理想的阴影到RAM的代码，直接从双/四通道SPI（XIP）执行代码和存储语音、文本和数据。该器件工作在2.7V至3.6V单电源供电，电流消耗低至4毫安主动和1 $\mu$ A的关断。所有设备都在节省空间的封装。

该W25Q128FV阵列是由每256字节可编程65,536页。高达256字节可以在一个时间被编程。网页可以在16（4KB扇区擦除）组被删除，组128（32KB块擦除），256（64KB块擦除）或整个芯片（芯片擦除）组。该W25Q128FV有4,096可擦除扇区和256可擦除块分别。小4KB扇区允许在需要的数据和参数的存储应用更大的灵活性。（见图2）。

该W25Q128FV支持标准串行外设接口（SPI），双/四I/O SPI，以及2个时钟周期的指令四路外设接口（QPI）：串行时钟，片选，串行数据I/O0（DI），I/O1（DO），I/O2（/WP），和I/O3（/HOLD）。支持高达104MHz的SPI时钟频率。允许208MHz（104MHz的 $\times 2$ ）双I/O和频率为416MHz（104MHz的 $\times 4$ ）相当于时钟速率。四I/O使用快速读取双/四I/O和QPI指令时。这些传输速率可以超越标准的异步8位和16位并行闪存。连续读取模式允许用尽可能少的8个时钟的指令开销读取一个24位地址高效的内存访问，实现真正的XIP（执行到位）操作。

保持引脚，写保护引脚和可编程写保护，顶部或底部阵列控制，提供进一步的控制灵活性。此外，该器件支持JEDEC标准制造商和设备ID和小农发展方案寄存器，一个64位唯一序列号和三个256字节安全寄存器。

## 2. 特点

### □ 回忆SpiFlash的新家庭

- W25Q128FV: 128M-bit / 16M-byte
- 标准SPI: CLK, /CS, DI, DO, /WP, /保持
- 双SPI: CLK, /CS, IO<sub>0</sub>, IO<sub>1</sub>, /WP, /保持
- 四SPI: CLK, /CS, IO<sub>0</sub>, IO<sub>1</sub>, IO<sub>2</sub>, IO<sub>3</sub>
- QPI: CLK, /CS, IO<sub>0</sub>, IO<sub>1</sub>, IO<sub>2</sub>, IO<sub>3</sub>
- 软件和硬件复位

### □ 最高性能的串行闪存

- 104MHz的单路，双路/四路SPI时钟
- 208/416MHz相当于双/四通道SPI
- 50MB / S的连续数据传输率
- 超过100,000次擦除/编程
- 超过20年的数据保存

### □ 高效“连续读取”和QPI模式

- 连续读取与8/16/32/64-Byte总结
- 仅仅在8个时钟周期来处理内存
- 四外设接口（QPI）减少指令开销
- 允许真正的XIP（执行到位）操作
- 胜过X16并行闪存

### □ 低功耗，宽温度范围

- 单2.7到3.6V电源
- 4毫安有功电流，1 $\mu$ A掉电（典型值）
- 40°C至+85°C的工作范围

### □ 灵活的架构与4KB扇区

- 统一扇区/块擦除（4K/32K/64K-Byte）
- 程序为1 256每可编程页字节
- 擦除/编程挂起和恢复

### □ 高级安全功能

- 软件和硬件写保护
- 电源锁定向下和OTP保护
- 顶部/底部，补体阵列保护
- 个人块/扇区保护阵列
- 64位唯一ID为每个设备
- 可侦测参数（小农发展方案）注册
- 3X256-字节安全寄存器与OTP锁
- 易失性和非易失性状态寄存器位

### □ 节省空间的封装

- 8引脚SOIC / VSOP 208密耳
- 8引脚PDIP 300万
- 8 - 垫WSON引脚6x5毫米/ 8X6毫米
- 16引脚SOIC 300mil的（额外的/ RESET引脚）
- 24球TFBGA封装的8x6毫米
- 联系华邦KGD和其他选项





### 3. 封装类型和引脚配置

#### 3.1 引脚配置SOIC / VSOP 208密耳

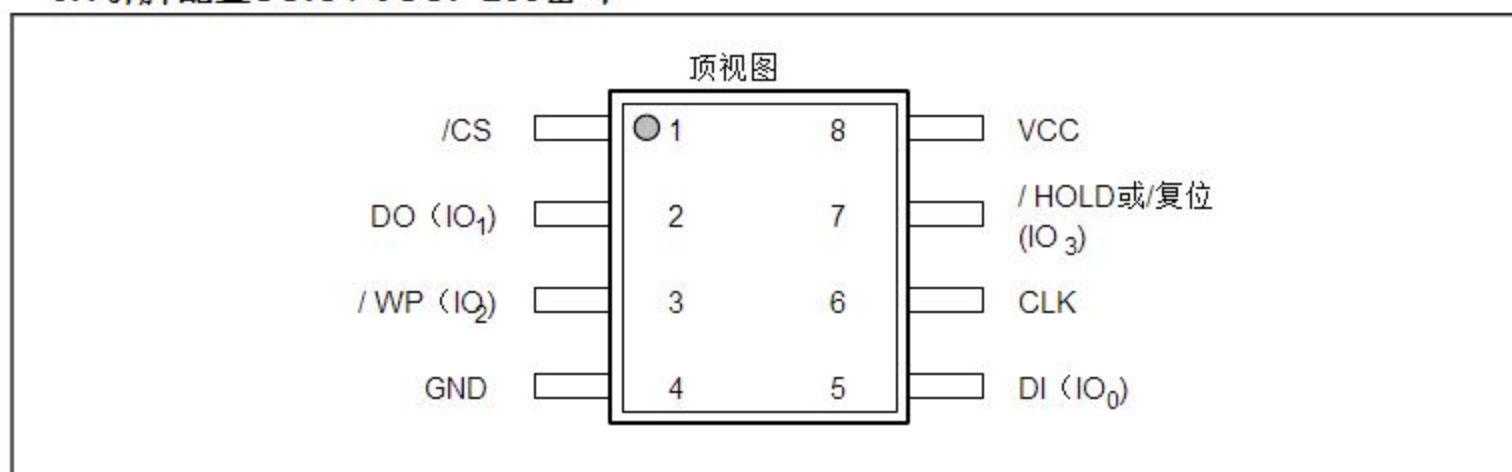


图1a. W25Q128FV引脚分配,8引脚SOIC / VSOP 208密耳 (封装代码S,T)

#### 3.2 端口配置WSO8引脚6x5毫米/ 8X6毫米

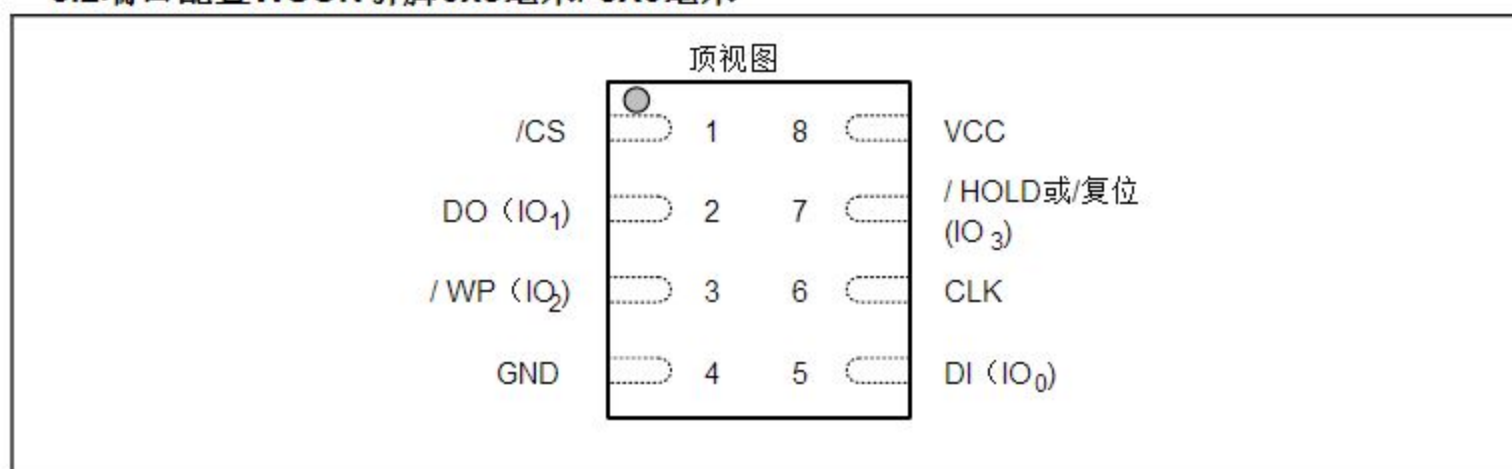


图1b. W25Q128FV焊作业,8焊WSO8引脚6x5毫米/ 8x6毫米 (包装代码P,E)

#### 3.3 引脚说明SOIC / VSOP 208密耳,WSO8引脚6x5毫米/ 8X6毫米

密码没有.	引脚名称	I/O	功能
1	/CS	I	片选输入
2	DO (IO1)	I/O	数据输出 (数据输入输出1) (1)
3	/WP (IO2)	I/O	写保护输入 (数据输入输出2) (2)
4	GND		地面
5	DI (IO0)	I/O	数据输入 (数据输入输出0) (1)
6	CLK	I	串行时钟输入
7	/HOLD或 /RESET (IO3)	I/O	持有或复位输入 (数据输入输出3) (2)
8	VCC		电源

#### 注意事项:

1 IO0和IO1用于标准和双SPI指令 2 IO0 - IO3用于四SPI指令,  
/WP&/HOLD (或/RESET) 功能仅适用于标准/双SPI.

出版日期: 2013年10月9日



### 3.4 引脚配置SOIC 300mil的

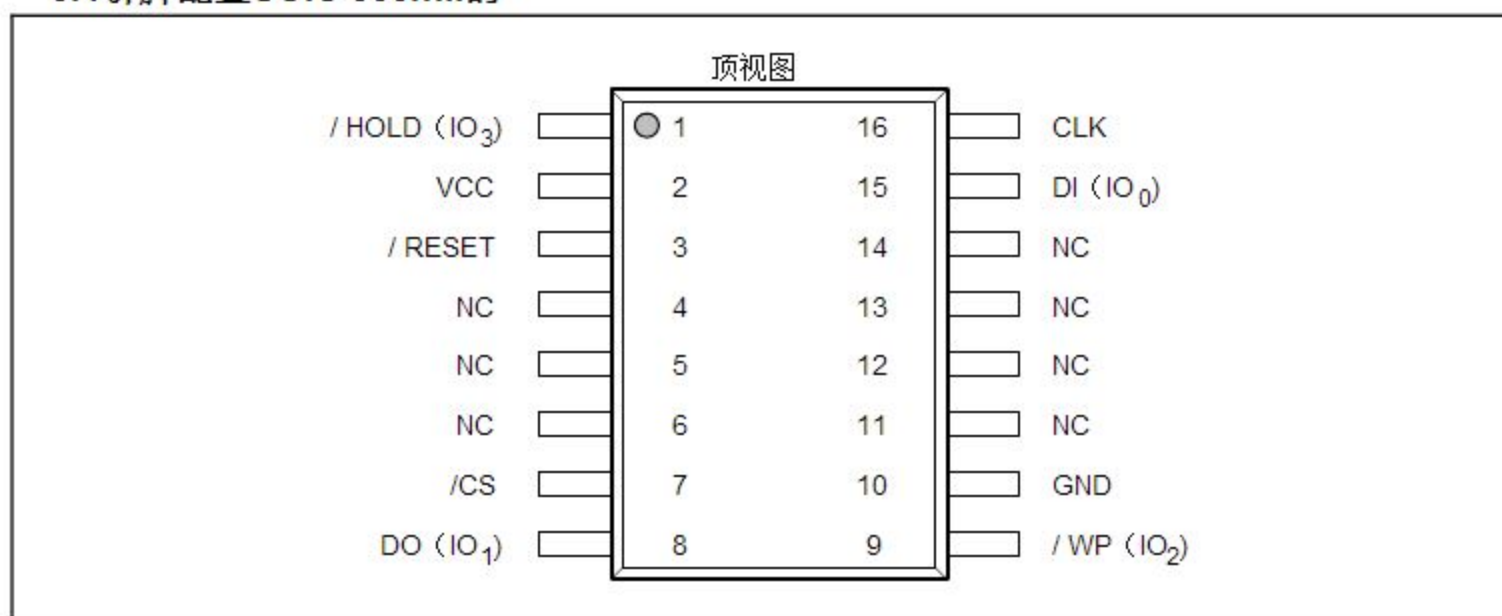


图1c. W25Q128FV引脚分配, 16引脚SOIC 300密耳 (包装代码F)

### 3.5 引脚说明SOIC 300mil的

密码没有.	引脚名称	I/O	功能
1	/HOLD (IO3)	I/O	保持输入 (数据输入输出3) (2)
2	VCC		电源
3	/RESET	I	复位输入 (3)
4	N/C		无连接
5	N/C		无连接
6	N/C		无连接
7	/CS	I	片选输入
8	DO (IO1)	I/O	数据输出 (数据输入输出1) (1)
9	/WP (IO2)	I/O	写保护输入 (数据输入输出2) (2)
10	GND		地面
11	N/C		无连接
12	N/C		无连接
13	N/C		无连接
14	N/C		无连接
15	DI (IO0)	I/O	数据输入 (数据输入输出0) (1)
16	CLK	I	串行时钟输入

#### 注意事项:

1 IO0和IO1用于标准和双SPI指令 2 IO0 - IO3用于四SPI指令,

/WP & /HOLD (或 /RESET) 功能仅适用于标准/双SPI.

3.在SOIC-16封装 /RESET引脚是独立的HOLD /RST位和状态寄存器QE位设置的.该引脚如果复位功能是不需要的,可被视为“无连接”系统





### 3.6球配置TFBGA封装的8x6毫米（5×5或6×4球阵列）

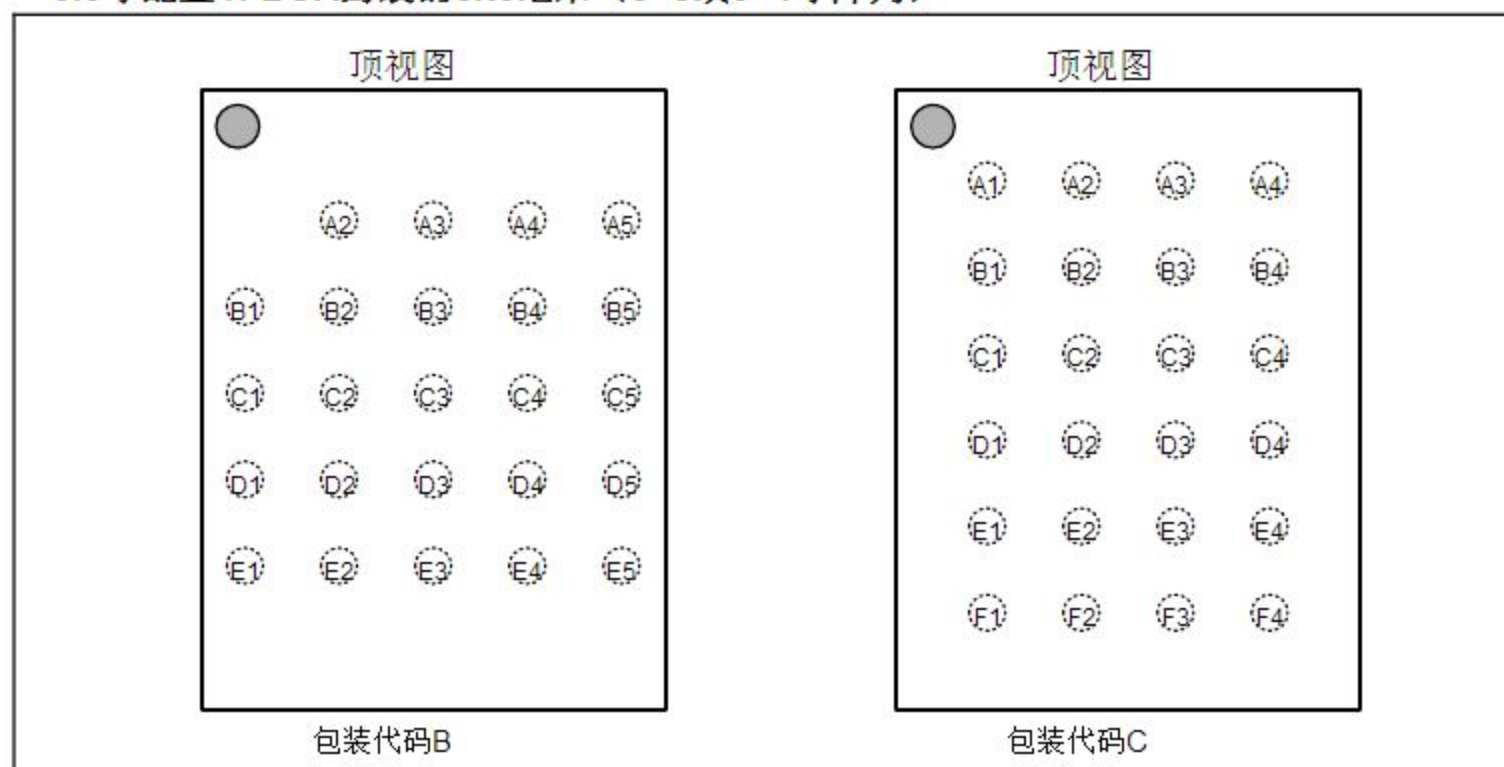


图1d. W25Q128FV球分配,24球TFBGA封装的8x6毫米（包装代码B& C）

### 3.7球描述TFBGA封装的8x6毫米

BALL NO.	引脚名称	I/O	功能
B2	CLK	I	串行时钟输入
B3	GND		地面
B4	VCC		电源
C2	/CS	I	片选输入
C4	/WP (IO2)	I/O	写保护输入（数据输入输出2） <sup>(2)</sup>
D2	DO (IO1)	I/O	数据输出（数据输入输出1） <sup>(1)</sup>
D3	DI (IO0)	I/O	数据输入（数据输入输出0） <sup>(1)</sup>
D4	/HOLD或 /RESET (IO3)	I/O	持有或复位输入（数据输入输出3） <sup>(2)</sup>
多种	NC		无连接

**注意事项:**

1 IO0和IO1用于标准和双SPI指令 2 IO0 - IO3用于四SPI指令,  
/WP&/HOLD（或/RESET）功能仅适用于标准双SPI.



### 3.8 引脚配置PDIP 300万



图1e. W25Q128FV引脚分配,8引脚PDIP (包装代码A)

### 3.9 引脚说明PDIP 300万

密码没有.	引脚名称	I/O	功能
1	/CS	I	片选输入
2	DO (IO <sub>1</sub> )	I/O	数据输出 (数据输入输出1) (1)
3	/WP (IO <sub>2</sub> )	I/O	写保护输入 (数据输入输出2) (2)
4	GND		地面
5	DI (IO <sub>0</sub> )	I/O	数据输入 (数据输入输出0) (1)
6	CLK	I	串行时钟输入
7	/HOLD或 /RESET (IO <sub>3</sub> )	I/O	持有或复位输入 (数据输入输出3) (2)
8	VCC		电源

#### 注意事项:

1 IO<sub>0</sub>和IO<sub>1</sub>用于标准和双SPI指令 2 IO<sub>0</sub> - IO<sub>3</sub>用于四SPI指令,  
/WP&/HOLD (或/RESET) 功能仅适用于标准/双SPI.



## 4. 引脚说明

### 4.1 片选 (/CS)

该SPI片选 (/CS) 引脚启用和禁用设备操作。当 /CS 高的设备是取消和串行数据输出 (DO, 或 IO0, IO1, IO2, IO3) 引脚处于高阻抗。当取消, 设备的功耗将在待机水平, 除非内部擦除, 编程或写状态寄存器周期正在进行中。当 /CS 为低电平该设备将被选中, 功耗会增加活跃水平, 说明可以写入和从设备读取数据。上电后, /CS 必须过渡从高向低之前, 一个新的指令将被接受。

该 /CS 输入必须在上电和断电跟踪 VCC 电源电平 (见“写保护”和图58)。如果需要, 在 /CS 引脚一个上拉电阻可以用来实现此目的。

### 4.2 串行数据输入, 输出和IO (DI, DO 和 IO0, IO1, IO2, IO3)

该W25Q128FV支持标准的SPI, 双SPI和四路SPI操作。标准SPI指令使用单向DI (输入) 引脚串行写指令, 地址或数据在串行时钟 (CLK) 输入引脚的上升沿设备。标准SPI还使用了单向DO (输出) 来读取从在CLK的下降沿设备的数据或状态。

双路和四路SPI指令使用双向IO引脚串行写指令, 地址或数据到设备上CLK的上升沿和读取的CLK的下降沿设备的数据或状态。四SPI指令需要非易失性四路使能位 (QE) 在状态寄存器-2进行设置。当QE = 1, /WP引脚变为IO2和 /HOLD引脚变为IO3。

### 4.3 写保护 (/WP)

写保护 (/WP) 引脚可用于防止状态寄存器被写入。在使用与状态寄存器一起“S块保护 (CMP, 美国证券交易委员会, 结核病, BP2, BP1和BP0) 位和状态寄存器保护 (SRP) 位, 部分小到一个4KB扇区或整个存储器阵列可以是硬件保障。该 /WP 引脚为低电平有效。当状态寄存器-2的QE位被设置为四 I/O 的 /WP 引脚功能不可用, 因为这个引脚用于IO2。见图1a-C为四 I/O 操作的引脚配置。

### 4.4 HOLD (/HOLD)

在 /HOLD 引脚允许, 而它正在积极选择的设备被暂停。当 /保持为低电平, 而 /CS 为低电平时, DO 引脚将处于高阻抗, 信号在DI和CLK引脚将被忽略 (不要“不在乎”)。当 /HOLD 是带来了高, 设备操作就可以恢复。当多个设备共享同一SPI信号 /HOLD 功能将非常有用。在 /HOLD 引脚为低电平有效。

当状态的QE位寄存器-2设置为四 I/O, /HOLD 引脚功能不可用, 因为这个引脚用于IO3。见图1a-C为四 I/O 操作的引脚配置。

### 4.5 串行时钟 (CLK)

该SPI串行时钟输入 (CLK) 引脚提供了定时串行输入和输出操作。 (“看SPI操作”)

### 4.6 复位 (/RESET)

/RESET 引脚允许器件通过控制器复位。对于8引脚封装, 当QE = 0时, IO3引脚可配置无论是作为一个 /HOLD 引脚或为 /RESET 引脚取决于状态寄存器设置。当QE = 1, /HOLD 或 /复位功能不适用于8-pin配置。在16 - 脚SOIC封装, 专用 /RESET 引脚提供, 它是独立的QE位的设置。





## 5. 框图

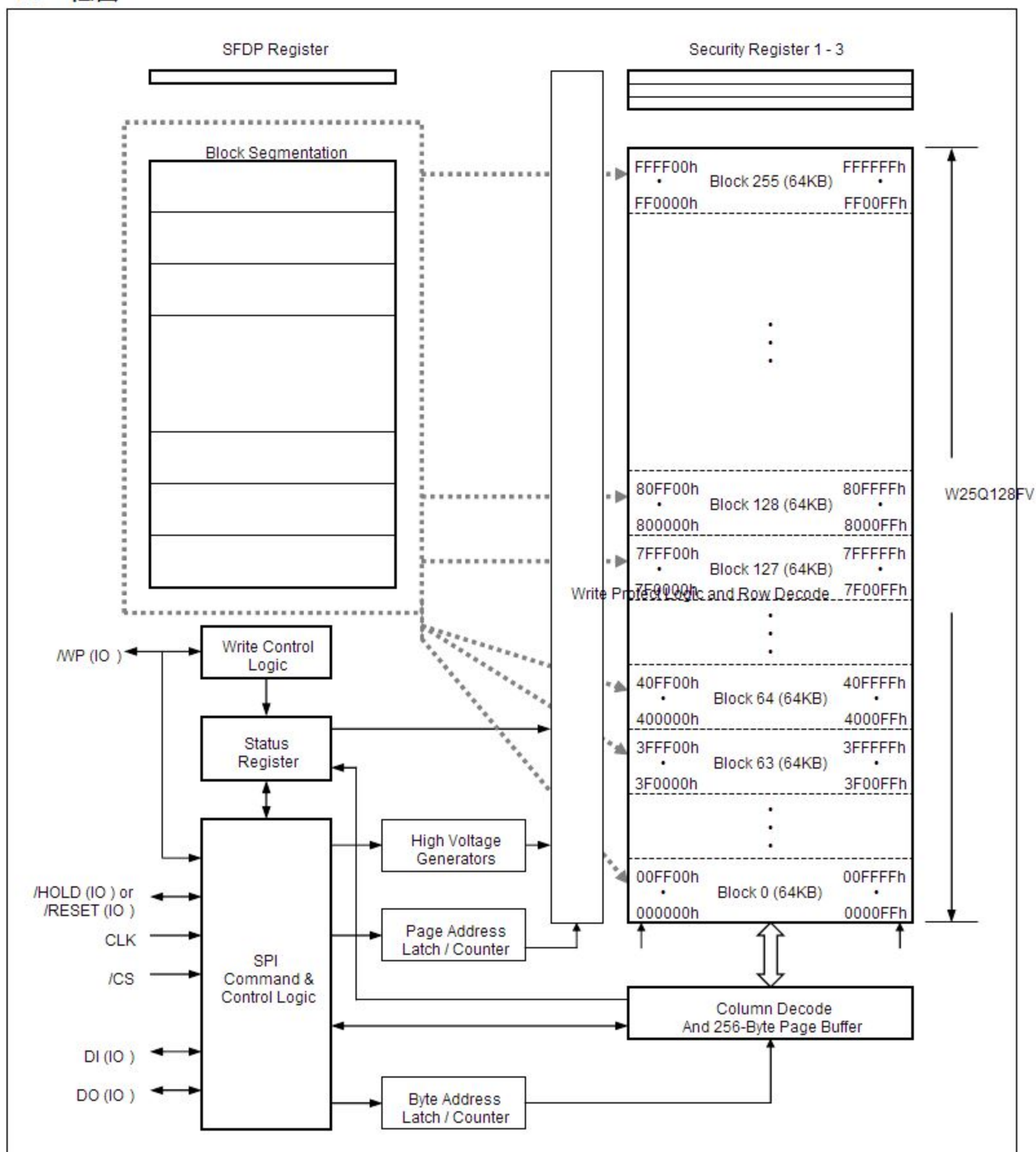


图2.W25Q128FV串行闪存框图



## 6. 功能说明

### 6.1 SPI / QPI操作

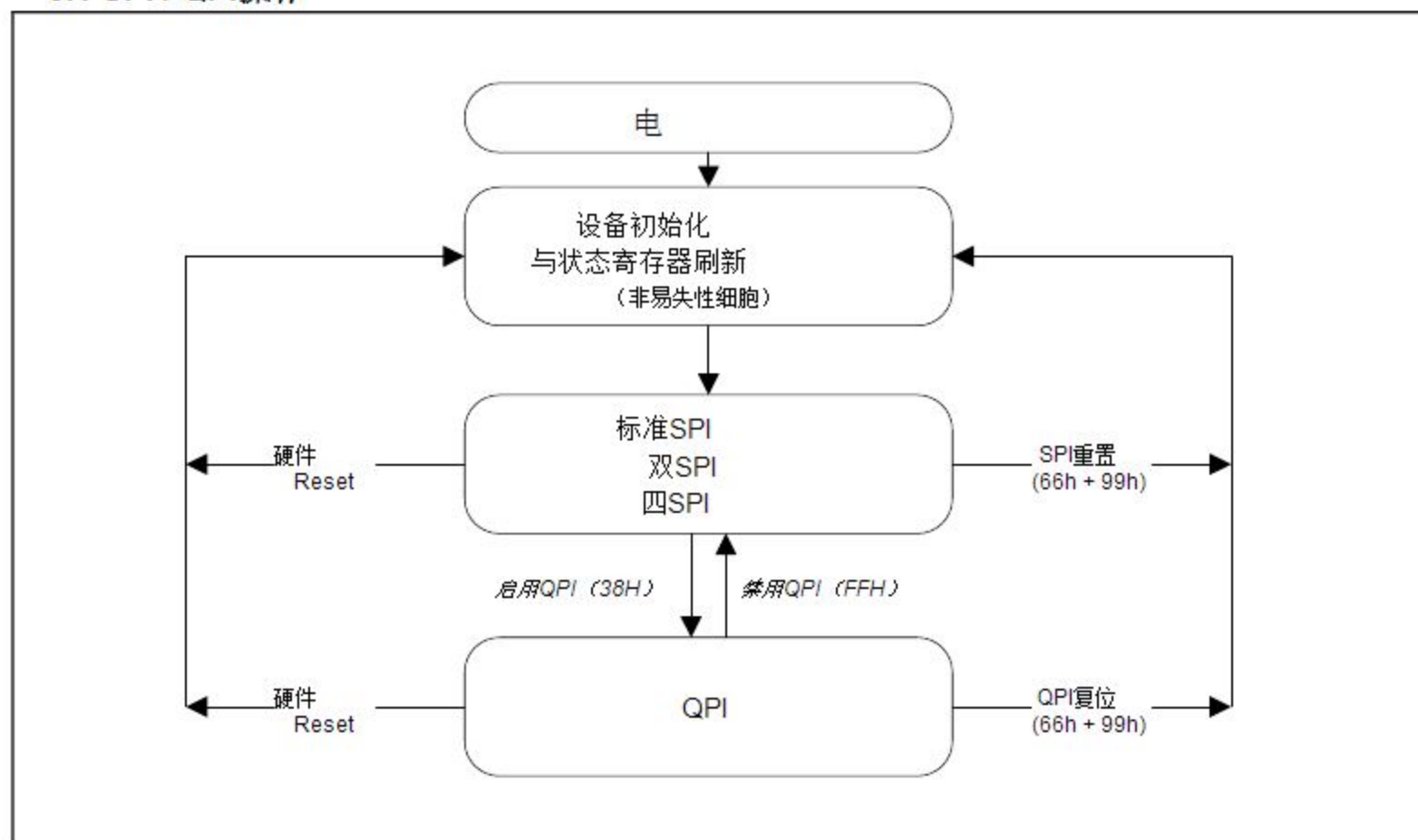


图3. W25Q128FV串行闪存运行图

#### 6.1.1 标准SPI指令

该W25Q128FV是通过一个SPI兼容总线组成的四个信号访问：串行时钟（CLK），片选（/CS），串行数据输入（DI）和串行数据输出（DO）。标准SPI指令使用DI输入引脚串行写指令，地址或数据上的上升沿设备CLK。DO输出引脚用来读取从CLK的下降沿设备的数据或状态。

SPI总线操作模式0（0,0）和3（1,1）被支持。模式0和之间的主要差异

模式3是关于CLK信号的正常状态时，SPI总线主人是在待机和数据不被转移到串行闪存。为模式0，CLK信号通常是低的/CS的上升沿和下降沿。对于模式3，CLK信号通常是高上的/CS的上升沿和下降沿。

#### 6.1.2 双SPI指令

该W25Q128FV支持双SPI操作使用说明书时，如“快速读取双输出（3BH）”和“快速读取双I/O（BBH）”。这些指令允许数据被转移到或从设备在普通串行闪存设备的两到三倍的速率。双SPI读指令是理想的上电时（代码映射）快速下载代码到RAM中或



直接从SPI总线（XIP）执行非高速关键代码。当使用双SPI指令，DI和DO引脚变为双向I/O引脚：IO0和IO1。

### 6.1.3 四SPI指令

该W25Q128FV支持四路SPI操作使用说明，如“快速阅读时，四输出（值为6Bh）”，“快速阅读四I/O（EBH）”，“字读取四I/O（E7H）”和“八进制字读取四I/O（E3H）”。这些指令允许数据被转移到或从设备的四到六倍的率的普通串行闪存。四方读取指令提供持续显著改善和随机存取传输速率，允许快速的代码映射到直接从内存或执行SPI总线（XIP）。当使用四SPI指令DI和DO pins成为双向IO0和IO1和/ WP和/ HOLD引脚分别成为IO2和IO3。四SPI指令需要非易失性四路使能位（QE）在状态寄存器-2进行设置。

### 6.1.4 QPI说明

该W25Q128FV支持四路外设接口（QPI）操作，只有当设备从标准/双/四路SPI模式下使用“输入QPI（38H）”指令切换到QPI模式。典型的SPI协议要求字节长的指令代码被只能通过DI引脚在八个串行时钟移入器件。该QPI模式使用所有四个IO引脚输入指令代码，因此只有两个串行时钟是必需的。这可以显著降低SPI指令开销，提高在XIP环境的系统性能。标准/双/四路SPI模式和QPI模式是互斥的。只有一个模式可以在任何给定时间是活动的。“回车QPI（38H）”和“退出QPI（FFh）”指令用于在这两种模式之间进行切换。上电时或之后使用“复位（99H）”指令，该设备的默认状态是软件复位标准/双/四路SPI模式。要启用QPI模式下，非挥发性四中状态使能位（QE）寄存器-2需要进行设置。

当使用QPI指令，DI和DO pins成为双向IO0和IO1，和/ WP和/ HOLD引脚分别成为IO2和IO3。参见图3为设备的运行模式。

### 6.1.5 保持功能

对于标准SPI和双SPI操作，/ HOLD信号使W25Q128FV操作要停顿了一下，而它正在积极选择（当/ CS为低）。在/ HOLD功能可能的情况下是有用的。其中SPI数据和时钟信号与其它设备共享。例如，考虑如果页面当一个优先级的中断需要使用SPI总线的缓冲只有部分被写入。在这种情况下/ HOLD功能可以保存指令的状态和缓冲区中的数据，以便能够进行编程恢复它离开的地方，一旦总线再次可用。在/ HOLD功能只适用于标准SPI和双SPI操作，而不是在四路SPI或QPI。四方使能位量化宽松的状态中寄存器-2是用来决定引脚用作/ HOLD引脚或数据I/O引脚。当QE = 0（出厂默认），该引脚为/ HOLD，当QE = 1，则引脚将成为一个I/O引脚，/ HOLD功能不再可用。

要启动/保持状态，设备必须与/ CS为低电平来选择。A / HOLD条件将激活在/ HOLD信号的下降沿如果CLK信号已经很低。如果CLK是不是已经很低了CLK的下一个下降沿之后/ HOLD条件将激活。在/ HOLD条件将终止在/ HOLD信号的上升沿，如果CLK信号已经很低。如果CLK是不是已经很低了CLK的下一个下降沿之后/ HOLD条件将终止。在A / HOLD状态下，串行数据输出（DO）是高阻抗，和串行数据输入（DI）和串行时钟（CLK）被忽略。





片选 (/CS) 信号应保持有效 (低电平) / HOLD 操作的全部时间, 以避免复位器件的内部逻辑状态.



### 6.1.6 软件复位及硬件/ RESET引脚

该W25Q128FV可以复位到初始上电状态,由软件复位序列,无论是在SPI模式或QPI模式,这个序列必须包括两个连续的命令:使能复位(66H) & 复位(99H)。如果该命令序列成功地接受,该设备将需要约30uS ( $t_{RST}$ ) 复位,没有命令将在复位周期期间被接受。

为WSON-8和TFBGA封装类型,W25Q128FV也可以配置成利用一个硬件/复位引脚,在状态寄存器-3保持/ RST位是配置位/ HOLD引脚功能或RESET引脚功能,当HOLD / RST = 0 (出厂默认值),该管脚作为上述一/ HOLD引脚,当HOLD / RST = 1时,引脚用作/ RESET引脚,驱动/ RESET引脚为低电平的1微秒((低电平)  $t_{RESET}^*$ ) 最短期限将设备重置为其初始上电状态,任何正在进行的编程/擦除操作将被中断和数据损坏可能发生,当/ RESET为低电平时,器件将不接受任何命令的输入。

如果QE位设置为1,/ HOLD或/复位功能将被禁用,该引脚将成为四大数据I/O引脚中的一个。

对于SOIC-16封装,W25Q128FV提供了一个专用的/ RESET引脚除了/ HOLD (IO 3),如图1b所示,驱动/ RESET引脚为低电平的1微秒((低电平)  $t_{RESET}^*$ ) 最短期限将设备重置为其初始上电状态,在状态寄存器保持/ RST位或QE位将不会影响此专用/ RESET引脚的功能。

五金/ RESET引脚有所有的输入信号中优先级最高,驱动/ RESET为低的1微秒((低电平)  $t_{RESET}^*$ ) 最短期限将中断任何正在进行外部/内部操作,不管其他SPI信号(/ CS,CLK,氧化铁,/ WP和/或/ HOLD) 状态。

#### Note:

- 1.而更快的/复位脉冲(短至几百纳秒)往往会重置设备,为1us最小建议,以确保可靠运行。
- 2.有一个内部上拉电阻上采用SOIC-16封装专用/ RESET引脚,如果复位功能是不需要的,该引脚可悬空在系统中。



## 6.2 写保护

使用非易失性存储器应用必须考虑到噪音的可能性,其他不利条件下系统可能会破坏数据的完整性.为了解决这一问题,该W25Q128FV提供了多种方式来保护从意外写入数据.

### 6.2.1 写保护功能

- 设备重置当VCC低于阈值
- 后上电时间延迟写入禁止
- 写使能/擦除或编程后禁用指令和自动写入禁止
- 软件和硬件 (/WP引脚),使用状态寄存器写保护
- 其他个人块/扇区锁的保护阵列
- 使用掉电指令写保护
- 锁定的状态寄存器写保护,直到下一次开机
- 一次性编程 (OTP) 写保护阵列和安全使用的寄存器状态寄存器

\*注:此功能可根据特殊订货,请联系华邦了解详情.

一旦上电或断电时,W25Q128FV将保持复位状态,而VCC低于V<sub>阈值</sub> (见电时序和电压等级和图43).虽然复位,所有操作被禁止,并没有说明确认.在上电期间和之后的VCC电压超过V<sub>阈值</sub>,所有的编程和擦除相关指令还禁用为t的时间延迟.这包括写使能,页编程,扇区擦除,块擦除,芯片擦除和写入状态寄存器指令.需要注意的是芯片选择引脚 (/CS) 必须跟踪VCC供电水平.开机,直到VCC分钟级别和t<sub>VSL</sub> 时间延迟到达,并且它也必须跟踪VCC电源在掉电水平,以防止不利的命令序列.如果需要的话在/CS一个上拉电阻可以用来实现此目的.

PUW.

上电后,设备会自动放置在与状态寄存器写禁用状态.写使能锁存 (WEL) 设置为0.一个写使能指令必须在页面前发出.编程,扇区擦除,块擦除,芯片擦除或写状态寄存器指令将被接受.完成课程后,擦除或写指令写使能锁存 (WEL) 自动清零0写禁用状态.

软件控制的写保护是使用写状态寄存器指令和设置方便.状态寄存器保护 (SRP0,SRP 1) 和块保护 (CMP,美国证券交易委员会,结核病,BP [2:0]) 位.这些设置允许的部分或整个存储器阵列被配置为只读.配合使用与写保护 (/WP) 引脚,更改状态寄存器可以启用或禁用下硬件控制.更多信息请参阅状态寄存器部分.此外,掉电指令提供一个额外的保护水平,所有指令都被忽略,除了释放断电指令.

该W25Q128FV还提供了另一种写保护方法使用单个块锁.每64KB的块 (除了在顶部和底部块,共510块),并在每个4KB扇区.顶部/底部块 (共32个扇区) 都配备了个人块锁定位.当锁定位为0时,相应的部门或块可以被擦除或编程;当锁定位被设置为1,擦除或发给相应的扇区或块计划命令将被忽略.当设备上电后,所有个人块锁定位将是1,所以整个存储器阵列是由擦除/编程保护. "个体座解锁 (39H)" 指令必须发出解锁任何特定部门或块.

在状态上的WPS位寄存器-3是用来决定哪写保护方案应该被使用.何时WPS = 0 (出厂默认值),该设备将只使用CMP,美国证券交易委员会,结核病,BP [2:0]位来保护阵列的特定区域;当WPS = 1,该设备将利用个人块锁用于写保护.

出版日期: 2013年10月9日





7,状态和配置寄存器

提供用于W25Q128FV三个状态和配置寄存器.读状态寄存器 - 1/2/3指令可以用来对闪存存储器阵列的可用的提供状态,是否该设备是写启用或禁用,写保护状态,四SPI设置,安全注册锁定状态,擦除/编程挂起状态,输出驱动强度,电和电流地址模式.写状态寄存器指令可用于配置设备的写保护功能,四SPI设置,安全寄存器OTP锁,保持/复位功能,输出驱动强度和上电地址模式.写访问状态寄存器是由非国有控股挥发性状态寄存器保护位 (SRP0,SRP 1),写使能指令,并在标准/双SPI操作,/ WP引脚.

7.1状态寄存器

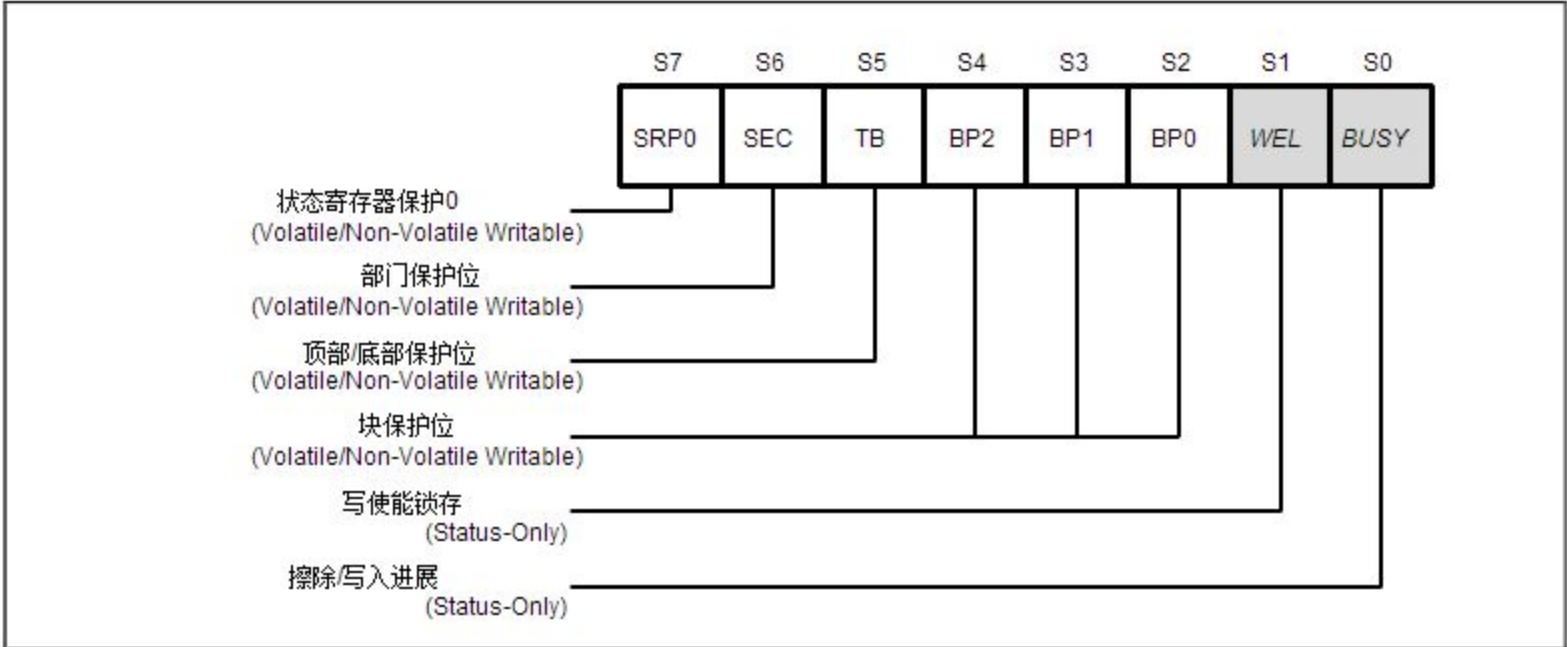


图4a.状态寄存器-1

7.1.1擦除/写在建（忙） - 仅状态

忙碌是在状态寄存器（S0）一个只读位被设置为1的状态时,该设备正在执行一个页编程,四页编程,扇区擦除,块擦除,芯片擦除,写状态寄存器或擦除/编程安全寄存器指令.在此期间,该设备将忽略进一步的说明除了读状态寄存器和擦除/编程挂起指令（见t<sub>CE</sub> 在AC特性）.当程序,擦除或写状态/安全寄存器指令有完成后,BUSY位将被清除为0状态指示设备已准备好进一步的说明.

W, t<sub>PP</sub>, t<sub>SE</sub>, t<sub>BE</sub> 和

7.1.2写使能锁存（WEL） - 仅状态

写使能锁存（WEL）是在状态寄存器（S1）一个只读位被设置为1执行后写使能指令.WEL状态位被清除为0时,该设备是写禁用.写禁用状态发生上电时或之后任何下列指令：写禁止,页程序,四页编程,扇区擦除,块擦除,芯片擦除,写状态寄存器,擦除安全寄存器和程序安全寄存器.

7.1.3块保护bits（BP2,BP1,BP0） - 易失性/非易失性可写

块保护bits（BP2,BP1,BP0）在状态寄存器（S4,S3非易失性读/写位,和S2）提供写保护控制和状态.块保护位可以使用Write设置状态寄存器指令（见t<sub>w</sub> 在AC特性）.全部,没有或存储阵列的一部分



可以防止编程和擦除指令（见状态寄存器内存保护表）。  
出厂默认设置为块保护位是0,没有数组的保护。

#### 7.1.4 顶/底块保护 (TB) - 易失性/非易失性可写

非易失性顶/底位 (TB) 控制,如果数据块保护位 (BP2,BP1,BP0) 从保护顶 (TB = 0) 或阵列的底部 (TB = 1) 所示的状态寄存器内存保护表。  
出厂默认设置为 TB = 0. TB 位可以写状态寄存器指令设置取决于 SRP0,SRP 1 和 WEL 位的状态。

#### 7.1.5 扇区/块保护位 (SEC) - 易失性/非易失性可写

非易失性扇区/块保护位 (SEC) 控制,如果数据块保护位 (BP2,BP1,BP0) 保护任何 4KB 扇区 (SEC = 1) 或 64KB 块 (美国证券交易委员会 = 0) 在 Top (TB = 0) 或阵列的底部 (TB = 1) 所示的状态寄存器内存保护表。默认设置为 SEC = 0。

#### 7.1.6 补体保护 (CMP) - 易失性/非易失性可写

补体保护位 (CMP) 是在状态寄存器中 (S14) 非易失性读/写位。它是用来与美国证券交易委员会,结核病,BP2,BP1 和 BP0 位,为阵列保护更多的灵活性相结合。  
一旦 CMP 设置为 1,前一阵受保护美国证券交易委员会,结核病,BP2,BP1 和 BP0 设置将发生逆转。  
例如,当 CMP = 0,顶 64KB 块可以被保护,而阵列的其余部分是没有的,何时  
CMP = 1,顶 64KB 块将成为不受保护的,而数组的剩余部分只读成了。  
请参阅状态寄存器内存保护表的细节。默认设置为 CMP = 0。

#### 7.1.7 状态寄存器保护 (SRP,SRP0) - 易失性/非易失性可写

状态寄存器的保护位 (SRP 和 SRP0) 是在状态寄存器 (S8 和 S7) 非易失性读/写位。SRP 的位控制写保护的方法: 软件保护,硬件保护,电源锁式或一次性可编程 (OTP) 保护。

SRP1	SRP0	/WP	状态注册	描述
0	0	X	软件保护	/WP 引脚有没有控制权。状态寄存器可以写后写使能指令, WEL = 1。 [出厂默认值]
0	1	0	硬件保护	当 /WP 引脚为低电平状态寄存器锁定,不能被写入。
0	1	1	硬件 Unprotected	当 /WP 引脚为高电平状态寄存器被解锁并且可以被写入到后一个写使能指令 WEL=1。
1	0	X	Power 供应锁定向下	状态寄存器是受保护的,不能被再次写入,直到下一次掉电,上电周期。(1)
1	1	X	一度节目 (2)	状态寄存器永久保护,不能写入。

#### 注意事项:

- 1.当 SRP 1,SRP0 = (1,0),掉电,上电,周期将改变 SRP 1,SRP0 为 (0,0) 状态。
- 2.此功能可根据特殊订货,请联系华邦了解详情。



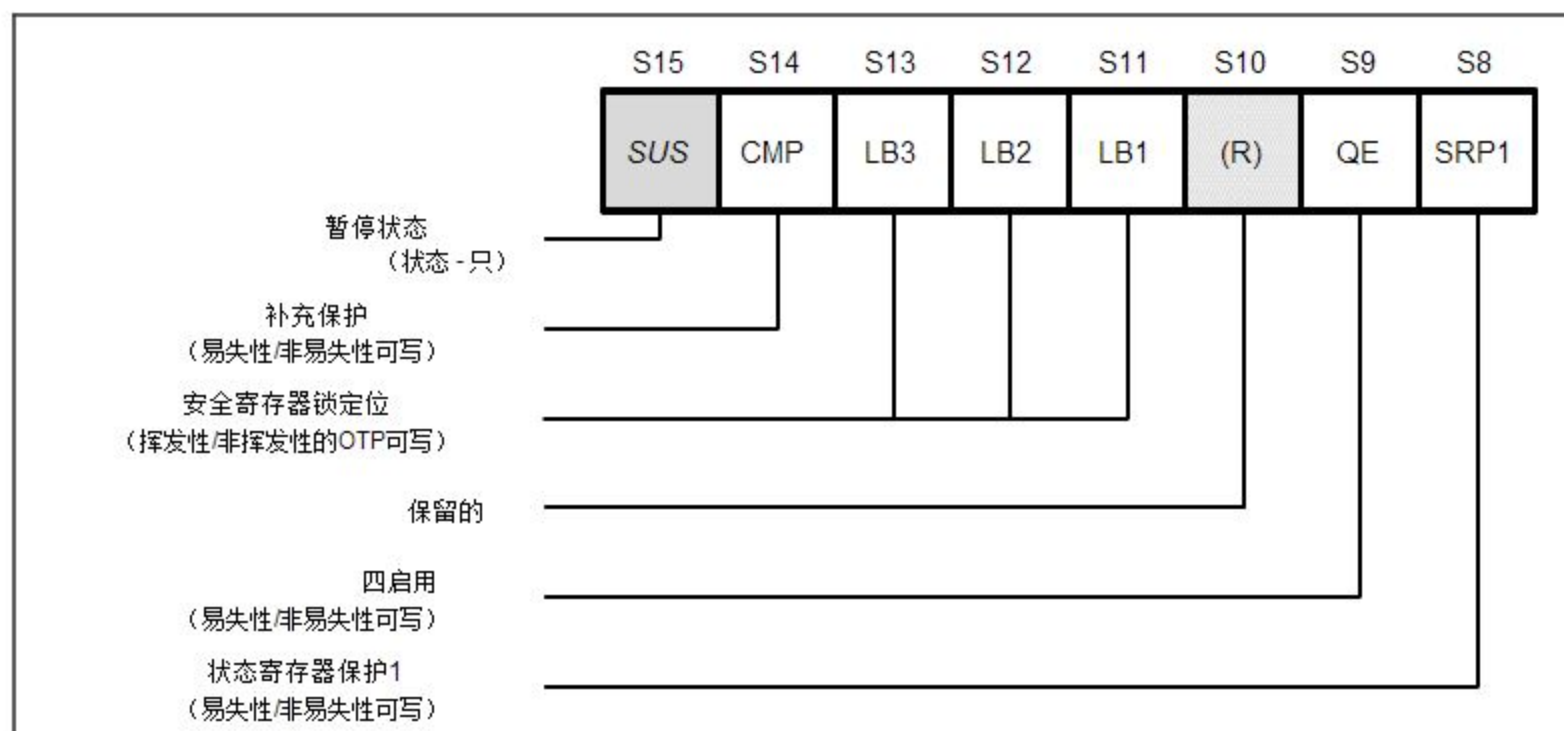


图4b.状态寄存器-2

### 7.1.8擦除/编程挂起状态 (SUS) -

**仅状态**

挂起状态位在状态寄存器 (S15) 一个只读位被设置为1执行后擦除/编程挂起 (75H) 指令.技能提升状态位被清0擦除/编程 (7安) 指令以及掉电,上电周期.

### 7.1.9安全寄存器锁定位 (LB3, LB2, LB1) -

**易失性/非易失性的OTP可写**

安全寄存器锁定位 (LB3, LB2, LB1) 是非易失性的一次性编程的 (OTP) 位.状态寄存器 (S13, S12, S11), 提供写保护控制和状态的安全性. LB3-1的默认状态是0,安全寄存器解锁. LB3-1可以单独使用写状态寄存器指令被设置为1. LB3-1的一次性可编程 (OTP), 一旦它"1"设置为1, 相应的256字节安全寄存器将变为只读永久.

### 7.1.10四启用 (QE) -

**易失性/非易失性可写**

四方启用 (QE) 位在状态寄存器 (S9) 非易失性读/写位, 允许四 SPI和QPI操作.当QE位被设置为0状态 (零件号出厂默认与订购选项"IG", "知识产权"和"IF"), 在 / WP引脚和 / HOLD启用.当QE位被设置为1 (出厂默认为四部分启用数字与订购选项"智商"), 四IO2和IO3引脚使能, 和 / WP和 / HOLD功能被禁用.

QE位是必需发出之前被设置为1"输入QPI (38H)", 以从切换装置标准/双/四路SPI为QPI, 否则, 该命令将被忽略.当设备处于QPI模式, QE位将保持为1. "写状态寄存器"命令, 在QPI模式不能从"1"更改QE位为"0".

**警告:** 如果 / WP或 / HOLD引脚标准的SPI或双SPI操作过程中直接连接到电源或接地时, QE位不应该被设置为1.



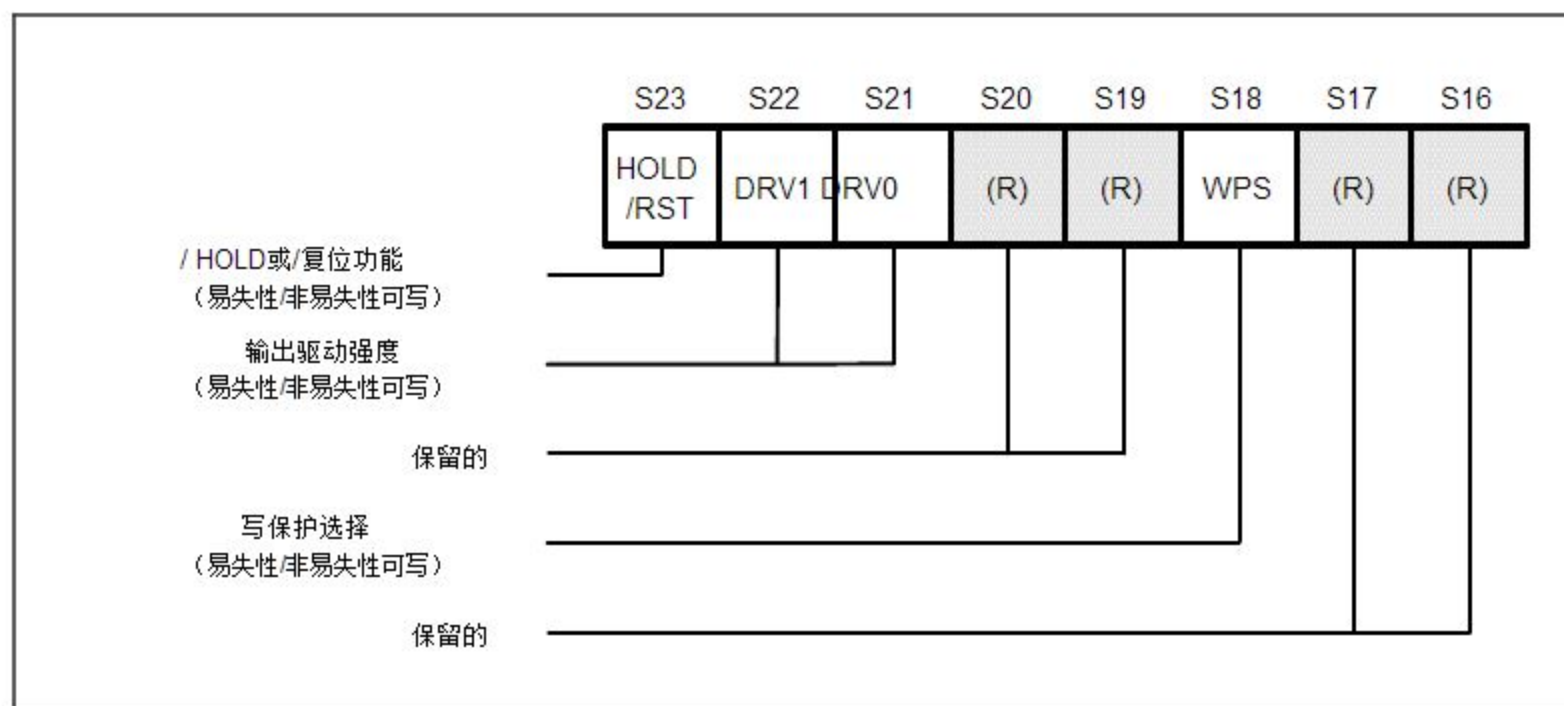


图4c.状态寄存器-3

#### 7.1.11 写保护选择 (WPS) - 易失性/非易失性可写

WPS的位用于选择哪个写保护方案应该被使用.当WPS = 0时,设备将使用CMP,美国证券交易委员会,结核病,BP [2:0]位的组合来保护存储器阵列特定区域.

当WPS = 1,该设备将利用个人块锁保护任何个别行业或块.所有个人块锁定位的默认值是1在器件上电或复位后.

#### 7.1.12 输出驱动强度 (DRV1,DRV0) - 易失性/非易失性可写

该DRV1& DRV0位用来确定输出驱动强度的读操作.

DRV1, DRV0	驱动力
0, 0	100%
0, 1	75%
1, 0	50%
1, 1	25% (默认)

#### 7.1.13 / HOLD或/ RESET引脚功能 (HOLD / RST) - 易失性/非易失性可写

保持/ RST位被用来确定是否/ HOLD或/复位功能应该在硬件引脚来实现的8引脚封装.当HOLD / RST = 0 (出厂默认值),该管脚作为/ HOLD键;当HOLD / RST = 1时,引脚用作/复位.然而,/ HOLD或/复位功能仅当QE = 0.如果QE被设置为1,/ HOLD和/复位功能被禁用,该引脚作为专用的数据 I/O引脚.