下面对testench中的送给设计模块的valid的信号和date信号以及设计模块的slave送给设计模块的ready进行说明：

1.master的valid拉高后每次模块（本次设计的模块）ready信号来到后，在下个周期送新的数据，连续送0-18数据，重复八次；

2.Slave的ready信号在每次设计模块送出的valid的信号拉高后，在下个周期拉高一周期。

代码根据四个题目放在四个文件夹中，详见各个文件夹中的src，仿真截图见哥哥文件夹的picture。